(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 17/00

(45) 공고일자 1999년03월20일
(11) 등록번호 특0168356
(24) 등록일자 1998년10월01일

(21) 출원번호 특1996-010606
(22) 출원일자 1996년04월09일
(65) 공개번호 특1997-072675
(43) 공개일자 1997년11월07일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 송민규
서울특별시 은평구 신사1동 현대아파트 113동 1501호
(74) 대리인 이영필, 권석흠, 노민식

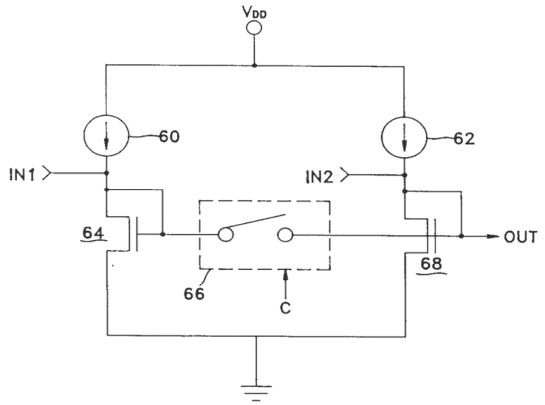
심사관 : 김재욱

(54) 산술 평균 발생기

요약

본 발명은 산술 평균 발생기를 공개한다. 제1 및 제2아날로그 신호들의 산술 평균값을 발생하는 그 발생기는, 공급 전원과 연결되며, 소정값의 같은 전류를 각각 공급하는 제1 및 2전류원들과, 상기 제1전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 제1아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제1MOS 트랜지스터와, 제2전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 제2아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제2MOS 트랜지스터 및 제어신호에 응답하여 제1MOS 트랜지스터의 게이트와 제2MOS 트랜지스터의 게이트를 연결하는 스위칭 수단을 구비하고, 제2MOS 트랜지스터의 게이트로 산술 평균값을 출력하는 것을 특징으로 하고, 마스크 비용이 증가하지 않고, 공정상의 문제가 발생하지 않는 효과가 있다.

대표도



명세서

[발명의 명칭]

산술 평균 발생기

[도면의 간단한 설명]

제1도는 종래의 산술 평균 발생기의 구성을 설명하기 위한 블럭도이다.

제2도는 본 발명에 의한 산술 평균 발생기를 설명하기 위한 회로도이다.

제3도는 제2도에 도시된 회로의 동작을 시뮬레이션한 결과를 나타내는 도면이다.

[발명의 상세한 설명]

본 발명은 산술 평균 발생기에 관한 것으로서, 특히, 아날로그 신호들의 산술 평균값을 산출하는 산술 평균 발생기에 관한 것이다.

제1도는 종래의 산술 평균 발생기의 구성을 설명하기 위한 블럭도로서, 제1커패시터(C1)(10), 제2커패시터(C2)(20) 및 스위치(30)로 구성된다.

제1도에 도시된 종래의 산술 평균(Arithmetic mean) 발생기는 두 개의 아날로그 신호의 산술 평균값을 만들기 위해 집적회로로 구현되는 일반적인 회로도로서, 입력단자 IN1 및 IN2를 통해 두 개의 아날로그

신호들, 제1신호(V1) 및 제2신호(V2)를 입력하여 다음 식(1)과 같은 공통전위(Vc)를 산술 평균값으로서 입력단자 IN1 또는 IN2를 통해 출력한다.

$$V_C = \frac{1}{2}(V1 + V2) \qquad 식(1)$$

임의의 시간에 스위치(30)를 온시키면, 전하 재분포(charge redistribution)의 원리에 따라 다음 식(2)가 성립한다.

$$C_1V_1 + C_2V_2 = (C_1 + C_2)V_C \qquad 식(2)$$

식(2)의 좌변은 초기상태의 전하량이고, 우변은 나중 상태의 전하량으로서 두 전하량들은 같다.

만일, 제1 및 제2커패시터들(10 및 20)의 컨덕턴스 용량이 같다고 가정하면, 식(2)로부터 공통전위, 즉, 두 입력신호(V1 및 V2)의 산술 평균값(Vc)은 식(1)과 같아진다.

제1도에 도시된 종래의 산술 평균 발생기는 통상의 디지탈 CMOS 공정이외에 커패시터를 위한 공정이 추가되므로 마스크 비용이 증가하고, 이로 인해 공정을 다루는 것이 좀더 복잡해진다.

본 발명의 목적은 상기와 같은 종래의 문제점을 해결하고 두 아날로그 신호들의 산술 평균값을 발생하기 위해 트랜지스터의 기생 커패시터를 이용하는 산술 평균 발생기를 제공하는데 있다.

상기 목적을 달성하기 위해, 제1 및 제2아날로그 신호들의 산술 평균값을 발생하는 본 발명에 의한 산술 평균값 발생기는, 공급 전원과 연결되며, 소정값의 같은 전류를 각각 공급하는 제1 및 2전류원들과, 상기 제1전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 상기 제1아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제1MOS 트랜지스터와, 상기 제2전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 상기 제2아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제2MOS 트랜지스터 및 제어신호에 응답하여 상기 제1MOS 트랜지스터의 게이트와 상기 제2MOS 트랜지스터의 게이트를 연결하는 스위칭 수단으로 구성되고, 상기 제2MOS 트랜지스터의 게이트로 상기 산술 평균값을 출력하는 것이 바람직하다.

이하, 본 발명에 의한 산술 평균 발생기의 구성 및 동작을 첨부한 도면을 참조하여 다음과 같이 설명한다.

제2도는 본 발명에 의한 산술 평균 발생기를 설명하기 위한 회로도로서, 제1 및 제2전류원들(60 및 62), 제1MOS 트랜지스터(64), 스위치(66) 및 제2MOS 트랜지스터(68)로 구성되어 있다.

제2도에 도시된 제1 및 제2전류원들(60 및 62)은 공급 전원(V_{DD})과 각각 연결되며, 소정값[여기서, 10J(J는 1이상의 정수이다)로 가정한다]의 전류를 각각 공급한다.

제1MOS 트랜지스터(64)는 제1전류원(60)과 접지 사이에 드레인과 소스의 통로가 연결되며, 입력단자 IN1을 통해 제1아날로그 신호(V1)와 서로 연결된 게이트 및 드레인을 갖고, 제2MOS 트랜지스터(68)는 제2전류원(62)과 접지 사이에 드레인과 소스의 통로가 연결되며, 입력단자 IN2를 통해 제2아날로그 신호(V2)와 서로 연결된 게이트 및 드레인을 갖는다. 한편, 스위치(66)는 제어신호(C)에 응답하여 온/오프(ON/OFF) 작용을 하여, 제1MOS 트랜지스터(64)의 게이트와 제2MOS 트랜지스터(68)의 게이트를 서로 연결한다.

제2도에 도시된 회로에 제어신호(C)가 입력되지 않을 경우, 각 MOS 트랜지스터의 기생 커패시터는 기존의 전하를 유지하는 홀드 상태이다. 그러나, 제어신호가 입력될 때, 전하 재분포가 일어나서 다음 식(3)와 같은 식이 성립하게 된다.

$$V_{g1}C_1 + V_{g2}C_2 = (C_1 + C_2)V_C \qquad 식(3)$$

여기서, Vgi는 각 트랜지스터의 게이트-소스간 전압으로서 Vg1은 제1아날로그 신호이고, Vg2는 제2아날로그 신호이며, Ci는 각 트랜지스터의 게이트-소스간 기생 커패시터들로서, C1은 제1MOS 트랜지스터(64)의 게이트 소스간 기생 커패시터이고, C2는 제2MOS 트랜지스터(68)의 게이트 소스간 기생 커패시터이며, Vc는 출력단자 OUT를 통해 출력되는 제1 및 제2아날로그 신호들의 산술 평균값이다.

식 (3)를 산술 평균값(Vc)에 대해 전개하면 다음 식(4)과 같다.

$$V_C = \frac{C_1}{C_1 + C_2} Vg1 + \frac{C_2}{C_1 + C_2} V_{g2} \qquad 식(4)$$

이 때, 제1MOS 트랜지스터(64) 및 제2MOS 트랜지스터(68)의 외형비를 서로 같게 하여 C1과 C2가 거의 같

게 되므로, 산술 평균값은 다음 식(5)과 같다.

$$V_C \approx \frac{1}{2}(V_{g1} + V_{g2}) \qquad \text{식(5)}$$

제3도는 제2도에 도시된 회로의 동작을 시뮬레이션한 결과를 나타내는 도면으로서, 종축은 전압을, 횡축은 시간을 각각 나타내며, V1은 제1아날로그 신호를, V2는 제2아날로그 신호를, Vc는 산술 평균값을 각각 나타낸다.

제3도에 도시된 바와 같이, 최대 피크간(peak-to-peak) 전압값(V1)이 0.05 볼트인 전압원과 최대 피크간 전압값(V2)이 0.10 볼트인 전압원을 입력신호로 사용하면, 출력단에서는 대략 0.0765 볼트의 전압(Vc)이 출력됨을 알 수 있다. 계산치가 0.075 볼트인 것에 비하여 약 2%의 오차를 가짐을 알 수 있다.

상술한 바와 같이, 본 발명에 의한 산술 평균 발생기는 입력한 두 개의 아날로그 신호들의 산술 평균값을 발생하기 위해 커패시터를 추가하는 대신에 MOS 트랜지스터에 게이트의 기생용량을 이용하기 때문에, 마스크 비용이 증가하지 않고, 공정상의 문제가 발생되지 않는 효과가 있다.

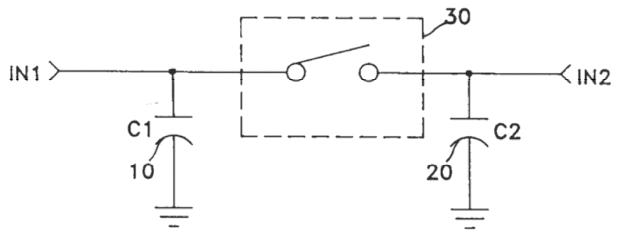
(57) 청구의 범위

청구항 1

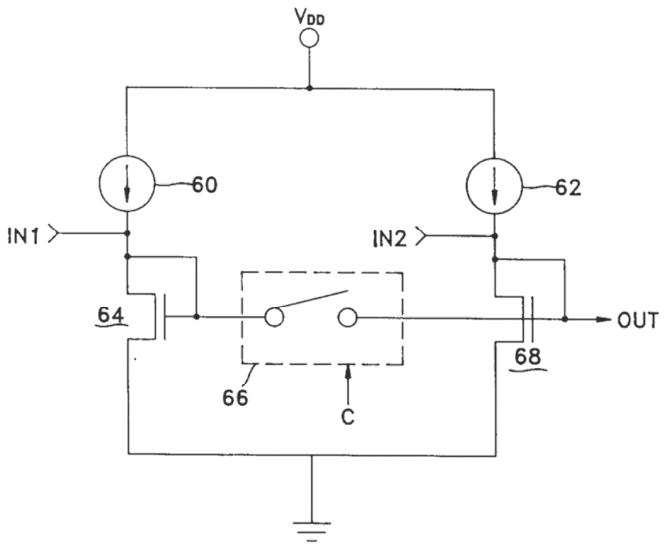
제1 및 제2아날로그 신호들의 산술 평균값을 발생하는 산술 평균값 발생기에 있어서, 공급 전원과 연결되며, 소정값의 같은 전류를 각각 공급하는 제1 및 2전류원들; 상기 제1전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 상기 제1아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제1MOS 트랜지스터; 상기 제2전류원과 접지 사이에 드레인과 소스의 통로가 연결되며, 상기 제2아날로그 신호와 서로 연결되는 게이트 및 드레인을 갖는 제2MOS 트랜지스터; 및 제어신호에 응답하여 상기 제1MOS 트랜지스터의 게이트와 상기 제2MOS 트랜지스터의 게이트를 연결하는 스위칭 수단을 구비하고, 상기 제2MOS 트랜지스터의 게이트로 상기 산술 평균값을 출력하는 것을 특징으로 하는 산술 평균 발생기.

도면

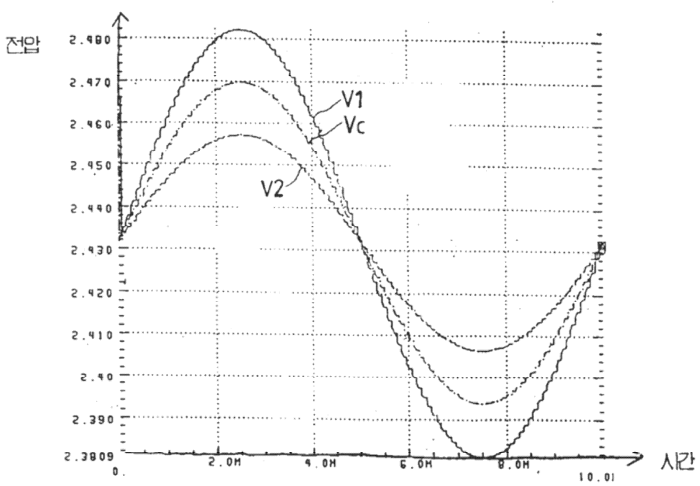
도면1



도면2



도면3


전압
2.480
2.470
2.460
2.450
2.440
2.430
2.420
2.410
2.40
2.390
2.3809
0.
2.0M
4.0M
6.0M
8.0M
10.0
시간
V1
Vc
V2