

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5118685号
(P5118685)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.	F 1
H03F 3/45 (2006.01)	H03F 3/45 A
H03D 7/14 (2006.01)	H03D 7/14 C
H03F 1/30 (2006.01)	H03F 1/30 Z

請求項の数 1 (全 10 頁)

(21) 出願番号 特願2009-279330 (P2009-279330)
 (22) 出願日 平成21年12月9日 (2009.12.9)
 (65) 公開番号 特開2011-124693 (P2011-124693A)
 (43) 公開日 平成23年6月23日 (2011.6.23)
 審査請求日 平成23年9月14日 (2011.9.14)

(73) 特許権者 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100075579
 弁理士 内藤 嘉昭
 (74) 代理人 100103850
 弁理士 田中 秀▲でつ▼
 (72) 発明者 藤林 丈司
 神奈川県厚木市岡田3050番地 旭化成
 エレクトロニクス株式会社内

審査官 安井 雅史

最終頁に続く

(54) 【発明の名称】周波数変換回路

(57) 【特許請求の範囲】

【請求項 1】

入力電圧信号を相互コンダクタンスにより該入力電圧信号の電圧値と相互コンダクタンスの積に相当する電流信号に変換するGMアンプと、

前記GMアンプによって当該入力電圧信号を変換して得られた電流信号をローカル信号でミキシングして周波数変換を行うミキサと、

前記ミキサでの周波数変換によって得られた電流信号を電圧信号に変換するIV変換アンプと、

前記GMアンプへバイアス電圧を供給するGM校正回路と、
を備える周波数変換回路において、

該GM校正回路は、

前記GMアンプに用いるトランジスタとそのサイズあたりの相互コンダクタンスを同一としたトランジスタを用いたレプリカアンプを内部に有し、

前記レプリカアンプに、抵抗と第1電流源からの電流との積に相当するDC電圧を入力し、前記レプリカアンプからの電流出力を所定の電流値になるように、該レプリカアンプの電圧バイアスを設定し、前記抵抗の分割点の電圧を前記GMアンプに供給し、

前記GM校正回路に用いる該抵抗をR1、第1電流源からの電流値をI1、前記レプリカアンプからの電流出力の電流値をI2とし、前記IV変換アンプのIV変換に用いる抵抗値がR0のとき、周波数変換の変換利得が($R0 / R1$) × ($I2 / I1$)の定数倍となることを特徴とする周波数変換回路。

10

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は主に無線通信用途に用いられ、高周波の信号からベースバンド周波数の信号に周波数変換を行う周波数変換回路に関する。

【背景技術】**【0002】**

無線通信用途での受信機においては、一般に高周波の信号をベースバンド周波数の信号に周波数変換を行い、信号処理を行う。

周波数変換の目的は、周波数変換によって高周波の信号のうちの信号帯域のみを取り出し、いわゆるベースバンド復調を行う以外にも、高周波の信号の信号強度を低い周波数に周波数変換して行う目的もある。

このどちらの目的の場合も、受信システムの通信精度を良くするため、周波数変換回路の変換利得はばらつかずに一定であることが望まれる。ここで言うばらつきとは、製造において個体間での変換利得が異なる場合と、1個体において温度や電源電圧などで変換利得が変動する場合の両方が含まれる。

【0003】

従来、製造上の個体間でのばらつきを抑制して変換利得を一定とする手段として、製造後に各個体の変換利得を調整したり、キャリブレーションを行うなどしていた。しかし、製造後の個体調整は製造コストを増大させ、またキャリブレーションを行うには複雑な回路を要するため、回路規模の増大を招く。

従って、製造コストと回路規模を抑えるためには個体調整が必要なく、温度や電源電圧で変換利得が変動しない受信回路が求められる。特に、受信回路における周波数変換回路は、高周波を扱う回路のため変換利得のばらつきを抑えることが難しいことから、変換利得のばらつきが小さい周波数変換回路を実現することが極めて重要となる。

【0004】

一方、GMアンプ（トランスコンダクタンス増幅器）の相互コンダクタンス特性を一定にする技術には、特許第3977075号の図7に記述があるようなバイアス回路を用いてGMアンプを駆動する例が挙げられる。これは、信号バスに使用するGMアンプに対してトランジスタのサイズあたりの相互コンダクタンスを同一としたトランジスタを用いたレプリカアンプを利用して、レプリカアンプの相互コンダクタンス値を内部の一定電流および抵抗で生成した電圧で制御し、レプリカアンプの相互コンダクタンス値とバイアス回路内部抵抗値の積が一定になるものである。レプリカアンプで生成した電圧バイアスを信号バスのGMアンプに使用することによって、個体間のトランジスタの製造上のばらつきに由来するGMアンプの相互コンダクタンスの変動に対処し、相互コンダクタンスとバイアス回路内部抵抗値の積を一定にすることによって、種々応用回路上の特性を一定に保つものである。ただし、この技術は抵抗のばらつきに対しては、例えば集積回路として形成した場合、製造上のばらつきによって生じる抵抗値の変動を抑えることはできない。

【先行技術文献】**【特許文献】****【0005】****【特許文献1】特許第3977075号公報****【発明の概要】****【発明が解決しようとする課題】****【0006】**

周波数変換回路として、図6の構成のものがある。図6の差動入力ポート11、12から回路に入力されたRF周波数の受信信号は、GMアンプ100により、電圧電流変換され、受信電流信号として出力される。

GMアンプ100はトランジスタTr1～Tr4を含んで構成され、NMOSトランジスタであるTr1およびTr2はそれらの各ソースがグラウンドに接続され、それらの各

10

20

30

40

50

ゲートは容量 C a 1 および C a 2 を介して差動入力ポート 1 1、1 2 に接続され、且つ、各対応する抵抗 R a 1 および R a 2 を介して図示の X 点から電圧バイアスが供給される。

【0007】

トランジスタ Tr 1 および Tr 2 の各ドレインは PMOS トランジスタ Tr 3 および Tr 4 の各対応するドレインにそれぞれ接続され、該接続による両接続部が出力端となる。

トランジスタ Tr 3 および Tr 4 はそれらの各ソースが電源に接続され、それらの各ゲートには電圧バイアスが印加される。

GM アンプ 100 から出力された電流信号は、スイッチング回路部 200 に入力される。スイッチング回路部 200 は、容量 C b 1 および 抵抗 R b 1 による HPF (ハイパスフィルタ。以下同様) 1、容量 C b 2 および 抵抗 R b 2 による HPF 2 により低周波成分が除去される。10

【0008】

上述のように低周波成分が除去された後、各ゲートに正極性及び負極性のローカル信号がこの順に各対応して入力される各 MOS トランジスタ Tr 5 および Tr 6 によるスイッチング回路 21、および、各ゲートに負極性及び正極性のローカル信号がこの順に各対応して入力される各 MOS トランジスタ Tr 7 および Tr 8 によるスイッチング回路 22 により、ローカル周波数でスイッチングされることによって周波数変換が施され、ダウンコンバートされる。

【0009】

ダウンコンバートされた受信電流信号は、差動間に挿入された容量 C c によりその高周波成分が除去される。そして、受信電流信号は IV 変換部 300 で電流-電圧変換され、最終的に周波数変換が行われた電圧信号として出力される。20

この構成では、まず GM アンプ 100 の相互コンダクタンス値がばらつくことによって、周波数変換回路全体の変換利得が変動する。この GM アンプ 100 の相互コンダクタンスを、特許第 3977075 号公報の図 7 に記述があるようなバイアス回路をもちいて補正を行った場合でも、バイアス回路が持つ抵抗のばらつきにより、周波数変換回路全体の変換利得を十分に抑えることができない。

本発明はこの点に鑑みて考案されたものであり、変換利得のばらつきを極めて小さく抑える周波数変換回路を提供することを目的とするものである。

【課題を解決するための手段】

【0010】

上記目的を達成するために、下記の技術を提案する。

入力電圧信号を相互コンダクタンスにより該入力電圧信号の電圧値と相互コンダクタンスの積に相当する電流信号に変換する GM アンプと、

前記 GM アンプによって当該入力電圧信号を変換して得られた電流信号をローカル信号でミキシングして周波数変換を行うミキサと、

前記ミキサでの周波数変換によって得られた電流信号を電圧信号に変換する IV 変換アンプと、

前記 GM アンプへバイアス電圧を供給する GM 校正回路と、
を備える周波数変換回路において、40

該 GM 校正回路は、

前記 GM アンプに用いるトランジスタとそのサイズあたりの相互コンダクタンスを同一としたトランジスタを用いたレプリカアンプを内部に有し、

前記レプリカアンプに、抵抗と第 1 電流源からの電流との積に相当する DC 電圧を入力し、前記レプリカアンプからの電流出力を所定の電流値になるように、該レプリカアンプの電圧バイアスを設定し、前記抵抗の分割点の電圧を前記 GM アンプに供給し、

前記 GM 校正回路に用いる該抵抗を R 1、第 1 電流源からの電流値を I 1、前記レプリカアンプからの電流出力の電流値を I 2 とし、前記 IV 変換アンプの IV 変換に用いる抵抗値が R 0 のとき、周波数変換の変換利得が $(R_0 / R_1) \times (I_2 / I_1)$ の定数倍となることを特徴とする周波数変換回路。50

【発明の効果】**【0011】**

本発明により変換利得が一定でばらつかない周波数変換回路が実現できる。特に半導体集積回路に用いた場合、製造プロセス上のばらつきによる個体間の信号ゲインのばらつきおよび温度、電源電圧変化による信号ゲインの変動が極めて小さい周波数変換回路を提供することができる。

【図面の簡単な説明】**【0012】**

【図1】本発明の一つの実施の形態としての周波数変換回路を表す図である。

【図2】図1におけるバイアス回路の構成例を示す回路図である。

10

【図3】図1におけるIV変換部の構成例を示す回路図である。

【図4】本発明の他の実施の形態としての周波数変換回路の構成を表す回路図である。

【図5】本発明の更に他の実施の形態としての周波数変換回路の構成を表す回路図である。

【図6】周波数変換回路の一例を示す図である。

【発明を実施するための形態】**【0013】**

以下、図面を参照して本発明の実施の形態につき詳述することにより本発明を明らかにする。

図1は、本発明の一つの実施の形態としての周波数変換回路を表す図である。

20

図1における周波数変換回路は、GMアンプ10、スイッチング回路部20、IV変換部30および、バイアス回路40を含んで構成される。

この周波数変換回路の入力端でありGMアンプ10の入力端である差動入力ポート11、12から入力されたRF周波数の受信信号は、GMアンプ10により、電圧電流変換され、受信電流信号として次段のスイッチング回路20に向けて出力される。

【0014】

GMアンプ10はトランジスタTr1～Tr4を含んで構成され、NMOSトランジスタであるTr1およびTr2はそれらの各ソースがグラウンドに接続され、それらの各ゲートは容量Ca1およびCa2を介して差動入力ポート11、12に接続され、各対応する抵抗Ra1およびRa2を介して図示のX点に接続されたバイアス回路40から電圧バイアスが供給される。

30

トランジスタTr1およびTr2の各ドレインはPMOSトランジスタTr3およびTr4の各対応するドレインに接続されて、該接続による両接続部がGMアンプ10の出力端となる。

【0015】

トランジスタTr3およびTr4はそれらの各ソースが電源に接続され、それらの各ゲートには電圧バイアス（電圧バイアス1）が印加される。

GMアンプ10から出力された電流信号は、スイッチング回路部20に入力される。スイッチング回路部20は、容量Cb1および抵抗Rb1によるHPF1、容量Cb2および抵抗Rb2によるHPF2により低周波成分が除去される。

40

【0016】

上述のように低周波成分が除去された後、各ゲートに正極性及び負極性のローカル信号がこの順に各対応して入力される各MOSトランジスタTr5およびTr6によるスイッチング回路21、および、各ゲートに負極性及び正極性のローカル信号がこの順に各対応して入力される各MOSトランジスタTr7およびTr8によるスイッチング回路22により、ローカル周波数でスイッチングされることによって周波数変換が施され、ダウンコンバートされる。

即ち、スイッチング回路部20は、受信された信号をGMアンプ10により電圧電流変換して得た電流信号をローカル信号でミキシングして周波数変換を行うミキサを構成している。

50

【0017】

ダウンコンバートされた受信電流信号は、差動間に挿入された容量 C_c によりその高周波成分が除去される。そして、受信電流信号は I V 変換アンプで構成される I V 変換部 30 で電流-電圧変換され、最終的に周波数変換が行われた電圧信号として出力される。

上述の構成において、バイアス回路 40 から X 点に与える電圧バイアスは、より高い電圧を与える程、G M アンプ 10 の相互コンダクタンスが増加する傾向を呈し、この結果、周波数変換回路全体の変換利得が増加するように作用する。

即ち、バイアス回路 40 は、G M アンプ 10 へ上述のようなバイアス電圧を供給する G M 校正回路を構成している。

【0018】

10

尚、上述の構成例ではスイッチング回路部 20 に、敢て、容量 $C_b 1$ および抵抗 $R_b 1$ による H P F 1、容量 $C_b 2$ および抵抗 $R_b 2$ による H P F 2 を設け、これにより低周波成分を除去するように構成しているが、これら H P F 1 および H P F 2 を設けることは必ずしも必須の要件ではない。設計上の要求仕様によっては、これら H P F 1 および H P F 2 を設けない構成を探る方が要請に適っている場合もあり得る。

また、上述の差動間に挿入された容量 C_c についても、これを設けることは必ずしも必須の要件ではなく、設計上の要求仕様に応じて適宜設けられ、或いは、用いない。

【0019】

図 1 の周波数変換回路では、上述の作用を利用して、バイアス回路 40 として、特許第 3977075 号公報（特にその図 7 およびその関連記載）に開示されているようなバイアス回路を用いる。

20

図 2 は、上述のバイアス回路 40 の構成例を示す回路図である。

図 2 において、トランジスタ Tr 21 ~ Tr 24 は、図 1 における Tr 1 ~ Tr 4 と同じ種類で、トランジスタのサイズあたりの相互コンダクタンスを同一としている。より詳細には、一般にトランジスタのゲート長 L とゲート幅 W に対し、W / L が同じトランジスタを使用する。これをレプリカアンプと呼ぶこととする。

抵抗 R 20（抵抗値 R 1）は、その抵抗値を半分に分割できるように、2つ以上の抵抗（図示の例では、抵抗値が等しく R 20 / 2 である抵抗 R 11 および R 12）を直列に接続して実現する。Tr 25 は Tr 24（Tr 4）と同じ種類でサイズあたりの相互コンダクタンスを同一とするトランジスタを使用する。

30

【0020】

以下、図 2 に示した回路の動作を説明する。

電流源 21 により生成された電流 I1 により、図 2 の点線枠で囲まれた抵抗 R 20 の両端である A 点および B 点の間には、

$$V_{A-B} = R_1 \times I_1$$

で表される電圧差が生じる。この電圧差がトランジスタ Tr 21 およびトランジスタ Tr 22 のゲート電圧として印加され、トランジスタ Tr 21 ~ Tr 24 で構成されるレプリカアンプの相互コンダクタンス値に応じた電流がトランジスタ Tr 22 およびトランジスタ Tr 24 の接続点から出力され電流源 22 へと注入される。

【0021】

40

図 2 の C 点は抵抗 R 20 を 2 つに分割した点であり、AC 間、BC 間の抵抗値はそれぞれ R 20 / 2 である。

C 点の電圧はレプリカアンプに入力される電圧のコモン電圧となる。この点 C の電圧はレプリカアンプの出力電流と電流源 22 が生成する電流値 I2 が等しくなるようにフィードバックがかかるようになる。フィードバックにより定常となったレプリカアンプの出力電流が電流源 22 が生成する電流値 I2 と等しくなったときのレプリカアンプの相互コンダクタンス値は

$$g_m = I_2 / V_{A-B} = (1 / R_1) \times (I_2 / I_1)$$

で示される。

【0022】

50

この点Cをそのまま図1のX点に接続して使用するか、もしくは図2に示されているようにトランジスタTr26～Tr29で構成されるカレントミラー回路により複製した点Dを図1のX点に接続して使用することにより、図1のGMアンプ10を図2のレプリカアンプと等しいコモン電圧で動作させることができ、その結果、図1のGMアンプ10の相互コンダクタンス値 g_m を図2のレプリカアンプの相互コンダクタンスと等しくすることができます。

【0023】

図3は、図1におけるIV変換部30の構成例を示す回路図である。

図3のIV変換部30は、IV変換アンプであり、オペアンプ31と抵抗R31およびR32（何れも、抵抗値R0）で構成される。この抵抗R31およびR32は図2に示す抵抗R21と同じ素材、同じサイズの抵抗を用いて構成し、R0とR1の抵抗比が精度良く設定可能であるようにする。10

このときの周波数変換回路全体の変換利得Gは、スイッチング回路部20の利得が十分1倍すなわち0dBに近いとすると、

$$G = g_m \times R_0 = (R_0 / R_1) \times (I_2 / I_1)$$

で表される。

この式に示されるように、周波数変換回路の変換利得は抵抗R0とR1の比と、電流源21および電流源22の電流比のみで決められる一定値となり、変換利得はばらつかない。

【0024】

特に半導体集積回路に応用した場合、プロセスばらつきや温度変化によって抵抗R0およびR1の絶対値や個々のトランジスタの相互コンダクタンス値が変化するようなことがあっても、R0/R1の比が一定でありさえすれば製造上の個体間ばらつきも抑えられ、本発明における周波数変換回路全体の変換利得は一定に維持される。20

なお、本実施の形態の周波数変換回路における変換利得が一定である前提として、スイッチング回路部20の利得が十分1倍に近いと記述したが、通常十分なローカル信号強度がスイッチのゲートに供給された場合、十分1倍に近い同一の利得が各スイッチで得られることが知られている。

【0025】

以上、図1ないし図3を参照して説明した周波数変換回路の構成および作用は、次のように要約することができる。30

図1のGMアンプ10はバイアス回路40から供給される電圧バイアスの大きさに応じてその相互コンダクタンスが調整可能なアンプである。

図2にその回路構成が示されたバイアス回路40は、GMアンプ10とサイズあたりの相互コンダクタンスが同一となるトランジスタを用いて構成されたレプリカアンプを内部に持つ。

【0026】

このレプリカアンプには、内部の電流源21の電流 I_1 と抵抗値R1により生成した電圧差が入力され、レプリカアンプの出力電流を電流源22の電流 I_2 と一致するようにフィードバックをかけることで、レプリカアンプの相互コンダクタンスと抵抗R1との積が一定となるように収束する。40

図2における抵抗R1を半分に分割したC点をGMアンプ10のバイアスとして用いることにより、GMアンプ10の相互コンダクタンスとバイアス回路40の内部抵抗R1との積が一定となるGMアンプ10を実現することができる。

【0027】

GMアンプ10はローカル信号でミキシングして周波数変換を行うミキサ（既述の例ではスイッチング回路部200）に接続される。

周波数変換されたミキサ出力は、図3に示すIV変換部30でその抵抗R31およびR32の抵抗値R0により電流信号から電圧信号に変換され出力される。

これにより、周波数変換回路全体の変換利得はIV変換部30の抵抗R31およびR32の抵抗値R0とバイアス回路40内の抵抗R20の抵抗値R1との比で決まる一定値とな50

るため、変換利得のばらつきが極めて小さく抑制された周波数変換回路を実現することができる。

【0028】

図4は、本発明の他の実施の形態としての周波数変換回路の構成を表す回路図である。

図1の実施の形態ではGMアンプ10に差動回路を適用したが、図4の実施の形態では、図1のGMアンプ10に替えて、図示のように、入力および出力をシングルエンドで行うように構成したGMアンプ10aを適用している。

GMアンプ10aはトランジスタTr1～Tr4を含んで構成され、NMOSトランジスタであるTr1およびTr2はそれらの各ソースがグラウンドに接続され、トランジスタのTr1のゲートが容量Ca41を介してシングル入力ポート41に接続されると共に、抵抗Ra1を介して図示のX点に接続されたバイアス回路40から電圧バイアスが供給される。
10

【0029】

またトランジスタTr2のゲートは抵抗Ra2を介して図示のX点に接続されたバイアス回路40から電圧バイアスが供給される。

上述の構成において、バイアス回路40からX点に与える電圧バイアスは、より高い電圧を与える程、GMアンプ10の相互コンダクタンスが増加する傾向を呈し、この結果、周波数変換回路全体の変換利得が増加するように作用する。

即ち、バイアス回路40は、GMアンプ10へ上述のようなバイアス電圧を供給するGM校正回路を構成している。
20

【0030】

トランジスタTr1およびTr2の各ドレインはPMOSトランジスタTr3およびTr4の各対応するドレインに接続され、該接続による両接続部のうちトランジスタTr3とトランジスタTr1との接続部がGMアンプ10aの出力端となる。

そして、このGMアンプ10aの後段に、スイッチング回路部20aを接続している。

シングル入力ポート41への入力信号はこのスイッチング回路部20aでローカル周波数によってスイッチングされることによって周波数変換が施され、ダウンコンバートされる。

【0031】

即ち、スイッチング回路部20aは、受信された信号をGMアンプ10aにより電圧電流変換して得た電流信号をローカル信号でミキシングして周波数変換を行うミキサを構成している。
30

図示のように、スイッチング回路部20aは、各ゲートに正極性及び負極性のローカル信号がこの順に各対応して入力される各MOSトランジスタTr45およびTr46によるスイッチング回路41が接続され、更にその後段に、既述のようなIV変換部30が接続されている。

そして、上述のようにしてダウンコンバートされた受信電流信号は、IV変換部30で電流-電圧変換され、最終的に周波数変換が行われた電圧信号として出力される。

【0032】

以上、図4を参照して説明したような回路でも変換利得が一定に保たれる周波数変換回路を実現することができる。
40

図5は、本発明の更に他の実施の形態としての周波数変換回路の構成を表す回路図である。この実施の形態では、GMアンプ10aとして図4におけるものと同様の回路を適用し、更に、図示のように、スイッチング回路部20bおよびIV変換部30bも、何れもシングルエンドで行う回路を適用している。

【0033】

即ち、図5の実施の形態における周波数変換回路でも、GMアンプ10aは、GM校正回路を構成するバイアス回路40から上述のようなバイアス電圧の供給を受ける。

即ち、スイッチング回路部20bはMOSトランジスタTr55によって構成され、シングル入力ポート41への入力信号はこのスイッチング回路部20bでローカル周波数に
50

よってスイッチングされることによって周波数変換が施され、ダウンコンバートされる。

【0034】

即ち、スイッチング回路部 20 b は、受信された信号を G M アンプ 10 a により電圧電流変換して得た電流信号をローカル信号でミキシングして周波数変換を行うミキサを構成している。

そして、上述のようにしてダウンコンバートされた受信電流信号は、シングルエンドで行う I V 変換アンプである I V 変換部 30 b で電流-電圧変換され、最終的に周波数変換が行われた電圧信号として出力される。

以上、図 5 を参照して説明したような回路でも同様に変換利得が一定に保たれる周波数変換回路を実現することができる。

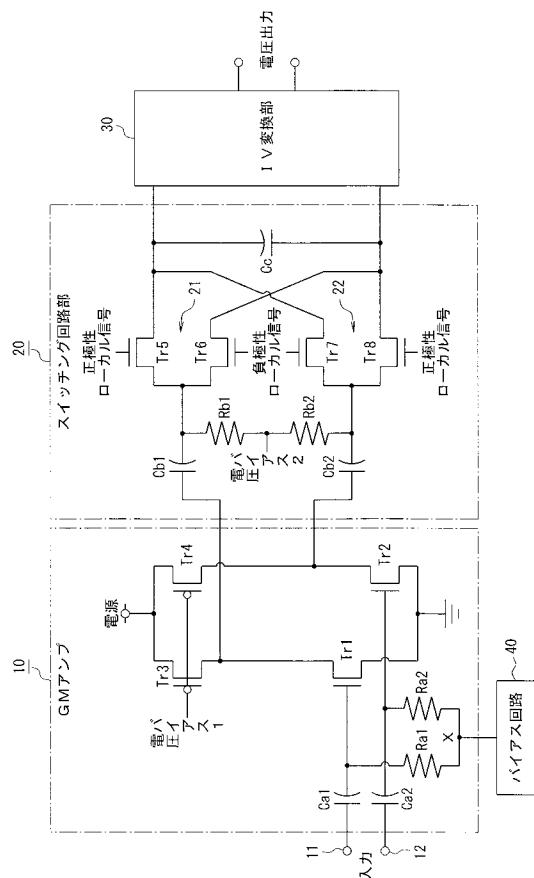
10

【符号の説明】

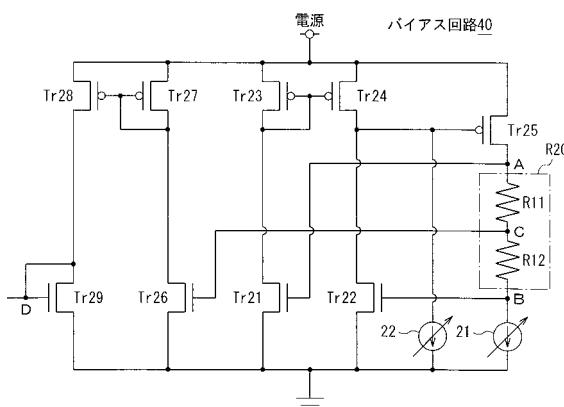
【0035】

- 10, 10 a, 100 G M アンプ
- 20, 20 a, 20 b, 200 ... スイッチング回路部
- 30, 30 b I V 変換部
- 40 バイアス回路

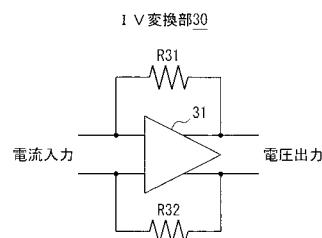
【図 1】



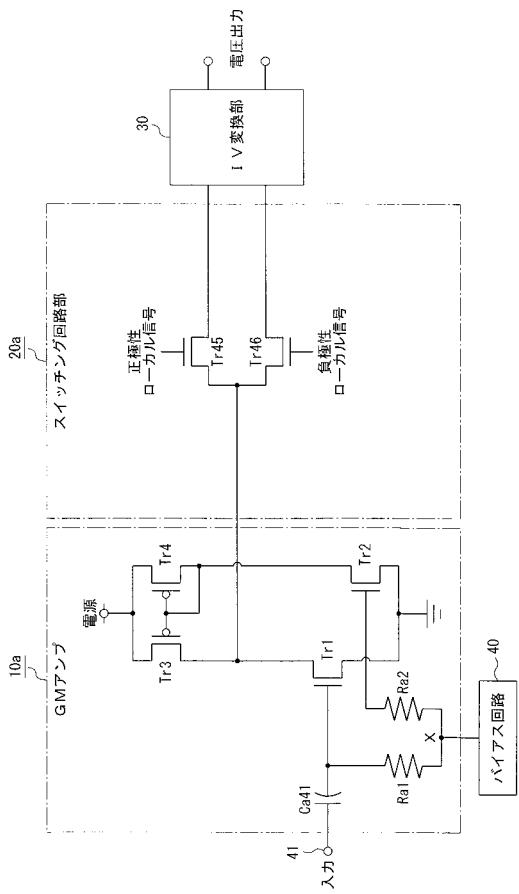
【図 2】



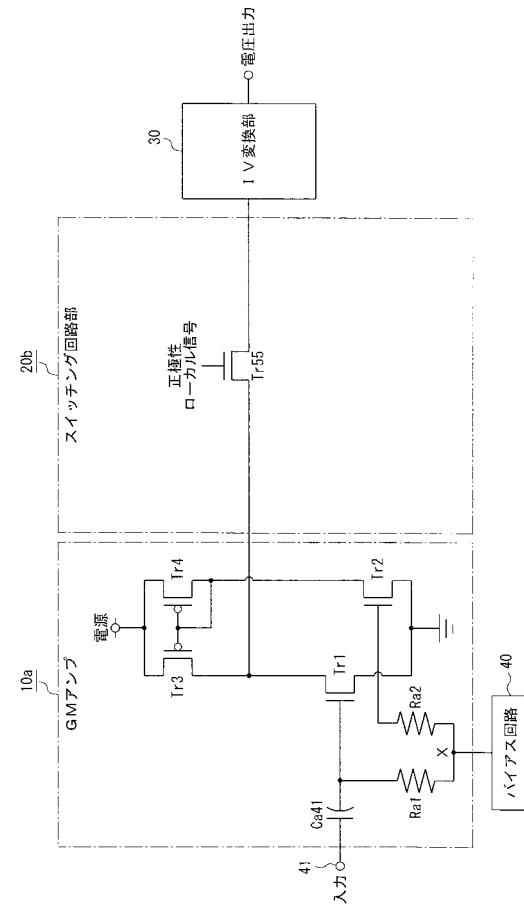
【図 3】



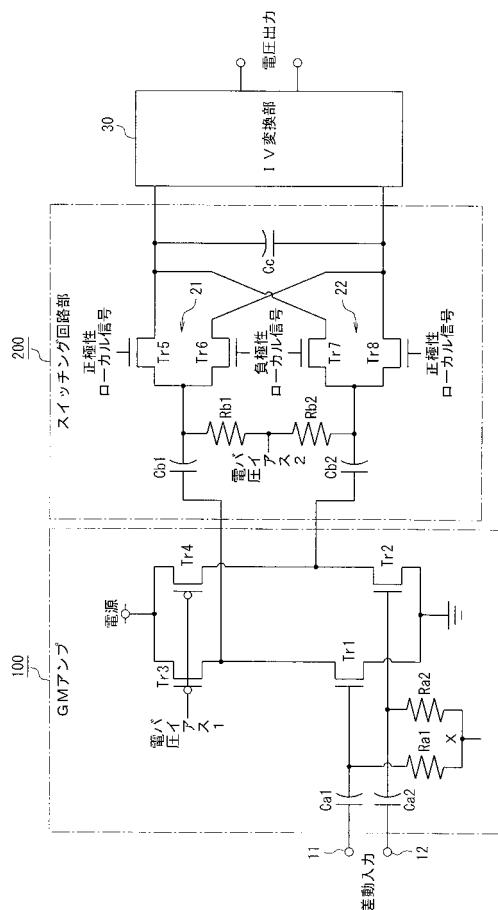
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2009-111632(JP,A)

特開2001-251149(JP,A)

特開2007-142757(JP,A)

特開2006-074380(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45, 3/50-3/52,

3/62-3/64, 3/68-3/72

H03D 7/14