

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication :

2 945 891

(à n'utiliser que pour les
commandes de reproduction)

21 N° d'enregistrement national :

09 53309

51 Int Cl⁸ : H 01 L 51/30 (2006.01), H 01 L 51/40

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 19.05.09.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 26.11.10 Bulletin 10/47.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE Etablissement public à caractère industriel et
commercial — FR.

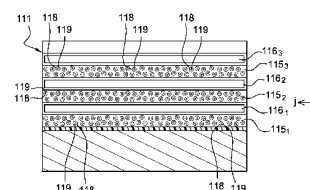
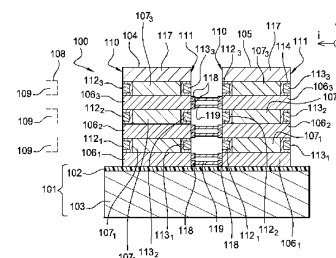
72 Inventeur(s) : PERNEL CAROLE et DUPRE CECI-
LIA.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMI-
QUE Etablissement public à caractère industriel et com-
mercial.

74 Mandataire(s) : CABINET CAMUS LEBKIRI.

54 STRUCTURE SEMICONDUCTRICE ET PROCEDE DE REALISATION D'UNE STRUCTURE SEMICONDUCTRICE.

57 La présente invention concerne une structure semi-conductrice (100) comportant un support (101) et au moins un bloc (104) reposant sur le support. Le bloc comporte un empilement incluant une alternance de couches (106₁, 106₂, 106₃) à base d'un premier matériau semiconducteur et de couches (107₁, 107₂, 107₃) à base d'un deuxième matériau semiconducteur différent du premier matériau, lesdites couches (106₁, 106₂, 106₃) présentant des dimensions supérieures aux couches (107₁, 107₂, 107₃) de sorte que l'empilement possède un profil latéral dentelé (108, 308) et une pluralité de bouchons (112₁, 112₂, 112₃, 113₁, 113₂, 113₃) comblant les espaces formés par le profil dentelé (108), les bouchons étant réalisés dans un troisième matériau différent du premier matériau de sorte que chacune des faces latérales (110) du bloc (104) présente une alternance de bandes latérales à base du premier matériau et de bandes latérales à base du troisième matériau. Au moins une des faces latérales (110, 111) du bloc est revêtue partiellement d'un matériau (118) favorisant la croissance de nanotubes ou de nanofils (119), le matériau catalyseur (118) revêtant exclusivement les bandes latérales à base du premier matériau ou exclusivement les bandes latérales à base du troisième matériau.



FR 2 945 891 - A1



Structure semiconductrice et procédé de réalisation d'une structure semiconductrice

La présente invention concerne une structure semiconductrice ainsi qu'un procédé de réalisation de cette structure semiconductrice. L'invention trouve une application particulièrement intéressante dans le domaine de composants électroniques à base de nanofils de matériaux semiconducteurs (Si, Ge, SiGe, GaAs,...) ou à base de nanotubes, typiquement des nanotubes de carbone semiconducteur.

Au cours des dernières années, l'intérêt de la microélectronique pour les nano-objets, par exemple les nanofils semiconducteurs ou les nanotubes de carbone, dits NTC, a été très largement démontré.

C'est par exemple le cas des transistors à effet de champ possédant une structure de canal à nanofils semiconducteurs permettant d'améliorer deux facteurs normalement incompatibles : leur vitesse de fonctionnement et leur consommation.

Pour augmenter la vitesse de fonctionnement, on peut notamment réduire la taille des transistors ; toutefois, le fait de diminuer la taille des transistors implique par exemple le rapprochement de la source et du drain et la réalisation d'un canal de longueur de plus en plus faible. Cette tendance peut entraîner des effets néfastes au bon fonctionnement des transistors tels que des effets de canaux courts. Ainsi, à mesure que l'on diminue la longueur du canal des transistors, le drain et la source ont une influence de plus en plus importante sur la conduction du canal, normalement contrôlée par la grille. Les « effets de canaux courts » entraînent, entre autres, une diminution de la tension seuil avec la longueur de canal et la tension de drain, ce qui entraîne une augmentation de la fuite du transistor à l'état bloqué. Ceci n'est guère compatible avec l'amélioration des performances des circuits intégrés.

Une solution connue aux problèmes mentionnés ci-dessus consiste à proposer des transistors comportant un canal formé de plusieurs nanofils semiconducteurs permettant de diminuer les effets de canaux courts.

Un procédé connu pour former des nanofils semiconducteurs de silicium est la croissance par VLS-CVD (« Vapor-Liquid-Solid-Chemical-Vapor-Deposition »). Les premiers travaux concernant ce procédé ont débuté au cours des années 60. Le principe de cette technique consiste à déposer un grain d'or sur la surface d'un substrat puis à chauffer l'ensemble à une température voisine de 400°C. Les grains d'or préalablement déposés sur le substrat forment un mélange eutectique avec le Si à 343°C. Un flux de gaz, du SiCl₄ par exemple, permet la réduction du Si sur les gouttes du mélange Au-Si qui jouent leur rôle de catalyseur. Les gouttes du mélange Au-Si absorbent le Si qui précipite, entraînant la croissance des nanofils de Si. Depuis 2000, des travaux tels que la catalyse métallique MBE (« Molecular Beam Epitaxy ») et CBE (« Chemical Beam Epitaxy ») qui permettent un meilleur contrôle de la composition chimique, de la structure cristalline, des défauts et des états de dopage des nanofils sont venus compléter cette technique. Cependant, avec un tel type de procédé, la maîtrise du positionnement, de l'organisation et de la répartition des nanofils est très difficile à obtenir.

Une alternative à cette approche ascendante (ou « bottom-up » en anglais) et permettant de s'affranchir des problèmes précités consiste à utiliser une approche descendante ou « top-down » en anglais. Une telle approche est par exemple décrite dans l'article « Novel 3D integration process for highly scalable Nano-Beam stacked channels GAA (NBG) FinFETs with HfO₂/TiN gate stack » (Ernst et al. - IEEE International Electron Devices Meeting IEDM, pp. 997-999, Technical Digest 2006). Ce procédé permet notamment d'obtenir des transistors à effet de champ multicanaux utilisant une matrice de nanofils de silicium répartis à la fois horizontalement et verticalement. Pour ce faire, la première étape consiste à faire croître par épitaxie un super-réseau composé d'un empilement de couches minces sur un substrat du type semiconducteur sur isolant ou SOI (« Silicon On Insulator »). L'empilement est par exemple formé par une alternance de couches à base d'un premier matériau tel que du SiGe et de couches à base d'un deuxième matériau tel que du Si. La matrice de nanofils est ensuite obtenue

par lithographie électronique puis par étapes successives de gravure anisotrope puis isotrope et sélective.

Ce procédé présente toutefois également certaines difficultés. En effet, la densité de nanofils obtenus est limitée par le « pitch », c'est-à-dire l'espace-
5 ment entre deux fils dans la direction parallèle au wafer. Pour obtenir un espacement réduit, il est dès lors indispensable d'utiliser une lithographie électronique (ou lithographie « ebeam ») ou toute autre technique de lithographie avancée (telle que par exemple la lithographie Extreme Ultra Violet EUV) offrant une meilleure résolution qu'une photolithographie. Toutefois, il paraît difficile de continuer à diminuer la distance entre les nanofils à cause des effets de proximité (rétrodiffusion des électrons) dans le cas de la lithographie électronique. Cet espacement relativement important entre les nanofils rend difficile l'augmentation de la densité de courant délivrée pour une matrice de nanofils de taille fixée. Cette limitation présente donc un in-
10 convénient majeur dans la mesure où l'intérêt des transistors à matrice de nanofils réside précisément dans le fait de rechercher une grande densité de nanofils afin d'obtenir de forte densité de courant permettant de palier la très faible densité de courant délivrée par un seul nanofil, notamment par rapport à un transistor planaire classique.

Ce problème d'espacement peut être résolu en utilisant des espac-
20 ceurs afin de doubler ou même quadrupler les colonnes de fils ; une telle technique est notamment décrite dans l'article « Sub-20nm CMOS FinFET Technologies » (Choi et al. - IEDM Tech. Dig., p. 421, 2001). Néanmoins une telle technique implique des étapes supplémentaires compliquant considérablement le procédé.
25

Par ailleurs, aucune des approches descendantes décrites ci-dessus pour l'obtention de structure en trois dimensions ne permet d'intégrer des nanotubes tels que des nanotubes de Carbone, ces derniers étant obtenus uniquement par croissance. Un exemple d'intégration horizontale de nano-
30 tubes de carbone est décrit dans la demande de brevet WO2007/126412. Selon ce document, les NTC sont organisés dans le plan du substrat ; dès lors, cette technique ne permet pas d'obtenir des NTC en trois dimensions.

Dans ce contexte, la présente invention a pour but de fournir une structure semiconductrice permettant de s'affranchir des problèmes précités et d'intégrer en trois dimensions des nanofils ou des nanotubes tels que des nanotubes de carbone selon une approche ascendante ou « bottom-up » et permettant d'obtenir une densité importante de nanofils ou de nanotubes.

A cette fin, l'invention propose une structure semiconductrice comportant :

- un support ;
- au moins un bloc reposant sur ledit support, ledit bloc comportant :
 - un empilement incluant une alternance de couches à base d'un premier matériau semiconducteur et de couches à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur, lesdites couches à base dudit premier matériau semiconducteur présentant des dimensions supérieures aux couches à base dudit deuxième matériau semiconducteur de sorte que ledit empilement possède un profil latéral dentelé ;
 - une pluralité de bouchons comblant les espaces formés par ledit profil dentelé entre les couches à base dudit premier matériau semiconducteur et les couches à base dudit second matériau semiconducteur, lesdits bouchons étant réalisés dans un troisième matériau différent dudit premier matériau semiconducteur de sorte que chacune des faces latérales dudit bloc présente une alternance de bandes latérales à base dudit premier matériau et de bandes latérales à base dudit troisième matériau ;

ladite structure **étant caractérisée en** ce qu'au moins une des faces latérales dudit bloc est revêtue partiellement d'un matériau favorisant la croissance de nanotubes ou de nanofils exclusivement sur les bandes latérales à base dudit premier matériau semiconducteur ou exclusivement sur les bandes latérales à base dudit troisième matériau, ledit matériau revêtant exclusivement les bandes latérales à base dudit premier matériau semi-

conducteur ou exclusivement les bandes latérales à base dudit troisième matériau.

Grâce à l'invention, on obtient une nanostructure comportant au moins une face latérale verticale (par rapport au substrat horizontal) bi-matériaux. En d'autres termes, cette face latérale verticale est composée

5 d'une alternance de bandes réalisées dans deux matériaux différents, typiquement un matériau semiconducteur (le premier matériau semiconducteur) tel que du Si et un matériau isolant (le troisième matériau) tel que par exemple du nitrure Si_3N_4 . Cette alternance de bandes de matériaux différents

10 permet de revêtir une série de bandes (par exemple les bandes de Si en tant que premier matériau) d'un matériau catalyseur pour la croissance de nanotubes ou de nanofils, par exemple sous la forme de grains (« nanodots » en anglais) d'or pour la croissance de nanofils de silicium. Ce revêtement catalytique est sélectif ; en d'autres termes, le matériau catalyseur

15 revêt uniquement la première série de bandes réalisées dans le premier matériau et ne revêt pas les bandes réalisées dans le troisième matériau formant les bouchons. Le revêtement peut par exemple être obtenu par une fonctionnalisation de la surface de silicium ou par une siliciuration de la surface de silicium (i.e. formation de NiSi). Une telle structure permet de réaliser

20 la croissance de nanofils ou de nanotubes sur plusieurs niveaux à partir de la surface latérale verticale.

On notera qu'il est également possible de réaliser le revêtement catalytique sélectif sur les bandes formées par les bouchons (par exemple des bouchons métalliques). Ces revêtements catalytiques peuvent alors être obtenus par dépôt électrolytique sur les bouchons métalliques.

25

De façon générale, la surface bi-matériaux permet de déposer le catalyseur uniquement sur les bandes à base d'un des deux matériaux puis de réaliser la croissance de nanofils ou de nanotubes à partir de la surface latérale verticale. La structure selon l'invention permet de réaliser la croissance

30 de nanofils ou de nanotubes pour obtenir une matrice en s'affranchissant de l'étape de lithographie (cf. l'article « Novel 3D integration process for highly scalable Nano-Beam stacked channels GAA (NBG) FinFETs with HfO_2/TiN gate stack » (Ernst et al. - IEEE International Electron Devices Meeting

IEDM, pp. 997-999, Technical Digest 2006) précédemment cité). La structure permet ainsi d'intégrer des nanofils avec un espacement beaucoup plus réduit entre eux (typiquement 10 nm versus 80 nm pour des procédés utilisant la lithographie). Cette configuration permet donc d'augmenter la densité d'intégration de nanofils et donc la densité de courant délivrée par une matrice de taille fixée.

La structure selon l'invention peut également présenter une ou plusieurs des caractéristiques ci-dessous, considérées individuellement ou selon toutes les combinaisons techniquement possibles :

- 10 - le matériau est un matériau catalyseur pour la croissance de nanotubes ou de nanofils ;
- la structure selon l'invention comporte deux blocs se faisant face de sorte que les bandes latérales desdits deux blocs revêtues dudit matériau catalyseur sont en regard les unes des autres ;
- 15 - lesdits deux blocs sont connectés par une pluralité de nanofils ou de nanotubes, chacun desdits nanofils ou desdits nanotubes reliant une bande latérale du premier bloc revêtue du matériau catalyseur à une bande latérale du deuxième bloc revêtue du matériau catalyseur et en regard de la bande latérale dudit premier bloc ;
- 20 - ledit matériau catalyseur pour la croissance de nanotubes ou de nanofils revêt partiellement lesdites bandes latérales sous forme de grains ou « nanodots » espacés le long desdites bandes ;
- l'épaisseur desdites couches à base dudit premier matériau semi-conducteur et/ou desdites couches à base dudit deuxième matériau
- 25 - l'épaisseur desdites couches à base dudit deuxième matériau semi-conducteur est comprise entre 10 et 50 nm ;
- ledit premier matériau semi-conducteur est le Si et ledit deuxième matériau semi-conducteur est le SiGe ;
- lesdits bouchons sont réalisés dans un matériau isolant, ledit matériau catalyseur revêtant exclusivement les bandes latérales à base
- 30 - lesdits bouchons sont réalisés dans un matériau isolant, ledit matériau catalyseur revêtant exclusivement les bandes latérales à base dudit premier matériau semi-conducteur ;
- lesdits bouchons sont formés par une première partie réalisée dans un premier matériau diélectrique tel que du SiO₂ HTO « High Thermal Oxyde » et d'une deuxième partie réalisée dans un second matériau

diélectrique tel qu'un nitrure de silicium du type Si_3N_4 , ledit second matériau diélectrique correspondant au dit troisième matériau des bandes latérales ;

- 5 - ledit troisième matériau desdits bouchons est un métal, ledit matériau catalyseur revêtant exclusivement les bandes latérales à base dudit métal ;
- ledit support est un substrat comportant une couche semiconductrice tel qu'un substrat SOI (silicium sur isolant), Si ou Ge.

10 La présente invention a également pour objet un procédé de réalisation d'une structure semiconductrice comportant :

- un support ;
- au moins un bloc reposant sur ledit support, ledit bloc comportant :
 - 15 ○ un empilement incluant une alternance de couches à base d'un premier matériau semiconducteur et de couches à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur, lesdites couches à base dudit premier matériau semiconducteur présentant des dimensions supérieures aux couches à base dudit deuxième matériau semiconducteur de sorte que ledit empilement possède un profil latéral dentelé ;
 - 20 ○ une pluralité de bouchons comblant les espaces formés par ledit profil dentelé entre les couches à base dudit premier matériau semiconducteur et les couches à base dudit second matériau semiconducteur, lesdits bouchons étant réalisés dans un
 - 25 troisième matériau différent dudit premier matériau semiconducteur de sorte que chacune des faces latérales dudit bloc présente une alternance de bandes latérales à base dudit premier matériau et de bandes latérales à base dudit troisième matériau ;

30 ledit procédé **étant caractérisé en** ce qu'il comporte une étape de revêtement partielle d'au moins une des faces latérales dudit bloc par un matériau favorisant la croissance de nanotubes ou de nanofils exclusivement sur les bandes latérales à base dudit premier matériau semiconducteur ou exclusi-

vement sur les bandes latérales à base dudit troisième matériau, ladite étape de revêtement étant sélective de sorte que ledit matériau revêt exclusivement les bandes latérales à base dudit premier matériau semi-conducteur ou exclusivement les bandes latérales à base dudit troisième matériau.

Le procédé selon l'invention peut également présenter une ou plusieurs des caractéristiques ci-dessous, considérées individuellement ou selon toutes les combinaisons techniquement possibles :

- le matériau est un matériau catalyseur pour la croissance de nanotubes ou de nanofils
- ladite étape de revêtement est une étape de fonctionnalisation des bandes latérales à base dudit premier matériau semiconducteur suivie d'une étape de dépôt de métal sur les bandes fonctionnalisées ;
- ledit premier matériau semiconducteur est le silicium et ladite étape de revêtement est une étape de siliciuration ;
- ledit troisième matériau est un métal et ladite étape de revêtement est une étape de dépôt électrolytique d'un métal sur les bandes latérales à base dudit troisième matériau ;
- le procédé selon l'invention comporte les étapes suivantes :
 - o formation d'un empilement de couches semiconductrices sur un support, ledit empilement incluant une alternance de couches superposées à base d'un premier matériau semiconducteur et de couches à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur et comportant sur ses flancs un profil dentelé formé par des sillons à base dudit deuxième matériau semiconducteur et des rainures à base dudit premier matériau semiconducteur ;
 - o réalisation de bouchons comblant les espaces formés par ledit profil dentelé entre les couches à base dudit premier matériau semiconducteur et les couches à base dudit second matériau semiconducteur ;
- lesdits bouchons sont des bouchons isolants, la réalisation desdits bouchons comportant les étapes suivantes :

- dépôt conforme d'un premier matériau diélectrique sur l'empilement à profil dentelé ;
- dépôt d'un deuxième matériau diélectrique ;
- retrait sélectif et partiel du deuxième matériau diélectrique vis-à-vis du premier matériau diélectrique.

5

La présente invention a également pour objet un transistor intégrant une structure selon l'invention caractérisé en ce que ladite structure est dotée d'une pluralité de nanofils ou de nanotubes formant chacun un canal de transistor.

10

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est donnée ci-dessous, à titre indicatif et nullement limitatif, en référence aux figures annexées, parmi lesquelles :

- La figure 1 représente une structure semiconductrice selon un premier mode de réalisation de l'invention ;
- 15 - La figure 2 représente une vue de la face latérale d'un des blocs de la structure semiconductrice de la figure 1.
- Les figures 3a à 3i illustrent les différentes étapes d'un procédé de réalisation de la structure semiconductrice telle que représentée en figure 1.
- 20 - La figure 4 représente une structure semiconductrice selon un second mode de réalisation de l'invention ;
- La figure 5 représente une vue de la face latérale d'un des blocs de la structure semiconductrice de la figure 4.

Dans toutes les figures, les éléments communs portent les mêmes numéros de référence.

25

Nous ferons référence dans ce qui suit à un repère orthogonal $[o, i, j, k]$ dans lequel le plan $[o, i, k]$ définit le plan de la feuille et le vecteur j est perpendiculaire au plan de la feuille.

La figure 1 représente une structure semiconductrice 100 selon un premier mode de réalisation de l'invention.

30

La structure 100 comporte :

- un support 101 comprenant:

- une première couche semiconductrice 102, par exemple à base de silicium sur laquelle repose ;
 - une couche isolante 103 telle qu'une couche d'oxyde enterré (« burried oxide » en anglais) à base de SiO_2 ;
- 5 - deux blocs semiconducteurs 104 et 105 espacés suivant la direction horizontale i.

Le plan [o, i, j] correspond au plan horizontal du support 101.

Chacun des deux blocs 104 et 105 a une structure identique et comporte un empilement de couches superposées suivant la direction verticale k. Cet empilement est formé d'une alternance de couches notées 106₁, 106₂ et 106₃ à base d'un premier matériau semiconducteur, tel que par exemple du Si, et de couches notées 107₁, 107₂ et 107₃ à base d'un second matériau semiconducteur différent du premier matériau semiconducteur, tel que par exemple du SiGe. Le second matériau est préférentiellement choisi pour pouvoir être gravé de manière sélective par rapport au premier matériau. Chacun des deux blocs 104 et 105 comporte par un ailleurs une couche supérieure 117 de masque dur, par exemple du Si_3N_4 .

Les couches 106₁, 106₂ et 106₃ à base du premier matériau semiconducteur et les couches 107₁, 107₂ et 107₃ à base du second matériau semiconducteur ont typiquement des épaisseurs suivant la direction k comprises entre 10 et 50 nm.

Les longueurs suivant la direction i des couches 106₁, 106₂ et 106₃ à base du premier matériau semiconducteur sont choisies supérieures aux longueurs des couches 107₁, 107₂ et 107₃ à base du second matériau semiconducteur de sorte que l'alternance des couches 106₁, 106₂ et 106₃ et des couches 107₁, 107₂ et 107₃ ait un profil latéral dentelé ou en créneaux. Ce profil est illustré par les traits discontinus 108 sur la figure 1.

Il en résulte que chaque bloc 104 et 105 comporte sur chacune de ses deux faces latérales 110 et 111 un profil dentelé avec des « sillons » en SiGe et des « rainures » en relief de Si. Chaque bloc 104 et 105 présente donc une topographie verticale organisée et dont on maîtrise les dimensions via l'épaisseur des couches de Si et de SiGe. Les espaces 109 formés par le profil dentelé 108 sont comblés totalement sur chacune des faces latéra-

les 110 et 111 respectivement par des bouchons isolants ou espaceurs 112₁, 112₂ et 112₃ (face latérale 110) et par des bouchons isolants ou espaceurs 113₁, 113₂ et 113₃ (face latérale 111). Les bouchons sont ici réalisés sous la forme de barreaux sensiblement parallélépipédiques réalisés dans un matériau diélectrique tel qu'un nitrure de silicium du type Si₃N₄. Pour des raisons technologiques liés au procédé de fabrication que nous expliciterons par la suite en référence aux figures 3a à 3i, les bouchons peuvent également être enveloppé partiellement d'une couche 114 réalisée dans un autre matériau diélectrique tel que du SiO₂ de type HTO.

La figure 2 représente une vue suivant le plan [O, j, k] de la face latérale 111 du bloc 104. Cette face 111 comporte une alternance de bandes notées 115₁, 115₂ et 115₃ à base du premier matériau semiconducteur (typiquement du Si) et de bandes notées 116₁, 116₂ et 116₃ à base du matériau diélectrique tel qu'un nitrure de silicium du type Si₃N₄.

Les bandes 115₁, 115₂ et 115₃ à base du premier matériau semiconducteur sont revêtues d'un matériau catalyseur apte à faciliter la croissance de nanotubes (typiquement des nanotubes de carbone NTC) ou de nanofils (typiquement des nanofils semiconducteurs tels que des nanofils de Si). Ce revêtement prend la forme de grains 118 (ou « nanodots » selon la terminologie anglo-saxonne). On peut par exemple utiliser des grains d'Au (revêtant les bandes 115₁, 115₂ et 115₃ à base de Si) qui constitue un excellent catalyseur pour la croissance de nanofils de Si. Comme nous le verrons par la suite lors de la description du procédé d'obtention de la structure 100, ce revêtement de nanodots 118 peut être par exemple obtenu par une fonctionnalisation de la surface de Si. On notera que le fait d'avoir deux matériaux différents pour les deux types de bandes 115₁, 115₂ et 115₃ (en Si) et 116₁, 116₂ et 116₃ (isolantes) permet de revêtir sélectivement les bandes 115₁, 115₂ et 115₃ du matériau catalyseur sans revêtir les bandes 116₁, 116₂ et 116₃.

On utilise ensuite ces grains 118 pour effectuer une croissance horizontale de nanofils 119 dans la structure confinée existant entre la surface latérale 111 du bloc 104 et la surface latérale 110 du bloc 105. On notera que, grâce à la structure selon l'invention, il est non seulement possible de

d'obtenir un empilement vertical (suivant la direction k) de nanofils mais également une répartition horizontale (suivant la direction j) de nanofils de sorte que l'on obtient une organisation en trois dimensions de nanofils. La structure permet donc notamment d'obtenir une structure multicanaux utilisant une matrice de nanofils de silicium répartis à la fois horizontalement et verticalement pour la réalisation de transistors à effet de champ multicanaux.

La structure 100 selon l'invention permet tout d'abord de déposer les catalyseurs ou précurseurs à la croissance de nanofils/nanotubes sur les surfaces latérales verticales bi-matériaux puis de réaliser la croissance des nanofils/nanotubes dans l'espace confiné existant les surfaces latérales 111 et 110 des deux blocs 104 et 105.

Le mode de réalisation décrit ci-dessus concernait plus spécifiquement la réalisation de nanofils de Si mais la structure selon l'invention permet plus généralement de réaliser un empilement de nanofils à base d'autres matériaux semiconducteurs (typiquement Ge, SiGe, GaAs) ou métalliques mais aussi de nanotubes (Graphène, Si).

La structure 100 selon l'invention décrite ci-dessus trouve une application particulièrement intéressante dans le cadre de la réalisation de transistor à multicanaux, un nanofil étant un canal du transistor. A partir de la structure 100 représentée en figure 1, il est ainsi possible de réaliser un oxyde grille autour de chaque nanofil 119 ; cet oxyde de grille peut par exemple être obtenu par oxydation du silicium des nanofils 119 ou par dépôt d'une couche de diélectrique (HfO₂ par exemple). L'épaisseur de la couche d'oxyde est typiquement au moins égale à 2nm. On peut ensuite réaliser une grille enrobante comblant le volume existant entre les oxydes de grille des nanofils 119. Le dépôt de cette grille enrobante peut par exemple être obtenu par le dépôt de polysilicium dopé ou d'un mélange de métal et de polysilicium dopé. Le procédé de dépôt de la grille est par exemple un procédé de type CVD (« Chemical Vapor Deposition » en anglais) de façon à obtenir un dépôt conforme qui enrobe l'ensemble des nanofils 119.

Les figures 3a à 3i illustrent les différentes étapes d'un procédé de réalisation de la structure semiconductrice 100 telle que représentée en figure 1.

5 La première étape de ce procédé illustrée sur la figure 3a, consiste à réaliser un empilement de couches minces sur un substrat, qui peut être de type semi-conducteur sur isolant, et comprendre une première couche semiconductrice 201, par exemple à base de silicium, sur laquelle repose une couche isolante 202 par exemple une couche d'oxyde enterré (burried oxide selon la terminologie anglo-saxonne) à base de SiO_2 , elle-même recouverte
10 d'une deuxième couche semi-conductrice 203. Cette deuxième couche semi-conductrice 203 est ici à base d'un premier matériau semiconducteur tel que du Si.

On réalise ensuite un empilement 205 formé d'une alternance de couches notées 203, 204₂ et 204₄ à base du premier matériau semiconducteur Si, et de couches notées 204₁, 204₃ et 204₅ à base d'un deuxième matériau différent du premier matériau tel que du SiGe. Le deuxième matériau est un matériau susceptible de pouvoir être gravé de manière sélective vis-à-vis du premier matériau.

20 Les couches 204₁,..., 204₅ sont des couches semi-conductrices formées par exemple, par plusieurs épitaxies successives à partir de la deuxième couche semi-conductrice 203.

Une fois l'empilement 205 réalisé, on effectue le dépôt d'une couche de masque dur 208, par exemple à base d'un matériau diélectrique tel que du Si_3N_4 , ou à base d'un autre matériau apte à protéger l'empilement 205
25 d'une gravure telle que, par exemple, une gravure plasma. Ensuite, on dépose une couche de résine photosensible non représentée, par exemple à base de polyimide, sur la couche de masque dur 208, et l'on définit dans la couche de résine, par exemple par une méthode de photolithographie (dite lithographie « deep UV »), un masque de résine comportant au moins un motif pour la réalisation d'une tranchée. On notera que le procédé selon
30 l'invention utilise une méthode de lithographie standard et qu'il n'est pas nécessaire d'utiliser une lithographie électronique offrant une meilleure résolution.

On effectue ensuite (figure 3b) une gravure anisotrope de la couche 208 de masque dur, par exemple une gravure plasma à base de $\text{CH}_2\text{F}_2 + \text{HeO}_2 + \text{CF}_4$.

5 On procède ensuite à une étape de gravure des couches 203, 204₁,..., 204₅, situées sous le masque dur 208, afin de reproduire le motif de ce dernier dans l'empilement 205. La gravure est de type anisotrope, et réalisée par exemple à l'aide d'un plasma à base de $\text{HBr} + \text{Cl} + \text{HeO}_2$.

10 La figure 3b représente la tranchée 210 obtenue après la gravure anisotrope de l'empilement 205 séparant deux empilements 211 et 212 comportant chacun une alternance de couches 203, 204₁,..., 204₅, en Si et en SiGe.

15 On effectue alors (figure 3c) une seconde gravure de chacun des empilements 211 et 212. Cette seconde gravure est isotrope et sélective, de manière à retirer partiellement certaines des couches 203, 204₁,..., 204₅ des empilements 211 et 212. Dans le cas présent, on retire par exemple les couches 204₁, 204₃ et 204₅ à base du deuxième matériau (SiGe). La gravure est donc ici une gravure isotrope du deuxième matériau semi-conducteur SiGe, sélective vis-à-vis du premier matériau semi-conducteur Si. Une telle gravure peut être réalisée par exemple à l'aide d'un plasma à base de $\text{CF}_4 + \text{O}_2$. Les empilements 211 et 212 étant protégés sur le dessus par le masque dur 208, la seconde gravure permet d'effectuer un retrait de portions des couches 204₁, 204₃.et 204₅ à base du deuxième matériau (SiGe), de part et d'autre de chacun des empilements 211 et 212, au niveau des flancs ou faces latérales de ces derniers (figure 3c). Les couches 203, 204₂ et 204₄ à base du premier matériau semiconducteur Si ont une étendue supérieure à celle des couches 204₁, 204₃ et 204₅ à base du deuxième matériau semi-conducteur SiGe.

25 Il résulte, à la suite de la seconde étape de gravure, que chacun des empilements 211 et 212 comporte sur ses flancs, ou sur chacune de ses faces latérales, un profil dentelé formé par des « sillons » 213 à base du deuxième matériau semiconducteur SiGe et de rainures 214 à base du premier matériau semiconducteur Si.

30

L'étape suivante illustrée en figure 3d consiste à réaliser un dépôt conforme d'un premier matériau diélectrique 215, par exemple du SiO_2 de type HTO (« High Thermal Oxyde » en anglais) recouvrant la périphérie des empilements 211 et 212 et servant de protection (couche d'arrêt) des empilements 211 et 212 lors s'une étape ultérieure de gravure.

Conformément à cette même figure 3d, on réalise ensuite un autre dépôt d'un second matériau diélectrique 216, par exemple du Si_3N_4 , de manière à recouvrir les empilements 211 et 212 et combler les espaces ou rainures 214 entre les couches réalisées à base du premier matériau semi-conducteur (Si) et les couches réalisées à base du second matériau semi-conducteur (SiGe).

On retire ensuite le second matériau diélectrique 216 de manière à conserver ce matériau uniquement dans les espaces entre les couches.

Ce retrait est effectué via une première gravure anisotrope (figure 3e) du second matériau diélectrique 216 Si_3N_4 , sélective vis-à-vis du premier matériau diélectrique 215 HTO, par exemple au moyen d'une gravure plasma $\text{CF}_4 + \text{HBr}$. Cette première gravure permet de retirer la partie supérieure 220 du second matériau diélectrique 216 Si_3N_4 mais également de retirer ce second matériau 216 sur les surfaces horizontales aux pieds des structures 211 et 212.

Puis (figure 3f), on réalise une gravure isotrope du second matériau diélectrique 216 Si_3N_4 , sélective vis-à-vis du premier matériau diélectrique 215 HTO, par exemple au moyen d'une gravure plasma $\text{SF}_6 + \text{HBr}$. Cette gravure est réalisée de façon à retirer partiellement le second matériau diélectrique 216 Si_3N_4 , uniquement sur les parties latérales 221 des empilements 211 et 212. On forme ainsi des bouchons ou espaceurs 217 comblant les espaces existant entre les couches 203, 204₂ et 204₄ à base du premier matériau semiconducteur Si, et les couches 204₁, 204₃ et 204₅ à base du deuxième matériau semiconducteur SiGe. La gravure isotrope est telle que, après formation des bouchons 217, chacun des empilements 211 et 212 comporte sur ses faces latérales une nouvelle surface plane ou sensiblement plane.

L'étape illustrée en figure 3f permet donc de réaliser des bouchons isolants 217 à base de Si_3N_4 et de HTO ; on crée ainsi, sur les surfaces latérales planes des empilements 211 et 212, une alternance de bandes isolantes (Si_3N_4 + HTO) et de bandes semiconductrices (Si).

5 Conformément à la figure 3g, on retire le reste du premier matériau diélectrique 215 HTO encore présent sur la couche 202, sur les flancs des couches 203, 204₂ et 204₄ à base du premier matériau semiconducteur Si et sur la partie supérieure de la couche 208. Ce retrait peut être obtenu par exemple par un nettoyage HF.

10 L'étape illustrée en figure 3h va consister à utiliser avantageusement la sélectivité réactionnelle de la structure bi matériaux Si d'une part et HTO/nitride d'autre part, le Si étant semi-conducteur et le HTO/nitride étant isolant, pour déposer sélectivement un catalyseur apte à favoriser la croissance de nanofils sur le silicium et non sur le HTO/nitride. Ce dépôt est ici
15 réalisé grâce à une fonctionnalisation des surfaces de silicium ; on entend par fonctionnalisation l'action d'attacher ou de greffer une ou des molécules chimiques sur les bandes latérales de silicium. Cette fonctionnalisation a pour but de conférer des propriétés particulières aux bandes de Si (en l'espèce favoriser la croissance ultérieure de nanofils/nanotubes).

20 La fonctionnalisation consiste en la réalisation d'un pavage des bandes de Si par des grains ou nanodots 218 (par exemple d'Au) sans recouvrir les bandes HTO/nitride.

Dans la pratique, une fine couche de SiO_2 natif (d'une épaisseur de l'ordre de 1 nm) se forme le plus souvent sur la couche de Si et il convient
25 donc de réaliser le revêtement d'Au sur du SiO_2 .

La fonctionnalisation (ou modification des propriétés chimiques superficielles) des bandes de SiO_2 natif consiste à déposer des films auto-organisés ou SAMs (« Self-Assembled Monolayers » en anglais). Ce type de fonctionnalisation est notamment décrit dans le document « Self assembled
30 monolayers on silicon for molecular electronics » (Aswal et al, Analytica chimica acta 2005). Les molécules utilisées pour former les SAMs sont généralement constituées d'un groupement de surface hydrophobe et d'un groupement d'accroche hydrophile tous deux reliés par une chaîne alkyle. Les

chaînes tendent à s'arranger perpendiculairement à la surface formant une structure dense et organisée principalement grâce aux interactions de Van der Waals présentes entre les chaînes hydrophobes.

5 La surface de Si recouverte de sa couche d'oxyde natif est tout d'abord nettoyée (par exemple via un nettoyage chimique du type RCA) afin de créer en surface des groupements $-OH$ qui vont permettre l'obtention d'un bon greffage. La présence de ces groupements hydroxyles rend la surface très hydrophile entraînant le piégeage naturel d'une fine pellicule d'eau

10 On met ensuite en présence des bandes nettoyées des molécules de silane (typiquement du trichlorosilane $RSiCl_3$ où R est une chaîne alkyle terminée par un groupement de surface hydrophobe) qui vont spontanément venir positionner leurs groupements d'accroche hydrophiles ($Si-Cl_3$) vers la couche d'eau alors que la tête de la chaîne alkyle (hydrophobe) va avoir tendance à s'en éloigner.

15 La couche d'eau hydrolyse les groupements $Si-Cl_3$ pour former une tête trihydrosiloxane $Si-(OH)_3$.

20 La présence d'une fine couche de liquide permet une mobilité planaire des molécules qui se rapprochent alors les unes des autres, ce qui tend à favoriser la réaction de condensation entre molécules voisines ; des liaisons $Si-O-Si$ se créent entre les molécules formant ainsi une couche moléculaire à deux dimensions. La même réaction de réticulation se produit entre le substrat et le film formé. Une monocouche de silane greffée de façon covalente est donc obtenue sur la surface de SiO_2 .

25 On peut alors fixer au bout des groupements alkyles, des groupements tels que des thiols (par exemple SH). Ce groupement thiol est très réactif avec l'Or de sorte qu'en déposant de l'or sur la surface déjà traitée, on obtient des liaisons covalentes Or-Souffre.

30 Le dépôt d'or se fait sélectivement sur les bandes de SiO_2 natif et non sur les bandes de HTO/nitrure (pas de création en surface des groupements $-OH$). En choisissant la concentration en Au adaptée, on peut réaliser un dépôt discret de nanodots d'Or sur les bandes semiconductrices et réaliser ainsi un pavage des bandes de Si par des grains ou nanodots 218. L'article « Electroless deposition and electrical resistivity of sub-100 nm Cu films on

SAMs : State of the art » (Glickman at al – Microelectronic Engineering 84 (2007) 2466-2470) décrit différents exemples de réalisation de dépôt métallique sur les SAMs, le dépôt se faisant généralement sous la forme d'îlots discrets. Le dépôt de métal sur les SAMs peut être obtenu par différentes techniques telles que des procédés à oxydoréduction sans apport de courant du type electroless, des procédés d'électrodéposition ou des procédés de dépôt de particules colloïdales.

La description faite ci-dessus concerne la fonctionnalisation de l'oxyde natif mais il est également possible de fonctionnaliser directement les bandes de Si sans passer par la formation des couches de SiO₂ natif.

De même, il est possible de greffer d'autres métaux que l'Au ; on peut par exemple envisager de greffer des métaux tels que le Ni, Co, Pt, Pd, Rh, Ru, Fe, Al, Ag ou le Cu.

L'étape de fonctionnalisation telle que représentée en figure 3h peut être remplacée par une étape de siliciuration ; on crée ainsi sur les bandes latérales de Si un revêtement du type NiSi ou PtSi. L'emploi de siliciures métalliques est connu pour réduire les résistances de contact des parties actives des transistors. La formation d'îlots de siliciure est un phénomène connu de l'homme du métier. La siliciuration est utilisée ici pour la réalisation d'un revêtement catalytique métallique NiSi ou PtSi aptes à favoriser la croissance de nanotubes ou de nanofils. Pour ce faire, on commence par déposer une couche métallique de Ni ou de Pt puis on effectue un recuit qui permet d'obtenir un alliage NiSi ou PtSi.

On retire ensuite par nettoyage chimique le Ni ou le Pt restant (i.e. n'ayant pas réagi avec le Si) ainsi que le Ni ou le Pt déposé sur les bandes isolantes HTO/nitrure.

Le revêtement de grains métalliques 218 peut être également obtenu par un dépôt électrochimique du métal sur les bandes de Si.

L'étape illustrée en figure 3i consiste ensuite à réaliser la croissance de nanofils (typiquement des nanofils de Si) 219 reliant deux nanodots 218 situés respectivement sur les surfaces latérales planes de Si des empilements 211 et 212. Pour clarifier l'illustration, la figure 3i représente des nanofils 219 reliant chacun deux nanodots 218 en regard l'un de l'autre ; la

croissance étant aléatoire, il convient toutefois de noter que la probabilité pour qu'un nanofil relie deux nanodots en regard l'un de l'autre est relativement faible. Généralement, la croissance des nanofils permettra donc de relier les deux blocs 211 et 212 mais les nanofils ne joindront pas forcément deux nanodots en vis-à-vis et ne seront pas forcément parfaitement parallèle au substrat. Une solution pour obtenir des nanofils parallèles peut constituer à utiliser un axe cristallographique de croissance privilégié par les nanofils. Cette croissance peut être réalisée par un procédé VLS-CVD (« Vapor-Liquid-Solid-Chemical-Vapor-Deposition ») ou par toute autre procédé permettant la croissance de nanofils. On aboutit alors à une structure 100 identique à la structure représentée en figure 1 (les grains 118 de la figure 1 correspondant aux grains 218 de la figure 3i et les nanofils 119 de la figure 1 correspondant aux nanofils 219 de la figure 3i).

La figure 4 représente une structure semiconductrice 300 selon un second mode de réalisation de l'invention.

La structure 300 comporte :

- un support 301 comprenant:
 - o une première couche semiconductrice 303, par exemple à base de silicium sur laquelle repose ;
 - o une couche isolante 302 telle qu'une couche d'oxyde enterré (BOX ou « buried oxide » en anglais) à base de SiO_2 ;
- deux blocs semiconducteurs 304 et 305 espacés suivant la direction horizontale i.

Le plan [o, i, j] correspond au plan horizontal du support 301.

Chacun des deux blocs 304 et 305 a une structure identique et comporte un empilement de couches superposées suivant la direction verticale k. Cet empilement est formé d'une alternance de couches notées 306₁, 306₂ et 306₃ à base d'un premier matériau semiconducteur, tel que par exemple du Si, et de couches notées 307₁, 307₂ et 307₃ à base d'un second matériau semiconducteur différent du premier matériau semiconducteur, tel que par exemple du SiGe. Le second matériau est préférentiellement choisi pour pouvoir être gravé de manière sélective par rapport au premier matériau.

Chacun des deux blocs 304 et 305 comporte par un ailleurs une couche supérieure 317 de masque dur, par exemple du Si_3N_4 .

Les couches 306₁, 306₂ et 306₃ à base du premier matériau semi-conducteur et les couches 307₁, 307₂ et 307₃ à base du second matériau
5 semi-conducteur ont typiquement des épaisseurs suivant la direction k comprises entre 10 et 50 nm.

Les longueurs suivant la direction i des couches 306₁, 306₂ et 306₃ à base du premier matériau semi-conducteur sont choisies supérieures aux
10 longueurs des couches 307₁, 307₂ et 307₃ à base du second matériau semi-conducteur de sorte que l'alternance des couches 306₁, 306₂ et 306₃ et des couches 307₁, 307₂ et 307₃ ait un profil latéral dentelé ou en créneaux. Ce profil est illustré par les traits discontinus 308 sur la figure 4.

Il en résulte que chaque bloc 304 et 305 comporte sur chacune de ses deux faces latérales 310 et 311 un profil dentelé avec des « sillons » en
15 SiGe et des « rainures » en relief de Si. Chaque bloc 304 et 305 présente donc une topographie verticale organisée et dont on maîtrise les dimensions via l'épaisseur des couches de Si et de SiGe. Les espaces 309 formés par le profil dentelé 308 sont comblés totalement sur chacune des faces latérales 310 et 311 respectivement par des bouchons métalliques ou espaceurs
20 métalliques 312₁, 312₂ et 312₃ (face latérale 310) et par des bouchons métalliques ou espaceurs métalliques 313₁, 313₂ et 313₃ (face latérale 311). Les bouchons sont ici réalisés sous la forme de barreaux sensiblement parallélépipédiques réalisés dans un matériau métallique tel que le Co, le Ni ou le Cu.

25 La figure 5 représente une vue suivant le plan [O, j, k] de la face latérale 311 du bloc 304. Cette face 311 comporte une alternance de bandes notées 315₁, 315₂ et 315₃ à base du premier matériau semi-conducteur (typiquement du Si) et de bandes notées 316₁, 316₂ et 316₃ à base du matériau métallique.

30 Les bandes 316₁, 316₂ et 316₃ à base du matériau métallique sont revêtues d'un matériau métallique catalyseur apte à faciliter la croissance de nanotubes ou de nanofils. Ce revêtement prend la forme de grains métalliques 318. On peut par exemple utiliser des grains d'au qui constitue un ex-

cellent catalyseur pour la croissance de nanofils de Si ou des grains de Ni ou de Fe pour la croissance de nanotubes de carbone. Ce revêtement de grains métalliques 318 peut être par exemple obtenu par un dépôt électrolytique du métal sur les bandes métalliques. On notera que le fait d'avoir deux matériaux différents pour les deux types de bandes 315₁, 315₂ et 315₃ (en Si) et 316₁, 316₂ et 316₃ (métalliques et donc meilleurs conducteurs que le Si) permet de revêtir sélectivement les bandes 316₁, 316₂ et 316₃ du matériau catalyseur par dépôt électrolytique sans revêtir les bandes 315₁, 315₂ et 315₃.

10 On utilise ensuite ces grains 318 pour effectuer une croissance horizontale de nanofils 319 dans la structure confinée existant entre la surface latérale 311 du bloc 304 et la surface latérale 310 du bloc 305.

La couche isolante BOX 302 permet de mieux isoler les nanofils 319 du substrat formé par la première couche semiconductrice 303.

15 Des grains d'Au peuvent également être utilisés pour bloquer la croissance de nanotubes de carbone ; selon ce mode de réalisation, les grains d'Au n'agissent pas comme catalyseur et les nanotubes de carbone vont préférentiellement croître sur les bandes 315₁, 315₂ et 315₃ (en Si) non recouvertes d'Au. Un tel procédé de croissance est par exemple décrit dans la demande de brevet WO2006010684.

Bien entendu, le dispositif et le procédé selon l'invention ne sont pas limités aux modes de réalisation qui viennent d'être décrits à titre indicatif et nullement limitatif en référence aux figures 1 à 5.

25 Notamment, même si l'invention a été plus particulièrement décrite dans le cas d'une structure avec deux blocs nano-structurés, il est également possible d'avoir un seul bloc bi-matériaux avec des nanofils ou des nanotubes formés à partir des bandes latérales de ce bloc, l'ensemble des nanofils ou nanotubes étant reliés ensemble à un même bloc formé d'un seul matériau.

REVENDEICATIONS

1. Structure semiconductrice (100, 300) comportant :

- un support (101, 301);

5 - au moins un bloc (104, 105, 304, 305) reposant sur ledit support, ledit bloc comportant :

10 ○ un empilement incluant une alternance de couches (106₁, 106₂, 106₃, 306₁, 306₂, 306₃) à base d'un premier matériau semiconducteur et de couches (107₁, 107₂, 107₃, 307₁, 307₂, 307₃) à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur, lesdites couches (106₁, 106₂, 106₃, 306₁, 306₂, 306₃) à base dudit premier matériau semiconducteur présentant des dimensions supérieures aux couches (107₁, 107₂, 107₃, 307₁, 307₂, 307₃) à base dudit deuxième matériau semiconducteur de sorte que ledit empilement possède un profil latéral dentelé (108, 308);

15 ○ une pluralité de bouchons (112₁, 112₂, 112₃, 113₁, 113₂, 113₃, 312₁, 312₂, 312₃, 313₁, 313₂, 313₃) comblant les espaces formés par ledit profil dentelé (108) entre les couches (107₁, 107₂, 107₃, 307₁, 307₂, 307₃) à base dudit premier matériau semiconducteur et les couches (106₁, 106₂, 106₃, 306₁, 306₂, 306₃) à base dudit second matériau semiconducteur, lesdits bouchons (112₁, 112₂, 112₃, 113₁, 113₂, 113₃, 312₁, 312₂, 312₃, 313₁, 313₂, 313₃) étant réalisés dans un troisième matériau différent dudit premier matériau semiconducteur de sorte que

20 chacune des faces latérales (110, 111, 310, 311) dudit bloc (104, 105, 304, 305) présente une alternance de bandes latérales (115₁, 115₂, 115₃, 315₁, 315₂, 315₃) à base dudit premier matériau et de bandes latérales (116₁, 116₂, 116₃, 316₁, 316₂, 316₃) à base dudit troisième matériau ;

25 30

ladite structure **étant caractérisée en** ce qu'au moins une des faces latérales (110, 111, 310, 311) dudit bloc est revêtue partiellement d'un matériau (118, 318) favorisant la croissance de nanotubes ou de

- nanofils (119, 319) exclusivement sur les bandes latérales à base dudit premier matériau semiconducteur (115₁, 115₂, 115₃) ou exclusivement sur les bandes latérales à base dudit troisième matériau (316₁, 316₂, 316₃), ledit matériau (118, 318) revêtant exclusivement les bandes latérales (115₁, 115₂, 115₃) à base dudit premier matériau semiconducteur ou exclusivement les bandes latérales à base dudit troisième matériau (316₁, 316₂, 316₃).
- 5
2. Structure semiconductrice (100, 300) selon la revendication 1 caractérisée en ce que ledit matériau est un matériau catalyseur (118, 318) pour la croissance de nanotubes ou de nanofils (119, 319).
- 10
3. Structure semiconductrice (100, 300) selon l'une des revendications précédentes caractérisée en ce qu'elle comporte deux blocs (104, 105, 304, 305) se faisant face de sorte que les bandes latérales desdits deux blocs revêtues dudit matériau catalyseur sont en regard les unes des autres.
- 15
4. Structure semiconductrice (100, 300) selon la revendication 3 caractérisée en ce que lesdits deux blocs (104, 105, 304, 305) sont connectés par une pluralité de nanofils ou de nanotubes (119, 319), chacun desdits nanofils ou desdits nanotubes (119, 319) reliant une bande latérale du premier bloc (104, 304) revêtue du matériau catalyseur à une bande latérale du deuxième bloc (105, 305) revêtue du matériau catalyseur et en regard de la bande latérale dudit premier bloc (104, 304).
- 20
- 25
5. Structure semiconductrice (100, 300) selon l'une des revendications précédentes caractérisée en ce que ledit matériau catalyseur pour la croissance de nanotubes ou de nanofils revêt partiellement lesdites bandes latérales sous forme de grains ou « nanodots » (118, 318) espacés le long desdites bandes.
- 30

- 5 6. Structure semiconductrice (100, 300) selon l'une des revendications précédentes caractérisée en ce que l'épaisseur desdites couches à base dudit premier matériau semiconducteur et/ou desdites couches à base dudit deuxième matériau semiconducteur est comprise entre 10 et 50 nm.
- 10 7. Structure semiconductrice (100, 300) selon l'une des revendications précédentes caractérisé en ce que ledit premier matériau semiconducteur est le Si et ledit deuxième matériau semiconducteur est le SiGe.
- 15 8. Structure semiconductrice (100) selon l'une des revendications précédentes caractérisée en ce que lesdits bouchons (112₁, 112₂, 112₃, 113₁, 113₂, 113₃) sont réalisés dans un matériau isolant, ledit matériau catalyseur revêtant exclusivement les bandes latérales (115₁, 115₂, 115₃) à base dudit premier matériau semiconducteur.
- 20 9. Structure semiconductrice (100) selon la revendication précédente caractérisée en ce que lesdits bouchons (112₁, 112₂, 112₃, 113₁, 113₂, 113₃) sont formés par une première partie réalisée dans un premier matériau diélectrique tel que du SiO₂ et d'une deuxième partie (114) réalisée dans un second matériau diélectrique tel qu'un nitrure de silicium du type Si₃N₄, ledit second matériau diélectrique correspondant au dit troisième matériau des bandes latérales.
- 25 10. Structure semiconductrice (300) selon l'une des revendications 1 à 7 caractérisée en ce que ledit troisième matériau desdits bouchons (312₁, 312₂, 312₃, 313₁, 313₂, 313₃) est un métal, ledit matériau catalyseur revêtant exclusivement les bandes latérales (316₁, 316₂, 316₃) à base dudit métal.
- 30 11. Structure semiconductrice (100, 300) selon l'une des revendications précédentes caractérisée en ce que ledit support (101, 301) est un

substrat comportant une couche semiconductrice tel qu'un substrat du type SOI, Si ou Ge.

12. Procédé de réalisation d'une structure semiconductrice comportant :

- 5 - un support;
 - au moins un bloc reposant sur ledit support, ledit bloc comportant :
 - 10 ○ un empilement incluant une alternance de couches superposées à base d'un premier matériau semiconducteur et de couches à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur, lesdites couches à base dudit premier matériau semiconducteur présentant des dimensions supérieures aux couches à base dudit deuxième matériau semiconducteur de sorte que ledit empilement possède un profil latéral dentelé ;
 - 15 ○ une pluralité de bouchons comblant les espaces formés par ledit profil dentelé entre les couches à base dudit premier matériau semiconducteur et les couches à base dudit second matériau semiconducteur, lesdits bouchons étant réalisés dans un troisième matériau différent dudit premier matériau semiconducteur de sorte que chacune des faces latérales dudit bloc présente une alternance de bandes latérales à base dudit premier matériau et de bandes latérales à base dudit troisième matériau ;
- ledit procédé **étant caractérisé en** ce qu'il comporte une étape de revêtement partielle d'au moins une des faces latérales dudit bloc (211, 212) par un matériau (218) favorisant la croissance de nanotubes ou de nanofils (219) exclusivement sur les bandes latérales à base dudit premier matériau semiconducteur ou exclusivement sur les bandes latérales à base dudit troisième matériau, ladite étape de revêtement étant sélective de sorte que ledit matériau (218) revêt exclusivement les bandes latérales à base dudit premier matériau semiconducteur ou exclusivement les bandes latérales à base dudit troisième matériau.

13. Procédé selon la revendication 12 caractérisée en ce que ledit matériau est un matériau catalyseur (218) pour la croissance de nanotubes ou de nanofils (219).

5

14. Procédé selon l'une des revendications 12 ou 13 caractérisé en ce qu'il comporte les étapes suivantes :

- formation d'un empilement (211, 212) de couches semiconductrices sur un support, ledit empilement incluant une alternance de couches (203, 204₂, 204₄) à base d'un premier matériau semiconducteur et de couches (204₁, 204₃, 204₅) à base d'un deuxième matériau semiconducteur différent dudit premier matériau semiconducteur et comportant sur ses flancs un profil dentelé formé par des sillons (213) à base dudit deuxième matériau semiconducteur et des rainures (214) à base dudit premier matériau semiconducteur ;
- réalisation de bouchons (217) comblant les espaces formés par ledit profil dentelé entre les couches (203, 204₂, 204₄) à base dudit premier matériau semiconducteur et les couches (204₁, 204₃, 204₅) à base dudit second matériau semiconducteur.

10

15

15. Procédé selon la revendication précédente caractérisé en ce que lesdits bouchons (217) sont des bouchons isolants, la réalisation desdits bouchons comportant les étapes suivantes :

- dépôt conforme d'un premier matériau diélectrique (215) sur l'empilement (211, 212) à profil dentelé ;
- dépôt d'un deuxième matériau diélectrique (216);
- retrait sélectif et partiel du deuxième matériau diélectrique (216) vis-à-vis du premier matériau diélectrique (215).

25

16. Procédé selon l'une des revendications 12 à 15 caractérisé en ce que ladite étape de revêtement est une étape de fonctionnalisation des bandes latérales à base dudit premier matériau semiconducteur suivie d'une étape de dépôt de métal sur les bandes fonctionnalisées.

30

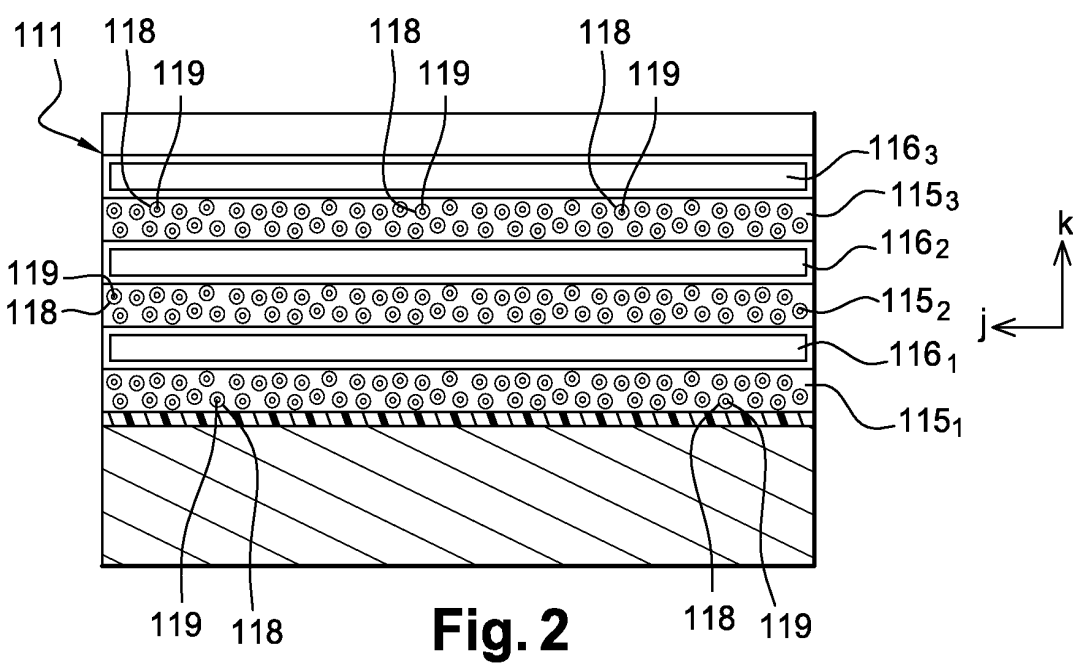
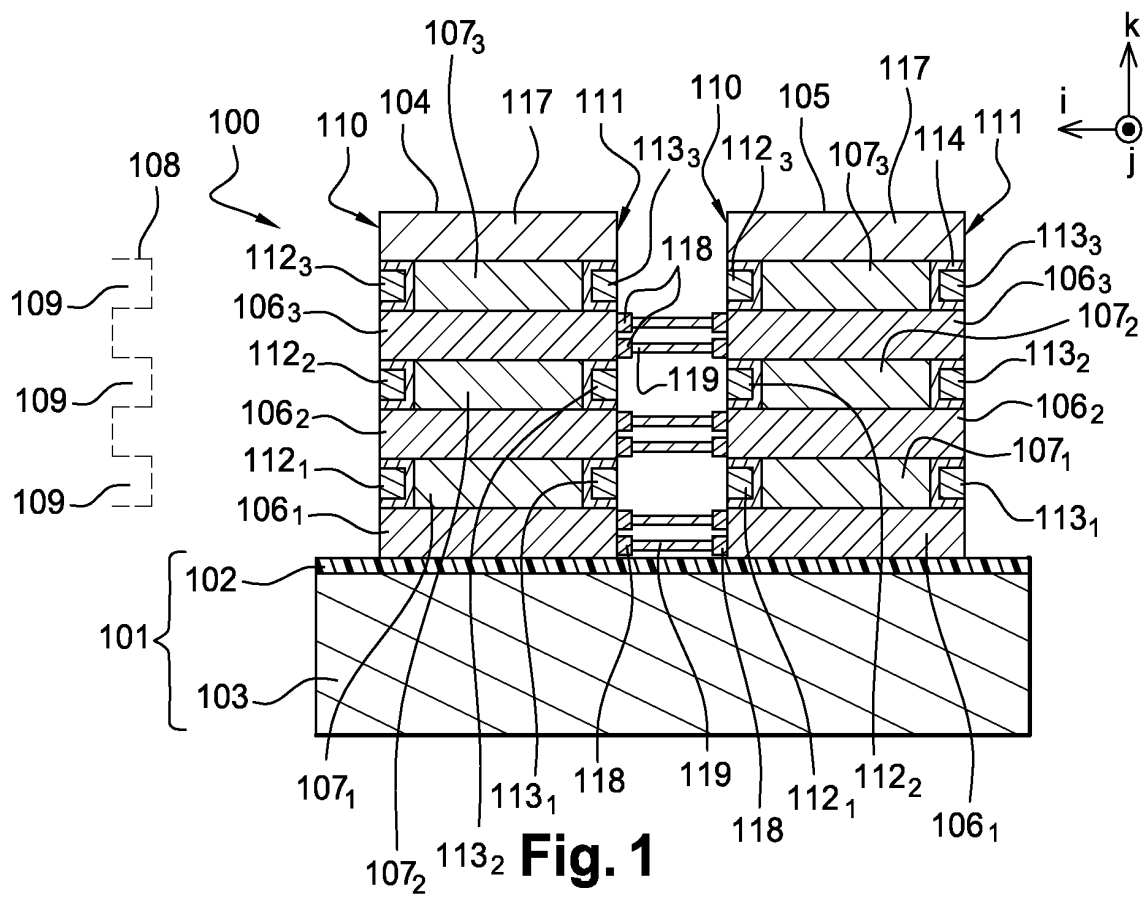
17. Procédé selon l'une des revendications 12 à 15 caractérisé en ce que ledit premier matériau semiconducteur est le silicium et ladite étape de revêtement est une étape de siliciuration.

5

18. Procédé selon l'une des revendications 12 à 14 caractérisé en ce que ledit troisième matériau est un métal et ladite étape de revêtement est une étape de dépôt électrolytique d'un métal sur les bandes latérales à base dudit troisième matériau.

10

19. Transistor intégrant une structure selon l'une des revendications 1 à 11 caractérisé en ce que ladite structure est dotée d'une pluralité de nanofils ou de nanotubes formant chacun un canal de transistor.



2 / 5

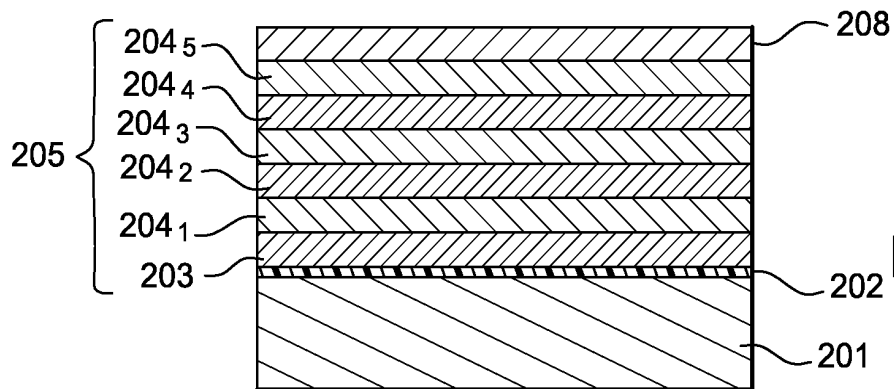


Fig. 3a

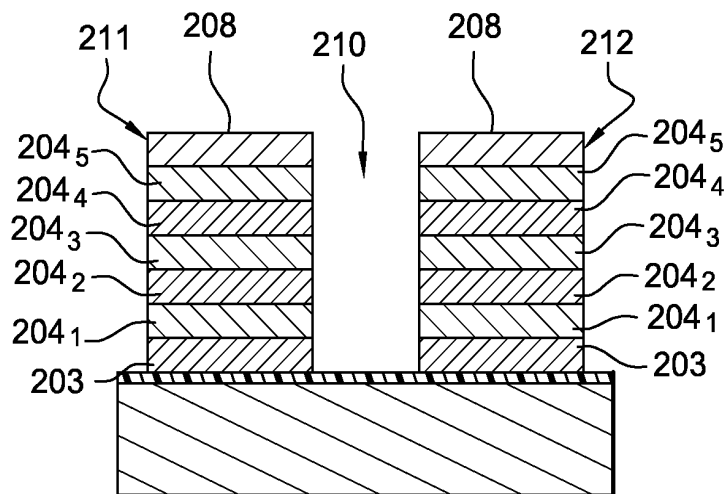


Fig. 3b

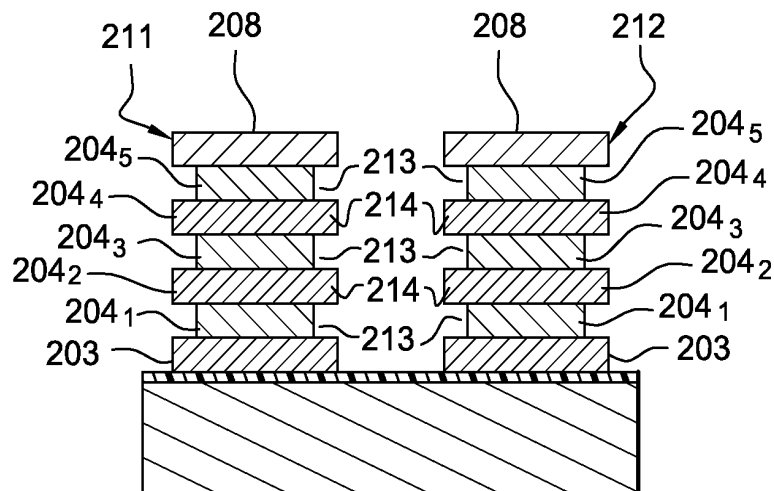


Fig. 3c

3 / 5

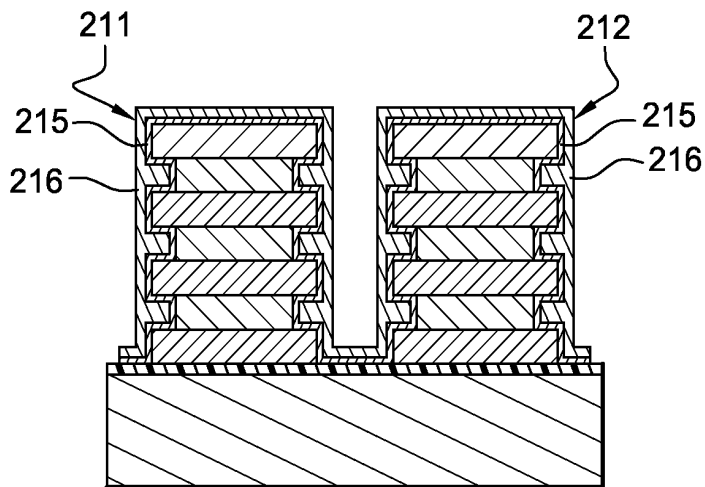


Fig. 3d

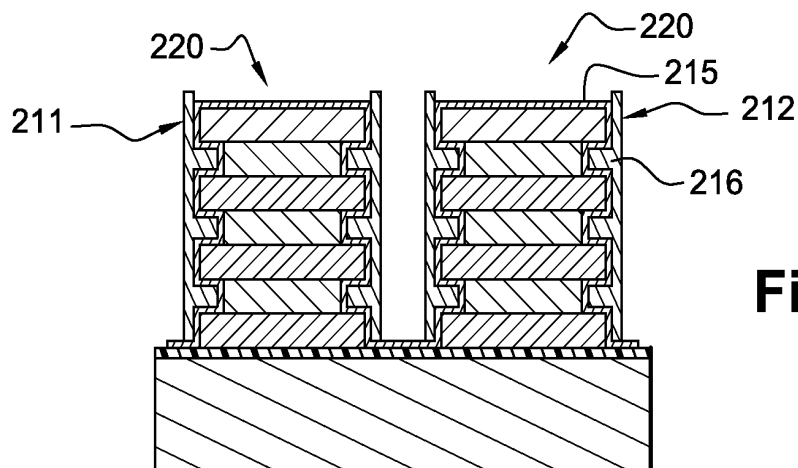


Fig. 3e

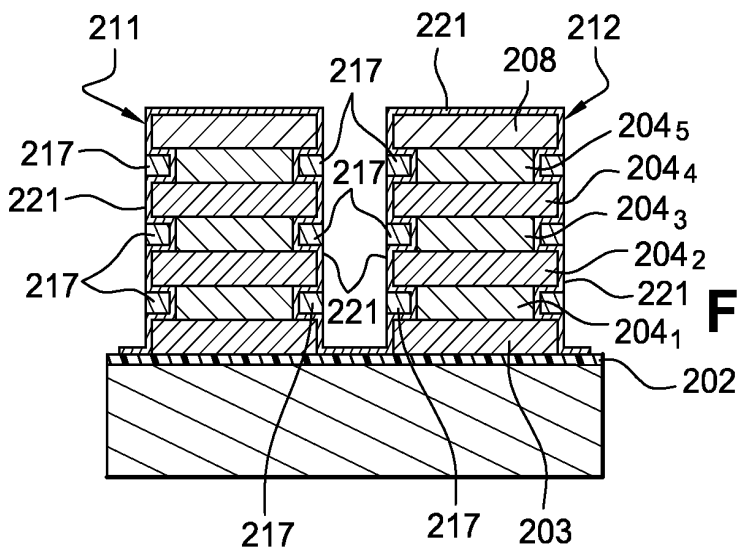


Fig. 3f

4 / 5

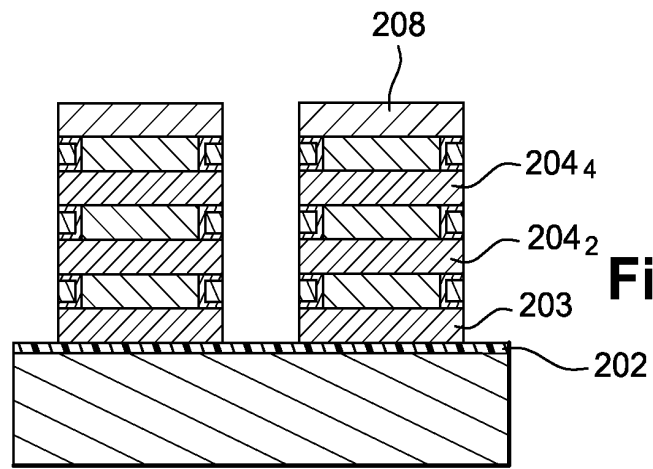


Fig. 3g

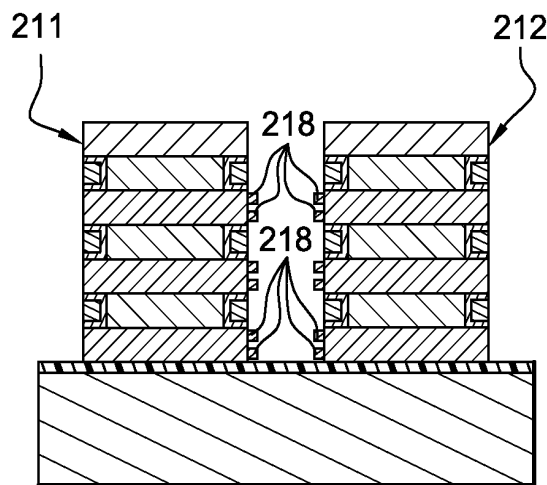


Fig. 3h

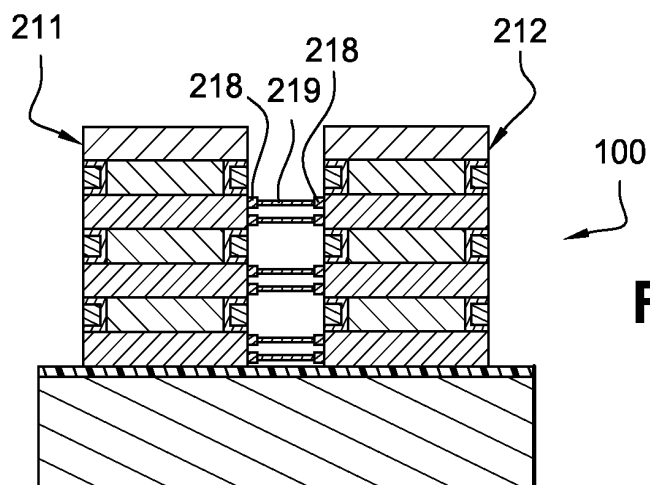


Fig. 3i

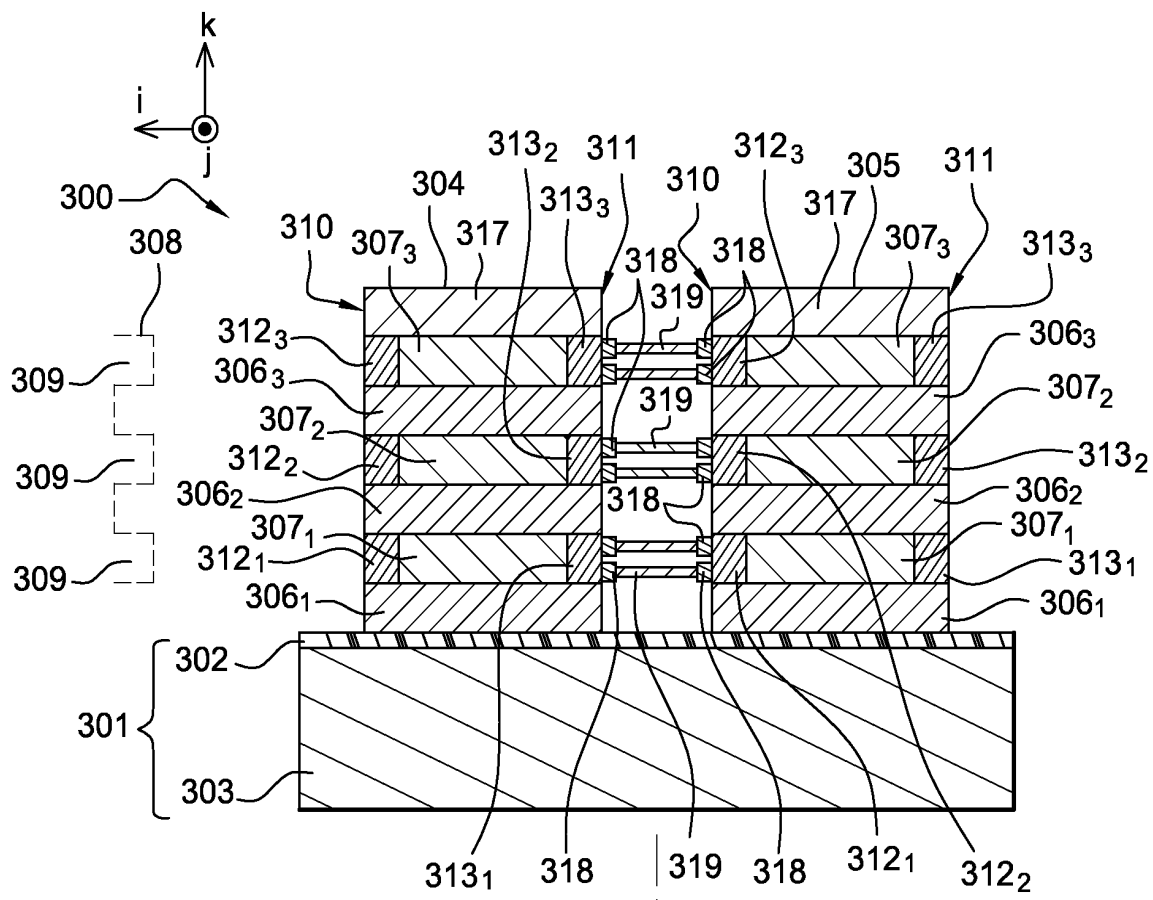


Fig. 4

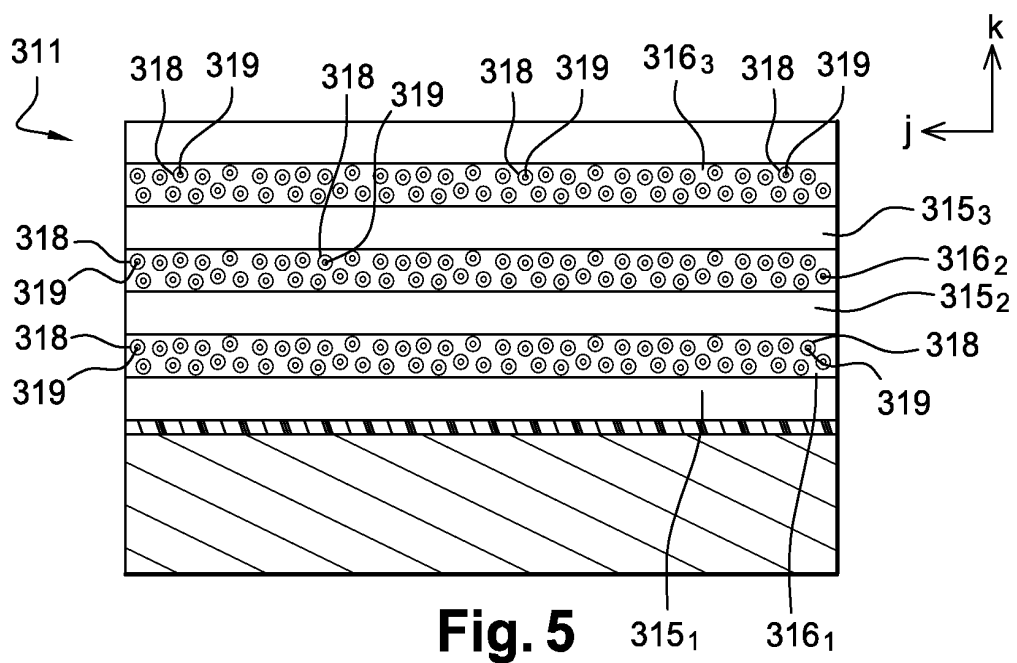


Fig. 5



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 722048
FR 0953309

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2006/267214 A1 (SCHMID GUNTER [DE]; SIMON ULRICH [DE]; JAGER DIETER [DE]; SANTHANAM VE) 30 novembre 2006 (2006-11-30) * figures 3, 5, 6 et texte correspondant *	1-19	H01L51/30 H01L51/40
A	WO 2007/145407 A1 (KOREA ELECTRONICS TELECOMM [KR]; PARK RAE-MAN [KR]; KIM SANG-HYEOB [KR]) 21 décembre 2007 (2007-12-21) * figures 2, 4 et texte correspondant *	1-19	
A	WO 2008/106219 A1 (HEWLETT PACKARD DEVELOPMENT CO [US]; KOBAYASHI NOBUHIKO [US]; WANG SHI) 4 septembre 2008 (2008-09-04) * figure 10 * * page 9, ligne 10 - ligne 15 *	2-5,11, 13,17	
A	FR 2 860 780 A1 (CENTRE NAT RECH SCIENT [FR]; ECOLE POLYTECHNIQUE DGAR [FR]) 15 avril 2005 (2005-04-15) * figures 1, 6 et texte correspondant *	1-19	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
Date d'achèvement de la recherche		Examineur	
10 septembre 2009		Moehl, Sebastian	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0953309 FA 722048**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **10-09-2009**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006267214 A1	30-11-2006	AUCUN	

WO 2007145407 A1	21-12-2007	EP 2036117 A1	18-03-2009

WO 2008106219 A1	04-09-2008	US 2008213603 A1	04-09-2008

FR 2860780 A1	15-04-2005	AT 392390 T	15-05-2008
		DE 602004013172 T2	18-06-2009
		EP 1673306 A1	28-06-2006
		WO 2005037710 A1	28-04-2005
		JP 2007509831 T	19-04-2007
		KR 20060133973 A	27-12-2006
