

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2009년 11월 19일 (19.11.2009)

PCT

(10) 국제공개번호
WO 2009/139603 A2

- (51) 국제특허분류:
H01L 33/00 (2006.01)
- (21) 국제출원번호: PCT/KR2009/002596
- (22) 국제출원일: 2009년 5월 15일 (15.05.2009)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2008-0045740 2008년 5월 16일 (16.05.2008) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **엘지이노텍주식회사 (LG INNOTEK CO., LTD)** [KR/KR]; 서울시 영등포구 여의도동 20번지 엘지트윈타워 서관 33층, 150-721 Seoul (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **임우식 (LIM, Woo Sik)** [KR/KR]; 광주 동구 계림 1동 475-19, 501-081 Gwangju (KR).
- (74) 대리인: **서교준 (SEO, Kyo Jun)**; 서울 강남구 역삼동 832-41 현죽빌딩 9층, 135-080 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

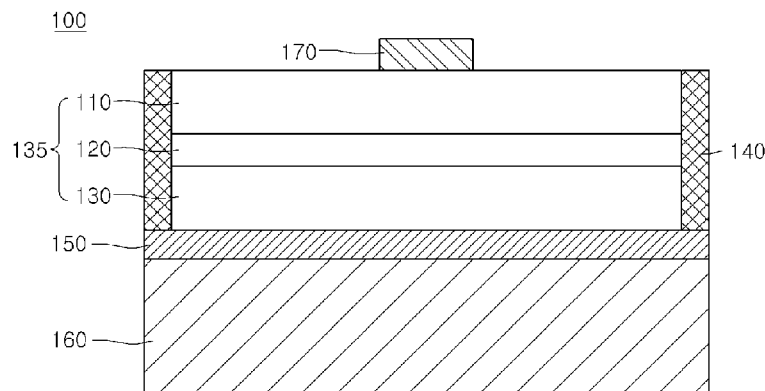
공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: SEMICONDUCTOR LIGHT-EMITTING DEVICE

(54) 발명의 명칭: 반도체 발광소자

[Fig. 1]



(57) Abstract: The embodiment relates to a semiconductor light-emitting device. The semiconductor light-emitting device of the embodiment comprises a first conductive-type semiconductor layer, an active layer below the said first conductive-type semiconductor layer; a second conductive-type semiconductor layer below the said active layer; a second electrode layer below the said second conductive-type semiconductor layer, and an insulation layer around the circumference of at least 2 of the said first conductive-type semiconductor layer, the said active layer and the said second conductive-type semiconductor layer.

(57) 요약서: 실시 예는 반도체 발광소자에 관한 것이다. 실시 예에 따른 반도체 발광소자는 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제 2 도전형 반도체층; 상기 제 2 도전형 반도체층 아래에 제 2 전극층; 및 상기 제 1 도전형 반도체층, 상기 활성층 및 상기 제 2 도전형 반도체층 중 적어도 2 개의 층 둘레에 절연층을 포함한다.



WO 2009/139603 A2

명세서

반도체 발광소자

기술분야

- [1] 실시 예는 반도체 발광소자에 관한 것이다.

배경기술

- [2] III-V족 질화물 반도체는 청색/녹색 발광 다이오드(LED)를 비롯한 광 소자, MOSFET(Metal Semiconductor Field Effect Transistor), HEMT(Hetero junction Field Effect Transistors) 등의 고속 스위칭 소자, 조명 또는 표시 장치의 광원 등으로 다양하게 응용되고 있다. 특히 III족 질화물 반도체를 이용한 발광소자는 가시광선에서 자외선까지의 영역에 대응하는 직접 천이형 밴드 갭을 갖고, 고효율 광 방출을 실현할 수 있다.
- [3] 상기 질화물 반도체는 주로 LED(Light Emitting Diode) 또는 레이저 다이오드(LD)로 활용되고 있으며, 제조 공정이나 광 효율을 개선하기 위한 연구가 지속되고 있다.

발명의 상세한 설명

기술적 과제

- [4] 실시 예는 복수의 도전형 반도체층의 외측 둘레에 절연층을 포함하는 반도체 발광소자를 제공한다.
- [5] 실시 예는 발광 구조물의 아래에 제2전극층을 배치하고, 상기 발광 구조물의 반도체층 중 적어도 한 층의 외측 둘레에 절연층을 포함하는 반도체 발광소자를 제공한다.
- [6] 실시 예는 발광 구조물의 외측 둘레에 절연층 및 제2전극층의 상면 외측에 패시베이션층을 배치한 반도체 발광소자를 제공한다.

기술적 해결방법

- [7] 실시 예에 따른 반도체 발광소자는 제1도전형 반도체층; 상기 제1도전형 반도체층 아래에 활성층; 상기 활성층 아래에 제2도전형 반도체층; 상기 제2도전형 반도체층 아래에 제2전극층; 및 상기 제1도전형 반도체층, 상기 활성층, 및 상기 제2도전형 반도체층 중 적어도 2개의 층 둘레에 절연층을 포함한다.
- [8] 실시 예에 따른 반도체 발광소자는, 제1도전형 반도체층, 상기 제1도전형 반도체층 아래에 활성층, 및 상기 활성층 아래에 제2도전형 반도체층을 포함하는 발광 구조물; 상기 제1도전형 반도체층 위에 제1전극; 상기 제2도전형 반도체층 아래에 제2전극층; 상기 활성층과 상기 제2도전형 반도체층의 외측 둘레에 절연층을 포함한다.

유리한 효과

- [9] 실시 예는 발광 구조물의 외측으로의 전류 누설을 방지할 수 있는 효과가 있다.

- [10] 실시 예는 절연층을 이용하여 제2전극층과의 접착력을 개선시켜 줄 수 있다.
- [11] 실시 예는 제2전극층에 대한 별도의 포토리소그래피 공정을 제거함으로써, 제조공정이 감소되는 효과가 있다.
- [12] 실시 예는 반도체 발광소자의 전기적인 신뢰성을 개선시켜 줄 수 있다.

도면의 간단한 설명

- [13] 도 1은 제1실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [14] 도 2 내지 도 9는 도 1의 제1실시 예에 따른 반도체 발광소자의 제조과정을 나타낸 도면이다.
- [15] 도 10은 제2실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [16] 도 11은 제3실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [17] 도 12는 제4실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.

발명의 실시를 위한 최선의 형태

- [18] 이하, 실시 예에 따른 반도체 발광소자에 대하여 첨부된 도면을 참조하여 설명하면 다음과 같다. 이하, 실시 예를 설명함에 있어서, 각 층의 위 또는 아래에 대한 기준은 도면을 참조하여 설명될 수 있으며, 또한 각 층의 두께는 일 예로 설명된 것이며, 도면의 두께로 한정되지는 않는다.
- [19] 실시 예에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "directly"와 "indirectly"의 의미를 모두 포함한다.
- [20] 도 1은 제1실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [21] 도 1을 참조하면, 반도체 발광소자(100)는 제 1도전형 반도체층(110), 활성층(120), 제 2도전형 반도체층(130), 절연층(140), 제2전극층(150), 전도성 지지부재(160)를 포함한다.
- [22] 상기 반도체 발광소자(100)는 3족-5족 화합물 반도체를 이용한 LED를 포함하며, 상기 LED는 청색, 녹색, 또는 적색 등과 같은 광을 방출하는 유색 LED이거나 UV LED일 수 있다. 상기 LED의 방출 광은 실시 예의 기술적 범위 내에서 다양하게 구현될 수 있다.
- [23] 상기 제 1도전형 반도체층(110)은 제1도전형 도펀트가 도핑된 3족-5족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다.
- [24] 상기 제1도전형 반도체층(110)이 N형 반도체층인 경우, 상기 제1도전형 도펀트는 Si, Ge, Sn, Se, Te 등과 같은 N형 도펀트를 포함한다. 상기 제1도전형 반도체층(110)은 전극 접촉층으로 기능할 수 있으며, 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [25] 상기 제1도전형 반도체층(110) 위에 제1전극(170)이 형성되며, 상기 제1전극(170)은 제1극성의 전원을 공급하게 된다. 여기서, 상기 제1도전형

- 반도체층(110)의 상면에는 소정 형상의 러프니스(미도시)가 형성될 수 있으며, 이러한 러프니스는 실시 예의 기술적 범위 내에서 추가하거나 변경될 수 있다.
- [26] 또한 상기 제1도전형 반도체층(110) 위에는 투과성 전극층(미도시)이 형성될 수 있으며, 상기 투과성 전극층은 상기 제1전극(170)에 의해 공급된 제1극성의 전원을 전 영역으로 확산시켜 주게 된다. 상기 투과성 전극층은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrOx, RuOx, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO 중 적어도 하나를 포함할 수 있다.
- [27] 상기 제1도전형 반도체층(110) 아래에는 활성층(120)이 형성되며, 상기 활성층(120)은 단일 양자 우물 구조 또는 다중 양자 우물 구조로 형성될 수 있다. 상기 활성층(120)은 3족-5족 원소의 화합물 반도체 재료를 이용하여 우물층과 장벽층의 주기, 예를 들면 InGaN 우물층/GaN 장벽층의 주기로 형성될 수 있다.
- [28] 상기 활성층(120)은 발광시키는 빛의 파장에 따른 밴드 갭 에너지를 갖는 재료로 선택될 수 있다. 상기 활성층(120)은 청색 파장의 광, 레드 파장의 광, 녹색 파장의 광 등의 유색 광을 발광하는 재료를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 활성층(120)의 위 또는/및 아래에는 도전형 클래드층이 형성될 수 있으며, 상기 도전형 클래드층은 AlGaIn층으로 형성될 수 있다.
- [29] 상기 활성층(120) 아래에는 제2도전형 반도체층(130)이 형성된다. 상기 제2도전형 반도체층(130)은 제2도전형 도펀트가 도핑된 3족-5족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다. 상기 제2도전형 반도체층(130)이 P형 반도체층인 경우, 상기 제2도전형 도펀트는 Mg, Zn 등과 같은 P형 도펀트를 포함한다. 상기 제2도전형 반도체층(130)은 전극 접촉층으로 기능할 수 있으며, 단층 또는 다층으로 형성될 수 있고, 이에 대해 한정하지는 않는다.
- [30] 여기서, 상기 제1도전형 반도체층(110), 상기 활성층(120), 상기 제2도전형 반도체층(130)은 발광 구조물(135)로 정의될 수 있다. 또한 상기 제1도전형 반도체층(110)은 P형 반도체이고, 상기 제2도전형 반도체층(130)은 N형 반도체로 형성될 수 있다. 상기 제2도전형 반도체층(130) 아래에는 제3도전형 반도체층 예컨대, N형 반도체층 또는 P형 반도체층이 형성될 수 있다. 이에 따라 상기 발광 구조물(135)은 N-P 접합, P-N 접합, N-P-N 접합, P-N-P 접합 구조 중 적어도 하나를 포함할 수 있다.
- [31] 상기 발광 구조물(135)의 외측 둘레에는 절연층(140)이 형성된다. 상기 절연층(140)은 상기 제2도전형 반도체층(130), 상기 활성층(120) 및 상기 제1도전형 반도체층(110)의 외측 둘레에 측벽으로 기능하며, 띠 형상 또는 고리 형상으로 형성될 수 있다.
- [32] 상기 절연층(140)은 SiO₂, Si₃N₄, Al₂O₃, TiO₂ 등의 절연 재료로 형성될 수 있으며,

이 재료로 한정하지는 않는다.

[33] 상기 절연층(140)은 적어도 한 반도체층의 외측 둘레에 측벽으로 형성될 수 있다. 예를 들면, 상기 활성층(120)의 외측에 형성되거나, 상기 제2도전형 반도체층(130) 및 상기 활성층(120)의 외측에 형성될 수 있다.

[34] 또한 상기 절연층(140)의 상단은 상기 제1도전형 반도체층(110)의 하부까지 연장될 수 있다. 상기 절연층(140)의 하단은 상기 제2도전형 반도체층(130)의 보다 아래까지 연장될 수 있다.

[35] 상기 절연층(140)은 상기 발광 구조물(135)의 두께 이하 또는 이상으로 형성될 수 있다.

[36] 상기 제2전극층(150)은 상기 제2도전형 반도체층(130)의 아래에 형성되거나, 상기 절연층(140)의 아래까지 연장되어 형성될 수 있다.

[37] 상기 제2전극층(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성될 수 있다. 여기서, 상기 제2전극층(150)은 반사율이 50% 이상의 반사 전극 물질로 이루어질 수 있다.

[38] 상기 제2전극층(150)과 상기 제2도전형 반도체층(130) 사이에는 복수개의 패턴이 매트릭스 형상 또는/및 layer 형태로 이루어진 오믹 접촉층(미도시)이 형성될 수 있다. 상기 오믹 접촉층은 ITO(Indium Tin Oxide), IZO(Indium zinc oxide), AZO(Aluminum Zinc Oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), ATO(antimony tin oxide) 등의 재료 중에서 적어도 하나를 포함한다.

[39] 여기서, 상기 제2전극층(150)은 상기 제2도전형 반도체층(130)에 쇼트키 접촉 또는 오믹 접촉될 수 있다. 상기 제2전극층(150)과 상기 제2도전형 반도체층(130) 사이에 패턴 형상의 오믹 접촉층이 존재하는 경우, 상기 제2전극층(150)은 상기 제2도전형 반도체층(130)에 쇼트키 접촉되고, 상기 오믹 접촉층은 상기 제2도전형 반도체층(130)에 오믹 접촉된다. 이에 따라 상기 제2전극층(150) 및 상기 오믹 접촉층은 전기적인 특성이 다르기 때문에, 상기 제2도전형 반도체층(130)으로 공급되는 전류를 확산시켜 줄 수 있다.

[40] 상기 제2전극층(150)은 제2극성의 전원을 상기 발광구조물(135)에 안정적으로 공급하는 전극으로 기능하며, 상기 제2도전형 반도체층(130)을 통해 입사된 광을 반사시켜 준다.

[41] 상기 제2전극층(150)의 아래에는 상기 전도성 지지부재(160)가 형성된다. 상기 전도성 지지부재(160)는 구리(Cu), 금(Au), 니켈(Ni), 몰리브데늄(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, Sic 등) 등으로 구현될 수 있다. 상기 전도성 지지부재(160)는 전해 도금 방식으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[42] 상기 제2전극층(150) 및 상기 전도성 지지부재(160)는 상기 발광 구조물(135)에 제2극성의 전원을 공급하는 제2전극부로 사용될 수 있으며, 상기 제2전극부는 단층 또는 다층의 전극 재료로 형성되거나, 상기 제2도전형 반도체층(130)

아래에 접착제로 부착될 수 있다.

- [43] 반도체 발광소자(100)는 상기 절연층(140)이 상기 발광 구조물(135)의 외측에 배치됨으로써, 상기 발광구조물(135)의 외측으로 잔류 물질이나 외부 습기가 침투하는 것을 방지할 수 있다. 이에 따라 반도체 발광소자(100)의 외측에서의 각 반도체층(110,120,130) 간의 전기적인 쇼트를 방지할 수 있다.
- [44] 상기 절연층(140)은 상기 발광 구조물(135)의 외측에 배치됨으로써, 상기 발광 구조물(135)의 외측 방향으로 누설되는 전류를 차단할 수 있다. 예를 들면, 상기 제2전극층(150)을 통해 주입되는 전류는 상기 발광 구조물(135)의 외측 방향으로 진행되는 성질이 있는 데, 이러한 전류는 상기 절연층(140)에 의해 차단됨으로써, 전류의 주입 효율을 개선시켜 줄 수 있다.
- [45] 상기 절연층(140)은 상기 제2전극층(150)과 상기 제 2도전형 반도체층(130)의 외측에 배치됨으로써, 상기 제2전극층(150)의 접착력을 개선시켜 줄 수 있다.
- [46]
- [47] 도 2내지 도 9는 제1실시 예에 따른 발광 소자의 제조 과정을 나타낸 도면이다.
- [48] 도 2를 참조하면, 기판(101) 위에는 제 1도전형 반도체층(110)이 형성되고, 상기 제 1도전형 반도체층(110) 위에는 활성층(120)이 형성되며, 상기 활성층(120) 위에는 제 2도전형 반도체층(130)이 형성된다.
- [49] 상기 기판(101)은 사파이어 기판(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, Ga_2O_3 , 그리고 GaAs 등으로 이루어진 군에서 선택될 수 있다. 상기 기판(101)의 표면에는 요철 패턴이 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [50] 상기 기판(101) 위에는 3족-5족 화합물 반도체가 성장될 수 있으며, 그 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이러한 장비로 한정하지는 않는다.
- [51] 상기 기판(101)과 상기 제1도전형 반도체층(110) 사이에는 3족-5족 화합물 반도체를 이용한 버퍼층(미도시) 또는/및 언도프트 반도체층(미도시)이 형성될 수도 있으며, 박막 성장 후 분리 또는 제거될 수 있다. 상기 버퍼층은 상기 기판과의 격자 상수 차이를 줄여줄 수 있으며, 상기 언도프트 반도체층은 화합물 반도체층의 성장을 위한 베이스가 될 수 있다.
- [52] 상기 제 1도전형 반도체층(110)은 제1도전형 도펀트가 도핑된 3족-5족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다. 상기 제1도전형 반도체층(110)이 N형 반도체층인 경우, 상기 제1도전형 도펀트는 Si, Ge, Sn, Se, Te 등과 같은 N형 도펀트를 포함한다. 상기 제1도전형 반도체층(110)은 전극 접촉층으로 기능할 수 있으며, 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [53] 상기 활성층(120)은 단일 양자 우물 구조 또는 다중 양자 우물 구조로 형성될 수

있다. 상기 활성층(120)은 3족-5족 원소의 화합물 반도체 재료를 이용하여 우물층과 장벽층의 주기, 예를 들면 InGaN 우물층/GaN 장벽층의 주기로 형성될 수 있다. 상기 활성층(120)의 위 또는/및 아래에는 도전형 클래드층이 형성될 수 있으며, 상기 도전형 클래드층은 AlGaIn층으로 형성될 수 있다.

- [54] 상기 활성층(120) 위에는 제 2도전형 반도체층(130)이 형성된다. 상기 제 2도전형 반도체층(130)은 제2도전형 도펀트가 도핑된 3족-5족 원소의 화합물 반도체 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있다. 상기 제2도전형 반도체층(130)이 P형 반도체층인 경우, 상기 제2도전형 도펀트는 Mg, Zn 등과 같은 P형 도펀트를 포함한다. 상기 제2도전형 반도체층(130)은 전극 접촉층으로 기능할 수 있으며, 단층 또는 다층으로 형성될 수 있고, 이에 대해 한정하지는 않는다.
- [55] 여기서, 상기 제1도전형 반도체층(110), 상기 활성층(120), 상기 제2도전형 반도체층(130)은 발광 구조물(135)로 정의될 수 있다. 또한 상기 제1도전형 반도체층(110)은 P형 반도체이고, 상기 제2도전형 반도체층(130)은 N형 반도체로 형성될 수 있다. 상기 제2도전형 반도체층(130) 위에는 제3도전형 반도체층 예컨대, N형 반도체층 또는 P형 반도체층이 형성될 수 있다. 이에 따라 상기 발광 구조물(135)은 N-P 접합, P-N 접합, N-P-N 접합, P-N-P 접합 구조 중 적어도 하나를 포함할 수 있다.
- [56] 도 3 및 도 4를 참조하면, 상기 제 2도전형 반도체층(130)의 내측 영역(예: 발광 영역)에는 마스크층(145)이 형성된다.
- [57] 상기 마스크층(145)은 포토 리소그래피 공정에 의해 상기 제 2도전형 반도체층(130) 위에 형성되며, 소정의 마스크 패턴으로 상기 제2도전형 반도체층(130)의 외측 둘레 영역(146)이 에칭될 수 있다. 이에 따라 상기 마스크층(145)은 상기 제 2도전형 반도체층(130)의 외측 둘레 영역(146)을 제외한 내측 영역에 형성된다. 이러한 마스크층(145)의 형성 방법은 실시 예의 기술적 범위 내에서 다양하게 변경될 수 있으며, 이에 대해 한정하지는 않는다.
- [58] 상기 제 2도전형 반도체층(130)의 외측 둘레 영역(146)을 통해 제1메사 에칭을 수행하게 된다. 상기 제1메사 에칭은 건식 또는/및 습식 에칭 방법으로 수행될 수 있으며, 상기 건식 에칭 장비는 예컨대, ICP(Inductively Coupled Plasma) 등을 포함하며, 이에 대해 한정하지는 않는다.
- [59] 상기 제1메사 에칭의 깊이(D1)는 상기 제2도전형 반도체층(130)부터 상기 기판(101)이 노출되는 깊이 또는 상기 제1도전형 반도체층(110)이 노출되는 깊이로 형성될 수 있다. 상기 제1메사 에칭의 깊이(D1)는 상기 발광 구조물(135)의 반도체층(130,120,110) 중에서 적어도 한 층 또는 모든 층에 대해 수행할 수 있다.
- [60] 도 4 및 도 5를 참조하면, 상기 제1메사 에칭된 영역(147)에는 절연층(140)이 형성된다. 상기 절연층(140)은 SiO₂, Si₃N₄, Al₂O₃, TiO₂ 등의 절연 재료로 형성될 수 있으며, 이 재료로 한정하지는 않는다.

- [61] 상기 절연층(140)은 상기 제2도전형 반도체층(130), 상기 활성층(120) 및 상기 제1도전형 반도체층(110)의 외측 둘레에 측벽으로서, 띠 형상 또는 고리 형상으로 형성될 수 있다.
- [62] 상기 절연층(140)은 각 반도체층(130,120,110)의 외측 둘레에 형성되어, 외측으로 잔류 물질이나 외부 습기가 침투하는 것을 방지할 수 있고, 각 반도체층(130,120,110) 간의 전기적인 쇼트를 방지할 수 있다.
- [63] 여기서, 상기 절연층(140)의 상단은 상기 제2도전형 반도체층(130) 보다 위로 돌출될 수 있다. 상기 절연층(140)은 상기 발광 구조물(135)의 두께 이하 또는 이상으로 형성될 수 있다.
- [64] 상기 절연층(140)이 형성되면, 상기 마스크층(도3의 145)은 제거된다.
- [65] 도 6은 복수개의 칩 영역을 나타낸 평면도로서, 상기 절연층(140)은 각 칩의 외측 둘레 영역에 다각형의 띠 또는 고리 형상으로 형성될 수 있다. 상기 절연층(140)의 센터 라인(L1)은 칩 크기로 커팅하기 위한 칩 경계 영역이 된다.
- [66] 도 7을 참조하면, 상기 제2도전형 반도체층(130)의 위에는 제2전극층(150)이 형성된다. 상기 제2전극층(150)은 상기 제2도전형 반도체층(130) 위에 형성되거나, 상기 상기 제2도전형 반도체층(130) 및 상기 절연층(140)의 위에 형성될 수 있다.
- [67] 상기 제2전극층(150)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성될 수 있다. 여기서, 상기 제2전극층(150)은 반사율이 50% 이상의 반사 전극 물질로 이루어질 수 있다.
- [68] 상기 제2전극층(150)과 상기 제2도전형 반도체층(130) 사이에는 복수개의 패턴이 매트릭스 형상 또는/및 layer 형태로 이루어진 오믹 접촉층(미도시)이 형성될 수 있다. 상기 오믹 접촉층은 ITO(Indium Tin Oxide), IZO(Indium zinc oxide), AZO(Aluminum Zinc Oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), ATO(antimony tin oxide) 등의 재료 중에서 적어도 하나를 포함한다.
- [69] 여기서, 상기 제2전극층(150)은 상기 제2도전형 반도체층(130)에 쇼트키 접촉 또는 오믹 접촉될 수 있다. 상기 제2전극층(150)과 상기 제2도전형 반도체층(130) 사이에 패턴 형상의 오믹 접촉층이 존재하는 경우, 상기 제2전극층(150)은 상기 제2도전형 반도체층(130)에 쇼트키 접촉되고, 상기 오믹 접촉층은 상기 제2도전형 반도체층(130)에 오믹 접촉된다. 이에 따라 상기 제2전극층(150) 및 상기 오믹 접촉층은 전기적인 특성이 다르기 때문에, 상기 제2도전형 반도체층(130)으로 공급되는 전류를 확산시켜 줄 수 있다.
- [70] 상기 제2전극층(150)은 제2극성의 전원을 상기 발광구조물(135)에 안정적으로 공급하는 전극으로 기능하며, 상기 제2도전형 반도체층(130)을 통해 입사된 광을 반사시켜 준다.
- [71] 도 8을 참조하면, 상기 제2전극층(150)의 위에는 상기 전도성 지지부재(160)가 형성된다. 상기 전도성 지지부재(160)는 구리(Cu), 금(Au), 니켈(Ni),

- 몰리브덴(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, Sic 등) 등으로 구현될 수 있다. 상기 전도성 지지부재(160)는 전해 도금 방식으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [72] 상기 제2전극층(150) 및 상기 전도성 지지부재(160)는 상기 발광 구조물(135)에 제2극성의 전원을 공급하는 제2전극부로 사용될 수 있으며, 상기 제2전극부는 단층 또는 다층의 전극 재료로 형성되거나, 접착 방식으로 부착될 수 있다.
- [73] 상기 전도성 지지부재(160)가 형성되면, 상기 전도성 지지부재(160)을 베이스에 놓고 상기 기관(101)을 위로 향하도록 배치한다.
- [74] 상기 기관(101)을 통해 일정 파장의 레이저를 조사하여 상기 기관(101)을 상기 제1도전형 반도체층(110)로부터 분리시켜 준다. 즉, 레이저 리프트 오프(LLO : Laser Lift Off) 과정으로 상기 기관(101)을 제거할 수 있다. 상기 기관(101)과 제1도전형 반도체층(110) 사이에 다른 반도체층(예: 버퍼층)이 형성된 경우, 습식 식각 기술을 이용하여 상기 버퍼층을 제거하여, 상기 기관(101)을 분리할 수도 있다. 실시 예의 기관 제거 방식은 일 예이며, 다양한 방법을 사용하여 제거할 수 있다.
- [75] 여기서, 상기 절연층(140)은 상기 제2도전형 반도체층(130)과 상기 제2전극층(150)의 외측에 배치됨으로써, 상기 제2도전형 반도체층(130)과 상기 제2전극층(150) 사이의 접착력을 강화시켜 주어, 외부 충격으로부터 보호하게 된다. 이에 따라 반도체 발광소자의 전기적인 신뢰성을 개선시켜 줄 수 있다.
- [76] 또한 상기 절연층(140)은 상기 레이저의 광이 투과됨으로써, 상기 레이저에 의한 충격을 줄여줄 수 있다.
- [77] 상기 기관(101)이 제거된 제1도전형 반도체층(110)의 표면에 대해 ICP/RIE(Inductively coupled Plasma/Reactive Ion Etching) 방식으로 연마하는 공정을 수행할 수 있다.
- [78] 또한 상기 제1도전형 반도체층(110)의 표면에 러프니스를 형성시켜 줄 수 있다.
- [79] 도 9를 참조하면, 상기 제1도전형 반도체층(110) 위에는 제1전극(170)을 형성하게 된다.
- [80] 여기서, 제2메사 에칭을 수행하게 된다. 상기 제2메사 에칭은 각 칩의 외측 둘레에 배치된 상기 절연층(140)의 센터 부분을 에칭하게 된다. 즉, 도 6의 칩 경계 라인(L1)을 따라 소정 깊이로 에칭하게 된다. 상기 에칭 방식은 건식 에칭 또는 습식 에칭 방식을 이용할 수 있다.
- [81] 상기 제1전극(170)은 상기 제1메사 에칭 전 또는 후에 형성될 수 있으며, 상기 제1전극(170)의 형성 전에 상기 제1도전형 반도체층(110) 위에 ITO와 같은 투광성 전도층(미도시)을 형성시켜 줄 수 있다. 상기 투광성 전도층은 상기 제1전극(170)을 통해 공급되는 전류를 확산시켜 줄 수 있다.
- [82] 상기 제2메사 에칭 후, 브레이킹(breaking) 공정을 통해 개별 칩으로 분리하게 된다.
- [83] 상기 절연층(140)은 제2메사 에칭에 의해 에칭됨으로써, 반도체 재료의 에칭에

의한 전기적인 쇼트 문제를 방지할 수 있다. 즉, 공정의 안정성을 개선시켜 줄 수 있다. 상기 절연층(140)의 오믹 특성에 의해 발광 효율이 개선될 수 있다.

[84] 상기 절연층(140)이 형성됨으로써, 칩 분리 후 상기 발광 구조물(135)의 외측 일부를 보호하기 위해 별도의 절연층을 형성하는 과정은 생략된다.

[85]

[86] 도 10은 제2실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다. 제2실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분에 대해서는 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.

[87] 도 10을 참조하면, 반도체 발광소자(100A)는 발광 구조물(135)의 외측 둘레에 절연층(142)을 포함한다. 상기 절연층(142)의 두께(D2)는 상기 제2도전형 반도체층(142)부터 상기 제1도전형 반도체층(110)의 일부까지 형성될 수 있다. 상기 절연층(142)은 상기 제1도전형 반도체층(110)의 외측 전 영역에 형성되지 않더라도, 동일한 기능을 수행할 수 있다.

[88] 여기서, 상기 절연층(142)의 상단 지점(P1)은 제1메사 에칭 깊이에 따라 달라질 수 있다.

[89] 또한 상기 절연층(142)은 상기 활성층(120) 이하의 두께(D3)로 형성될 수 있다. 예를 들면, 상기 절연층(142)은 상기 활성층(120)부터 상기 제2도전형 반도체층(130) 또는 상기 제3도전형 반도체층(미도시)까지 형성될 수 있다.

[90] 상기 반도체 발광소자(100A)에서 상기 절연층(142)에 대한 재질, 기능 및 효과는 제1실시 예를 참조하기로 한다.

[91]

[92] 도 11은 제3실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다. 제3실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분에 대해서는 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.

[93] 도 11을 참조하면, 반도체 발광소자(100B)는 발광 구조물(135) 및 상기 제2전극층(150)의 외측 둘레에 절연층(144)을 포함한다.

[94] 상기 절연층(144)은 상기 활성층(120), 상기 제2도전형 반도체층(130) 및 상기 제2전극층(150)의 외측 둘레에 형성될 수 있다.

[95] 상기 절연층(144)은 상기 제2도전형 반도체층(130)보다 아래로 소정 두께(D4)로 돌출됨으로써, 상기 제2전극층(150)의 외측에 배치될 수 있다.

[96] 상기 제2전극층(150)은 상기 제2도전형 반도체층(130) 아래에 형성되거나, 상기 제2도전형 반도체층(130) 및 상기 절연층(144)의 아래에 형성될 수 있다.

[97] 상기 절연층(144)이 상기 제2전극층(150)의 외측을 아래로 더 이동시켜 줌으로써, 반도체층(110,120,130)과의 이격 거리를 증가시켜 줄 수 있다. 이러한 구조는 반도체 발광소자(100B)의 전기적인 신뢰성을 개선시켜 줄 수 있다.

[98] 또한 상기 절연층(144)의 상단은 상기 제1도전형 반도체층(110)의 일부 또는 상단까지 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[99] 상기 반도체 발광소자(100B)에서 상기 절연층(144)에 대한 재질, 기능 및

효과는 제1 실시 예를 참조하기로 한다.

- [100] 도 12는 제4 실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다. 제4 실시 예를 설명함에 있어서, 상기 제 1 및 제2 실시 예들과 동일한 부분에 대해서는 제1 및 제2 실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [101] 도 12를 참조하면, 반도체 발광소자(100C)는 발광 구조물(135)의 외측 둘레에 절연층(142)을 형성하고, 상기 제2전극층(150)의 상면 외측 둘레에 페시베이션층(155)을 포함한다.
- [102] 상기 페시베이션층(155)은 상기 제2전극층(150)과 상기 절연층(142) 사이의 외측 둘레를 따라 고리 형상 또는 띠 형상으로 형성될 수 있다. 상기 페시베이션층(155)은 상기 제2도전형 반도체층(130)의 하면 외측 둘레에 접촉될 수 있으며, 전도성 재료인 경우 전기적인 특성을 이용할 수 있다.
- [103] 또한 상기 페시베이션층(155)은 상기 절연층(142)과 동일한 절연 재료이거나, 투광성 전도층으로 형성될 수 있다. 상기 투광성 전도층인 경우 ITO, IZO, AZO, IZTO, IAZO, IGZO, IGTO, ATO 등을 포함할 수 있다.
- [104] 상기 페시베이션층(155)은 칩 경계 영역에 형성되어, 상기 기판 분리시 상기 발광 구조물(135)로 전달되는 충격을 최소화시켜 줄 수 있다. 또한 상기 페시베이션층(155)은 투광성 전도층인 경우, 상기 절연층(142)의 폭을 줄여주어, 발광 면적을 개선시켜 줄 수 있다.
- [105] 상기 각 실시 예의 기술적 특징은 다른 실시 예에 적용될 수 있으며, 각 실시 예로 한정하지는 않는다.
- [106] 이상은 그 바람직한 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[107]

산업상 이용가능성

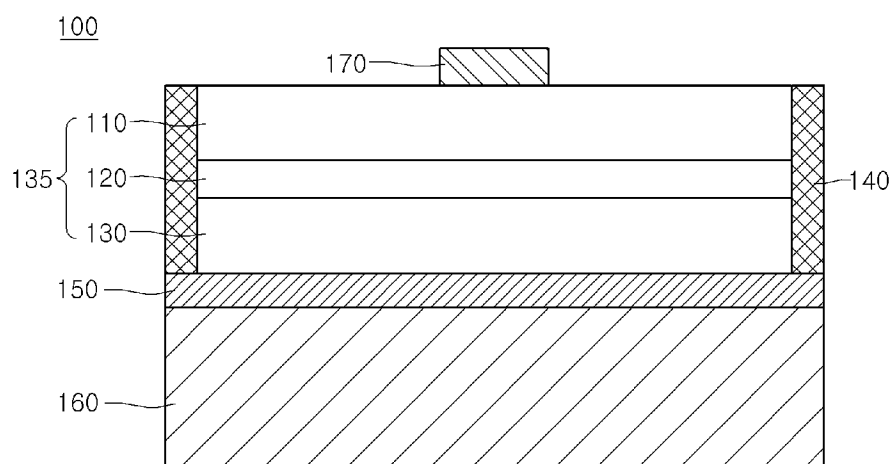
- [108] 실시 예는 LED와 같은 반도체 발광소자를 제공할 수 있다.
- [109] 실시 예는 반도체 발광소자의 제조 과정에 따른 신뢰성을 개선시켜 줄 수 있다.
- [110] 실시 예는 반도체 발광소자를 패키징한 광원을 조명 분야, 지시 분야, 표시 분야 등에 적용될 수 있다.

청구범위

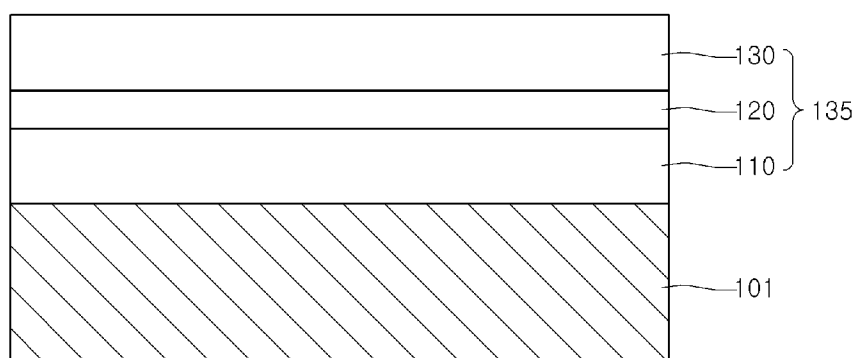
- [1] 제1도전형 반도체층;
상기 제1도전형 반도체층 아래에 활성층;
상기 활성층 아래에 제2도전형 반도체층;
상기 제1도전형 반도체층, 상기 활성층 및 상기 제2도전형 반도체층 중 적어도 상기 활성층의 외측 둘레에 절연층; 및
상기 제2도전형 반도체층 아래에 제2전극층을 포함하는 반도체 발광소자.
- [2] 제1항에 있어서, 상기 제1도전형 반도체층 위에 제1전극; 및 상기 제2전극층의 아래에 전도성 지지부재를 포함하는 반도체 발광소자.
- [3] 제1항에 있어서, 상기 절연층은 상기 제2도전형 반도체층 및 상기 활성층의 외측 둘레에 형성되는 반도체 발광소자.
- [4] 제1항에 있어서, 상기 제2전극층은 상기 제2도전형 반도체층 및 상기 절연층의 아래에 반사 전극층을 포함하는 반도체 발광소자.
- [5] 제1항에 있어서, 상기 절연층은 상기 제2도전형 반도체층의 외측부터 상기 제1도전형 반도체층의 외측 일부 또는 외측 전체까지 형성되는 반도체 발광소자.
- [6] 제5항에 있어서, 상기 절연층은 상기 전극층의 외측 둘레에 형성되는 반도체 발광소자.
- [7] 제1항에 있어서, 상기 절연층은 SiO_2 , Si_3N_4 , Al_2O_3 , TiO_2 중 적어도 하나를 포함하는 반도체 발광소자.
- [8] 제3항에 있어서, 상기 절연층과 상기 제2전극층 사이에 페시베이션층을 포함하는 반도체 발광소자.
- [9] 제1항에 있어서, 상기 절연층은 고리 형상 또는 띠 형상으로 형성되는 반도체 발광소자.
- [10] 제1도전형 반도체층, 상기 제1도전형 반도체층 아래에 활성층, 및 상기 활성층 아래에 제2도전형 반도체층을 포함하는 발광 구조물;
상기 제1도전형 반도체층 위에 제1전극;
상기 제2도전형 반도체층 아래에 제2전극층; 및
상기 활성층과 상기 제2도전형 반도체층의 외측 둘레에 절연층을 포함하는 반도체 발광소자.
- [11] 제10항에 있어서, 상기 절연층은 상기 제1도전형 반도체층과 상기 제2전극층 사이에 위치하는 반도체 발광소자.
- [12] 제10항에 있어서, 상기 제2전극층 아래에 전도성 지지부재;
상기 제2전극층과 상기 제2도전형 반도체층 사이에 복수개의 패턴을 갖는 오믹 접촉층을 포함하는 반도체 발광소자.
- [13] 제10항에 있어서, 상기 제2도전형 반도체층과 상기 제2전극층 사이에 제3도전형 반도체층을 포함하며,

- 상기 제3도전형 반도체층의 외측 둘레에 상기 절연층이 형성되는 반도체 발광소자.
- [14] 제10항에 있어서, 상기 제2도전형 반도체층과 상기 제2전극층 사이의 외측 둘레에 투광성 전도층을 포함하며,
상기 투광성 전도층은 띠 형상 또는 고리 형상으로 형성되는 반도체 발광소자.
- [15] 제10항에 있어서, 상기 절연층은 상기 제1도전형 반도체층의 외측 일부에서 상기 제2도전형 반도체층의 외측까지 배치되는 반도체 발광소자.

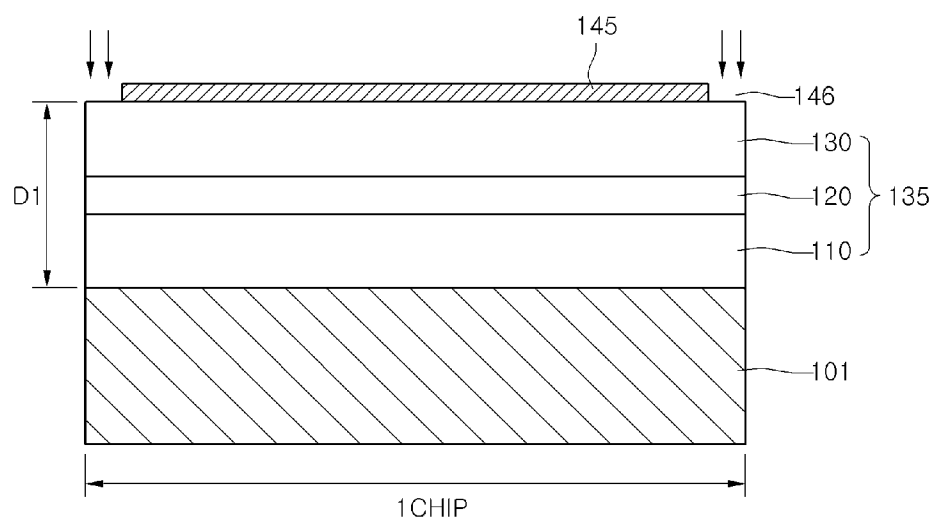
[Fig. 1]



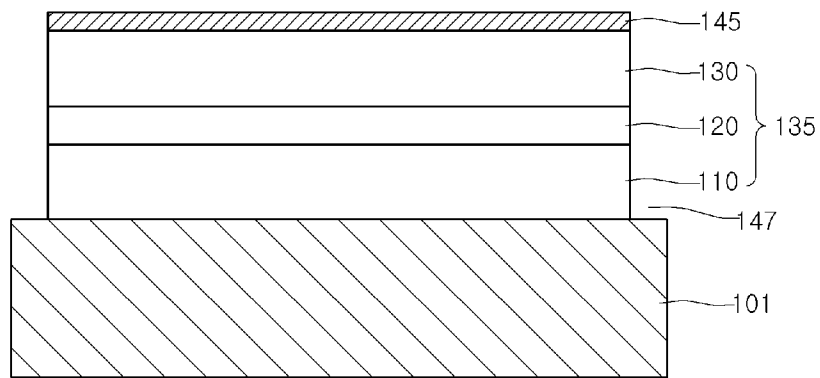
[Fig. 2]



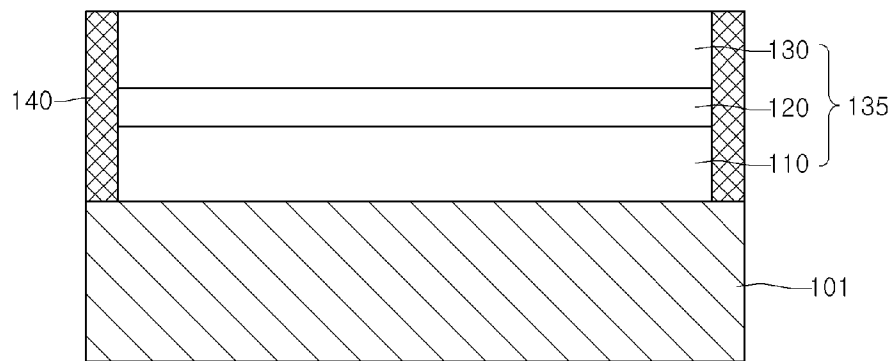
[Fig. 3]



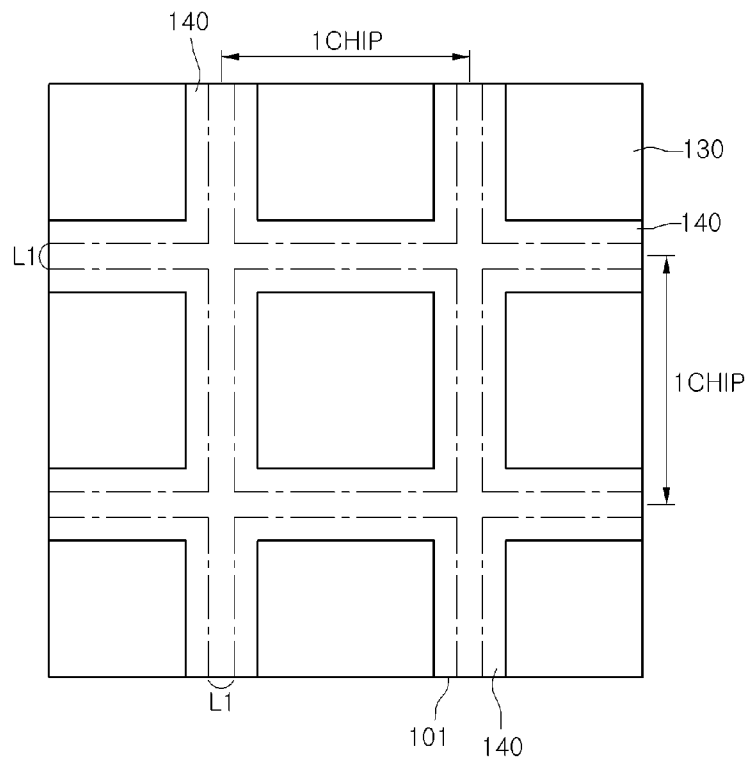
[Fig. 4]



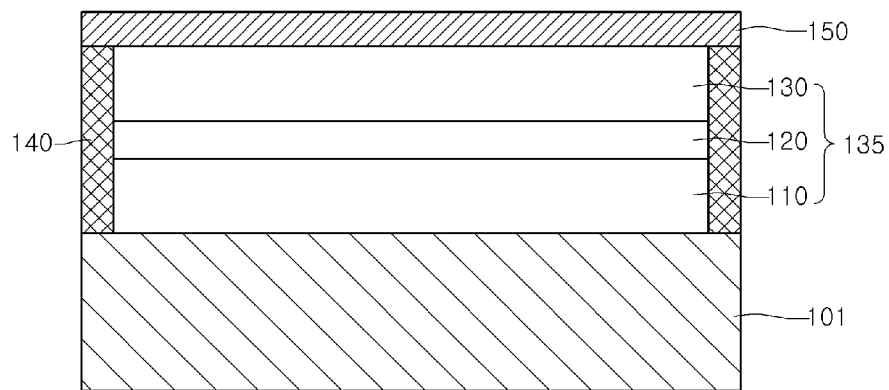
[Fig. 5]



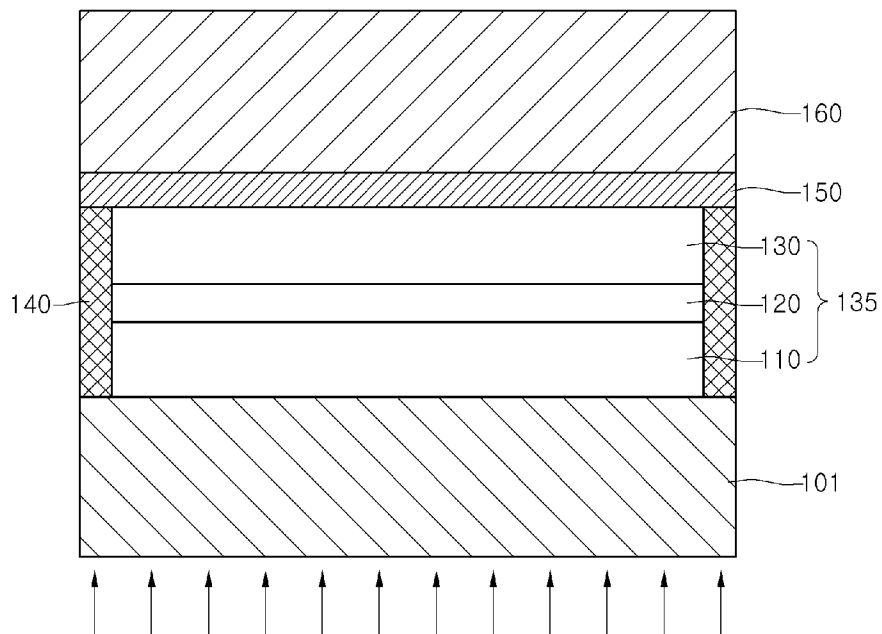
[Fig. 6]



[Fig. 7]

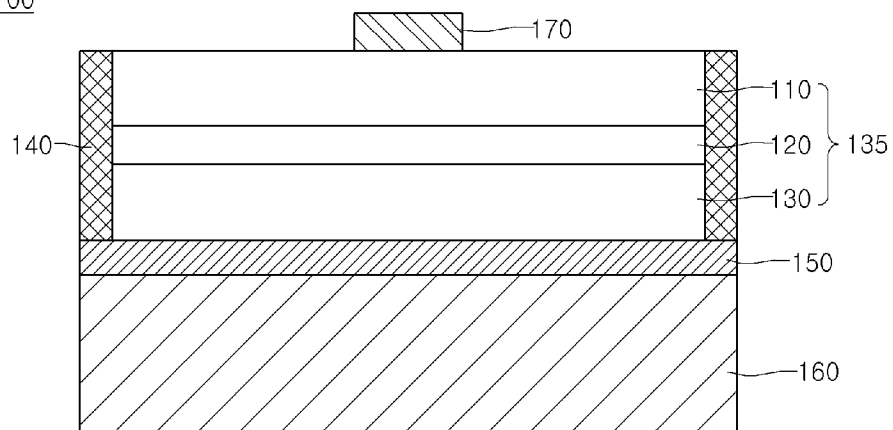


[Fig. 8]

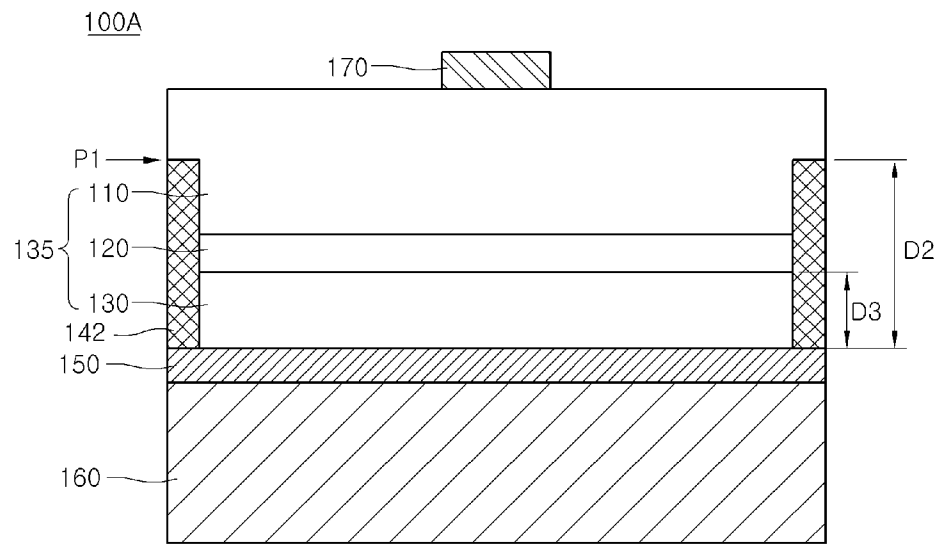


[Fig. 9]

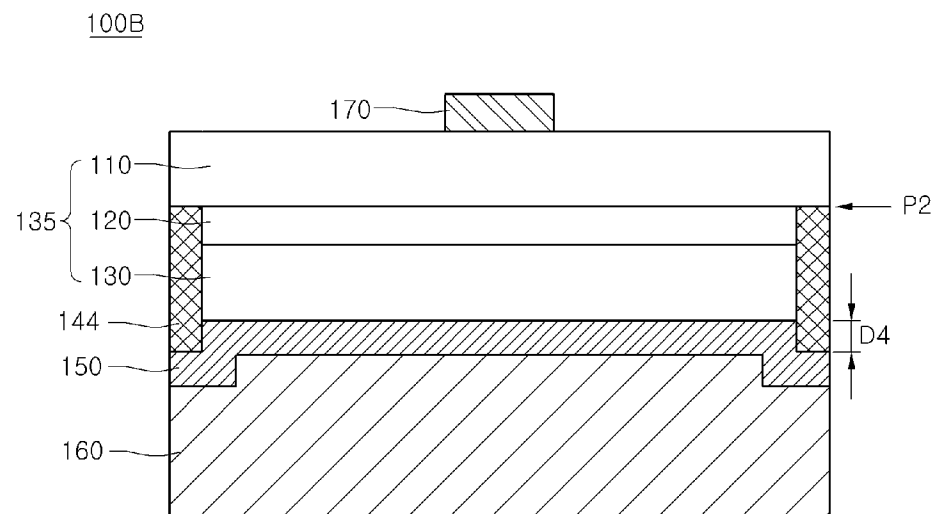
100



[Fig. 10]



[Fig. 11]



[Fig. 12]

