

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

WO 2020/195076 A1

(51) 国際特許分類:

G02F 1/1345 (2006.01) G09F 9/00 (2006.01)
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)

神 謙吾(SHIRAGAMI, Kengo); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2020/002397

(22) 国際出願日: 2020年1月23日(23.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-055273 2019年3月22日(22.03.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

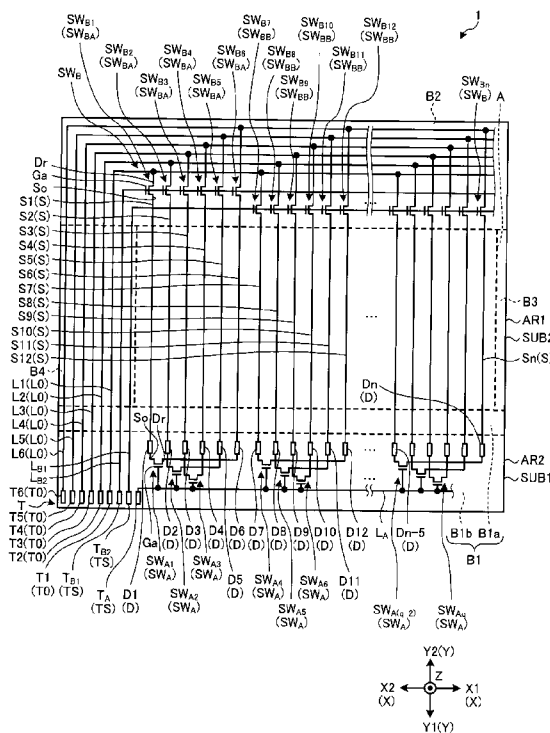
(72) 発明者: 笹 沼 啓 太 (SASANUMA, Keita); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
小日向 直之(OBINATA, Naoyuki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 白

(74) 代理人: 特許業務法人酒井国際特許事務所(SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE AND INSPECTION METHOD

(54) 発明の名称: 表示装置及び検査方法



(57) Abstract: A display device (1) has: a first substrate (SUB1) having a display region (A) and a peripheral region (B) which is further outside than the display region (A); wiring for supplying a signal to a pixel, the wiring being provided to the display region (A); a plurality of switch terminals (TS) as terminals provided in the peripheral region (B); a plurality of first switches (SW_A) provided in a first peripheral region (B1) on a first direction (Y1) side of the display region (A) and connected to the switch terminals (TS) and the wiring; and a plurality of second switches (SW_B) which are provided in a second peripheral region (B2) on a second direction (Y2) side of the display region (A), and which are connected to the wiring and to switch terminals (TS) which are different from the switch terminals (TS) connected to the first switches (SW_A). A portion of the first switches (SW_A) and/or the second switches (SW_B) are connected to the switch terminals (TS) via a first connection line (L_{B1}), and the other portion thereof are connected to the switch terminals (TS) via a second connection line (L_{B2}).

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 表示装置(1)は、表示領域(A)、及び表示領域(A)よりも外側の周辺領域(B)を有する第1基板(SUB1)と、表示領域(A)に設けられて、画素に信号を供給する配線と、周辺領域Bに設けられる端子である複数のスイッチ端子(TS)と、表示領域Aの第1方向(Y1)側の第1周辺領域(B1)に設けられ、スイッチ端子(TS)及び配線に接続される複数の第1スイッチ(SWA)と、表示領域(A)の第2方向(Y2)側の第2周辺領域(B2)に設けられ、第1スイッチ(SWA)に接続されるスイッチ端子(TS)とは異なるスイッチ端子(TS)、及び配線に接続される複数の第2スイッチ(SWB)と、を有する。第1スイッチ(SWA)及び第2スイッチ(SWB)の少なくとも一方は、一部が第1接続線(LB1)を介してスイッチ端子(TS)に接続され、他の一部が第2接続線(LB2)を介してスイッチ端子(TS)に接続される。

明 細 書

発明の名称：表示装置及び検査方法

技術分野

[0001] 本発明は、表示装置及び検査方法に関する。

背景技術

[0002] 表示装置の信頼性を確保するために、表示装置を検査する技術が種々検討されている。例えば特許文献1には、表示装置に、画素に接続された信号線に接続される検査用端子を設ける旨が記載されている。特許文献1によると、検査用端子から検査用データ信号を入力することで、画素に検査用データ信号に応じた発色を行わせて、発色状態の検査を行う。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-243524号公報

発明の概要

発明が解決しようとする課題

[0004] 近年では、表示装置の高精細化に伴い、配線の本数が増加し各配線が細線化される傾向にあり、局所的に線幅が細くなる配線が製造されることが考えられる。このような表示装置は、駆動時間の経過に伴い駆動電流が流れる積算時間が長くなると、配線の局所的に線幅が細くなる箇所が、駆動電流のストレスに起因して断線するおそれがある。また、このように局所的に線幅が細くなる箇所以外にも、断線のおそれがあったり断線したりしている箇所を検出することも求められる。従って、断線のおそれがある箇所などがあるかを検出可能にしておくことで、信頼性の低下を抑制することが求められている。

[0005] 本発明は、上記の課題に鑑みてなされたもので、信頼性の低下を抑制することが可能な表示装置及び検査方法を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様による表示装置は、複数の画素が設けられる表示領域、及び前記表示領域よりも外側の周辺領域を有する第1基板と、前記表示領域に設けられて、前記画素に接続されて前記画素に信号を供給する複数の配線と、前記周辺領域に設けられる端子である複数のスイッチ端子と、前記表示領域の第1方向側の前記周辺領域である第1周辺領域に設けられ、前記スイッチ端子、及び前記配線に接続される複数の第1スイッチと、前記表示領域の前記第1方向と反対方向の第2方向側の前記周辺領域である第2周辺領域に設けられ、前記第1スイッチに接続される前記スイッチ端子とは異なる前記スイッチ端子、及び前記配線に接続される複数の第2スイッチと、を有し、前記第1スイッチ及び前記第2スイッチの少なくとも一方は、一部が第1接続線を介して前記スイッチ端子に接続され、他の一部が第2接続線を介して前記スイッチ端子に接続される。

[0007] 本発明の一態様による検査方法は、前記表示装置の検査方法であって、前記スイッチ端子に信号を出力して前記第1スイッチ及び前記第2スイッチを駆動させることで、前記配線に電流を流して前記配線の検査を行う際に、第1時間において前記スイッチ端子から前記第1接続線へ前記信号を出力することで、前記第1時間において複数の前記配線のうちの一部に電流を流し、前記第1時間と異なる第2時間において前記スイッチ端子から前記第2接続線へ前記信号を出力することで、前記第2時間において複数の前記配線のうちの他の一部に電流を流す。

図面の簡単な説明

[0008] [図1]図1は、本実施形態に係る表示装置を模式的に示す平面図である。

[図2]図2は、本実施形態に係る表示装置の画素配列を示す模式図である。

[図3]図3は、本実施形態に係る表示装置の模式的な断面図である。

[図4]図4は、本実施形態に係る表示装置の構成の模式図である。

[図5]図5は、エージング処理の一例を示す模式図である。

[図6]図6は、エージング処理の一例を示す模式図である。

[図7]図7は、ゲート信号の出力タイミングの一例を示すグラフである。

[図8]図8は、信号線に流れる電流値の一例を示すグラフである。

発明を実施するための形態

[0009] 以下に、本発明の各実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] (表示装置の構成)

図1は、本実施形態に係る表示装置を模式的に示す平面図である。図1に示すように、本実施形態に係る表示装置1は、アレイ基板である第1基板SUB1と、対向基板である第2基板SUB2とを備えている。以下、第1基板SUB1及び第2基板SUB2の表面に平行な方向を、方向Xとする。また、第1基板SUB1及び第2基板SUB2の表面に平行な方向であって、方向Xと交差する方向、ここでは方向Xと直交する方向を、方向Yとする。また、方向Yのうちの一方側に向かう方向を、第1方向Y1とし、方向Yのうちの他方側に向かう方向、すなわち第1方向Y1と反対方向を、第2方向Y2とする。同様に、方向Xのうちの一方側に向かう方向を、第3方向X1とし、方向Xのうちの他方側に向かう方向、すなわち第3方向X1と反対方向を、第4方向X2とする。また、方向X及び方向Yに直交する方向、すなわち第1基板SUB1及び第2基板SUB2の表面に直交する方向を、方向Zとする。

[0011] 第1基板SUB1と第2基板SUB2とは、方向Zに積層されている。第1基板SUB1は、第2基板SUB2よりも面積が広い。第1基板SUB1は、方向Zから見て、第1方向Y1側の部分が、第2基板SUB2よりも第1方向Y1側に突出するように積層されている。すなわち、表示装置1は、

第1基板SUB1と第2基板SUB2とが重畳する重畳領域AR1と、第2基板SUB2が設けられず第1基板SUB1のみが設けられる張出領域AR2とを有している。張出領域AR2は、重畳領域AR1の第1方向Y1側に隣接する。

[0012] 表示装置1は、表示領域Aと周辺領域Bとを有する。表示領域Aは、複数の画素が配置されて画像が表示される領域である。周辺領域Bは、画素が配置されずに画像が表示されない領域である。周辺領域Bは、Z方向から見た表示領域Aの外側の領域である。本実施形態では、周辺領域Bは、表示領域Aを囲う枠状であり、額縁領域ともいえる。表示領域Aは、第1基板SUB1と第2基板SUB2とが重畳する重畳領域AR1内に設けられている。周辺領域Bは、第1基板SUB1内の領域である。さらに言えば、周辺領域Bは、一部が重畳領域AR1内に設けられ、他の一部が張出領域AR2に設けられている。すなわち、周辺領域Bは、重畳領域AR1から張出領域AR2にわたって設けられている。従って、第1基板SUB1は、表示領域Aと周辺領域Bとを有するといえ、さらに言えば、表示領域Aと周辺領域Bとに区分けされているといえる。

[0013] 周辺領域Bは、第1周辺領域B1と、第2周辺領域B2と、第3周辺領域B3と、第4周辺領域B4とを含む。第1周辺領域B1は、表示領域Aの第1方向Y1側の周辺領域Bである。第2周辺領域B2は、表示領域Aの第2方向Y2側の周辺領域Bであり、言い換えれば、表示領域Aを隔てて第1周辺領域B1の反対側にある周辺領域Bである。第3周辺領域B3は、表示領域Aの第3方向X1側の周辺領域Bである。第4周辺領域B4は、表示領域Aの第4方向X2側の周辺領域Bであり、言い換えれば、表示領域Aを隔てて第3周辺領域B3の反対側にある周辺領域Bである。

[0014] 第1周辺領域B1は、重畳領域AR1から、重畳領域AR1より第1方向Y1側の張出領域AR2にわたって設けられている。すなわち、第1周辺領域B1は、重畳領域AR1内に位置する内側周辺領域B1aと、張出領域AR2内に位置する外側周辺領域B1bとを含んでいる。第2周辺領域B2、

第3周辺領域B3、及び第4周辺領域B4は、重畳領域AR1内に位置している。すなわち、重畳領域AR1は、表示領域A、内側周辺領域B1a、第2周辺領域B2、第3周辺領域B3、及び第4周辺領域B4によって占められており、張出領域AR2は、外側周辺領域B1bによって占められている。

[0015] 第1周辺領域B1の外側周辺領域B1bには、配線基板101が設けられている。配線基板101は、例えばフレキシブル配線基板（FPC：Flexible Printed Circuits）によって構成される。配線基板101には、ドライバIC（Integrated Circuit）110が設けられている。ドライバIC110は、表示装置1の表示を制御する制御回路、検出回路、アナログフロントエンド等を含む。なお、表示装置1は、配線基板101及びドライバIC110に接続可能な構成であればよく、配線基板101及びドライバIC110を含まない構成を表示装置1としてよい。また、配線基板101及びドライバIC110を含めて、表示装置1としてもよい。

[0016] 表示装置1は、さらに、周辺領域Bに設けられた複数のドライバ端子Dと、周辺領域Bに設けられた複数の検査端子Tとを有する。本実施形態では、ドライバ端子D及び検査端子Tは、第1周辺領域B1に設けられ、さらに言えば、第1周辺領域B1の外側周辺領域B1bに設けられている。検査端子Tは、図1の例ではドライバ端子Dの第4方向X2側に設けられているが、それに限られない。

[0017] ドライバ端子Dは、ドライバIC110に接続可能な端子である。ドライバ端子Dは、接続されたドライバIC110から出力された各種信号を、表示装置1の配線に供給するための端子である。検査端子Tは、配線の検査、ここではエージング処理を行うための端子である。エージング処理については後述する。

[0018] 図2は、本実施形態に係る表示装置の画素配列を示す模式図である。図2に示すように、表示装置1は、表示領域Aにおいて、複数の画素PXを備え

ている。複数の画素 PX は、方向 X 及び方向 Y において、マトリクス状に並んで配置されている。また、表示装置 1 は、表示領域 A において、複数の配線を有している。表示装置 1 は、表示領域 A に設けられる配線として、 m 本の走査線 G ($G1 \sim Gm$) と、 n 本の信号線 S ($S1 \sim Sn$) と、コモン線 CL と、を備えている。なお、 m 及び n は、いずれの 2 以上の整数である。走査線 G は、ゲートドライバ GD に接続されている。ゲートドライバ GD の動作に必要な信号は、ドライバ $IC110$ から供給される。信号線 S 及びコモン線 CL は、ドライバ $IC110$ に接続されている。走査線 G 、ゲートドライバ GD 、信号線 S 、及び、コモン線 CL は、図 1 に示した第 1 基板 $SUB1$ に形成されている。

[0019] 画素 PX は、スイッチング素子 W 、画素電極 PE 、共通電極 CE 、及び液晶層 LC を備えている。スイッチング素子 W は、例えば薄膜トランジスタ (TFT; Thin Film Transistor) によって構成され、走査線 G 及び信号線 S と電氣的に接続されている。画素電極 PE は、スイッチング素子 W と電氣的に接続されている。共通電極 CE は、コモン線 CL と電氣的に接続されている。

[0020] ゲートドライバ GD は、走査線 G に接続されたスイッチング素子 W を導通状態とする制御信号を、走査線 G に出力する。ドライバ $IC110$ は、スイッチング素子 W が導通状態の期間に、信号線 S に映像信号を出力する。これにより、画素電極 PE には、所望の画素電位が書き込まれる。また、ドライバ $IC110$ は、コモン線 CL にコモン電位を供給する。これにより、共通電極 CE は、コモン電位となる。各画素 PX において、画素電極 PE の各々は、共通電極 CE と対向しており、液晶層 LC は、画素電極 PE の画素電位と共通電極 CE のコモン電位との電位差によって生じる電界によって駆動される。保持容量 CS は、例えば、共通電極 CE と同電位の電極、及び、画素電極 PE と同電位の電極の間に形成される。

[0021] 図 3 は、本実施形態に係る表示装置の模式的な断面図である。図 3 に示すように、表示装置 1 は、方向 Z において第 1 基板 $SUB1$ と第 2 基板 SUB

2とが積層されている。第1基板SUB1は、絶縁基板10、絶縁層11、12、13、14、15、下側遮光層US、半導体層SC、走査線G、信号線S、接続電極RE、共通電極CE、画素電極PE、及び、配向膜AL1を備えている。絶縁基板10は、ガラス基板や樹脂基板などの透明基板である。下側遮光層USは、絶縁基板10と絶縁層11との間に位置している。下側遮光層USは、図3の例では、両ゲート電極に跨って重畳するように形成されているが、ゲート電極毎に離間して形成されていてもよい。半導体層SCは、絶縁層11と絶縁層12との間に位置している。半導体層SCは、例えば、多結晶シリコンによって形成されているが、アモルファスシリコンや酸化物半導体によって形成されていてもよい。走査線Gの一部である2つのゲート電極GEは、絶縁層12と絶縁層13との間に位置している。信号線S及び接続電極REは、絶縁層13と絶縁層14との間に位置している。信号線S及び接続電極REは、それぞれ半導体層SCにコンタクトしている。共通電極CEは、絶縁層14と絶縁層15との間に位置している。画素電極PEは、絶縁層15と配向膜AL1との間に位置している。画素電極PEの一部は、絶縁層15を介して共通電極CEと対向している。共通電極CE及び画素電極PEは、ITO (Indium Tin Oxide) やIZO (Indium Zinc Oxide) などの透光性を有する導電材料によって形成されている。画素電極PEは、共通電極CEの開口部APと重畳する位置において、絶縁層14及び15を貫通するコンタクトホールCHを介して接続電極REに接触している。なお、絶縁層11乃至13、及び、絶縁層15は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物などの透明な無機絶縁層であり、単層構造であってもよいし、多層構造であってもよい。絶縁層14は、アクリル樹脂などの透明な有機絶縁層である。

[0022] 第2基板SUB2は、絶縁基板20、遮光層BM、カラーフィルタ層CF、オーバーコート層OC、及び、配向膜AL2を備えている。絶縁基板20は、ガラス基板や樹脂基板などの透明基板である。遮光層BM及びカラーフィルタ層CFは、絶縁基板20とオーバーコート層OCとの間に位置してい

る。配向膜A L 2は、オーバーコート層O Cを覆っている。

[0023] 液晶層L Cは、第1基板S U B 1及び第2基板S U B 2の間に位置し、配向膜A L 1と配向膜A L 2との間に保持されている。液晶層L Cは、ポジ型（誘電率異方性が正）の液晶材料、あるいは、ネガ型（誘電率異方性が負）の液晶材料によって構成されている。偏光板P L 1は、第1基板S U B 1の下方（第2基板S U B 2と反対側）に配置されている。偏光板P L 2は、第2基板S U B 2の上方（第1基板S U B 1と反対側）に配置されている。なお、偏光板P L 1、P L 2の他に、必要に応じて位相差板、散乱層、反射防止層などを含んでいてもよい。照明装置I Lは、偏光板P L 1の下方（第1基板S U B 1と反対側）に位置している。

[0024] このように、図3の例では、表示装置1は、横電界モード、さらに言えばF F S（F r i n g e F i e l d S w i t c h i n g）モードの液晶表示装置である。ただし、表示装置1は、F F Sモードに限られず、縦電界モードなど、任意の表示装置であってよい。

[0025] 表示装置1は、配線の検査のためのエージング処理を行うための構成を有している。エージング処理とは、表示装置1の出荷前に行う処理であり、配線に電流を流すことで、配線の局所的に線幅が細くなる箇所を断線させて、配線の不良箇所を予め検出する処理である。以下、エージング処理を行うための構成について説明する。

[0026] 図4は、本実施形態に係る表示装置の構成の模式図である。図4に示すように、表示装置1が有するドライバ端子Dは、配線である信号線Sに接続されている。ドライバ端子D 1からドライバ端子D nは、それぞれ、信号線S 1から信号線S nに接続されている。なお、図4では説明の便宜上省略しているが、ドライバ端子Dと信号線Sとの間には、ビデオ線と、接続回路とが設けられていてもよい。この場合、ドライバ端子Dとビデオ線と接続回路と信号線Sとは、この順で接続される。接続回路は、ビデオ線と信号線Sとの接続を切り替え、さらに言えば、複数の信号線Sのうち選択された少なくとも1つの信号線Sと、ビデオ線とを接続する。

[0027] このように、表示装置 1 は、ドライバ端子 D が信号線 S に接続されている。従って、ドライバ端子 D がドライバ IC 110 に接続された状態でドライバ IC 110 から信号が出力されると、ドライバ IC 110 からの信号は、映像信号として、信号線 S に出力される。

[0028] また、表示装置 1 は、第 1 基板 SUB 1 内に、第 1 スイッチ SW_A 及び第 2 スイッチ SW_B を有する。第 1 スイッチ SW_A 及び第 2 スイッチ SW_B は、スイッチング素子、ここではトランジスタである。また、表示装置 1 は、検査端子 T として、スイッチ端子 TS と出力端子 TO とを有する。スイッチ端子 TS は、第 1 スイッチ SW_A 及び第 2 スイッチ SW_B にゲート信号を出力するための端子である。スイッチ端子 TS は、複数設けられている。図 4 の例では、互いに異なるスイッチ端子 TS として、スイッチ端子 T_A、T_{B1}、T_{B2} の合計 3 つが設けられている。また、出力端子 TO は、信号線 S にエージング処理用の電流を出力するための端子である。出力端子 TO は、複数設けられており、図 4 の例では、出力端子 T₁、T₂、T₃、T₄、T₅、T₆ の、合計 6 つ設けられている。ただし、スイッチ端子 TS 及び出力端子 TO の数は図 4 に示すものに限られず任意であってよい。

[0029] 第 1 スイッチ SW_A は、第 1 周辺領域 B 1 の外側周辺領域 B 1 b 内に設けられており、外側周辺領域 B 1 b 内において、ドライバ端子 D よりも表示領域 A と反対側、すなわちドライバ端子 D の第 1 方向 Y 1 側に設けられている。第 1 スイッチ SW_A は、複数設けられている。本実施形態では、第 1 スイッチ SW_A は、第 1 スイッチ SW_{A1} から第 1 スイッチ SW_{Aq} の、合計 q 個設けられている。第 1 スイッチ SW_A の数は任意であるが、信号線 S の数の半分であることが好ましい。

[0030] 第 1 スイッチ SW_A は、複数のドライバ端子 D に接続されており、本実施形態では、2 つのドライバ端子 D に接続されている。ドライバ端子 D は信号線 S に接続されているため、第 1 スイッチ SW_A は、複数の信号線 S に接続されているといえ、本実施形態では 2 つの信号線 S に接続されているといえる。第 1 スイッチ SW_A は、ドレイン電極 Dr が、2 つのドライバ端子 D (信号線

S)のうちの一方に接続され、ソース電極S_oが、2つのドライバ端子D(信号線S)のうちの他方に接続されている。なお、第1スイッチSW_Aは、信号線Sの第1方向Y₁側の端部に接続されていることが好ましい。

[0031] 図4の例では、第1スイッチSW_{A1}は、ドレイン電極D_rがドライバ端子D₆を介して信号線S₆に接続されており、ソース電極S_oがドライバ端子D₁を介して信号線S₁に接続されている。また、第1スイッチSW_{A2}は、ドレイン電極D_rがドライバ端子D₅を介して信号線S₅に接続されており、ソース電極S_oがドライバ端子D₂を介して信号線S₂に接続されている。また、第1スイッチSW_{A3}は、ドレイン電極D_rがドライバ端子D₄を介して信号線S₄に接続されており、ソース電極S_oがドライバ端子D₃を介して信号線S₃に接続されている。また、第1スイッチSW_{A4}は、ドレイン電極D_rがドライバ端子D₁₂を介して信号線S₁₂に接続されており、ソース電極S_oがドライバ端子D₇を介して信号線S₇に接続されている。また、第1スイッチSW_{A5}は、ドレイン電極D_rがドライバ端子D₁₁を介して信号線S₁₁に接続されており、ソース電極S_oがドライバ端子D₈を介して信号線S₈に接続されている。また、第1スイッチSW_{A6}は、ドレイン電極D_rがドライバ端子D₁₀を介して信号線S₁₀に接続されており、ソース電極S_oがドライバ端子D₉を介して信号線S₉に接続されている。以降の第1スイッチSW_Aも、同様に信号線Sに接続されている。ただし、このような接続関係は一例である。すなわち、第1スイッチSW_Aは、任意の2つの信号線Sに接続されており、接続されている信号線Sが、第1スイッチSW_A毎に異なればよい。

[0032] スイッチ端子T_Aは、接続線L_Aに接続されている。接続線L_Aは、スイッチ端子T_Aに接続されている箇所から、外側周辺領域B_{1b}内を第3方向X₁に向けて延在している。接続線L_Aは、外側周辺領域B_{1b}内において、第1スイッチSW_Aに接続されている。より詳しくは、接続線L_Aは、第1スイッチSW_Aのゲート電極G_aに接続されている。すなわち、第1スイッチSW_Aは、ゲート電極G_aが、接続線L_Aを介してスイッチ端子T_Aに接続されている

。接続線 L_A は、複数の第1スイッチ SW_A のゲート電極 G_a のそれぞれに接続されている。すなわち、複数の第1スイッチ SW_A は、同じ接続線 L_A を介して、スイッチ端子 T_A に接続されている。さらに言えば、本実施形態では、全ての第1スイッチ SW_A が、同じ接続線 L_A を介して、スイッチ端子 T_A に接続されている。

[0033] このように、第1スイッチ SW_A は、ドレイン電極 D_r が2つのドライバ端子 D のうち的一方に接続され、ソース電極 S_o が2つのドライバ端子 D のうちの他方に接続され、ゲート電極 G_a が接続線 L_A を介してスイッチ端子 T_A に接続されている。従って、第1スイッチ SW_A は、スイッチ端子 T_A を介してゲート電極 G_a に電流（ゲート信号）が入力されると、2つのドライバ端子 D 同士を、すなわち2つの信号線 S 同士を、電氣的に接続する。一方、第1スイッチ SW_A は、ゲート電極 G_a に電流（ゲート信号）が入力されていない状態では、2つのドライバ端子 D 同士を、すなわち2つの信号線 S 同士を、電氣的に遮断（非接続に）する。このように、第1スイッチ SW_A は、信号線 S とスイッチ端子 T_A とに接続され、スイッチ端子 T_A からのゲート信号により、複数の信号線 S 同士の接続と遮断とを切り替え可能に構成される。なお、接続線 L_A は、複数の第1スイッチ SW_A に接続されているため、スイッチ端子 T_A からゲート信号が入力された場合、複数の第1スイッチ SW_A のゲート電極 G_a にゲート信号を入力する。従って、複数の第1スイッチ SW_A のそれぞれが、2つの信号線 S 同士を接続する。

[0034] また、出力端子 T_1 、 T_2 、 T_3 、 T_4 、 T_5 、 T_6 は、それぞれ、配線である接続線 L_1 、 L_2 、 L_3 、 L_4 、 L_5 、 L_6 に接続されている。接続線 L_1 、 L_2 、 L_3 、 L_4 、 L_5 、 L_6 は、出力端子 T_1 、 T_2 、 T_3 、 T_4 、 T_5 、 T_6 に接続されている外側周辺領域 B_1b 内の箇所から、内側周辺領域 B_1a 、第4周辺領域 B_4 （又は第3周辺領域 B_3 ）を経て、第2周辺領域 B_2 まで延在し、第2周辺領域 B_2 内を、第3方向 X_1 に延在している。すなわち、出力端子 T_0 は、接続線 L_0 に接続されており、接続線 L_0 が、第2周辺領域 B_2 まで延在しているといえる。

[0035] 第2スイッチ SW_B は、第2周辺領域 B_2 内に設けられる。第2スイッチ SW_B は、接続線 L_0 及び信号線 S に接続されている。すなわち、第2スイッチ SW_B は、接続線 L_0 を介して出力端子 T_0 に接続されている。また、第2スイッチ SW_B は、信号線 S に接続されており、信号線 S を介してドライバ端子 D 及び第1スイッチ SW_A に接続されているともいえる。具体的には、第2スイッチ SW_B は、ドレイン電極 D_r が、接続線 L_0 を介して出力端子 T_0 に接続されている。また、第2スイッチ SW_B は、ソース電極 S_o が、信号線 S に接続されている。なお、第2スイッチ SW_B は、信号線 S の第2方向 Y_2 側の端部に接続されていることが好ましい。

[0036] 第2スイッチ SW_B は、複数設けられており、図4の例では、第2スイッチ SW_{B1} から SW_{Bn} の、合計 n 個設けられている。第2スイッチ SW_B の数は任意であるが、信号線 S と同数であることが好ましい。図4の例では、第2スイッチ SW_{B1} は、ドレイン電極 D_r が接続線 L_1 に接続され、ソース電極 S_o が信号線 S_1 に接続されている。また、第2スイッチ SW_{B2} は、ドレイン電極 D_r が接続線 L_2 に接続され、ソース電極 S_o が信号線 S_2 に接続されている。第2スイッチ SW_{B3} は、ドレイン電極 D_r が接続線 L_3 に接続され、ソース電極 S_o が信号線 S_3 に接続されている。第2スイッチ SW_{B4} は、ドレイン電極 D_r が接続線 L_4 に接続され、ソース電極 S_o が信号線 S_4 に接続されている。第2スイッチ SW_{B5} は、ドレイン電極 D_r が接続線 L_5 に接続され、ソース電極 S_o が信号線 S_5 に接続されている。第2スイッチ SW_{B6} は、ドレイン電極 D_r が接続線 L_6 に接続され、ソース電極 S_o が信号線 S_6 に接続されている。また、第2スイッチ SW_{B7} は、ドレイン電極 D_r が接続線 L_1 に接続され、ソース電極 S_o が信号線 S_7 に接続されている。第2スイッチ SW_{B8} は、ドレイン電極 D_r が接続線 L_2 に接続され、ソース電極 S_o が信号線 S_8 に接続されている。第2スイッチ SW_{B9} は、ドレイン電極 D_r が接続線 L_3 に接続され、ソース電極 S_o が信号線 S_9 に接続されている。第2スイッチ SW_{B10} は、ドレイン電極 D_r が接続線 L_4 に接続され、ソース電極 S_o が信号線 S_{10} に接続されている。第2スイッチ SW_{B11} は

、ドレイン電極 D_r が接続線 L_5 に接続され、ソース電極 S_o が信号線 S_{11} に接続されている。第2スイッチ $SW_{B_{12}}$ は、ドレイン電極 D_r が接続線 L_6 に接続され、ソース電極 S_o が信号線 S_{12} に接続されている。以降の第2スイッチ SW_B も、同様の順番で、接続線 L_0 と信号線 S とに接続されている。ただし、この接続関係も一例であり、第2スイッチ SW_B は、ドレイン電極 D_r が複数の接続線 L_0 のいずれかに接続され、ソース電極 S_o に複数の信号線 S のいずれかが接続されればよい。

[0037] なお、第2スイッチ SW_B は、信号線 S 毎に設けられており、1つの信号線 S には1つの第2スイッチ SW_B が接続されているといえる。一方、接続線 L_0 の数は、本実施形態の例では6本であり、第2スイッチ SW_B 及び信号線 S の数より少ない。従って、一部の第2スイッチ SW_B は、接続される接続線 L_0 が共通しており、言い換えれば、1つの接続線 L_0 には、複数の第2スイッチ SW_B が接続されているといえる。図4では、接続線 L_1 に第2スイッチ SW_{B_1} 、 SW_{B_7} 、 $\dots$ が接続され、接続線 L_2 に第2スイッチ SW_{B_2} 、 SW_{B_8} 、 $\dots$ が接続されるなど、1つの接続線 L_0 に対し第2スイッチ SW_B が6個おきに接続されているが、このように6個おきに接続されることに限られない。

[0038] 一方側端子としてのスイッチ端子 T_{B_1} は、第1接続線 L_{B_1} に接続されている。第1接続線 L_{B_1} は、スイッチ端子 T_{B_1} に接続されている外側周辺領域 B_{1b} 内の箇所から、内側周辺領域 B_{1a} 、第4周辺領域 B_4 （又は第3周辺領域 B_3 ）を経て、第2周辺領域 B_2 まで延在し、第2周辺領域 B_2 内を、第3方向 X_1 に延在している。第1接続線 L_{B_1} は、第2周辺領域 B_2 内において、複数の第2スイッチ SW_B のうちの一部の第2スイッチ SW_B に接続されている。より詳しくは、第1接続線 L_{B_1} は、複数の第2スイッチ SW_B のうちの一部の第2スイッチ SW_B の、ゲート電極 G_a に接続されている。すなわち、一部の第2スイッチ SW_B は、ゲート電極 G_a が、第1接続線 L_{B_1} を介してスイッチ端子 T_{B_1} に接続されている。

[0039] 他方側端子としてのスイッチ端子 T_{B_2} は、第2接続線 L_{B_2} に接続されてい

る。第2接続線 L_{B2} は、スイッチ端子 T_{B2} に接続されている外側周辺領域 $B1b$ 内の箇所から、内側周辺領域 $B1a$ 、第4周辺領域 $B4$ （又は第3周辺領域 $B3$ ）を経て、第2周辺領域 $B2$ まで延在し、第2周辺領域 $B2$ 内を、第3方向 $X1$ に延在している。第2接続線 L_{B2} は、第2周辺領域 $B2$ において、複数の第2スイッチ SW_B のうちの他の一部の第2スイッチ SW_B に接続されている。言い換えれば、第2接続線 L_{B2} は、複数の第2スイッチ SW_B のうち、第1接続線 L_{B1} が接続されてない第2スイッチ SW_B に接続されている。第2接続線 L_{B2} は、第1接続線 L_{B1} が接続されてない第2スイッチ SW_B の、ゲート電極 Ga に接続されている。すなわち、複数の第2スイッチ SW_B のうち他の一部の第2スイッチ SW_B は、ゲート電極 Ga が、第2接続線 L_{B2} を介してスイッチ端子 T_{B2} に接続されている。

[0040] 図4の例では、第2スイッチ SW_{B1} から第2スイッチ SW_{B6} までが第1接続線 L_{B1} に接続され、第2スイッチ SW_{B7} から第2スイッチ SW_{B14} までが第2接続線 L_{B2} に接続されており、以降でもこのような接続関係となっている。すなわち、隣接する複数（図4では6個）の第2スイッチ SW_B を1つのグループとした場合、グループ毎に接続される接続線が異なっている。すなわち、1つ目、3つ目、・・・のグループが第1接続線 L_{B1} に接続され、2つ目、4つ目、・・・のグループが第2接続線 L_{B2} に接続される。ただし、このようにグループ毎に接続線が異なることに限られず、一部の第2スイッチ SW_B が第1接続線 L_{B1} に接続されて、他の一部の第2スイッチ SW_B が第2接続線 L_{B2} に接続されるものであればよい。例えば、第2スイッチ SW_B は、1個毎に接続線が異なってもよいし、全ての第2スイッチ SW_B のうち、中央より第3方向 $X1$ 側にある半数の第2スイッチ SW_B が第1接続線 L_{B1} に接続され、中央より第4方向 $X2$ 側にある半数の第2スイッチ SW_B が第2接続線 L_{B2} に接続されてもよい。

[0041] このように、それぞれの第2スイッチ SW_B は、ドレイン電極 Dr が接続線 $L0$ を介して出力端子 $T0$ に接続され、ソース電極 So が信号線 S に接続される。また、一部の第2スイッチ SW_B は、ゲート電極 Ga が第1接続線 L_{B1}

を介してスイッチ端子 T_{B1} に接続され、他の第2スイッチ SW_B は、ゲート電極 G_a が第2接続線 L_{B2} を介してスイッチ端子 T_{B2} に接続されている。以下、適宜、第1接続線 L_{B1} に接続されている第2スイッチ SW_B を、一方側第2スイッチ SW_{BA} と記載し、第2接続線 L_{B2} に接続されている第2スイッチ SW_B を、他方側第2スイッチ SW_{BB} と記載する。

[0042] 第1接続線 L_{B1} に接続されている一方側第2スイッチ SW_{BA} は、第1接続線 L_{B1} を介してゲート電極 G_a に電流（ゲート信号）が入力されると、接続線 L_O と信号線 S とを、すなわち出力端子 T_O と信号線 S とを、電氣的に接続する。また、一方側第2スイッチ SW_{BA} は、第1接続線 L_{B1} を介してゲート電極 G_a に電流（ゲート信号）が入力されていない状態では、接続線 L_O と信号線 S とを、すなわち出力端子 T_O と信号線 S とを、電氣的に遮断する。このように、一方側第2スイッチ SW_{BA} は、出力端子 T_O と信号線 S との接続及び遮断を切り替え可能に構成されており、スイッチ端子 T_{B1} からのゲート信号により、出力端子 T_O と信号線 S との接続及び遮断を切り替える。

[0043] 一方、第2接続線 L_{B2} に接続されている他方側第2スイッチ SW_{BB} は、第2接続線 L_{B2} を介してゲート電極 G_a に電流（ゲート信号）が入力されると、接続線 L_O と信号線 S とを、すなわち出力端子 T_O と信号線 S とを、電氣的に接続する。また、他方側第2スイッチ SW_{BB} は、第2接続線 L_{B2} を介してゲート電極 G_a に電流（ゲート信号）が入力されていない状態では、接続線 L_O と信号線 S とを、すなわち出力端子 T_O と信号線 S とを、電氣的に遮断する。このように、他方側第2スイッチ SW_{BB} は、出力端子 T_O と信号線 S との接続及び遮断を切り替え可能に構成されており、スイッチ端子 T_{B2} からのゲート信号により、出力端子 T_O と信号線 S との接続及び遮断を切り替える。

[0044] このように、第2スイッチ SW_{B2} は、第1接続線 L_{B1} 及び第2接続線 L_{B2} のいずれかに接続されている。ただし、接続線の本数は第1接続線 L_{B1} 及び第2接続線 L_{B2} の2本に限られず、3本以上であってよく、この場合、それらの接続線のそれぞれに、複数の第2スイッチ SW_{B2} のうちの一部が接続され

る。

[0045] (検査方法)

表示装置 1 は、以上のような構成になっている。次に、表示装置 1 の配線の検査方法、すなわちエージング処理について説明する。図 5 及び図 6 は、エージング処理の一例を示す模式図である。エージング処理を行う場合、ドライバ IC 110 がドライバ端子 D に接続されておらず、ドライバ IC 110 からの信号がドライバ端子 D に入力されない。ただし、ドライバ IC 110 からの信号がドライバ端子 D に入力されていなければ、ドライバ IC 110 がドライバ端子 D に接続されていてもよい。

[0046] 図 5 に示すように、エージング処理を行う場合、検査端子 T に検査装置 200 が接続される。検査装置 200 は、制御部 201 と、検出部 202 と、処理部 203 と、駆動回路 204 とを含む。なお、検査装置 200 は、あくまで一例であり、これらの機能の一部を有していなくてもよく、他の機能を有していてもよい。検査装置 200 の機能の一部は、ドライバ IC 110 (図 1 参照) が有していてもよい。

[0047] 制御部 201 は、検出部 202、処理部 203、駆動回路 204 を制御して、表示装置 1 の検査を行う回路である。検出部 202 は、信号線 S から出力される信号 (ここでは電流 I) を検出する回路である。検出部 202 は、例えば、電圧検出回路、電流検出回路等である。処理部 203 は、検出部 202 の検出信号に基づいて、信号線 S の短絡、断線等の判定を行う判定回路である。駆動回路 204 は、スイッチを駆動するゲート信号と、信号線 S に電流 I を流すための検査信号とを生成して、表示装置 1 に出力する。

[0048] 検査装置 200 は、スイッチ端子 TS にゲート信号を出力して第 1 スイッチ SW_A 及び第 2 スイッチ SW_B を駆動させることで、信号線 S に電流 I を流して、信号線 S の検査、すなわちエージング処理を行う。図 5 に示すように、エージング処理を行う場合、検査装置 200 は、検査端子 T に接続される。エージング処理を行う場合、検査装置 200 は、駆動回路 204 から、スイッチ端子 T_A に、ゲート信号を出力する。ゲート信号は、所定の電位を有す

る電流であり、一定の固定電位であることが好ましい。検査装置200は、所定の期間、すなわちエージング処理を行う期間、スイッチ端子 T_A にゲート信号を出力し続ける。スイッチ端子 T_A に出力されたゲート信号は、接続線 L_A を介して、それぞれの第1スイッチ SW_A のゲート電極 G_a に入力される。それぞれの第1スイッチ SW_A は、ゲート電極 G_a にゲート信号が入力されることで、信号線 S 同士を接続する。

[0049] 図7は、ゲート信号の出力タイミングの一例を示すグラフである。検査装置200は、スイッチ端子 T_{B1} 及びスイッチ端子 T_{B2} に、時分割でゲート信号を出力する。すなわち、検査装置200は、第1時間において、スイッチ端子 T_{B1} から第1接続線 L_{B1} へゲート信号を出力し、第1時間とは異なる第2時間において、スイッチ端子 T_{B2} から第2接続線 L_{B2} へゲート信号を出力する。図7の例では、検査装置200は、線分F1に示すように、時刻 t_1 から時刻 t_2 までの間の第1時間において、スイッチ端子 T_{B1} に電圧 V_1 を印加することで、第1接続線 L_{B1} にゲート信号を出力する。検査装置200は、線分F2に示すように、時刻 t_1 から時刻 t_2 までの間の第1時間において、スイッチ端子 T_{B2} への電圧印加を停止することで、第2接続線 L_{B2} へゲート信号の出力を停止する。そして、検査装置200は、線分F1に示すように、時刻 t_3 から時刻 t_4 の間の第2時間において、スイッチ端子 T_{B1} への電圧印加を停止することで、第1接続線 L_{B1} へのゲート信号の出力を停止する。そして、検査装置200は、線分F2に示すように、時刻 t_3 から時刻 t_4 の間の第2時間において、スイッチ端子 T_{B2} に電圧 V_1 を印加することで、第1接続線 L_{B1} にゲート信号を出力する。なお、検査装置200は、第1時間及び第2時間の両方において、スイッチ端子 T_A へのゲート信号の出力を続ける。また、時刻 t_1 から時刻 t_4 は、図7で説明するための一例である。例えば、時刻 t_3 を時刻 t_2 と同じ時刻としてもよい。

[0050] 図5は、第1時間における電流 I の流れを示している。第1時間においては、第1接続線 L_{B1} にゲート信号が出力されているため、第1接続線 L_{B1} に接続される一方側第2スイッチ SW_{BA} のゲート電極 G_a には、ゲート信号が

入力される。一方側第2スイッチ SW_{BA} は、ゲート電極 G_a にゲート信号が入力されることで、接続線 L_0 と信号線 S とを、すなわち出力端子 T_0 と信号線 S とを、接続する。また、第1時間においては、第1スイッチ SW_A のゲート電極 G_a にゲート入力されるため、信号線 S 同士が接続される。そのため、第1時間においては、検査装置200と、出力端子 T_0 と、接続線 L_0 と、一方側第2スイッチ SW_{BA} と、信号線 S と、第1スイッチ SW_A との間で、閉回路が形成される。例えば、図5に示すように、検査装置200と、出力端子 T_6 と、接続線 L_6 と、第2スイッチ SW_{B6} と、信号線 S_6 と、第1スイッチ SW_{A1} と、信号線 S_1 と、第2スイッチ SW_{B1} と、接続線 L_1 と、出力端子 T_1 との間で、閉回路が形成される。他の一方側第2スイッチ SW_{BA} である第2スイッチ SW_{B2} 、 SW_{B3} 、 SW_{B4} 、 SW_{B5} などにおいても、同様に閉回路が形成されるが、説明を省略する。このように、第1時間においては、第1スイッチ SW_A と一方側第2スイッチ SW_{BA} とが閉回路を形成する。

[0051] 一方、第1時間においては、第2接続線 L_{B2} にゲート信号が入力されないため、第2接続線 L_{B2} に接続される他方側第2スイッチ SW_{BB} のゲート電極 G_a には、ゲート信号が入力されない。従って、他方側第2スイッチ SW_{BB} は、閉回路を形成しない。

[0052] さらに、検査装置200は、駆動回路204から、出力端子 T_0 に検査信号を出力する。検査信号は、所定の電位の電流である。検査装置200は、対になる出力端子 T_0 に、異なる電位の検査信号を出力する。検査装置200は、対になる出力端子 T_0 に、互いに逆極性の電位の検査信号を出力することが好ましい。対になる出力端子 T_0 とは、同じ第1スイッチ SW_A が接続されている2つの信号線 S のそれぞれに接続される2つの出力端子 T_0 を指し、図5の例では、例えば出力端子 T_1 及び出力端子 T_6 である。図5の例では、検査装置200は、出力端子 T_6 にプラス極性の電位の検査信号を出力し、出力端子 T_1 にマイナス極性の電位の検査信号を出力する。上述のように、第1スイッチ SW_{A1} と第2スイッチ SW_{B1} 、 SW_{B6} とにより閉回路が形成されるため、出力端子 T_6 における検査信号と出力端子 T_1 における検

査信号との電位差により、出力端子T 6から、接続線L 6、第2スイッチS_{W_{B6}}、信号線S 6、第1スイッチS_{W_{A1}}、信号線S 1、第2スイッチS_{W_{B1}}、接続線L 1、及び出力端子T 1の流れで、電流Iが流れる。検査装置200は、出力端子T 6と出力端子T 1との間の電位差を、例えば数十ボルトなど高く設定することで、高電圧の電流Iを流す。電流Iの電圧値は、少なくとも、ドライバIC 110からの映像信号の電圧よりも高く設定される。なお、検査装置200は、所定時間経過毎に、出力端子T 1と出力端子T 2とに出力する検査信号の極性を入れ替えてもよい。これにより、所定時間毎に流す電流Iの方向を逆にすることができる。

[0053] 他の一方側第2スイッチS_{W_{BA}}である第2スイッチS_{W_{B2}}、S_{W_{B3}}、S_{W_{B4}}、S_{W_{B5}}などが形成する閉回路にも、電流Iが流れる。すなわち、第1時間においては、一方側第2スイッチS_{W_{BA}}に接続される信号線S（信号線S 1から信号線S 6など）に、電流Iが流れる。一方、第1時間においては、他方側第2スイッチS_{W_{BB}}が閉回路を形成しないため、他方側第2スイッチS_{W_B}に接続される信号線S（信号線S 7から信号線S 12など）には、電流Iが流れない。

[0054] 図6は、第2時間における電流Iの流れを示している。第2時間においては、第2接続線L_{B2}にゲート信号が出力されているため、第2接続線L_{B2}に接続される他方側第2スイッチS_{W_{BB}}のゲート電極Gaには、ゲート信号が入力される。他方側第2スイッチS_{W_{BB}}は、ゲート電極Gaにゲート信号が入力されることで、接続線L 0と信号線Sとを、すなわち出力端子T 0と信号線Sとを、接続する。また、第2時間においては、第1スイッチS_{W_A}のゲート電極Gaにゲート入力されるため、信号線S同士が接続される。そのため、第2時間においては、検査装置200と、出力端子T 0と、接続線L 0と、他方側第2スイッチS_{W_{BB}}と、信号線Sと、第1スイッチS_{W_A}との間で、閉回路が形成される。例えば、図6に示すように、検査装置200と、出力端子T 6と、接続線L 6と、第2スイッチS_{W_{B12}}と、信号線S 12と、第1スイッチS_{W_{A4}}と、信号線S 7と、第2スイッチS_{W_{B7}}と、接続線L 1と

、出力端子T 1との間で、閉回路が形成される。なお、他の他方側第2スイッチ SW_{BB} である第2スイッチ SW_{B8} 、 SW_{B9} 、 SW_{B10} 、 SW_{B11} などにおいても、同様に閉回路が形成されるが、説明を省略する。このように、第2時間においては、第1スイッチ SW_A と他方側第2スイッチ SW_{BB} とが閉回路を形成する。

[0055] 一方、第2時間においては、第1接続線 L_{B1} にゲート信号が入力されないため、第1接続線 L_{B1} に接続される一方側第2スイッチ SW_{BA} のゲート電極 G_a には、ゲート信号が入力されない。従って、一方側第2スイッチ SW_{BA} は、閉回路を形成しない。

[0056] さらに、検査装置200は、第2時間においても、第1時間と同様に、駆動回路204から、出力端子T 0に検査信号を出力する。上述のように、第1スイッチ SW_{A4} と第2スイッチ SW_{B7} 、 SW_{B12} とにより閉回路が形成されるため、出力端子T 6における検査信号と出力端子T 1における検査信号との電位差により、出力端子T 6、接続線 L_6 、第2スイッチ SW_{B12} 、信号線 S_{12} 、第1スイッチ SW_{A4} 、信号線 S_7 、第2スイッチ SW_{B7} 、接続線 L_1 、及び出力端子T 1の流れで、電流Iが流れる。他の他方側第2スイッチ SW_{BB} である第2スイッチ SW_{B8} 、 SW_{B9} 、 SW_{B10} 、 SW_{B11} などが形成する閉回路にも、電流Iが流れる。すなわち、第2時間においては、他方側第2スイッチ SW_{BB} に接続される信号線S（信号線 S_7 から信号線 S_{12} など）に、電流Iが流れる。一方、第2時間においては、一方側第2スイッチ SW_{BA} が閉回路を形成しないため、一方側第2スイッチ SW_{BA} に接続される信号線S（信号線 S_1 から信号線 S_6 など）には、電流Iが流れない。

[0057] エージング処理においては、このようにして信号線Sに電流Iを流すことにより、例えば信号線Sの垂断線箇所、すなわち局所的に線幅が細くなっている箇所があった場合に、その箇所を断線させることができる。出荷前に破断させておいて破断を検出することで、出荷後の断線を抑制して、信頼性を向上させることができる。なお、エージング処理において信号線Sが断線した場合、電流が流れなくなるため、検出部202及び処理部203によって

電流や電圧が流れていないことを検出して、信号線Sが断線したかを検出することが可能となる。また例えば、エージング処理後の点灯検査などで信号線Sに映像信号を出力した場合に、断線した箇所は色表示されないため、それを検出することで信号線Sが断線したかを検出することもできる。

[0058] さらに、検査装置200は、第1時間において、一方側第2スイッチ SW_{BA} に接続される信号線S（信号線S1から信号線S6など）に電流Iを流し、第2時間においては、他方側第2スイッチ SW_{BB} に接続される信号線S（信号線S7から信号線S12など）に電流Iを流す。すなわち、検査装置200は、一度に全ての信号線Sに電流Iを流さずに、時分割によって、タイミング毎に電流Iを流す信号線Sを切り替える。ここで、出力端子T0からそれぞれの信号線Sに電流を流してエージング検査を行う場合、信号線Sなどの電流が流れる配線の本数が多くなるため、電流の流れの下流側においては、電位が低くなる。すなわち、下流側ほど、配線などによる抵抗の積算値が大きくなるため、電位が低くなる。従って、エージング検査を行う場合に、下流側、すなわち出力端子T0と遠い側の信号線Sに流れる電流値が低くなる。電流値が低くなると、信号線Sの垂断線箇所を適切に断線できず、検査精度が低下するおそれがある。出力端子T0での印加電圧を高くすれば、下流側の信号線Sの電流値を高くすることは可能であるが、印加電圧を高くし過ぎると、上流側の信号線Sへの負荷が高くなり過ぎてしまう。また、接続線L0や信号線Sなどの配線の線幅を大きくして抵抗を下げることも考えられるが、配線が太くなってしまいスペースが不足するおそれもある。

[0059] それに対し、本実施形態に係る表示装置1は、一部の第2スイッチ SW_B である一方側第2スイッチ SW_{BA} を第1接続線 L_{B1} に接続し、他の一部の第2スイッチ SW_B である他方側第2スイッチ SW_{BB} を第2接続線 L_{B2} に接続している。従って、エージング処理の際に、一方側第2スイッチ SW_{BA} と他方側第2スイッチ SW_{BB} とを時分割で別々に駆動させることが可能となり、一度に電流が流れる信号線Sの数を減らすことができる。これにより抵抗の積算値を小さくすることが可能となり、信号線Sに流れる電流値が小さくなり過

ざることを抑制して、検査精度の低下が抑制される。

[0060] 図8は、信号線に流れる電流値の一例を示すグラフである。図8の線分F0は、予め設定された電流目標値である。電流目標値は、亜断線箇所を適切に断線可能な電流値であるといえる。すなわち、全ての信号線Sに電流目標値以上の電流を流せば、検査精度の低下を抑制することが可能となる。なお、電流目標値は、例えば2アンペアであるが、任意に設定可能である。ここで、線分FXに示すように、例えば全ての信号線Sに同時に電流を流した場合、出力端子T0から遠い側の信号線S（例えば信号線S_nなど）の電流値が、電流目標値より低くなるおそれがある。それに対し、本実施形態のように時分割で駆動させて電流が流れる信号線Sの数を減らすことにより、線分F3に示すように、信号線Sの電流値を高くすることが可能となり、結果として、全ての信号線Sの電流値を電流目標値以上とすることも可能となる。さらに、時分割で駆動を切り替えることで、全ての信号線Sに電流を流すことができる。

[0061] なお、本実施形態では、全ての第1スイッチSW_Aが1本の接続線L_Aに接続されており、第2スイッチSW_Bが第1接続線L_{B1}と第2接続線L_{B2}とのいずれかに接続されており、これにより第2スイッチSW_Bを時分割駆動していた。ただし、第2スイッチSW_Bの代わりに第1スイッチSW_Aを時分割駆動してもよい。この場合、駆動されていない第1スイッチSW_Aに接続された信号線S同士が非接続となるため、閉回路が形成されずに、非接続の信号線Sに電流Iが流れなくなる。そのため、この場合であっても、一度に電流Iを流す信号線Sの数を減らすことができる。第1スイッチSW_Aを時分割駆動する場合、接続線L_Aを第1接続線と第2接続線との複数とし、一部の第1スイッチSW_Aを第1接続線に接続し、他の一部の第1スイッチSW_Aを第2接続線に接続する。そして、第1接続線と第2接続線とに異なるタイミングでゲート信号を流すことで時分割駆動する。第1スイッチSW_Aを時分割駆動する場合、第2スイッチSW_Bを常時駆動とするように、全ての第2スイッチSW_Bを一本の接続線に接続してもよい。ただし、第1スイッチSW_Aと第2スイ

ッチ SW_B との両方を時分割駆動可能なように構成してもよい。すなわち、第1スイッチ SW_A と第2スイッチ SW_B と少なくとも一方において、一部が第1配線を介してスイッチ端子 TS に接続され、他の一部が第2配線を介してスイッチ端子 TS に接続されていればよい。

[0062] 以上説明したように、本実施形態に係る表示装置1は、第1基板 $SUB1$ と、複数の信号線 S （配線）と、複数のスイッチ端子 TS と、複数の第1スイッチ SW_A と、複数の第2スイッチ SW_B とを有する。第1基板 $SUB1$ は、複数の画素 PX が設けられる表示領域 A 、及び表示領域 A よりも外側の周辺領域 B を有する。信号線 S は、表示領域 A に設けられて、画素 PX に接続されて画素に映像信号を供給する。スイッチ端子 TS は、周辺領域 B に設けられる。第1スイッチ SW_A は、表示領域 A の第1方向 $Y1$ 側の第1周辺領域 $B1$ に設けられ、スイッチ端子 TS （ここではスイッチ端子 TA ）、及び信号線 S に接続される。第2スイッチ SW_B は、表示領域 A の第2方向 $Y2$ 側の第2周辺領域 $B2$ に設けられ、第1スイッチ SW_A に接続されるスイッチ端子 TA とは異なるスイッチ端子 TS （ここではスイッチ端子 T_{B1} 又はスイッチ端子 T_{B2} ）、及び信号線 S に接続される。第1スイッチ SW_A 及び第2スイッチ SW_B の少なくとも一方は、一部が第1接続線を介してスイッチ端子 TS に接続され、他の一部が第2接続線を介してスイッチ端子 TS に接続される。

[0063] この表示装置1は、第1スイッチ SW_A 及び第2スイッチ SW_B の少なくとも一方が、第1接続線と第2接続線とに分けて接続されている。従って、この表示装置1によると、第1スイッチ SW_A 又は第2スイッチ SW_B を時分割で駆動することが可能となり、信号線 S の検査の際に、一度に電流 I を流す信号線 S の数を少なくすることができる。従って、検査時に信号線 S に流れる電流値が小さくなり過ぎることを抑制して、信頼性の低下を抑制することができる。

[0064] また、複数の第2スイッチ SW_B は、一部が、第1接続線 L_{B1} を介してスイッチ端子 TS に接続され、他の一部が、第2接続線 L_{B2} を介してスイッチ端子 TS に接続される。また、複数の第1スイッチ SW_A は、同じ接続線 L_A を

介してスイッチ端子 T_A に接続される。この表示装置1は、第2周辺領域B2側の第2スイッチ SW_B を多系統化して、端子に近い第1周辺領域B1側の第1スイッチ SW_A を一系統にしている。これにより、第2スイッチ SW_B によって時分割駆動を可能にしつつ、第1周辺領域B1の回路が大きくなることを抑制して、第1周辺領域B1のスペース確保を可能としている。

[0065] また、複数の第2スイッチ SW_B は、一部が、第1接続線 L_{B1} を介して複数のスイッチ端子TSのうちの1つであるスイッチ端子 T_{B1} （一方側端子）に接続され、他の一部が、第2接続線 L_{B2} を介して複数のスイッチ端子TSのうちの他の1つであるスイッチ端子 T_{B2} （他方側端子）に接続される。この表示装置1は、第2スイッチ SW_B を別の推知端子に接続するため、信号線Sの検査時の時分割駆動を好適に行う事が可能となり、信頼性の低下を抑制することができる。なお、本実施形態では、このように、第1接続線 L_{B1} と第2接続線 L_{B2} とに、互いに異なるスイッチ端子 T_{B1} 、 T_{B2} が接続される。ただし、第1接続線 L_{B1} と第2接続線 L_{B2} とは、同じスイッチ端子TSに接続されていてもよい。この場合、たとえば、第1接続線 L_{B1} と第2接続線 L_{B2} とに、スイッチ端子TSに対する接続と非接続とを切り替えるスイッチを設けてもよい。そして、第1接続線 L_{B1} に接続される第2スイッチ SW_{B2} を駆動したい場合は、スイッチ端子TSと第1接続線 L_{B1} を接続状態としてスイッチ端子TSと第2接続線 L_{B2} を非接続状態として、スイッチ端子TSからゲート信号を出力すればよい。また、第2接続線 L_{B2} に接続される第2スイッチ SW_{B2} を駆動したい場合は、スイッチ端子TSと第2接続線 L_{B2} を接続状態としてスイッチ端子TSと第1接続線 L_{B1} を非接続状態として、スイッチ端子TSからゲート信号を出力すればよい。

[0066] また、第1スイッチ SW_A は、スイッチ端子 T_A からの信号により、複数の信号線S同士の接続と遮断とを切り替え可能に構成される。この表示装置1によると、複数の信号線S同士を接続可能とすることで、一回のエージング処理で複数の信号線Sの亜断線を検出することができる。

[0067] また、表示装置1は、周辺領域Bに設けられて第2スイッチ SW_B に接続さ

れる出力端子 T_0 をさらに有する。第2スイッチ SW_B は、スイッチ端子 T_S からのゲート信号により、出力端子 T_0 と信号線 S との接続及び遮断を切り替える。この表示装置 1 によると、信号線 S の垂断線を好適に検出することができる。

[0068] また、本実施形態に係る表示装置 1 の検査方法は、スイッチ端子 T_S にゲート信号を出力して第1スイッチ SW_A 及び第2スイッチ SW_B を駆動させることで、信号線 S に電流 I を流して信号線 S の検査を行う。その際に、第1時間においてスイッチ端子 T_S から第1接続線 L_{B1} へゲート信号を出力することで、第1時間において複数の信号線 S のうちの一部に電流 I を流し、第1時間と異なる第2時間においてスイッチ端子 T_S から第2接続線 L_{B2} へゲート信号を出力することで、第2時間において複数の信号線 S のうちの他の一部に電流 I を流す。この検査方法によると、一度に電流 I を流す信号線 S の数を少なくすることができる。従って、信号線 S に流れる電流値が小さくなり過ぎることを抑制して、信頼性の低下を抑制することができる。

[0069] また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

- [0070] 1 表示装置
110 ドライバIC
A 表示領域
B 周辺領域
B1 第1周辺領域
B1a 内側周辺領域
B1b 外側周辺領域
D ドライバ端子
 L_{B1} 第1接続線
 L_{B2} 第2接続線

T_A 、 T_{B1} 、 T_{B2} 、 T_S スイッチ端子

T_O 出力端子

P_X 画素

S 信号線（配線）

$SUB1$ 第1基板

$SUB2$ 第2基板

SW_A 第1スイッチ

SW_B 第2スイッチ

$Y1$ 第1方向

$Y2$ 第2方向

請求の範囲

- [請求項1] 複数の画素が設けられる表示領域、及び前記表示領域よりも外側の周辺領域を有する第1基板と、
- 前記表示領域に設けられて、前記画素に接続されて前記画素に信号を供給する複数の配線と、
- 前記周辺領域に設けられる端子である複数のスイッチ端子と、
- 前記表示領域の第1方向側の前記周辺領域である第1周辺領域に設けられ、前記スイッチ端子、及び前記配線に接続される複数の第1スイッチと、
- 前記表示領域の前記第1方向と反対方向の第2方向側の前記周辺領域である第2周辺領域に設けられ、前記第1スイッチに接続される前記スイッチ端子とは異なる前記スイッチ端子、及び前記配線に接続される複数の第2スイッチと、
- を有し、
- 前記第1スイッチ及び前記第2スイッチの少なくとも一方は、一部が第1接続線を介して前記スイッチ端子に接続され、他の一部が第2接続線を介して前記スイッチ端子に接続される、
- 表示装置。
- [請求項2] 複数の前記第2スイッチは、一部が、前記第1接続線を介して前記スイッチ端子に接続され、他の一部が、前記第2接続線を介して前記スイッチ端子に接続され、
- 複数の前記第1スイッチは、同じ接続線を介して前記スイッチ端子に接続される、請求項1に記載の表示装置。
- [請求項3] 複数の前記第2スイッチは、一部が、前記第1接続線を介して複数の前記スイッチ端子のうちの1つである一方側端子に接続され、他の一部が、前記第2接続線を介して複数の前記スイッチ端子のうちの他の1つである他方側端子に接続される、請求項2に記載の表示装置。
- [請求項4] 前記第1スイッチは、前記スイッチ端子からの信号により、複数の

前記配線同士の接続と遮断とを切り替え可能に構成される、請求項 1 から請求項 3 のいずれか 1 項に記載の表示装置。

[請求項5] 前記周辺領域に設けられて前記第 2 スイッチに接続される端子である出力端子をさらに有し、

前記第 2 スイッチは、前記スイッチ端子からの信号により、前記出力端子と前記配線との接続及び遮断を切り替える、請求項 1 から請求項 4 のいずれか 1 項に記載の表示装置。

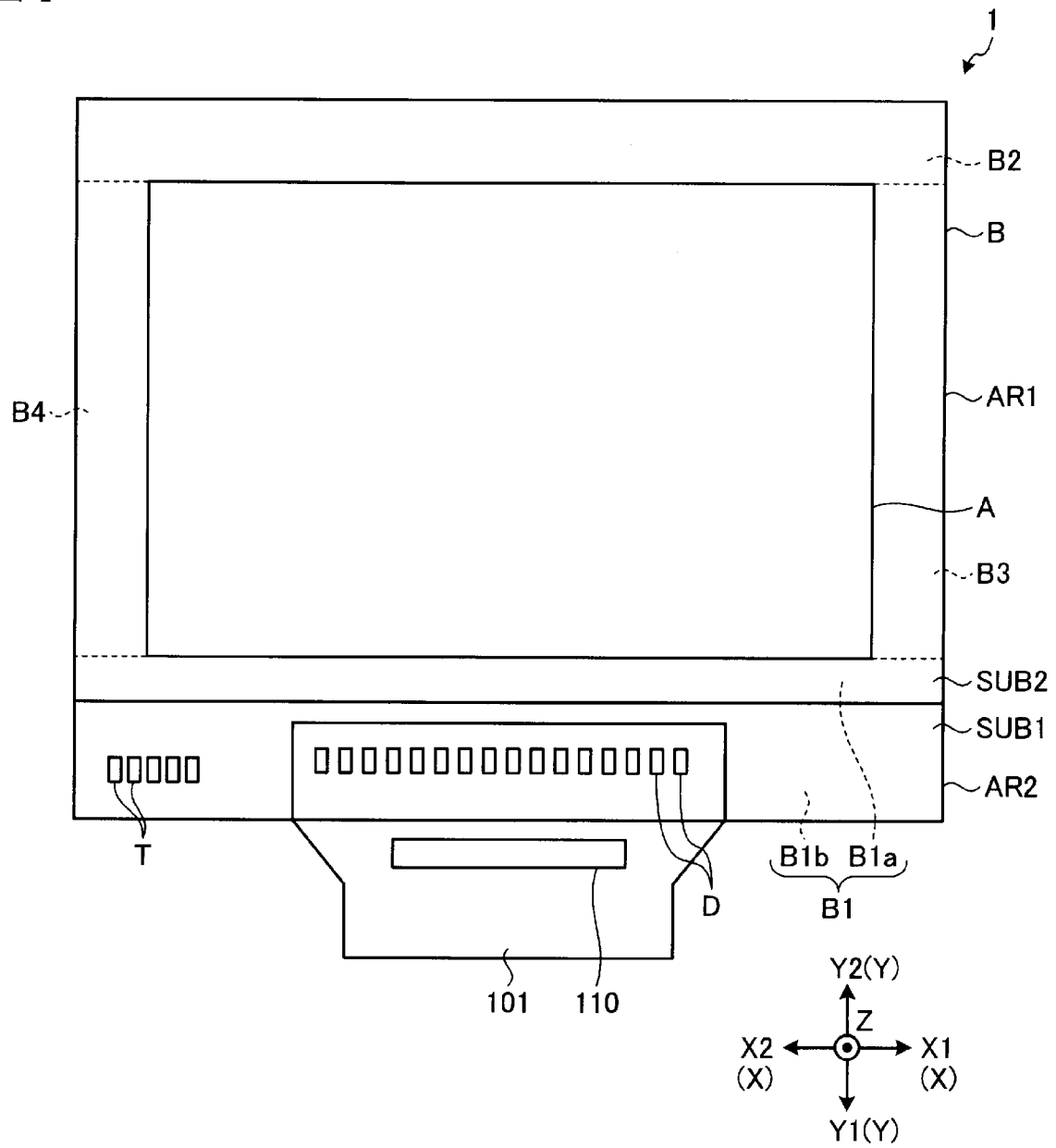
[請求項6] 請求項 1 から請求項 5 のいずれか 1 項に記載の表示装置の検査方法であって、

前記スイッチ端子に信号を出力して前記第 1 スイッチ及び前記第 2 スイッチを駆動させることで、前記配線に電流を流して前記配線の検査を行う際に、

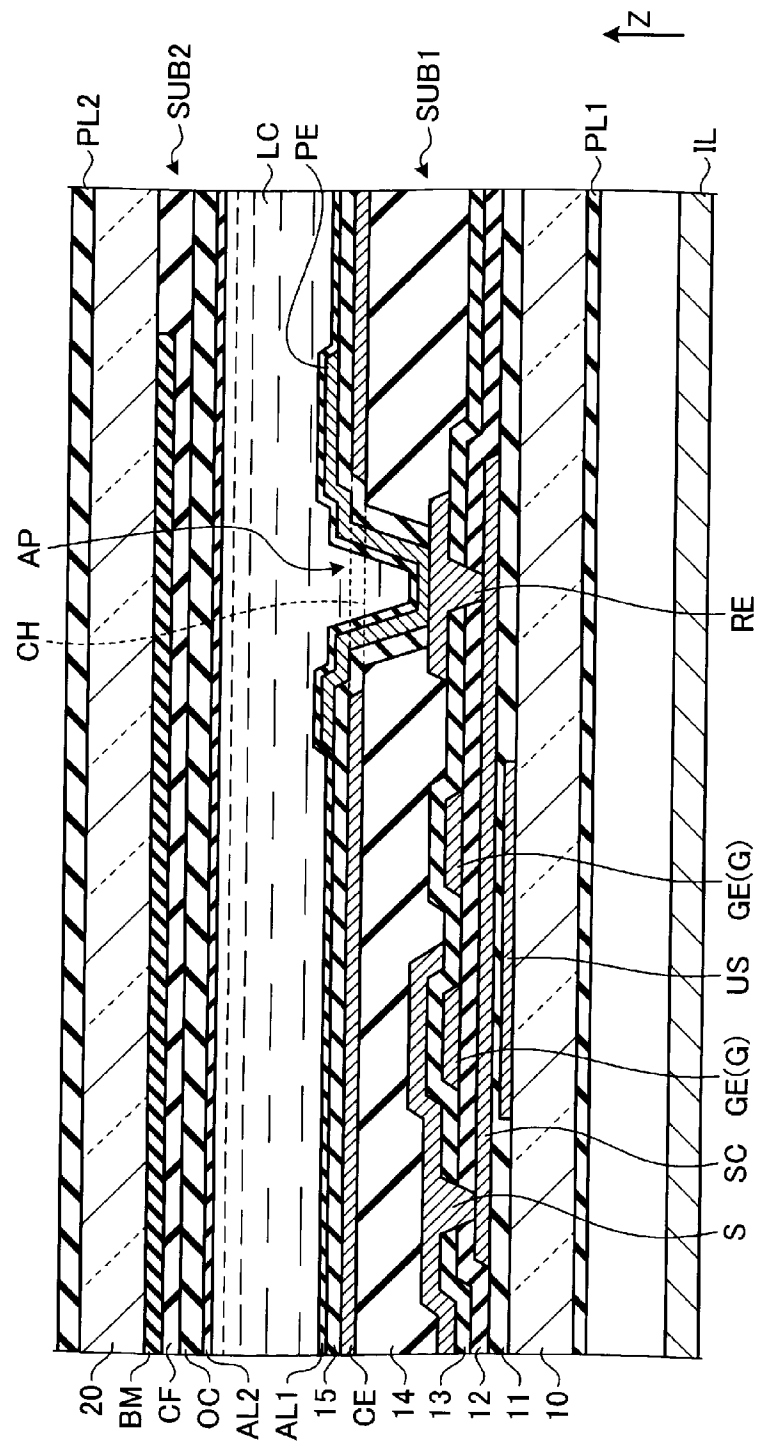
第 1 時間において前記スイッチ端子から前記第 1 接続線へ前記信号を出力することで、前記第 1 時間において複数の前記配線のうちの一部に電流を流し、

前記第 1 時間と異なる第 2 時間において前記スイッチ端子から前記第 2 接続線へ前記信号を出力することで、前記第 2 時間において複数の前記配線のうちの他の一部に電流を流す、検査方法。

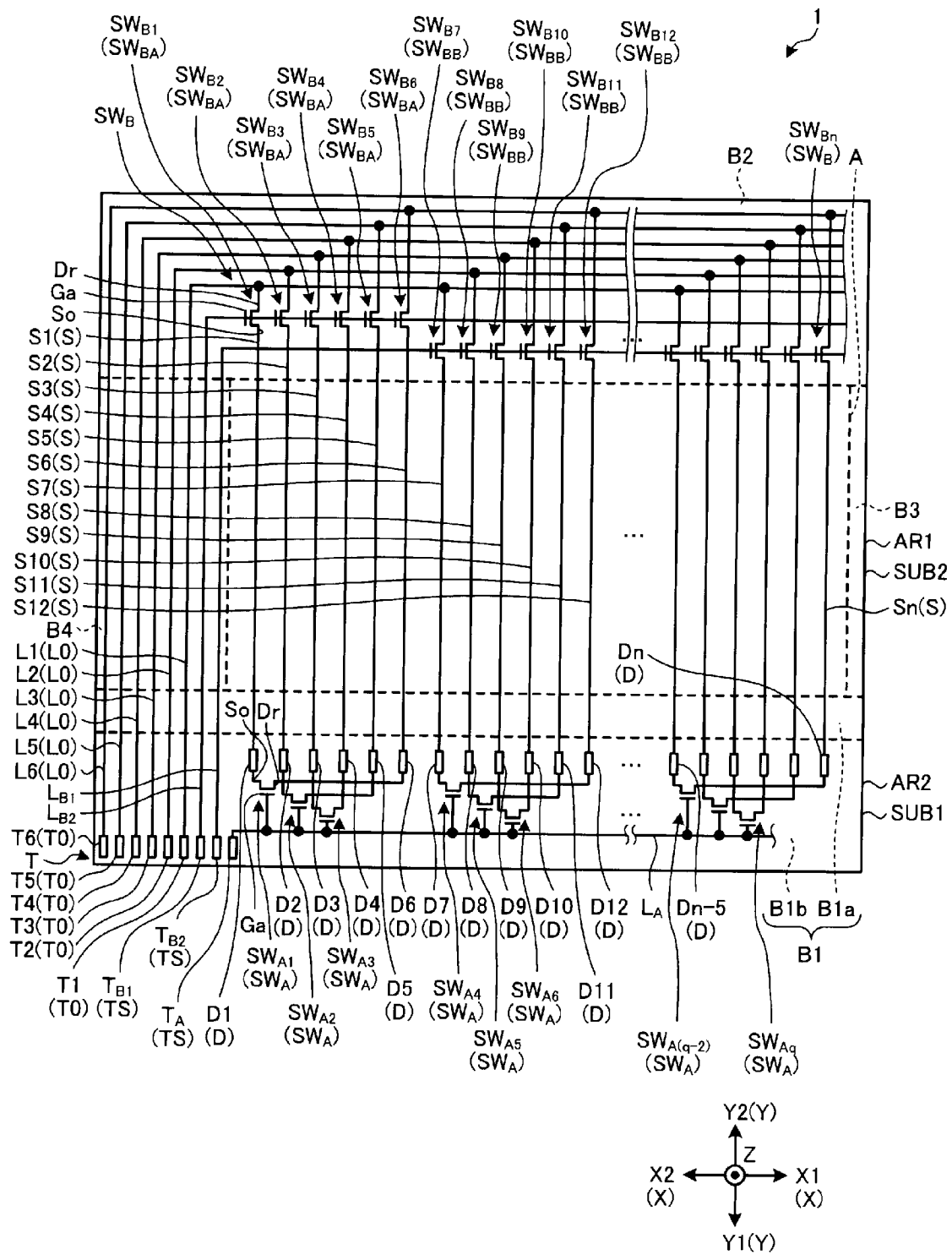
[図1]



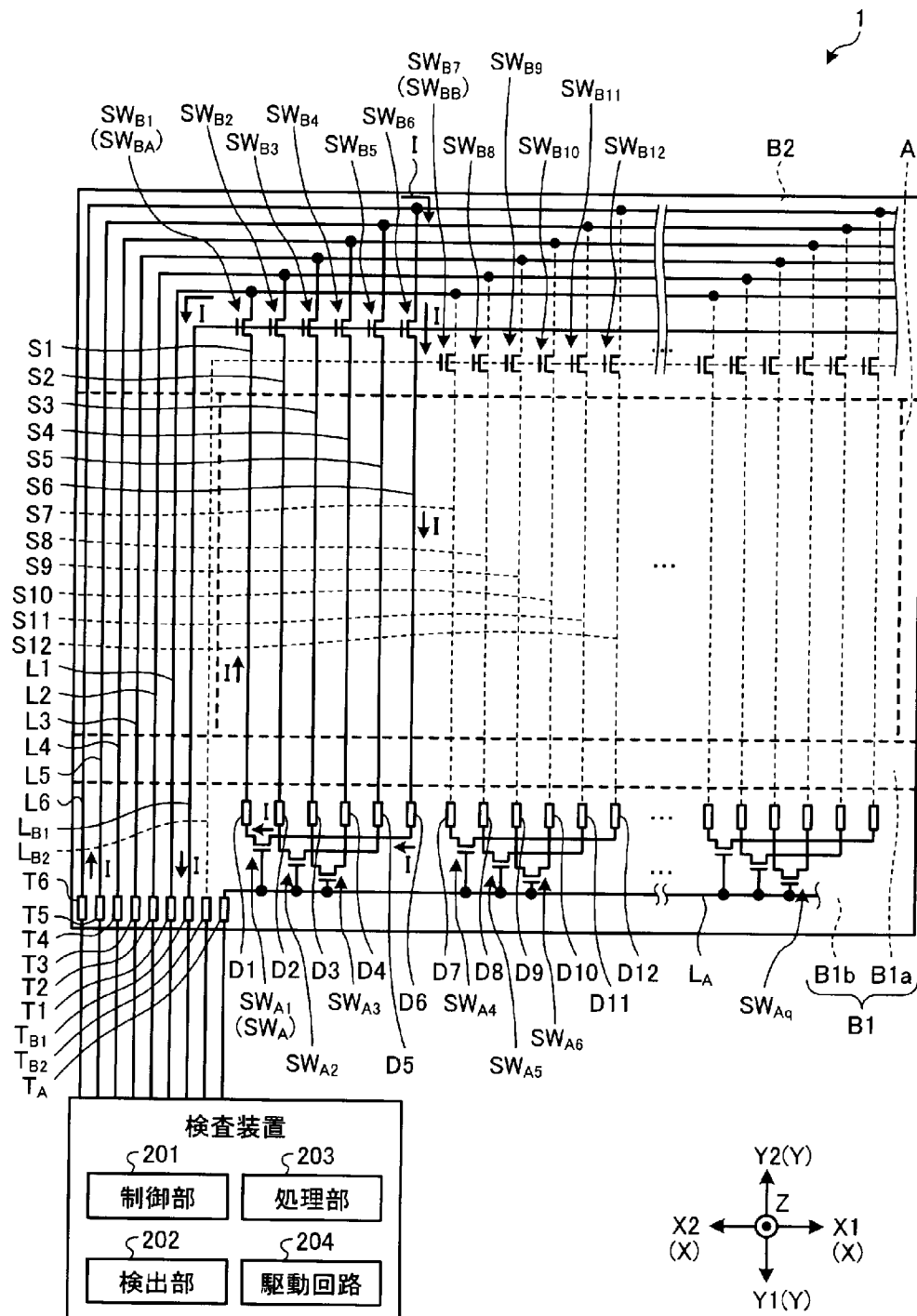
[図3]



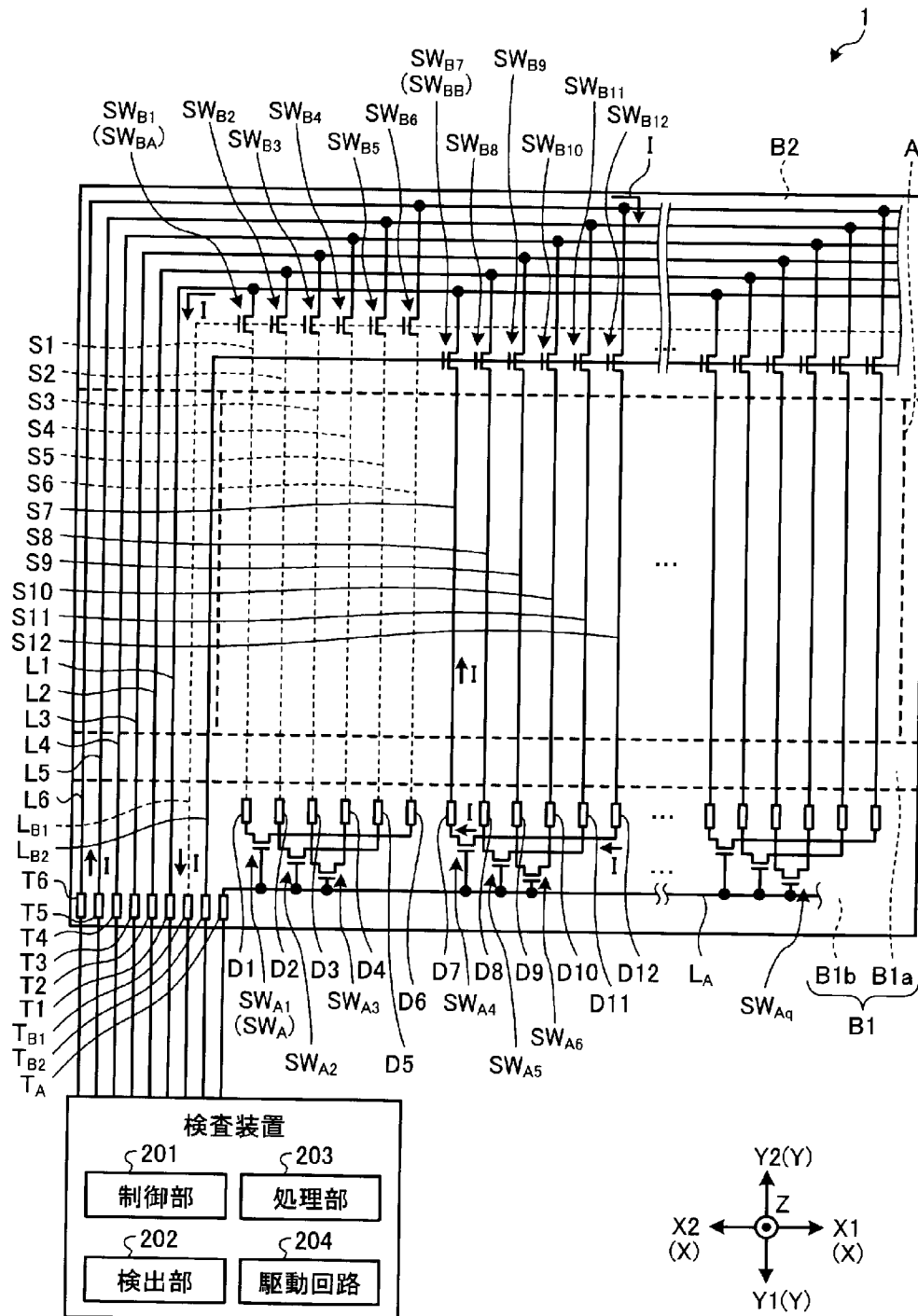
[図4]



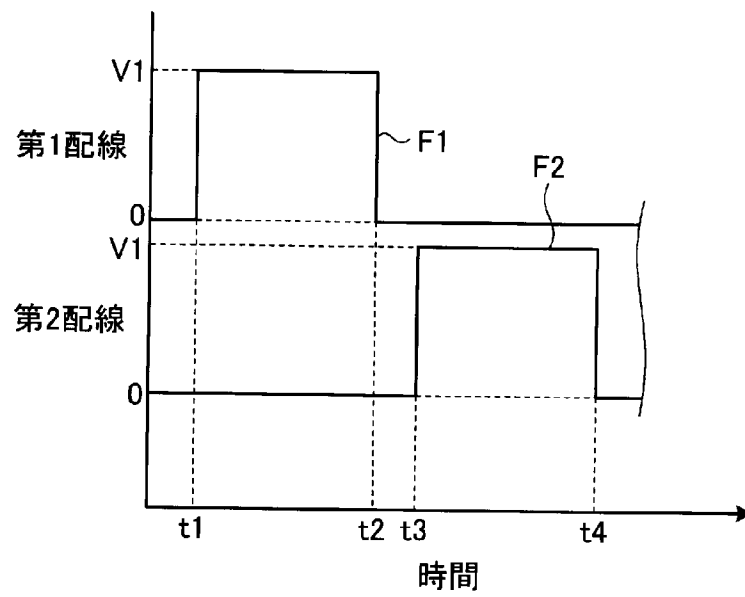
[図5]



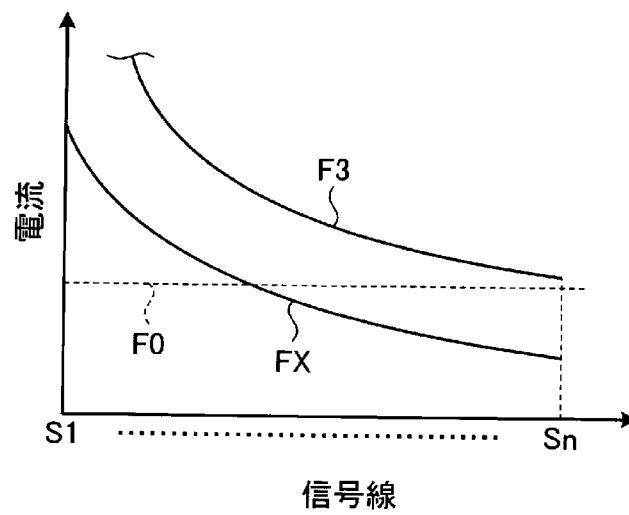
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/002397

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/1345 (2006.01) i, G02F1/1368 (2006.01) i, G09F9/00 (2006.01) i, G09F9/30 (2006.01) i

FI: G02F1/1345, G02F1/1368, G09F9/30330, G09F9/00352

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/1345, G02F1/1368, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-29296 A (TOSHIBA CORPORATION) 29.01.2003 (2003-01-29), paragraphs [0030]-[0068], fig. 1-12	1-6
X A	JP 3-18891 A (MATSUSHITA ELECTRON CORP.) 28.01.1991 (1991-01-28), page 2, upper left column, line 13 to page 3, lower left column, line 5, fig. 1-4	1-5 6
X A	JP 2003-121867 A (SAMSUNG ELECTRONICS CO., LTD.) 23.04.2003 (2003-04-23), paragraphs [0022]-[0141], fig. 1-23	1-4 5-6
P, X	JP 2019-101261 A (JAPAN DISPLAY INC.) 24.06.2019 (2019-06-24), paragraphs [0007]-[0040], fig. 1-11	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13.03.2020

Date of mailing of the international search report
24.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/002397

JP 2003-29296 A	29.01.2003	(Family: none)
JP 3-18891 A	28.01.1991	(Family: none)
JP 2003-121867 A	23.04.2003	US 2003/0075718 A1 paragraphs [0041]-[0162], fig. 1-23 KR 10-2003-0030470 A KR 10-2003-0050578 A CN 1412735 A
JP 2019-101261 A	24.06.2019	US 2019/0171049 A1 paragraphs [0016]-[0076], fig. 1-11

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/1345(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i FI: G02F1/1345; G02F1/1368; G09F9/30 330; G09F9/00 352										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G02F1/1345; G02F1/1368; G09F9/00; G09F9/30										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2020年									
日本国実用新案登録公報	1996-2020年									
日本国登録実用新案公報	1994-2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2003-29296 A（株式会社東芝）29.01.2003（2003-01-29） 段落 [0030] - [0068]、[図1] - [図12]	1-6								
X	JP 3-18891 A（松下電子工業株式会社）28.01.1991（1991-01-28） 第2頁左上欄第13行-第3頁左下欄第5行、第1図-第4図	1-5								
A	第2頁左上欄第13行-第3頁左下欄第5行、第1図-第4図	6								
X	JP 2003-121867 A（三星電子株式会社）23.04.2003（2003-04-23） 段落 [0022] - [0141]、[図1] - [図23]	1-4								
A	段落 [0022] - [0141]、[図1] - [図23]	5-6								
P, X	JP 2019-101261 A（株式会社ジャパンディスプレイ）24.06.2019（2019-06-24） 段落 [0007] - [0040]、[図1] - [図11]	1-6								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 13.03.2020		国際調査報告の発送日 24.03.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 磯崎 忠昭 2L 5709 電話番号 03-3581-1101 内線 3295								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/002397

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-29296	A	29.01.2003	(ファミリーなし)	
JP	3-18891	A	28.01.1991	(ファミリーなし)	
JP	2003-121867	A	23.04.2003	US 2003/0075718 A1	
				段落 [0 0 4 1] - [0 1	
				6 2]、図 1 - 図 2 3	
				KR 10-2003-0030470 A	
				KR 10-2003-0050578 A	
				CN 1412735 A	
JP	2019-101261	A	24.06.2019	US 2019/0171049 A1	
				段落 [0 0 1 6] - [0 0	
				7 6]、図 1 - 図 1 1	