

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Februar 2005 (17.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/015634 A1

(51) Internationale Patentklassifikation⁷: **H01L 23/538**,
21/60

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/001360

(72) Erfinder; und

(22) Internationales Anmeldedatum:
28. Juni 2004 (28.06.2004)

(75) Erfinder/Anmelder (nur für US): **WÖRNER, Holger**
[DE/DE]; Martin-Ernst-Str. 43, 93049 Regensburg (DE).
POHL, Jens [DE/DE]; Sudetenstr. 5a, 93170 Bern-
hardswald (DE). **HEDLER, Harry** [DE/DE]; Jahnstr. 8,
82110 Germering (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(74) Anwalt: **SCHWEIGER, Martin**; c/o Kanzlei Schweiger
& Partner, Karl-Theodor-Str. 69, 80803 München (DE).

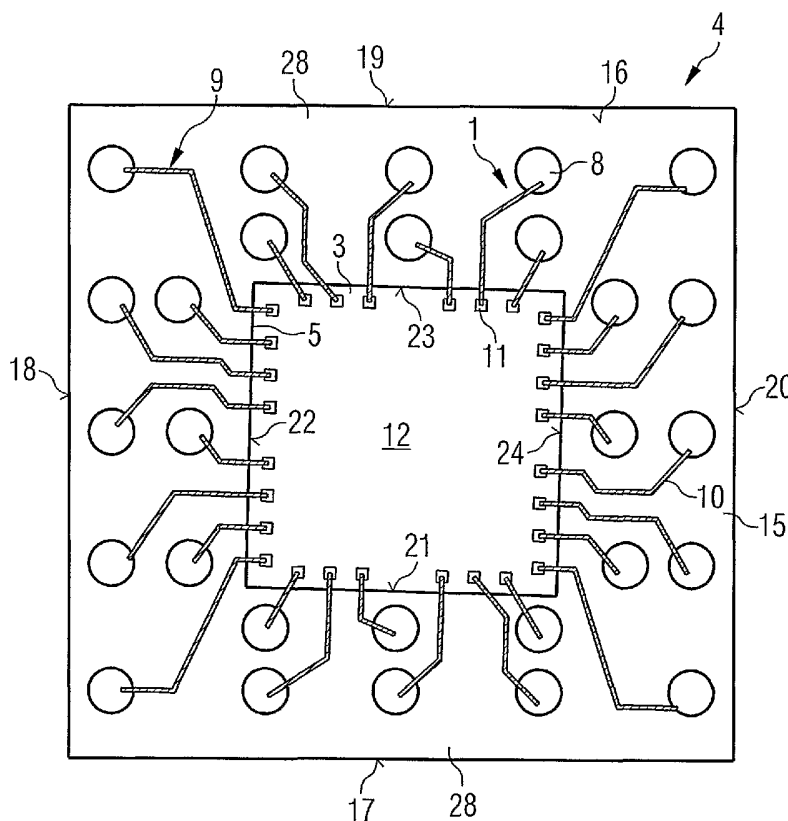
(30) Angaben zur Priorität:
103 34 577.9 28. Juli 2003 (28.07.2003) DE

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PLACING WIRES ON A PANEL WITH COMPENSATION OF POSITIONAL ERRORS OF SEMI-
CONDUCTOR CHIPS IN PANEL COMPONENT POSITIONS

(54) Bezeichnung: VERFAHREN ZUM AUFBRINGEN EINER UMVERDRAHTUNG AUF EINEN NUTZEN UNTER KOM-
PENSATION VON POSITIONSFEHLERN VON HALBLEITERCHIPS IN BAUTEILPOSITIONEN DES NUTZENS



(57) Abstract: The invention relates to a method for placing wires on a panel. The panel thus provided has a coplanar overall upper side and an upper side made of a plastic material and upper sides made of semiconductor chips. According to the inventive method, a layer of wiring can be obtained with outer contacts and wiring lines, which compensates positional errors of the semiconductor chip in the component position of the panel in a two-step illumination stage.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen. Dazu wird ein Nutzen bereit gestellt, der eine koplanare Gesamtoberseite einer Oberseite einer Kunststoffmasse und den Oberseiten von Halbleiterchips aufweist. Das Verfahren stellt eine Umverdrahtungslage mit Verwirklichung von Außenkontakten und Umverdrahtungsleitungen zur Verfügung, die durch

[Fortsetzung auf der nächsten Seite]

WO 2005/015634 A1



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen
unter Kompensation von Positionsfehlern von Halbleiterchips
5 in Bauteilpositionen des Nutzens

Die Erfindung betrifft ein Verfahren zum Aufbringen einer Um-
verdrahtung auf einen Nutzen unter Kompensation von Positi-
10 onsfehlern von Halbleiterchips in Bauteilpositionen des Nut-
zens.

Bei Anwendungen, die darauf basieren, einen Halbleiterchip in
einer Polymer- oder Kunststoffmasse derart einzubetten, dass
15 die Oberseiten von Halbleiterchip und Kunststoffmasse eine
Gesamtoberseite bilden, wie es beispielsweise bei der Mehr-
chipmodultechnik bzw. MCMs-Technik (multi chip modul) oder
bei der Chip-in-Polymer-Technik vorgesehen ist, werden ausge-
hend von den aktiven Oberseiten der Halbleiterchips mit ihren
20 Kontaktflächen Umverdrahtungen benötigt, um die Kontaktflä-
chen der Halbleiterchips mit Außenkontaktflächen auf der Ge-
samtoberseite für ein vorgegebenes Außenkontaktraster zu ver-
binden. Dazu sind die Halbleiterchips in dem Nutzen aus einer
Kunststoffmasse in Bauteilpositionen untergebracht. Die Bau-
25 teilpositionen des Nutzens sind in Zeilen und Spalten ange-
ordnet, wobei die Kanten der Halbleiterchips parallel zu den
Spalten und Zeilen des Nutzens verlaufen.

Die Umverdrahtung in jeder der Bauteilpositionen des Nutzens
30 wird durch Umverdrahtungslagen in Form einer Folge aus Me-
tall- und Dielektrikum-Schichten realisiert. Die Strukturie-
rung der einzelnen Schichten erfolgt durch Abscheideprozesse,
die ganzflächig erfolgen und durch Photolithographieprozesse,

bei denen die ganzflächigen Abscheidungen strukturiert werden. Diese Photolithographieprozesse können auf der Gesamtoberseite des Nutzens für mehrere Bauteilpositionen gleichzeitig durchgeführt werden, wenn äußerst enge Toleranzen von
5 wenigen Mikrometern bei der Ausrichtung der Halbleiterchips in den Bauteilpositionen eingehalten werden. Jedoch ergibt sich innerhalb des Nutzens das Problem, dass die zu verdrahtenden Chips aufgrund der Bestückungstoleranzen beim Herstellen des Nutzens Positionsungenauigkeiten aufweisen. Derartige
10 ge Positionsungenauigkeiten können dazu führen, dass mit den herkömmlichen Belichtungsprozessen der Photolithographie erhebliche Ausfälle in der Ausbeute auftreten.

Bei einer Größenordnung der Kontaktflächen von 90 μm ist eine
15 Mindestgenauigkeit für die Ausrichtung der Halbleiterchips innerhalb der Zeilen und Spalten der Bauteilpositionen von $\pm 25 \mu\text{m}$ einzuhalten. Bei größeren Positionsabweichungen der Halbleiterchips in den Bauteilpositionen können bereits Kontaktflächen auftreten, die nicht mehr von einer Verdrahtung
20 erreicht werden. Eine Kompensation von Positionsfehlern von Halbleiterchips in den Bauteilpositionen eines Nutzens ist durch Einsatz eines Laserschreibverfahrens möglich, bei dem eine Fotolackschicht durch einen schreibenden Laser belichtet wird. Jedoch aufgrund der hohen erforderlichen Umverdrahtungs-
25 tungsichten auf einem Nutzen und der Größe der zu belichtenden Fläche pro Nutzen ist dieses Belichten durch Abtasten mit einem Laserschreibstrahl ein zeitaufwendiges Verfahren und nachteilig mit hohen Prozesskosten verbunden.

30 Eine weitere Möglichkeit zur Kompensation von Positionsfehlern, die über einen minimalen Toleranzausgleich hinausgehen, wäre die Möglichkeit, jede Bauteilposition einzeln zu belichten und sequentiell sämtliche Bauteilpositionen des Nutzen

nacheinander mit einer Verdrahtung zu versehen. Dabei wird in jeder der Bauteilpositionen des Nutzens eine Maske neu ausgerichtet, so dass die Positionsfehler des Chips zwar für die Umverdrahtung kompensiert werden, jedoch wird der Positions-
5 fehler auf die Anordnung der Außenkontaktflächen und damit auf die von außen sichtbaren Außenkontakte übertragen. Dieses Verfahren ergibt ebenfalls einen geringeren Durchsatz durch das sequentielle Abarbeiten des Nutzens gegenüber dem Einsatz einer einzigen Gesamtmaske, die mit einem Belichtungsschritt
10 auskommt.

Ein weiterer Nachteil ist, dass durch die unabhängige Justierung jedes einzelnen Einbauplatzes, zwar die Positionsfehler der Halbleiterchips ausgeglichen werden, aber durch die indi-
15 viduelle Ausrichtung ergibt sich für die Matrix und das Raster der Außenkontakte kein einheitliches Gitter mehr. Die Außenkontakte der einzelnen Bauteilpositionen liegen dann nicht mehr parallel zu den Außenrändern der Halbleiterbauteile, sondern weisen einen X-/Y-Versatz bzw. eine Verdrehung zuein-
20 ander auf. Ein derart uneinheitliches Raster der Außenkontaktflächen aufgrund der Positionsfehler der Halbleiterchips führt auch zu Problemen, die Außenkontakte in Form von Lotbällen einhaltlich aufzubringen. Da sowohl die Druckprozesse, als auch die galvanische Abscheidung und die mechanische Aus-
25 richtung von Lotbällen ein definiertes und reproduzierbares Rastermaß im Rahmen einer einheitlichen Matrix voraussetzen.

Nach dem Vereinzeln entsteht bei dieser Methode der Einzelkompensation der Positionsfehler ein elektronisches Bauteil
30 mit Gehäusen, die ein Lotball-Raster mit variierenden Positionen zur Gehäusekante aufweisen. Dies wiederum kann zu Problemen beim Testen, sowie bei der Weiterverarbeitung oder dem Einsatz der elektronischen Bauteile in einer Fertigungsanlage

führen, wenn die Positionsfehler größer werden als es die JEDEC-Normen zulassen.

Aufgabe der Erfindung ist es, ein Verfahren zum Aufbringen
5 einer Umverdrahtung auf einen Nutzen unter Kompensation von
Positionsfehlern von Halbleiterchips in Bauteilpositionen des
Nutzens anzugeben, das die Prozessdauer verkürzt, den Ausschuss vermindert und höhere Toleranzen beim Ausrichten der
Halbleiterchips in Zeilen und Spalten zum Herstellen eines
10 Nutzens zulässt.

Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

15 Erfindungsgemäß wird ein Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen unter Kompensation von Positionsfehlern von Halbleiterchips in Bauteilpositionen des Nutzens angegeben, wobei das Verfahren die nachfolgenden Verfahrensschritte aufweist. Zunächst wird ein Nutzen bereitgestellt, der in Zeilen und Spalten angeordnete Bauteilpositionen aufweist. In den Bauteilpositionen sind Halbleiterchips
20 angeordnet, deren Kanten nicht genau entsprechend den Zeilen und Spalten ausgerichtet sind, womit sich Positionsfehler ergeben. Um diese Positionsfehler zu kompensieren, werden zwei Umverdrahtungsmasken hergestellt, wobei eine erste Maske ausschließlich Außenkontaktflächen für den ganzen Nutzen auf
25 vorbestimmten Positionen in den Bauteilpositionen aufweist.

30 Eine zweite Maske weist ein einheitliches Umverdrahtungsmuster mit Umverdrahtungsleitungen für die Bauteilpositionen zum Verbinden von Kontaktflächen auf aktiven Oberseiten der Halbleiterchips mit Außenkontaktflächen auf dem Nutzen auf.

Nun wird zunächst die Struktur der ersten Maske auf den Nutzen mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen in den Bauteilpositionen übertragen. Anschließend wird eine optische Lageerfassung und
5 eine Auswertung der Positionsfehler der Halbleiterchips in den Bauteilpositionen des Nutzens und ein Berechnen der optimalen Ausrichtung der zweiten Maske vorgenommen.

Danach wird die zweite Maske mit den Umverdrahtungsleitungen
10 unter Kompensation der Positionsfehler der Halbleiterchips in den einzelnen Bauteilpositionen des Nutzens und unter Übertragen des Umverdrahtungsmusters der zweiten Maske mit einem zweiten Belichtungsschritt zur Vorbereitung der Ausbildung von Umverdrahtungsleitungen zwischen Kontaktflächen auf den
15 Halbleiterchips und Außenkontaktflächen in den einzelnen Bauteilpositionen des Nutzens nacheinander durchgeführt.

Dieses Verfahren hat gegenüber den oben beschriebenen Verfahren den Vorteil, dass es mit zwei Belichtungsschritten einer
20 Photolithographieschicht auskommt, um die Positionsfehler der Halbleiterchips zu kompensieren. Dabei wird die zweite Maske mit den Umverdrahtungsleitungen derart positioniert, dass die Umverdrahtungsleitungen sämtliche Kontaktflächen einer Bauteilposition auf den Oberseiten der Halbleiterchips des Nutzens möglichst genau treffen. Demgegenüber werden die Außen-
25 kontaktflächen, die größer sind, als die Kontaktflächen, an beliebigen Stellen von den Umverdrahtungsleitungen überlappt, so dass eine Verbindung zwischen Außenkontaktflächen und Kontaktflächen trotz Positionsfehlern der Halbleiterchips mit
30 den beiden Masken erreicht wird.

Die zweite Maske enthält die Kontaktflächen des Halbleiterchips und die Umverdrahtungen zu den Außenkontaktflächen und

kann als Stepper-Retikel ausgeführt sein. Diese zweite Maske wird bei jedem Stepper-Schritt für jede Bauteilposition separat justiert und zum Halbleiterchip ausgerichtet. Damit erreicht dieses Verfahren mit zwei Belichtungsstufen eine verbesserte Kompensation von Positionsungenauigkeiten der Halbleiterchips, da im Verhältnis zur Bestückungstoleranz wesentlich größere Außenkontaktflächen als Ausgleichsflächen oder als Koppelflächen für die Umverdrahtungsleitungen zur Verfügung stehen.

10

Trotz einer Verwendung eines Maskensteppers wird ein fixes und definiertes Raster der Außenkontaktflächen im Verhältnis zu den Zeilen und Spalten des Nutzens eingehalten und erreicht, so dass die oben erwähnten Probleme beim Anbringen von Lotbällen und beim Auftrennen des Nutzens zu Einzelbauteilen durch diese zweistufige Belichtung mit zwei Masken gelöst sind. Darüber hinaus ergibt sich der Vorteil, dass durch die exakte Ausrichtung der zweiten Maske zum Halbleiterchip bzw. zu den Kontaktflächen des Halbleiterchips diese Kontaktflächen verkleinert werden können. Eine Verkleinerung der Kontaktflächen bringt neben einer Flächenersparnis auf dem Halbleiterchip aus Silicium die Möglichkeit, feinere Schrittweiten bzw. "Pitches", sowie eine höhere Verdrahtungsdichte zu realisieren, da mehr Platz für Leiterbahnen zwischen zwei Kontaktflächen möglich wird.

20
25

Während das Übertragen der Struktur der ersten Maske zur Vorbereitung von Außenkontaktflächen für den gesamten Nutzen mittels Kontaktbelichten durchgeführt werden kann, wird für das Justieren und Übertragen der Struktur der zweiten Maske ein Projektionsbelichten vorteilhaft eingesetzt. Bei dem Projektionsbelichten wird ein um den Faktor 10 größeres Retikel mit einer um den Faktor 10 vergrößerten Struktur der zweiten

30

Maske auf jede einzelne Bauteilposition des Nutzens bei gleichzeitiger Verkleinerung um den Faktor 10 projiziert.

Bei einer weiteren Lösung des Problems der Kompensation von
5 Positionierfehlern von Halbleiterchips innerhalb der Bauteil-
positionen eines Nutzens wird anstelle der ersten Maske eine
Gesamtumverdrahtungsmaske mit Außenkontaktflächen und Um-
verdrahtungsleitungen eingesetzt. Jedoch erstrecken sich die-
se Umverdrahtungsleitungen nicht bis zu den Kontaktflächen
10 des Halbleiterchips in den einzelnen Bauteilpositionen, son-
dern lediglich bis etwa zu den Kanten der Halbleiterchips.
Somit wird durch den ersten Belichtungsschritt mit der Gesamt-
umverdrahtungsmaske die Struktur für die Außenkontakte und
für die Umverdrahtungsleitungen weitestgehend realisiert. Le-
15 diglich kurze Leitungsstücke zwischen den Enden der Um-
verdrahtungsleitungen im Bereich der Kanten der Halbleiter-
chips und den Kontaktflächen auf der aktiven Oberseite des
Halbleiterchips werden mit der Gesamtumverdrahtungsmaske
nicht fertig gestellt.

20 Dazu wird zunächst die optische Lageerfassung und Auswertung
der Positionsfehler der Halbleiterchips in den Bauteilpositi-
onen des Nutzens durchgeführt. Danach folgt als zweiter Be-
lichtungsschritt ein Laserstrukturieren von verbindenden Lei-
25 tungsstücken zwischen den Enden der Umverdrahtungsleitungen
an den Kanten der Halbleiterchips und den Kontaktflächen auf
den aktiven Oberseiten der Halbleiterchips durch einen Laser-
schreibstrahl. Dieses Laserstrukturieren zur Herstellung von
Verbindungsstücken lässt eine größere Positionsungenauigkeit
30 der Halbleiterchips in den einzelnen Bauteilpositionen zu, da
die Ausgleichsmöglichkeiten durch einen Laserschreibstrahl
und damit die Kompensation von Positionsfehlern verbessert
sind. Die optische Lageerfassung und Auswertung der Positi-

onsfehler der Halbleiterchips in den Bauteilpositionen des Nutzens dient dazu, die Ausrichtung der Gesamtumverdrahtungsmaske bei der ersten Belichtung derart zu optimieren, dass ein geringster mittlerer Abstand zwischen den Enden der Umverdrahtungsleitungen und den Kontaktflächen auf den aktiven Oberseiten der Halbleiterchips erreicht wird. Dadurch wird die Schreibdauer des Laserschreibstrahls optimiert und verringert und somit die Prozesskosten minimiert.

10 Auch in diesem Fall wird mit der Gesamtumverdrahtungsmaske ein konstantes Gitter für die Außenkontaktflächen und damit für die Gehäuseaußenkontur erreicht. Ein weiterer Vorteil besteht darin, dass je nach Ausführung der Schreibgeometrie des Laserstrahls unterschiedlich große Positionsfehler des Chips
15 ausgeglichen und kompensiert werden können. Jedoch aufgrund der geringen Schreiblänge der Leitungsstücke, die noch zu verwirklichen sind, ist das Verfahren kostengünstiger, als eine komplette Herstellung der Umverdrahtungsstruktur des Nutzens durch ein Laserstrukturieren mittels eines Laserschreibstrahls.
20

Die Strukturen der Masken und/oder der Schreibmuster des Laserschreibstrahls sind derart aneinander angepasst, dass zur Übertragung der gesamten Struktur auf den Nutzen eine einzige Fotolackschicht auf einer zu strukturierenden Metallschicht des Nutzens für beide Belichtungsschritte aufgebracht werden kann. Um das erfindungsgemäße Verfahren in seinen beiden Aspekten optimal zu nutzen bzw. zu maximieren, wird eine spezielle Ausrichtstrategie oder Justagestrategie durchgeführt.
25 Dazu ist die erste Voraussetzung, wie bereits erwähnt, die optische Lageerfassung aller Chippositionen eines Nutzens. Anschließend wird ein Algorithmus zur Berechnung der optimalen Lage der ersten bzw. der Gesamtumverdrahtungsmaske auf
30

der Basis des geringsten mittleren Versatzes verwendet. Als
nächstes erfolgt das Ausrichten und Belichten mit Hilfe der
ersten Maske oder auch der Gesamtumverdrahtungsmaske und
schließlich ist ein Ausrichten bzw. ein Positionieren des
5 Schreibmusters des Laserstrahls oder des Retikels der zweiten
Maske einschließlich Belichtung erforderlich.

Ein Nachweis, dass das erfindungsgemäße Verfahren für Halb-
leiterbauteile verwendet wurde, kann durch einen einfachen
10 Vergleich der Umverdrahtungsleitungsstruktur, die nach dem
erfindungsgemäßen Verfahren hergestellt wurde, mit Leitungs-
strukturen, die mit Hilfe herkömmlicher Verfahren hergestellt
wurden, erfolgen. Dabei ist es für Bauteile, die mit einem
Verfahren der vorliegenden Erfindung hergestellt wurden, cha-
15 rakteristisch, dass die Außenkontakte völlig gleichförmig in
einer Matrix angeordnet sind, welche nach den Kanten des Bau-
teilgehäuses ausgerichtet ist. Darüber hinaus sind die durch
Laserschreiben erzeugten Leitungsstücke aufgrund ihrer Einma-
ligkeit durch Verbinden von Umverdrahtungsleitungsenden mit
20 Kontaktflächen auf dem Halbleiterchip jederzeit nachweisbar.
Auch die charakteristische Anbindung der Umverdrahtungslei-
tungen an die Außenkontaktflächen bei Einsatz von einer ers-
ten und einer zweiten Maske lassen sich an den hergestellten
Bauteilen jederzeit nachweisen.

25

Zusammenfassend ist festzustellen, dass mit der vorliegenden
Erfindung eine Kompensation von Positionsfehlern von Halblei-
terchips in größerem Maßstab, als bisher möglich wird und
gleichzeitig eine Uniformität des äußeren Erscheinungsbilds
30 der Gehäuse und der Anordnung der Außenkontakte mit diesem
Verfahren erreicht werden kann, welche mit den bisherigen
Verfahren nicht möglich ist oder nur mit hohem Aufwand durch
großflächiges Laserschreiben erreicht werden kann.

Die Erfindung wird nun an Hand der beiliegenden Figuren näher erläutert.

- 5 Figur 1 zeigt eine schematische Draufsicht auf eine Bauteilposition eines Nutzens, gemäß eines ersten Durchführungsbeispiels des Verfahrens der Erfindung,
- 10 Figur 2 zeigt einen schematischen Querschnitt durch einen Nutzen, für eine Ausführungsform der Erfindung,
- Figur 3 zeigt eine schematische Draufsicht auf einen Nutzen, für die Ausführungsform gemäß Figur 2,
- 15
- Figur 4 zeigt eine schematische Draufsicht auf eine Bauteilposition eines Nutzens gemäß einer weiteren Durchführungsbeispiels des Verfahrens gemäß der Erfindung.
- 20
- Figur 1 zeigt eine schematische Draufsicht auf eine Bauteilposition 4 eines Nutzens, gemäß eines ersten Durchführungsbeispiels des Verfahrens der Erfindung. Dazu zeigt diese Draufsicht die Gesamtoberseite 16 einer derartigen Bauteilposition 4. Diese Gesamtoberseite 16 setzt sich aus einer
- 25 koplanaren Oberseite 28 einer Kunststoffmasse 15 und einer aktiven Oberseite 12 eines Halbleiterchips 3 zusammen. Auf der Gesamtoberseite 16 ist eine Verdrahtung 1 angeordnet.
- 30 Bei der Herstellung eines Nutzens, der eine derartige Bauteilposition 4 aufweist, wird der Halbleiterchip 3 in die Kunststoffmasse 15 mit seiner Rückseite und seinen Randseiten, welche in dieser Draufsicht nicht zu sehen sind, einge-

bettet. Bei diesem Einbetten kann es zu Positionsungenauigkeiten kommen, die in dieser Draufsicht dadurch zu erkennen sind, dass die Begrenzungslinien 17, 18, 19 und 20 der Bauteilposition 4 nicht parallel zu den Kanten 21, 22, 23 und 24
5 des Halbleiterchips 3 verlaufen.

Demgegenüber sind die Außenkontaktflächen 8, die nach ihrem Aufbringen auf die Bauteilposition 4 Außenkontakte tragen, in einer Matrix angeordnet, die nach den Begrenzungslinien 17,
10 18, 19 und 20 der Bauteilposition 4, ausgerichtet ist. Diese Außenkontaktflächen 8 werden nämlich unabhängig von der Ausrichtung und dem Positionierungsfehler des Halbleiterchips 3 mit einer getrennten ersten Maske, die über den gesamten Nutzen mit mehreren Bauteilpositionen 4 gelegt wird, ausgerichtet,
15 justiert und hergestellt.

Eine zweite Maske umfasst lediglich das Umverdrahtungsmuster 9 mit den Umverdrahtungsleitungen 10. In jeder einzelnen Bauteilposition wird diese zweite Maske exakt auf die Kontaktflächen 11 der aktiven Oberseite 12 des Halbleiterchips 3
20 ausgerichtet. Damit wird erreicht, dass der Flächenbedarf der Kontaktflächen 11 auf dem Halbleiterchip 3 minimiert werden kann und die Umverdrahtungsleitungen 10 völlig unterschiedlich die Außenkontaktflächen 8 überlagern. Dieses Verfahren,
25 welches mit zwei Belichtungsschritten durchgeführt wird und zwei Lithographieschritte aufweist, kann nur insoweit die Positionsfehler kompensieren, als sämtliche Umverdrahtungsleitungen 10 ihre vorgesehenen Außenkontakte 8 noch überlappen.

30 Figur 2 zeigt einen schematischen Querschnitt durch einen Nutzen 2, für eine Ausführungsform der Erfindung. Der Nutzen 2 zeigt in diesem Querschnitt, dass er aus einer Kunststoffmasse 15 besteht, in die Halbleiterchips 3 mit ihren Rücksei-

ten 25 und ihren Randseiten 26 und 27 eingebettet sind. Dabei bilden die Oberseite 12 der Halbleiterchips 3 zusammen mit der Oberseite 28 der Kunststoffmasse 15 eine Gesamtoberseite 16. Diese Gesamtoberseite 16 kann eine Umverdrahtungslage
5 tragen, die Außenkontaktflächen und Umverdrahtungsleitungen aufweist.

Figur 3 zeigt eine schematische Draufsicht auf einen Nutzen 2 für die Ausführungsform, gemäß Figur 2. Der Außenumfang 29
10 des Nutzens 2 ist kreisförmig und einem Halbleiterwafer nachgebildet, so dass derartige Nutzen auch "Wafer-Nutzen" genannt werden. Der hier gezeigte "Wafer-Nutzen", weist beispielhaft 12 Bauteilpositionen 4 auf, die in Zeilen 6 und Spalten 7 angeordnet sind. Jede der Bauteilpositionen 4 weist
15 in dieser Ausführungsform der Erfindung einen Halbleiterchip 3 mit Kanten 5 in ihrem Zentrum auf. Dabei ist zu erkennen, dass Kanten 17, 18, 19 und 20 oder Halbleiterchips gegenüber den Begrenzungslinien 17, 18, 19 und 20 jeder Bauteilposition 4 teilweise in X-Richtung, in Y-Richtung, also lateral, einen
20 Versatz aufweisen und teilweise auch in der jeweiligen Bauteilposition 4 verdreht auftreten. Diese Positionsfehler würden bis zur Anordnung von Außenkontaktflächen durchdringen und damit unterschiedliche Umrisse der Gehäuse der Halbleiterbauteile bewirken, wenn nicht durch die vorliegende Erfindung die Positionsfehler kompensiert werden können. Zur Kom-
25 pensation dieser Fehler zeigt Figur 4 ein weiteres Ausführungsbeispiel.

Figur 4 zeigt eine schematische Draufsicht auf eine Bauteil-
30 position 4 eines Nutzens, gemäß eines weiteren Durchführungsbeispiels der Erfindung. Komponenten mit gleichen Funktionen, wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

Auch das hier gezeigte Umverdrahtungsmuster 9 aus Außenkontaktflächen 8, Umverdrahtungsleitungen 10 und Kontaktflächen 11 auf dem Halbleiterchip 3, kompensiert einen Positionsfehler des Halbleiterchips 3 innerhalb der Bauteilposition 4. In diesem Durchführungsbeispiel des Verfahrens sind auf einer ersten Maske, die für den gesamten Nutzen strukturiert ist, sowohl Außenkontaktflächen 8, als auch Umverdrahtungsleitungen 10 vorgegeben. Jedoch reichen die Umverdrahtungsleitungen nicht bis zu den Kontaktflächen 11 des Halbleiterchips 3, sondern weisen ein Ende 14 auf, das noch vor den Kanten 21, 22, 23 und 24 des Halbleiterchips 3 angeordnet ist.

Die Kontaktflächen 11 auf der aktiven Oberseite 12 des Halbleiterchips 3 können somit nicht mit einem Belichtungsschritt unter Zuhilfenahme dieser Gesamtumverdrahtungsmaske mit den Außenkontaktflächen 8 verbunden werden. Vielmehr werden mit einem zweiten Belichtungsschritt die Kontaktflächen 11 mit den Enden 14 der Umverdrahtungsleitungen 10 über Leitungsstücke 13 verbunden. Diese Leitungsstücke 13 entstehen durch Belichtung mittels eines Laserschreibstrahls. Auf diese Weise können erheblich größere Positionsfehler der Halbleiterchips 3 in den Bauteilpositionen 4 kompensiert werden, da die Anpassung durch Leitungsstücke 13 mittels Laserschreiben oder Laserstrukturieren eine hohe Flexibilität bereit hält.

Patentansprüche

1. Verfahren zum Aufbringen einer Umverdrahtung (1) auf einen Nutzen (2) unter Kompensation von Positionsfehlern von Halbleiterchips (3) in Bauteilpositionen (4) des Nutzens (2), wobei das Verfahren folgende Verfahrensschritte aufweist:
- 5 - Bereitstellen eines Nutzens (2) mit in Zeilen (6) und Spalten (7) angeordneten Bauteilpositionen (4), wobei in den Bauteilpositionen (4) Halbleiterchips (3) angeordnet sind, deren Kanten (5) nicht genau entsprechend den Zeilen (6) und Spalten (7) ausgerichtet sind, so dass sie Positionsfehler aufweisen,
 - 10 - Herstellen von zwei Umverdrahtungsmasken, wobei eine erste Maske ausschließlich Außenkontaktflächen (8) für den ganzen Nutzen (2) auf vorbestimmten Positionen in den Bauteilpositionen (4) aufweist, und eine zweite Maske ein einheitliches Umverdrahtungsmuster (9) mit Umverdrahtungsleitungen (10) für eine einzelne Bauteilposition (4) zum Verbinden von Kontaktflächen (11) von aktiven Oberseiten (12) der Halbleiterchips (3) mit den Außenkontaktflächen (8) aufweist,
 - 20 - Übertragen der Struktur der ersten Maske auf den Nutzen (2) mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen (8) in den Bauteilpositionen (4),
 - 25 - optische Lageerfassung und Auswertung der Positionsfehler der Halbleiterchips (3) in den Bauteilpositionen (4) des Nutzens (2) und Berechnen der optimalen Ausrichtung der zweiten Maske,
 - 30

- Justieren der zweiten Maske unter Kompensation der Positionsfehler der Halbleiterchips (3) in den einzelnen Bauteilpositionen (4) des Nutzens (2) nacheinander und Übertragen des Umverdrahtungsmusters (9) der zweiten Maske mit einem zweiten Belichtungsschritt zur Vorbereitung der Ausbildung von Umverdrahtungsleitungen (10) zwischen Kontaktflächen (11) auf den Halbleiterchips (3) und Außenkontaktflächen (8) in den einzelnen Bauteilpositionen (4) des Nutzens (2) nacheinander.
2. Verfahren zum Aufbringen einer Umverdrahtung (1) auf einen Nutzen (2) unter Kompensation von Positionsfehlern von Halbleiterchips (3) in Bauteilpositionen (4) des Nutzens (2), wobei das Verfahren folgende Verfahrensschritte aufweist:
- Bereitstellen eines Nutzens (2) mit in Zeilen (6) und Spalten (7) angeordneten Bauteilpositionen (4), wobei in den Bauteilpositionen (4) Halbleiterchips (3) angeordnet sind, deren Kanten (5) nicht genau entsprechend den Zeilen (6) und Spalten (7) ausgerichtet sind, so dass sie Positionsfehler aufweisen,
- Herstellen einer Gesamtumverdrahtungsmaske mit Außenkontaktflächen (8) und Umverdrahtungsleitungen (10) bis etwa zu Kanten (5) der Halbleiterchips (3) in Richtung auf Kontaktflächen (11) auf aktiven Oberseiten (12) der Halbleiterchips (3) für den gesamten Nutzen (2),
- optische Lageerfassung und Auswertung der Positionsfehler der Halbleiterchips (3) in den Bauteilpositionen (4) des Nutzens (2),

- 5 - Übertragen der Gesamtumverdrahtungsmaske auf den Nutzen (2) mit einem ersten Belichtungsschritt zur Vorbereitung der Ausbildung von Außenkontaktflächen (8) und von Umverdrahtungsleitungen (10) bis etwa zu den Kanten (5) der Halbleiterchips (3) in den Bauteilpositionen (4),
- 10 - Laserstrukturieren von verbindenden Leitungsstücken (13) zwischen den Enden (14) der Umverdrahtungsleitungen (10) in etwa an den Kanten (5) der Halbleiterchips (3) und den Kontaktflächen (11) auf den aktiven Oberseiten (12) der Halbleiterchips (3) mit einem zweiten Belichtungsschritt durch einen Laserschreibstrahl.
- 15 3. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass
das Justieren und Übertragen der Struktur der zweiten Maske mittels Projektionsbelichten durchgeführt wird.
- 20 4. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
das Übertragen der Struktur einer Maske für den gesamten Nutzen mittels Kontaktbelichten durchgeführt wird.
- 25 5. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
das Laserstrukturieren einzeln für jedes verbindende Leitungsstück (13) nacheinander erfolgt.
- 30 6. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Strukturen der Masken und/oder der Schreibmuster des Laserschreibstrahls derart aneinander angepasst sind,

dass zur Übertragung der gesamten Struktur auf den Nutzen (2) eine einzige Photolackschicht auf einer zu strukturierenden Metallschicht des Nutzens (2) für beide Belichtungsschritte aufgebracht wird.

FIG 1

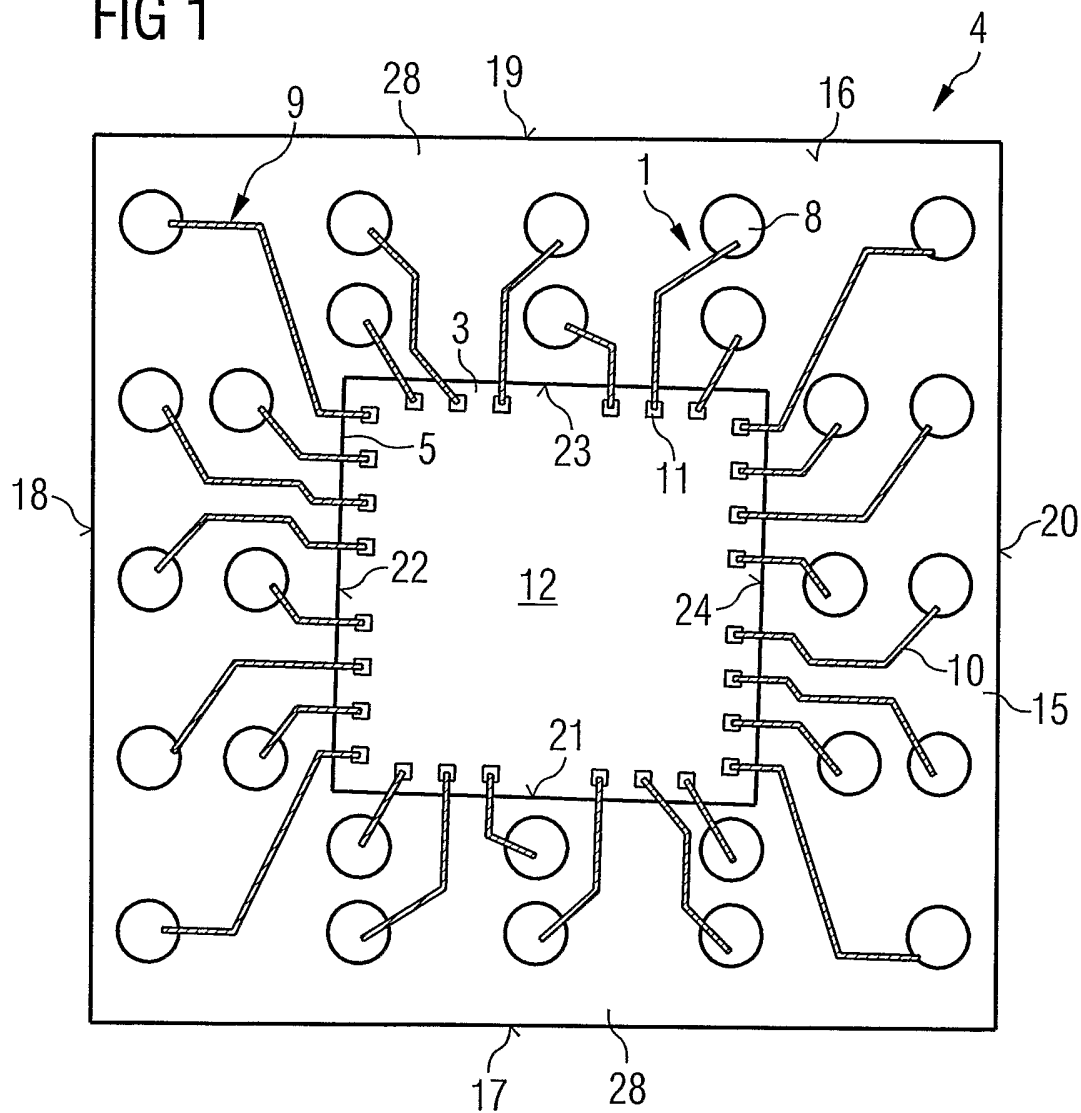
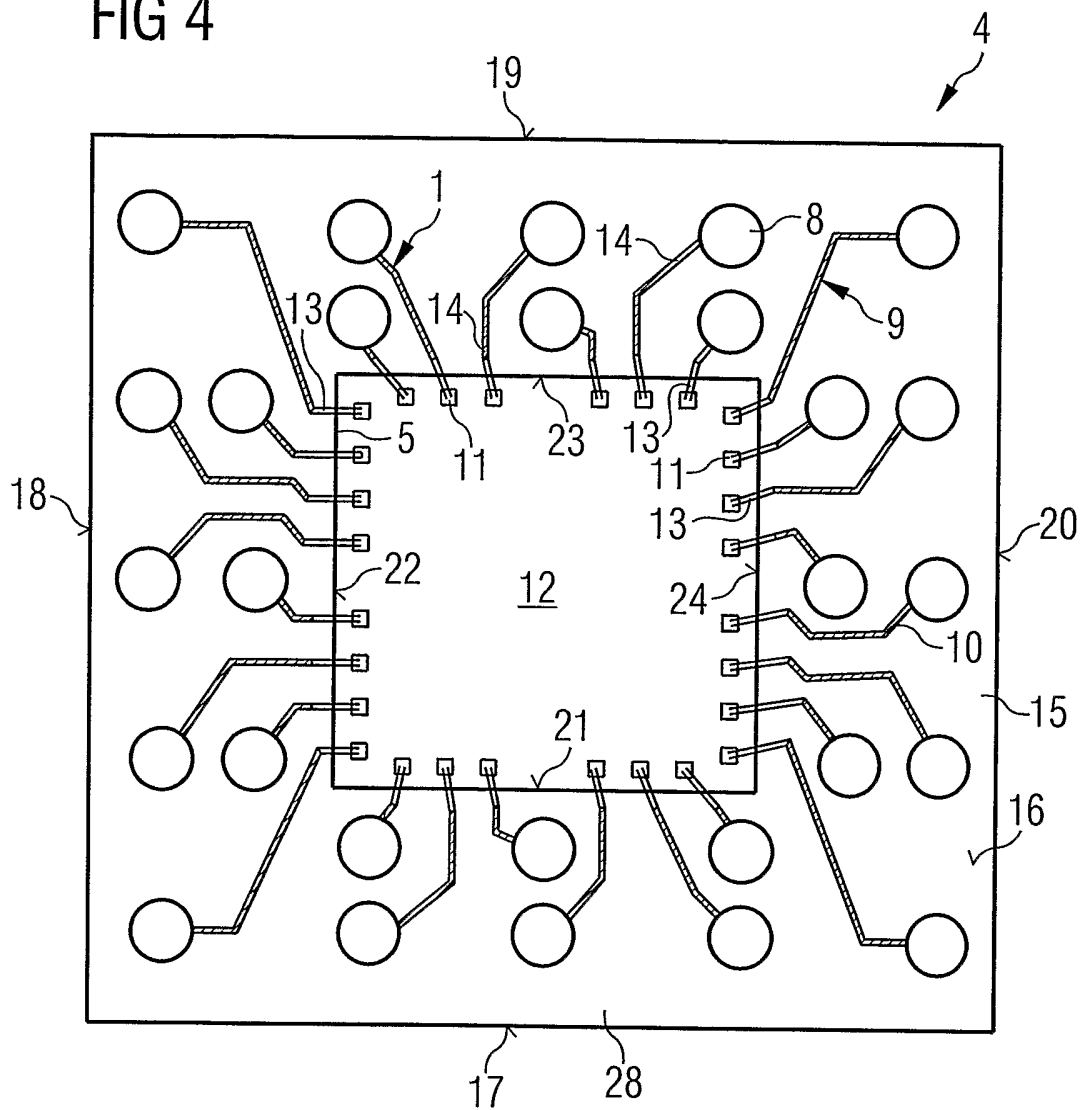


FIG 4



INTERNATIONAL SEARCH REPORT

International Application No

PC/DE2004/001360

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L23/538 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 273 703 A (GEN ELECTRIC) 6 July 1988 (1988-07-06)	2
Y	claims 1-12	1,3-6
Y	US 3 650 796 A (BUSH ERIC LANGLEY ET AL) 21 March 1972 (1972-03-21) the whole document	1,3-6
A	EP 0 465 138 A (GEN ELECTRIC) 8 January 1992 (1992-01-08) the whole document	1-6

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

14 December 2004

Date of mailing of the international search report

22/12/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Cortes Rosa, Joao

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001360

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0273703	A	06-07-1988	US 4835704 A	30-05-1989
			EP 0273703 A2	06-07-1988
			JP 2898284 B2	31-05-1999
			JP 63186426 A	02-08-1988
US 3650796	A	21-03-1972	DE 1926271 A1	23-07-1970
			FR 2011014 A5	27-02-1970
			GB 1237433 A	30-06-1971
			NL 6908699 A	09-12-1969
EP 0465138	A	08-01-1992	US 5357403 A	18-10-1994
			EP 0465138 A2	08-01-1992
			JP 4233256 A	21-08-1992

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/001360

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L23/538 H01L21/60

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 273 703 A (GEN ELECTRIC) 6. Juli 1988 (1988-07-06)	2
Y	Ansprüche 1-12	1,3-6
Y	US 3 650 796 A (BUSH ERIC LANGLEY ET AL) 21. März 1972 (1972-03-21) das ganze Dokument	1,3-6
A	EP 0 465 138 A (GEN ELECTRIC) 8. Januar 1992 (1992-01-08) das ganze Dokument	1-6



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

14. Dezember 2004

Absendedatum des internationalen Recherchenberichts

22/12/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Cortes Rosa, Joao

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001360

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0273703	A	06-07-1988	US 4835704 A	30-05-1989
			EP 0273703 A2	06-07-1988
			JP 2898284 B2	31-05-1999
			JP 63186426 A	02-08-1988
US 3650796	A	21-03-1972	DE 1926271 A1	23-07-1970
			FR 2011014 A5	27-02-1970
			GB 1237433 A	30-06-1971
			NL 6908699 A	09-12-1969
EP 0465138	A	08-01-1992	US 5357403 A	18-10-1994
			EP 0465138 A2	08-01-1992
			JP 4233256 A	21-08-1992