

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月18日(18.06.2015)



(10) 国際公開番号

WO 2015/087997 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) H02K 11/00 (2006.01)
H01L 25/07 (2006.01) H02K 19/36 (2006.01)
- (21) 国際出願番号: PCT/JP2014/082947
- (22) 国際出願日: 2014年12月12日(12.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-256619 2013年12月12日(12.12.2013) JP
- (71) 出願人: 株式会社日立パワーデバイス(HITACHI POWER SEMICONDUCTOR DEVICE, LTD.) [JP/JP]; 〒3191221 茨城県日立市大みか町五丁目2番2号 Ibaraki (JP).
- (72) 発明者: 石丸 哲也 (ISHIMARU Tetsuya); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 森 睦宏 (MORI Mutsuhiro); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 坂野 順一 (SAKANO Junichi); 〒1008280 東京都千代田区丸の内一丁目6番6号

株式会社日立製作所内 Tokyo (JP). 恩田 航平 (ONDA Kohhei); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 磯野 道造 (ISONO Michizo); 〒1020093 東京都千代田区平河町2丁目7番4号 砂防会館別館 磯野国際特許商標事務所内 Tokyo (JP).

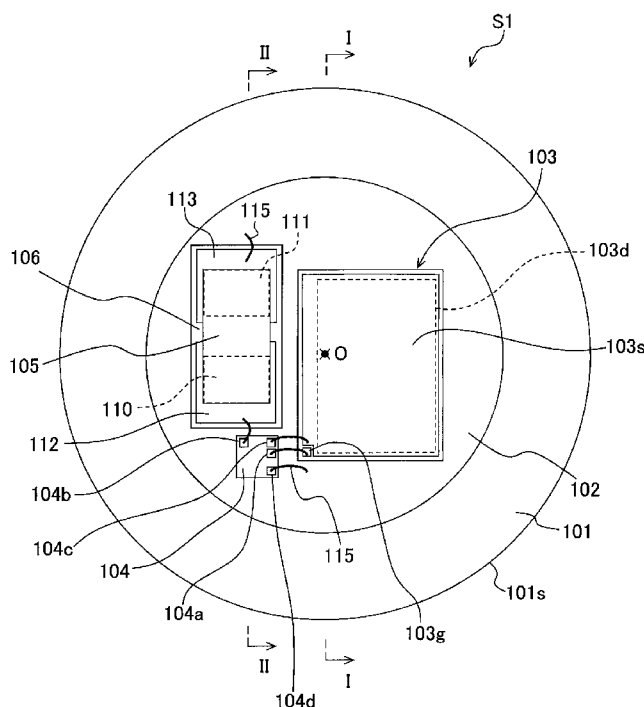
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND ALTERNATOR AND POWER CONVERSION DEVICE WHICH USE SAME

(54) 発明の名称: 半導体装置、並びにそれを用いたオルタネータ及び電力変換装置



(57) Abstract: This semiconductor device (S1) is provided with a first external electrode (101) having an outer peripheral section (101s) which is circular when viewed from above, and which is attached to an alternator (Ot). The first external electrode (101) has, mounted thereon: a MOSFET chip (103); a control circuit (104) into which a current or a voltage between a first main terminal (103d) and a second main terminal (103s) of the MOSFET chip (103) is inputted, and which generates, on the basis of the current or the voltage, a control signal to be supplied to a gate (103g) of the MOSFET chip (103); and a capacitor (105) for providing a power supply to the control circuit (104). A second external electrode (107) is provided to the MOSFET chip (103), at side opposite to the first external electrode. The first external electrode (101) and the first main terminal (103d) of the MOSFET chip (103) are electrically connected. Furthermore, the second external electrode (107) and the second main terminal (103s) of the MOSFET chip (103) are electrically connected.

(57) 要約:

[続葉有]

WO 2015/087997 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

本発明の半導体装置(S 1)は、オルタネータ(O t)に取着される上面視円形の外周部(1 0 1 s)をもつ第 1 の外部電極(1 0 1)を有し、第 1 の外部電極(1 0 1)上に、MOS FETチップ(1 0 3)と、MOS FETチップ(1 0 3)の第 1 の主端子(1 0 3 d)と第 2 の主端子(1 0 3 s)の電圧もしくは電流が入力され、それに基づいてMOS FETチップ(1 0 3)のゲート(1 0 3 g)に供給する制御信号を生成する制御回路(1 0 4)と、制御回路(1 0 4)に電源を供給するコンデンサ(1 0 5)とが搭載され、MOS FETチップ(1 0 3)に対して前記第 1 の外部電極の反対側に第 2 の外部電極(1 0 7)を有し、MOS FETチップ(1 0 3)の第 1 の主端子(1 0 3 d)と第 1 の外部電極(1 0 1)、並びに、MOS FETチップ(1 0 3)の第 2 の主端子(1 0 3 s)と第 2 の外部電極(1 0 7)が電氣的に接続されている。

明 細 書

発明の名称：

半導体装置、並びにそれを用いたオルタネータ及び電力変換装置

技術分野

[0001] 本発明は、半導体装置、並びにそれを用いたオルタネータ及び電力変換装置に関する。

背景技術

[0002] 従来、自動車において発電を行うオルタネータでは、発電される交流をバッテリーに充電するために直流にする整流素子としてダイオードが用いられている。

[0003] ダイオードを用いる整流素子は、特許文献 1 に示されるように、ダイオードチップの上面の端子をリード電極に接続し、ダイオードチップの下面の端子をベース電極に接続する。ベース電極から成るパッケージを、オルタネータの電極板に半田を介在して、もしくは、圧入によって固定して用いている。オルタネータ一台当たり 6 個もしくは 12 個もの多数の整流素子を、オルタネータの電極板に固定する必要があるため、容易に整流素子をオルタネータに固定できることが、オルタネータの組み立て工程において重要となっている。

[0004] ところで、ダイオードを用いた整流素子は、図 24 に示すように、ダイオードに内蔵ポテンシャルがあるため、損失が大きいという問題がある。

これに対し、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の同期整流を用いた整流素子があり、MOSFET は内蔵ポテンシャルがなく 0V から順方向電流が立ち上がるため損失が低い。つまり、MOSFET は同じ電流を流すのに、電圧がかからないため、損失が下がる。なお、図 24 は、本発明の MOSFET を用いた整流素子と従来のダイオードを用いた整流素子の順方向の電流・電圧特性を示す図である。

[0005] 特許文献 2 及び特許文献 3 には、オルタネータに用いられる MOSFET

を使った整流素子が記載されている。これらMOSFETを使う整流素子は、MOSFETのチップを方形のパッケージに搭載する(特許文献2の図3、特許文献3の図7参照)。MOSFETは、一对の主端子(ソースとドレイン)に加えてゲート端子を有し、パッケージの組み立ての配線を形成する工程において、配線を接続するゲート端子の位置を認識する必要がある。MOSFETのチップを、方形のパッケージ内に搭載すると、パッケージ内の回転軸周り方向の位置合わせ、つまり、MOSFETのチップのパッケージ内の回転軸周り方向の位置合わせが容易であり、配線を形成する工程が容易である。

先行技術文献

特許文献

[0006] 特許文献1：特開平10-215552号公報

特許文献2：特開2003-33038号公報(図3)

特許文献3：特表2011-507468号公報(図7)

発明の概要

発明が解決しようとする課題

[0007] ところで、オルタネータに損失が低いMOSFETを用いる整流素子を使用する場合、従来の方形のMOSFETのパッケージを用いると、整流素子をオルタネータに固定する際に、整流素子をオルタネータに設けられる穴に嵌入して固定するため、MOSFETのパッケージ(整流素子)の回転軸周り方向の位置を合わせる必要がある。

[0008] そのため、大量の整流素子を簡便にオルタネータに固定することが困難となっている。

特に、ダイオードを用いた整流素子で最近の主流となっている圧入による固定を行う場合、方形のパッケージで、回転軸周り方向の位置合わせを厳密に行う必要があり固定が難しい。更に、方形のMOSFETのパッケージを用いると、方形のMOSFETのパッケージを圧入・固定することができる

特別なオルタネータを用意する必要が生じ、開発・製造コストが増大すると共に汎用性を阻害するという問題がある。

[0009] すなわち、両者の整流素子の形状が異なるため、ダイオードを用いた整流素子と方形のMOSFETのパッケージを用いた整流素子とを別々に開発し、製造しなければならない。また、オルタネータにダイオードを用いた整流素子を圧入で固定する組み立て装置も使うことができず、方形のMOSFETのパッケージをオルタネータに固定するための別の装置を準備し使用しなければならない。

[0010] 本発明は、前記した問題に鑑みて創案されたものであり、簡便に組み立てることが可能である損失が低い半導体装置、それを用いたオルタネータ及び電源装置を提供することを課題とする。

課題を解決するための手段

[0011] 上記目的を達成すべく、本発明の請求項1の半導体装置は、オルタネータに取り付けられる上面視で円形の外周部を有する第1の外部電極と、MOSFETチップと、前記MOSFETチップに対して前記第1の外部電極の反対側に配置される第2の外部電極と、前記MOSFETチップのドレイン電極とソース電極の電圧もしくは電流が入力され、当該電圧もしくは電流に基づいて前記MOSFETチップのゲートに供給する制御信号を生成する制御回路とを備え、前記第1の外部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第2の外部電極とは、互いに積み重なるように配置され、前記MOSFETチップの前記ドレイン電極および前記ソース電極の一方と前記第1の外部電極とが電氣的に接続され、前記MOSFETチップの前記ドレイン電極および前記ソース電極の他方と前記第2の外部電極とが電氣的に接続されることを特徴とする。

具体的には、例えば、上記の半導体装置において、前記制御回路に電源を供給するコンデンサを更に備え、前記MOSFETチップと、前記制御回路と、前記コンデンサとは、前記第1の外部電極上に搭載され、前記第1の外

部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第2の外部電極とは、下方から上方へ向かってこの順序で積み重なるように配置され、前記MOSFETチップの前記ドレイン電極と前記第1の外部電極とが電氣的に接続され、前記MOSFETチップの前記ソース電極と前記第2の外部電極とが電氣的に接続されることを特徴とする半導体装置とする。

[0012] あるいは、例えば、上記の半導体装置において、前記制御回路に電源を供給するコンデンサを更に備え、前記第2の外部電極は、前記第1の外部電極の円形の外周部に収まる大きさの台座を有し、前記MOSFETチップと、前記制御回路と、前記コンデンサとは、前記第2の外部電極の前記台座上に搭載され、前記第2の外部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第1の外部電極とが、下方から上方へ向かってこの順序で積み重なるように配置され、前記MOSFETチップの前記ドレイン電極と前記第2の外部電極とが電氣的に接続され、前記MOSFETチップの前記ソース電極と前記第1の外部電極とが電氣的に接続されることを特徴とする半導体装置とする。

[0013] 本発明の請求項18に関わるオルタネータは、本発明の半導体装置を備えるオルタネータである。

[0014] 本発明の請求項20に関わる電力変換装置は、本発明の半導体装置を備える電力変換装置である。

発明の効果

[0015] 本発明によれば、簡便に組み立てることが可能である損失が低い半導体装置、それを用いたオルタネータ及び電力変換装置を実現できる。

図面の簡単な説明

[0016] [図1]本発明の第1実施形態に係る同期整流MOSFETを用いる整流素子のパッケージの一部を省略して示す上面図。

[図2]図1のI-I断面図。

[図3]図1のII-II断面図。

[図4]第1実施形態に係る同期整流MOSFETの整流素子の回路図。

[図5]オルタネータの放熱板に固定した圧入型の第1実施形態の同期整流MOSFETの整流素子の側面図。

[図6]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の上面図。

[図7]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態(変形形態1)の上面図。

[図8]図7のIII-III断面図。

[図9]第1実施形態に係るMOSFETを用いた整流素子のさらに別の実施形態の図8のW部拡大相当図。

[図10]第1実施形態に係るMOSFETを用いた整流素子のさらに別の実施形態の図8のW部拡大相当図。

[図11]別の実施形態(変形形態2)のツェナーダイオードのチップを搭載した整流素子の上面図。

[図12]図11のIV-IV断面図。

[図13]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の上面図。

[図14]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の上面図。

[図15]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のI-I断面相当図。

[図16]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のII-II断面相当図。

[図17]第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のII-II断面相当図。

[図18]第2実施形態に係る同期整流MOSFETの整流素子のパッケージの一部を省略して示す下面図。

[図19]図18のV-V断面図。

[図20]図18のVI-VI断面図。

[図21]第1・第2実施形態のMOSFETを用いた整流素子を使ったオルタネータの回路図。

[図22]同期整流MOSFETの整流素子を用いたオルタネータの要部断面図。

[図23]複数の実施形態の同期整流MOSFETの整流素子を固定した整流装置の平面図。

[図24]本発明のMOSFETを用いた整流素子と従来のダイオードを用いた整流素子の順方向の電流・電圧特性を示す図。

発明を実施するための形態

[0017] 以下、本発明の実施形態について添付図面を参照して詳細に説明する。なお、実施形態を説明するための各図において同一機能を有するものは同一の符号を付し、重複する説明は適宜省略する。

[0018] <<第1実施形態>>

図1～図4を参照して、本発明の第1実施形態に係る同期整流MOSFETの整流素子S1の構成について説明する。

図1は、第1実施形態に係る同期整流MOSFETを用いる整流素子のパッケージの一部を省略して示す上面図である。なお、図1では理解を容易にするため、整流素子S1のパッケージ上部に配置されるリード電極107(図2参照)と樹脂108は省略して示す。

図2は、図1のI-I断面図であり、図3は、図1のII-II断面図である。

[0019] <整流素子S1の構成>

まず、第1実施形態に係る同期整流MOSFETを用いる整流素子S1の構成要素を説明する。

図1に示すように、整流素子S1は、上面視で円形の外周部101sを有するベース電極101、ベース電極101の上部に設けられる台座102、台座102の上に実装されるMOSFETチップ103と制御回路チップ1

04とコンデンサ105、および、MOSFETチップ103の上に載せられるリード電極107(図2参照)を有している。

[0020] コンデンサ105の下方には、図3に示すように、電極(112、113)を有する絶縁基板106がベース電極101の台座102上に敷かれ、台座102と電子部品(103、104、105)は樹脂108で覆われている。

図1に示すように、MOSFETチップ103は、上面視で方形の形状を有しており、四角形のコンデンサ105と制御回路チップ104とは、MOSFETチップ103の長辺に沿って隣接して、配置されている。これにより、MOSFETチップ103、コンデンサ105、および制御回路チップ104は、互いに近接して配置できるとともに互いの間のスペースは狭小で済むため、MOSFETチップ103、コンデンサ105、および制御回路チップ104の実装効率が大に配置できる。

[0021] 加えて、制御回路チップ104の第1～第4の電極104a～104dと、MOSFETチップ103とコンデンサ105とが電氣的に接続される距離が最短になるように配置されている。

これにより、制御回路チップ104とMOSFETチップ103とコンデンサ105との電氣的接続を担うワイヤ115の長さが最も短くでき、電氣的接続の信頼性が高い。また、ワイヤ115が少量で済み、組み立て性が高く、コストが抑えられる。

[0022] <MOSFETチップ103の接続>

次に、MOSFETチップ103の接続を説明する。

図2に示すように、MOSFETチップ103の下面に設けられたドレイン電極103dは半田109を用いてベース電極101の台座102に固定されている。これにより、MOSFETチップ103は、電氣的、熱的にベース電極101に接続される。

[0023] “熱的に”とは、すなわちMOSFETチップ103のドレイン電極103dの延在面が、半田109を介在して、ベース電極101の台座102の上面(延在面)に連結して固定されるので、MOSFETチップ103とベー

ス電極１０１との伝熱面積が広く、ＭＯＳＦＥＴチップ１０３の熱が良好にベース電極１０１に伝導され放出されることを意味する。

[0024] ＭＯＳＦＥＴチップ１０３の上面に設けられるソース電極１０３ｓは半田１０９を用いてリード電極１０７に固定されている。これにより、ＭＯＳＦＥＴチップ１０３は、電氣的、熱的にリード電極１０７に接続される。

“熱的に”とは、ＭＯＳＦＥＴチップ１０３のソース電極１０３ｓの延在面が、半田１０９を介在して、リード電極１０７の下面(延在面)に連結して固定されるので、ＭＯＳＦＥＴチップ１０３とソース電極１０３ｓとの伝熱面積が広く、ＭＯＳＦＥＴチップ１０３の熱が良好にソース電極１０３ｓに伝導され放出されることを意味する。

[0025] 図１に示すように、ＭＯＳＦＥＴチップ１０３の上面のゲート電極１０３ｇは、ワイヤ１１５を用いてワイヤボンディングで制御回路チップ１０４の上面に設けられた第１の電極１０４ａに電氣的に接続されている。

[0026] このように、ＭＯＳＦＥＴチップ１０３のゲート電極１０３ｇを、ＭＯＳＦＥＴチップ１０３の制御回路チップ１０４に近い角部に配置することで、前記したように、ＭＯＳＦＥＴチップ１０３のゲート電極１０３ｇと制御回路チップ１０４の第１の電極１０４ａとの距離を最短にし、ワイヤ１１５の長さを最短にする。これにより、ワイヤ１１５によるワイヤボンディングを確実にし、接続の信頼性を高いものとしている。

[0027] <コンデンサ１０５の接続>

次に、コンデンサ１０５の接続を説明する。

図３に示すように、コンデンサ１０５は、絶縁基板１０６を介してベース電極１０１の台座１０２に半田１０９を用いて固定される。電氣的には、コンデンサ１０５の高電圧側端子１１０は半田１０９により絶縁基板１０６の上面に設けられた第１の電極１１２に接続され、絶縁基板１０６の第１の電極１１２は制御回路チップ１０４の上面に設けられた第２の電極１０４ｂにワイヤ１１５を用いてワイヤボンディングで接続される。

[0028] 図１に示すように、コンデンサ１０５の高電圧側端子１１０が制御回路チ

ップ104の第2の電極104bに、ワイヤ115を介して、最短距離で接続されるように、コンデンサ105の高電圧側端子110と制御回路チップ104の第2の電極104bとが配置されている。これにより、制御回路チップ104、コンデンサ105の実装効率高めるとともに、ワイヤボンディングの信頼性を向上させている。

[0029] 同じく電氣的に、コンデンサ105の低電圧側端子111は、半田109を用いて絶縁基板106の上面に設けられた第2の電極113に接続され、絶縁基板106の第2の電極113はベース電極101の台座102に、ワイヤ115を用いてワイヤボンディングで接続される。

[0030] <制御回路チップ104の接続>

次に、制御回路チップ104の接続を説明する。

前記したように、制御回路チップ104の上面に設けられた第1の電極104aはMOSFETチップ103の上面に設けられたゲート電極103gに、ワイヤ115を用いてワイヤボンディングで電氣的に接続される。また、制御回路チップ104のチップの上面に設けられた第2の電極104bはコンデンサ105の高電圧側端子110と接続された絶縁基板106の上面の第1の電極112にワイヤ115を用いてワイヤボンディングで電氣的に接続される。

[0031] 更に、図1に示すように、制御回路チップ104の上面に設けられる第3の電極104cは、MOSFETチップ103の上面を成すソース電極103sにワイヤ115を用いてワイヤボンディングで電氣的に接続されている。

また、制御回路チップ104のチップの上面に設けられる第4の電極104dは、ベース電極101の台座102に、ワイヤ115を用いてワイヤボンディングで電氣的に接続される。

[0032] 以上のワイヤ115による接続により、MOSFETチップ103と制御回路チップ104との電氣的接続、および、制御回路チップ104とコンデンサ105との電氣的接続が行える。また、制御回路チップ104およびコ

ンデンサ１０５とベース電極１０１との電氣的接続が行える。

上述した構成により、正座の整流素子Ｓ１を実現できる。

[0033] <整流素子Ｓ１の回路構成>

続いて、整流素子Ｓ１の回路構成を説明する。

図４に、第１実施形態に係る同期整流ＭＯＳＦＥＴの整流素子の回路図を示す。

図４に示す回路では、Ｌ端子がベース電極１０１であり、Ｈ端子がリード電極１０７である。そして、図１～図３を用いて説明したＭＯＳＦＥＴチップ１０３、制御回路チップ１０４、コンデンサ１０５が、前記したように、電氣的に接続され配線される。

[0034] ＭＯＳＦＥＴチップ１０３は、ＭＯＳＦＥＴと並列にダイオード１０３ｉを内蔵する。制御回路チップ１０４は、Ｌ端子の電圧とＨ端子の電圧とを比較するコンパレータ１１６、ゲート電極１０３ｇに電圧を付与するゲートドライバ１１７、逆流防止用のダイオード１１８を有して構成される。

[0035] コンパレータ１１６の一方の第１の入力端子１１６ｉ１はＨ端子（リード電極１０７）に、コンパレータ１１６の他方の第２の入力端子１１６ｉ２はＬ端子（ベース電極１０１）に接続され、コンパレータ１１６の出力端子１１６ｏはゲートドライバ１１７の入力端子１１７ｉに、ゲートドライバ１１７の出力端子１１７ｏはＭＯＳＦＥＴチップ１０３のゲート電極１０３ｇに接続される。

[0036] また、コンデンサ１０５の高電圧側端子１１０はコンパレータ１１６の電源端子１１６ｖとゲートドライバ１１７の電源端子１１７ｖに接続され、コンデンサ１０５の低電圧側端子１１１はＬ端子に接続される。更に、コンデンサ１０５とＨ端子との間にコンデンサ１０５の電荷の逆流防止用のダイオード１１８が接続される。

[0037] <整流素子Ｓ１の回路の動作>

図４に示す整流素子Ｓ１の回路は次のように動作する。

Ｈ端子（リード電極１０７）の電圧がＬ端子（ベース電極１０１）の電圧より

低くなると、コンパレータ116は高電圧(もしくは低電圧)の信号をゲートドライバ117に出力する。高電圧(もしくは低電圧)の信号が入力されたゲートドライバ117は、MOSFETチップ103のゲート電極103gの電圧を上げてMOSFETチップ103をオン状態にする。

[0038] 逆に、H端子(リード電極107)の電圧がL端子(ベース電極101)の電圧より高くなると、コンパレータ116は低電圧(もしくは高電圧)の信号をゲートドライバ117に出力する。低電圧(もしくは高電圧)の信号が入力されたゲートドライバ117は、MOSFETチップ103のゲート電極103gの電圧を下げてMOSFETチップ103をオフ状態にする。

[0039] すなわち、コンパレータ116がH端子(リード電極107)とL端子(ベース電極101)の電圧の大小関係を比較し、ゲートドライバ117によりMOSFETチップ103をオン／オフする。コンデンサ105は、蓄えられる電荷によりコンパレータ116とゲートドライバ117とにそれぞれ電源端子116v、117vを介して電源電圧を供給する。

[0040] なお、図4に示す回路は、本発明の整流素子S1を実現する制御回路の一例であり、これに限らない。コンパレータ116の代わりに、入力信号の差を検出して増幅する差動増幅器を用いてもよいし、MOSFETチップ103に流れる電流の向きで、オン／オフを制御してもよい。

また、図4に示すコンデンサ105に代えて、外部から電源を供給することとしてもよい。

[0041] <整流素子S1の特徴とその効果>

次に、図1～図4を用いて説明した第1実施形態に係る同期整流MOSFETの整流素子S1の特徴とその効果を説明する。

図5に、オルタネータの放熱板に固定した圧入型の第1実施形態の同期整流MOSFETの整流素子の側面図を示す。

[0042] MOSFETチップ103を用いる整流素子S1は、図5に示すように、ベース電極101をオルタネータOt(図22参照)の放熱板119の取り付け孔119hに圧入、もしくは、半田付けにより、放熱板119に固定され

る。

圧入で固定する場合、図5に示すように、ベース電極101の外周部101sに、上面視で凹凸状の(径方向に凹凸が設けられる)ローレット101rが形成される。

[0043] 一方、半田付けで固定する場合、ベース電極101の外周部101sには、ローレット101rを形成する必要がない。そして、オルタネータの放熱板119に形成する取り付け孔119h内に半田シートを敷く。そして、整流素子S1のベース電極101を放熱板119の取り付け孔119h内に嵌入し、整流素子S1のベース電極101を取り付け孔119h内の半田シートに圧接し、半田炉で半田シートを溶融して、整流素子S1のベース電極101を、半田を介して、放熱板119の取り付け孔119h内に固定する。

[0044] 固定作業の際、整流素子S1は、円形の外周部101sを有するベース電極101にMOSFETチップ103が実装されることにより、整流素子S1のベース電極101の円形の外周部101sの中心(中心軸O)をオルタネータの放熱板119の孔119hの中心に合わせることで、整流素子S1パッケージの回転軸(図1のベース電極101の円形の外周部101sの中心軸O)周り方向の位置を合わせることなく、MOSFETチップ103を用いる整流素子S1を、オルタネータOtの放熱板119の取り付け孔119h内に容易に固定することができる。

[0045] つまり、整流素子S1のベース電極101は、放熱板119に設けたベース電極101の外周部101sの直径よりも小さい円形の取り付け孔119hに圧入され固定される。このような圧入型の整流素子S1の場合、円形の外周部101sを有するベース電極101によって、ベース電極101の外周部101sの中心(中心軸O)を孔119hの中心に合わせることで、回転軸(中心軸O)周り方向の位置合わせが不要である。すなわち、ベース電極101の外周部101sと放熱板119に設けた取り付け孔119hとの厳密な位置合わせが不要であり、整流素子S1の放熱板119への固定が簡単になる。

- [0046] オルタネータ１０１の放熱板１１９には、多数個のＭＯＳＦＥＴチップ１０３の整流素子Ｓ１を取り付ける必要があるため、ＭＯＳＦＥＴチップ１０３の整流素子Ｓ１をオルタネータ１０１に容易に固定できることにより、オルタネータ１０１の製造工程を簡素化し、低コスト化を図れる。
- [0047] ベース電極１０１の台座１０２は、図１に示す実施例では円形とした。台座１０２の形状は、円形ではなく、図６に示すような方形にしてもよい。なお、図６は、第１実施形態に係るＭＯＳＦＥＴを用いた整流素子の別の実施形態の上面図である。
- [0048] 台座１０２を上面視で円形とした場合、台座面の端部を均一化でき、熱疲労試験で測定される耐熱疲労性、温度サイクル試験で測定される耐温度特性の信頼性を向上することができる。
- [0049] 一方、台座１０２を上面視で方形とした場合、矩形のＭＯＳＦＥＴチップ１０３、コンデンサ１０５、および制御回路チップ１０４の形状に沿う形となり、面積効率よく台座上に電子部品（１０３、１０４、１０５）を搭載することができる。そのため、台座１０２が上面視で円形の場合よりも、より大きい形状のＭＯＳＦＥＴチップ１０３やコンデンサ１０５を搭載することが可能となる。
- [0050] また、上面視で方形の台座１０２の四辺に曲率を設けることで形状の変化がなだらかになり、熱疲労試験で測定される耐熱疲労性、温度サイクル試験で測定される耐温度特性の信頼性の悪化を抑制することが可能である。
- [0051] ＭＯＳＦＥＴチップ１０３は、上面視で正方形よりも長方形が望ましく、長方形の長辺に隣接する位置に、コンデンサ１０５と制御回路チップ１０４を配置する。こうすることで、面積効率よく電子部品（１０３、１０４、１０５）を台座１０２に搭載することができ、より大きい寸法のＭＯＳＦＥＴチップ１０３やコンデンサ１０５を使うことが可能になる。
- [0052] ＭＯＳＦＥＴチップ１０３は、上面視でベース電極１０１および台座１０２の中心軸Ｏ（回転軸）上に位置するようにし、ＭＯＳＦＥＴチップ１０３の上面に接続するリード電極１０７（図２参照）の端子位置もベース電極１０１

および台座１０２の中心軸Ｏ上に配置する。こうすることで、従来のダイオードを用いた整流素子を使うオルタネータにそのまま本発明の同期整流ＭＯＳＦＥＴを用いた整流素子Ｓ１を使用して、リード電極１０７を接続できる。

[0053] 加えて、リード電極１０７の端子を上面視で整流素子Ｓ１のパッケージの中心軸Ｏ上に配置することで、該パッケージにおけるリード電極１０７の対称性が図れ、リード電極１０７に印加される曲げ力に対する耐性(剛性)を向上させることができる。

さらに、リード電極１０７の端子を上面視で整流素子Ｓ１のパッケージの中心軸Ｏ上に配置することで、ＭＯＳＦＥＴチップ１０の上面視で回転軸(中心軸Ｏ)周りの位置合わせが不要である。つまり、整流素子Ｓ１のパッケージの芯だしを行うことで、整流素子Ｓ１の位置決めを行うことができる。

[0054] ＭＯＳＦＥＴチップ１０３のソース電極１０３ｓもしくはドレイン電極１０３ｄの電氣的な接続は、ワイヤではなく、前記したように、両電極１０３ｓ、１０３ｄ面に半田１０９を用いて、それぞれリード電極１０７(の延在面)、ベース電極１０１(の延在面)を接続する。こうすることで、整流時にＭＯＳＦＥＴチップ１０３で発生した熱を、半田１０９を介して、広い伝熱面積をもってベース電極１０１とリード電極１０７との両方に逃がすことが可能であり、ＭＯＳＦＥＴチップ１０３の温度上昇を抑えることができる。

[0055] ＭＯＳＦＥＴチップ１０３は、ゲート酸化膜を有するため、ダイオードと比べ高温での信頼性の確保がより難しい。更に、ＭＯＳＦＥＴチップ１０３は、高温ほどキャリアの移動度が小さくなる特性をもつためにオン電圧が大きくなり、ダイオードとは逆に損失が大きくなる。よって、ＭＯＳＦＥＴチップ１０３では、特に放熱が重要であり、ＭＯＳＦＥＴチップ１０３の上下両面(ソース電極１０３ｓ、ドレイン電極１０３ｄ)からの良好な放熱が、省電力化に有効である。

[0056] 図１に示すように、ＭＯＳＦＥＴチップ１０３のゲート電極１０３ｇの位置は、ＭＯＳＦＥＴチップ１０３の上面の制御回路チップ１０４の第１の電

極104aに最も近い角部もしくは辺に配置する。こうすることで、MOSFETチップ103と制御回路チップ104の第1の電極104aを電氣的に接続するワイヤ115の長さを短くでき、配線の熱疲労試験での熱疲労もしくは温度サイクル試験での温度劣化に対する信頼性を向上することができる。

[0057] コンデンサ105は、ベース電極101の台座102の上に搭載した絶縁基板106の上に実装して、ベース電極101に固定する。そして、長方形のコンデンサ105の長辺と長方形のMOSFETチップ103の長辺が平行になるようにコンデンサ105を配置する。

[0058] コンデンサ105を配置する向きは、コンデンサ105の高電圧側端子110が制御回路チップ104に近くに配置し、コンデンサ105の低電圧側端子111が制御回路チップ104に遠くなるように配置する。こうすることで、電子部品実装の面積効率を高くすることができる。また、配線の長さを短くすることで配線の熱疲労試験での熱疲労もしくは温度サイクル試験での温度劣化に対する信頼性を向上することができる。

[0059] 絶縁基板106の絶縁材料としては、絶縁樹脂、アルミナ、窒化アルミニウム等を用いる。これらの絶縁材料の熱伝導率は、ベース電極101の材料であるCuの熱伝導率 $400\text{ W m}^{-1}\text{ K}^{-1}$ よりも小さく、絶縁樹脂で $0.3\sim 3\text{ W m}^{-1}\text{ K}^{-1}$ 、アルミナは $20\sim 30\text{ W m}^{-1}\text{ K}^{-1}$ 、窒化アルミニウム $200\text{ W m}^{-1}\text{ K}^{-1}$ 程度である。

[0060] ベース電極101よりも低い熱伝導率の絶縁基板106をベース電極101とコンデンサ105との間に入れることで、整流時にMOSFETチップ103で発生する熱がコンデンサ105に伝わるのを抑制でき、コンデンサ105が高温になることによる信頼性の低下を抑制することができる。

[0061] 図1～図3に示す実施例では、コンデンサ105の高電圧側端子110と低電圧側端子111の両方の下に一つの熱伝導率が低い絶縁基板106を置いている。こうすることで、コンデンサ105への熱伝導性を低めてMOSFETチップ103の発熱のコンデンサ105への熱伝達を十分に抑制でき

るとともに、高電圧側端子１１０と低電圧側端子１１１の高さ合わせが容易になる。

[0062] <変形形態１の整流素子Ｓ１１>

図７は、第１実施形態に係るＭＯＳＦＥＴを用いた整流素子の別の実施形態(変形形態１)の上面図である。なお、図７では、ＭＯＳＦＥＴチップ１０３の上に載せられるリード電極１０７、樹脂１０８等を省略して示している。

[0063] これに対し、図７の上面図、図７のIII－III断面図の図８に示すように、コンデンサ１０５の高電圧側端子１１０の下にだけ絶縁基板１０６を配置し、コンデンサ１０５の低電圧側端子１１１の下には、金属板１２０等を配置し、ベース電極１０１とコンデンサ１０５の低電圧側端子１１１とを電氣的に接続してもよい。こうすることで、ベース電極１０１とコンデンサ１０５の低電圧側端子１１１との接続に必要な面積を小さくできる。

[0064] 図９、図１０は、第１実施形態に係るＭＯＳＦＥＴを用いた整流素子のさらに別の実施形態の図８のＷ部拡大相当図である。

なお、金属板１２０を用いることなく、図９に示すように、半田１０９でコンデンサ１０５の低電圧側端子１１１を支持する構成としてもよいし、或いは、図１０に示すように、金属板１２０に代えてベース電極１０１の台座１０２に凸部１０２ｔを設け、該凸部１０２ｔでコンデンサ１０５の低電圧側端子１１１を、半田１０９を介して支持する構成としてもよい。

図９、図１０の構成により、部品点数が削減され、低コスト化が可能である。

[0065] 樹脂１０８は、台座１０２及び台座１０２上の電子部品(１０３、１０４、１０５)および電極(１０３ｇ、１０３ｓ、１０４ａ～１０４ｄ等)を覆うように、トランスファモールドもしくはポッディングにより形成する。樹脂１０８が、台座１０２、電子部品(１０３、１０４、１０５)、電極(１０３ｇ、１０３ｓ、１０４ａ～１０４ｄ等)の昇温による膨張を抑制し、台座１０２もしくは台座１０２上の電子部品(１０３、１０４、１０５)の熱膨張率の差によ

って生じる熱疲労試験での熱疲労もしくは温度サイクル試験での温度劣化による不良を抑制することができる。

[0066] 更に、樹脂108がベース電極101から剥離する不良を防止するために、図8に示すように、ベース電極101の台座102の脇に溝101mを形成し、溝101mは下部から台座102の面に近づくに従って上面視で大きくなる形状にするとよい。これにより、樹脂108がベース電極101の溝101m内に浸入してベース電極101に固定され、樹脂108がベース電極101から剥離することを抑制できる。

[0067] 樹脂108は、MOSFETチップ103、制御回路チップ104との密着性がよくない、換言すれば剥離し易いので、樹脂108よりも半導体チップ(103、104)との密着性が高いJCR(Junction Coating Resin)と称されるコーティング材(第2の樹脂)を、樹脂108を形成する前に、MOSFETチップ103と制御回路チップ104の側壁に塗布し、JCRの薄膜を形成する。

JCRをコンデンサ105、絶縁基板106、リード電極107に塗布することで、これら(105、106、107)と樹脂108との密着性も上げることができる。

[0068] これにより、MOSFETチップ103および制御回路チップ104と樹脂108との密着性が高まり、熱疲労試験もしくは温度サイクル試験の最中に生じる半田クラック、チップクラック等の不良の発生を抑止し、整流素子S1の信頼性を高めることができる。

なお、溝101mまたは／およびJCRは、実施形態の整流素子S1、後記の整流素子S12、S2に適用してもよい。

[0069] <変形形態2の整流素子S12>

次に、変形形態2の整流素子S12について説明する。

図11と図12に、別の実施形態(変形形態2)のツェナーダイオードのチップを搭載した整流素子の上面図と図11のIV-IV断面図を示す。

整流素子S12にサージ吸収の機能を持たせるために、整流素子S12に

ツェナーダイオードを搭載してもよい。

- [0070] 変形形態2の整流素子S12では、台座102上にMOSFETチップ103と隣接する位置にツェナーダイオードのチップ121を配置する。そして、図12に示すように、MOSFETチップ103と同様、ツェナーダイオードのチップ121の下面のカソード電極121cをベース電極101に、ツェナーダイオードのチップ121の上面のアノード電極121aをリード電極107に、半田109を用いて電氣的に接続する。
- [0071] これにより、ツェナーダイオードのチップ121の下面のカソード電極121cの延在面と上面のアノード電極121aの延在面とが、それぞれ半田109を介して、広い伝熱面積をもって、ベース電極101の台座102の延在面とリード電極107の下面(延在面)とに接続(連結)され、ツェナーダイオードのチップ121の熱を良好にベース電極101とリード電極107とに逃がすことができる。
- [0072] ツェナーダイオードのチップ121の上面視での面積は、サージ吸収時にチップ温度が上昇してチップ121上下の半田109に不良が生じることがない範囲で大きくする。ツェナーダイオードのチップ121の上下を、半田109で、それぞれリード電極107、ベース電極101に接続することで、サージ吸収時にツェナーダイオードのチップ121で発生した熱を、リード電極107およびベース電極101に逃がすことができる。これにより、ツェナーダイオードのチップ121の温度上昇を抑えることができ、ツェナーダイオードのチップ121の信頼性が高まる。
- [0073] ツェナーダイオードのチップ121は、MOSFETチップ103の中に搭載してもよい。ツェナーダイオードのチップ121をMOSFETチップ103の内部に搭載することで、別チップとした場合と比べ、サージ吸収時に発生した熱をMOSFETチップ103内に逃すことができ、チップ121の温度上昇を抑えることができる。
- [0074] そのため、上面視でより小さいツェナーダイオードのチップ121の面積で同等のサージ吸収の機能を持たせることができる。すなわち、MOSFET

T103とツェナーダイオード121の上面視での合計チップ面積を小さくすることができ、両チップ121、103の実装の面積効率をよくすることができる。

[0075] 一方、図11に示すように、ツェナーダイオードのチップ121をMOSFETチップ103と別チップとした場合、高価なMOSFETチップ103の面積を小さくできるので、両チップ121、103を同一のチップに搭載した場合と比べ、安価にサージ吸収機能を持たせることができる。

[0076] 図1～図3の実施例では、MOSFETチップ103のドレイン電極103dとベース電極101およびMOSFETチップ103のソース電極103sとリード電極107とは半田109で接続されているが、圧接方式で接続してもよい。圧接方式では、MOSFETチップ103を間に置いた状態でベース電極101とリード電極107間に数kN/cm²程度の力を加え、半田を使わずに、MOSFETチップ103のドレイン電極103dとベース電極101およびMOSFETチップ103のソース電極103sとベース電極107とが、電氣的、熱的に接続される。

[0077] 前記したように、“熱的に”とは、MOSFETチップ103のドレイン電極103dの延在面とベース電極101の延在面、および、MOSFETチップ103のソース電極103sの延在面とベース電極107の延在面とが、それぞれ圧接して接触して広い伝熱面積をもって接続されるので、MOSFETチップ103で発生する熱が良好に、ベース電極101とリード電極107とに逃げることを意味する。

[0078] 以上、本発明の第1実施形態に係る同期整流MOSFETの整流素子S1(S11、S12)の特徴とその効果を説明したが、説明した特徴のすべてを有していなくても構わない。一部の特徴を有していれば、その効果を得ることができる。

[0079] <整流素子S1の組み立て法>

次に、本発明の第1実施形態に係る同期整流MOSFETの整流素子S1を組み立てる方法を説明する。

組み立てには、まず、整流素子 S 1 を構成する部品を定められた位置に固定するためのカーボン治具を用いる。カーボン治具の台座 1 0 2 の固定位置にベース電極 1 0 1 を入れ、その上にカーボン治具の蓋をする。

[0080] 蓋には他の部品を入れる穴が開いており、M O S F E T を入れる穴には、半田シート(1 0 9)、M O S F E T チップ 1 0 3、半田シート(1 0 9)、リード電極 1 0 7 の順に重ねて入れる。また、制御回路チップ 1 0 4 を入れる穴に、半田シート(1 0 9)、制御回路チップ 1 0 4 の順に重ねて入れ、また、コンデンサ 1 0 5 を入れる穴に、半田シート(1 0 9)、絶縁基板 1 0 6、半田シート(1 0 9)、コンデンサ 1 0 5 の順に重ねて入れる。

[0081] 続いて、半田炉で部品を入れたカーボン治具をベークし、M O S F E T チップ 1 0 3、リード電極 1 0 7、制御回路チップ 1 0 4、絶縁基板 1 0 6、コンデンサ 1 0 5 をベース電極 1 0 1 の台座 1 0 2 の上に、半田 1 0 9 により固定する。

[0082] 続いて、カーボン治具から取り出した整流素子 S 1 を構成する組み立て品を、ワイヤボンディング装置を用いて、制御回路チップ 1 0 4 と M O S F E T チップ 1 0 3、制御回路チップ 1 0 4 と台座 1 0 2、制御回路チップ 1 0 4 と絶縁基板 1 0 6、絶縁基板 1 0 6 と台座 1 0 2 の上の電極間を、ワイヤ 1 1 5 を用いて接続する。

[0083] その後、M O S F E T チップ 1 0 3、制御回路チップ 1 0 4 の側壁に J C R を塗り、ベース上に台座 1 0 2 と台座上の部品(1 0 3、1 0 4、1 0 5)をトランスファモールド方式もしくはポッディング方式で樹脂 1 0 8 により覆う。

[0084] その後、キュア炉で樹脂 1 0 8 の硬化を行い、整流素子 S 1 の組み立てが完成する。

なお、M O S F E T チップ 1 0 3 とリード電極 1 0 7、絶縁基板 1 0 6 とコンデンサ 1 0 5 との間の半田付けの工程を、1 回目の半田付けの工程では行わず、ワイヤボンディング工程を行った後に行ってもよい。

[0085] チップの上面と下面の 2 つの電極のみを持つダイオードとは異なり、図 1

に示すように、MOSFETチップ103はチップ上面のソース電極103sとチップ下面のドレイン電極103dに加えチップ上面にゲート電極103gも持つ。このため、円形の外周部101sを有するパッケージにMOSFETチップ103を実装する場合、ゲート電極103gの配線を形成する工程における回転軸(図1の外周部101sの中心軸O)周り方向の位置合わせが課題となる。

[0086] 図13、図14は、第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の上面図である。

ゲート電極103gの配線を形成する工程において、回転軸(図13、図14の外周部101sの中心軸O)周り方向の位置合わせをする方法として、ベース電極101の外周部101sの円形状の一部に、図13の上面図に示すようなノッチ122もしくは図14の上面図に示すようなオリエンテーションフラット (Orientation Flat) 123 (以下、オリフラ123と称す)を設ける。

[0087] オルタネータOt (図22参照)に圧入して固定する整流素子S1の場合には、図5に示すベース電極101の外周部101sの側壁にローレット101rと称される山と溝が上下方向に走る凹凸(径方向(外周外方)に向いた方向に凹凸が形成される)を設けるが、回転軸(図13、図14の外周部101sの中心軸O)周り方向の位置合わせ用のノッチ122もしくはオリフラ123は、ローレット101r(図5参照)の溝より大きくする。なお、図13、図14では、ローレット101rを省略して示している。

[0088] 組み立てに用いるカーボン治具に形成するベース電極101を固定する穴の形状は、ノッチ122もしくはオリフラ123を有するベース電極101の形状に合わせ、ある回転軸周り方向の位置でのみベース電極101が穴に入るようにする。

[0089] 更に、ワイヤボンディングの装置では、ノッチ122もしくはオリフラ123の方向に合わせて、ベース電極101を固定できるようにする。こうすることで、MOSFETの整流素子S1においても、整流素子S1内の電子

部品(103, 104, 105等)の配置が明らかにできるので、半田付けに際して回転軸周りの位置合わせが不用で、ベース電極101の外周部101sを円形のパッケージに容易に組み立てることが可能となる。

[0090] 図15は、第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のI-I断面相当図である。

さらに、回転軸(図15の外周部101sの中心軸O)周り方向の位置合わせをする別の方法として、ベース電極101の底部に図15に示すような凹部124を設ける。

[0091] 凹部124は、ベース電極101を下から見て(図15の下側からベース電極101を見て)外周部101sの円の中心Oに対称でなければ、凹部124の下面視での平面上の形状は円でも正方形でも長方形でもよいし、凹部124の深さ方向の形状は柱状でも球状でもよいし、凹部124の位置は中心Oにかかってもよいし、中心から離れていてもよい。また、凹部124の数は1個でも複数個でもよい。なお、凹部124の下面視での平面上の形状は、回転軸周り方向の位置合わせが容易であることから、円形が好ましい。

[0092] 組み立てに用いるカーボン治具にベース電極101を固定する固定用孔に、凹部124の形状に合わせた位置合わせの突起を設け、既定の回転軸(図15の外周部101sの中心軸O)周り方向の位置でしかベース電極101が固定用孔に入らないようにする。

[0093] 更に、ワイヤボンディングの装置のセット用の穴においても、ベース電極101の固定部に凹部124の形状に合わせた固定用突起を設け、既定の回転軸周り方向の位置でしかベース電極101が、セット用の穴に入らないようにする。こうすることで、MOSFETを用いる整流素子S1においても、外周部101sが円形のパッケージに容易に組み立てることが可能となる。

[0094] 回転軸(図15の外周部101sの中心軸O)周り方向の位置合わせをする更に別の方法として、回転軸周り方向の位置合わせをする機構をワイヤボンディング装置に持たせる。

例えば、回転軸周り方向の位置合わせをする機構は、コンデンサ105等の部品の配置を確認するCCD等の視認装置、回転位置を制御するモータと、その減速機構と、減速機構で回動され位置合わせを行う回転部材と、回転位置センサと、これらを制御してワイヤボンディングの位置合わせの制御を行う制御装置とを有している。

[0095] そして、台座102上に半田109で固定したMOSFETチップ103、制御回路チップ104、コンデンサ105等の部品の配置を視認装置で見て、回転軸周り方向の位置合わせを上記機構で行った後に、必要なワイヤボンディングを行う。この場合、カーボン治具での位置合わせを不要とするために、1回の半田付け工程でワイヤボンディング以外の電氣的な接続を行うようにする。

[0096] 図16は、第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のII-II断面相当図である。

回転軸(図16の外周部101sの中心軸O)周り方向の位置合わせをする更に別の方法として、図16に示すように、ワイヤボンディングで形成するワイヤの代わりに、接続が可能な形状に形成される銅板もしくは銅線125を半田ボールもしくは半田バンプ126で固定して接続する。

[0097] 例えば、図1において、ワイヤ115で接続していた配線は、図16に図示していないものも含め、全て接続が可能な形状に形成される銅板もしくは銅線125にて半田ボールもしくは半田バンプ126で接続することとする。そして、銅板もしくは銅線125の半田付けの工程は、MOSFET103、リード電極107、制御回路チップ104、絶縁基板106、コンデンサ105を接続する半田付けの工程と同時に行う。

[0098] すなわち、1回の半田付けの工程で全ての部品の電氣的な接続を行う。1回の工程で全ての電氣的な接続を行うことで、回転軸(図16の外周部101sの中心軸O)周り方向の位置合わせをする必要を無くすることができる。

なお、接続を行う導体として、銅板もしくは銅線125を例示したが、銅以外の導体を用いてもよい。

[0099] 図17は、第1実施形態に係るMOSFETを用いた整流素子の別の実施形態の図1のII-II断面相当図である。

図16では、銅板もしくは銅線125を半田で接続する例を示したが、図17に示すように、バネ機構を有する銅ピンのバネ付ピン146A、146B、148A、148Bを用い、バネ付ピン146A、146B、148A、148Bのバネの弾性力で電氣的に接続してもよい。

[0100] 具体的な構成としては、バネ付きピン146Aとバネ付きピン146Bとが、銅バー147aで固定されている。

バネ付きピン146Aは、下部に端子146a1、中央にバネ146b1、上部に固定部146c1を有している。また、バネ付きピン146Bは、下部に端子146a2、中央にバネ146b2、上部に固定部146c2を有している。

[0101] そして、バネ146b1、146b2の弾性力でそれぞれ端子146a1、146a2を絶縁基板106の電極113とベース電極101の台座102とに押し、半田なしで、絶縁基板106の電極113とベース電極101の台座102とが電氣的に接続される。

バネ付きピン148Aとバネ付きピン148Bとが、銅バー147bで固定されている。

[0102] バネ付きピン148Aは、下部に端子148a1、中央にバネ148b1、上部に固定部148c1を有している。また、バネ付きピン148Bは、下部に端子148a2、中央にバネ148b2、上部に固定部148c2を有している。

[0103] そして、バネ148b1、148b2の弾性力でそれぞれ端子148a1、148a2を絶縁基板106の電極112と制御回路チップ104の第2の電極104bとに押し、半田なしで絶縁基板106の電極112と制御回路チップ104の第2の電極104b(図1参照)とが電氣的に接続される。

[0104] なお、銅バー147a、147bは、それぞれ不図示のねじ等を用いて絶

縁基板 106 等に仮固定され、その後、図 17 に示すように樹脂 108 により封止され固定される。

上述した如く、配線にワイヤ 115 に代えて、上述のバネ付きピン 146 A、146 B、148 A、148 B 等を用いることで、配線の接続不良に対する信頼性を向上させることができる。

[0105] <<第 2 実施形態>>

図 18～図 20 を参照して、本発明の第 2 実施形態に係る同期整流 MOSFET の整流素子 S2 の構成について説明する。

図 18 は、第 2 実施形態に係る同期整流 MOSFET の整流素子のパッケージの一部を省略して示す下面図である。(以降の第 2 実施形態の説明では、第 1 実施形態とは逆に、リード電極 107 を下に、ベース電極 101 を上にして上面、下面と呼ぶ。)なお、図 18 では、分かり易いように、ベース電極 101、MOSFET チップ 103 とベース電極 101 とを接続する後記の電極ブロック 127 (図 19 参照)、樹脂 108 は省略して示している。

[0106] 図 19 は、図 18 の V-V 断面図、図 20 は、図 18 の VI-VI 断面図である。

図 21 は、第 1・第 2 実施形態に係る自律型の同期整流 MOSFET の整流素子 S1、S2 を用いたオルタネータ Ot の整流回路の回路図である。

[0107] 図 1～図 3 を参照して説明した第 1 実施形態に係る同期整流 MOSFET の整流素子 S1 は、正座と呼ばれるオルタネータ Ot の整流回路の上アーム(図 21 参照)に用いられる整流素子であり、図 2 に示すように、MOSFET チップ 103 のドレイン電極 103 d はベース電極 101 に接続され、MOSFET チップ 103 のソース電極 103 s はリード電極 107 に接続されている。

[0108] これに対し、図 18～図 20 を参照して説明する本発明の第 2 実施形態に係る同期整流 MOSFET の整流素子 S2 は、逆座と呼ばれるオルタネータ Ot の整流回路の下アーム(図 21 参照)に用いられる整流素子であり、図 19 に示すように、MOSFET チップ 103 のドレイン電極 103 d はリー

ド電極 107 に接続され、MOSFET チップ 103 のソース電極 103s は電極ブロック 127 を介してベース電極 101 に接続されている。

これにより、逆座の整流素子 S2 を実現できる。

[0109] 整流素子 S2 の構成要素は、図 1 に示す第 1 実施形態に係る同期整流 MOSFET の整流素子 S1 と基本的に同じである。

図 18～図 20 に示すように、第 2 実施形態に係る同期整流 MOSFET の整流素子 S2 は、四角形の外周部 107s を有するリード電極 107 (図 18 参照)、リード電極 107 に設けられる電子部品を載せる台座 107d、台座 107d 上に載せられた MOSFET チップ 103 と制御回路チップ 104 とコンデンサ 105、コンデンサ 105 の下に敷かれた電極 112、113 を有する絶縁基板 106、MOSFET チップ 103 の上に載せられた電極ブロック 127 (図 19 参照) とベース電極 101、ベース電極 101 に設けられる台座 102 と電子部品 (103、104、105) を覆う樹脂 108 とを有する。

[0110] 逆座の整流素子 S2 の MOSFET チップ 103、制御回路チップ 104、コンデンサ 105、絶縁基板 106 は、第 1 実施形態で示す正座の整流素子 S1 (図 1～図 3 参照) と同じものを用いる。このように、正座の整流素子 S1 と逆座の整流素子 S2 で同一の部品を用いることで、部品の量産化により部品コストを低減することができる。

[0111] ベース電極 101 の台座 102 の上面から見た図 18 に示すリード電極 107 の台座 107d の形状は、下面視で四角形としたが、円形にしてもよい。四角形にすることにより、同じく四角形の MOSFET チップ 103、制御回路チップ 104、およびコンデンサ 105 の形状に沿った形状になるので、台座 107d の面積を小さくすることができる。一方、リード電極 107 の台座 107d を、下面視で円形にすることで、応力の集中を回避して台座 107d 端部の応力をより小さくすることができる。

[0112] 第 2 実施形態の図 18～図 20 に示す各部品の接続、配置は、チップ (103～106) をベース電極 101 とリード電極 107 とを入れ換えて接続し、

MOSFETチップ103とベース電極101との間に電極ブロック127を入れている点を除き、図1に示す第1実施形態に係る同期整流MOSFETの整流素子S1と同じである。

[0113] 図19に示すように、MOSFETチップ103の下面のドレイン電極103dは、半田109を用いて、リード電極107の台座107dに電氣的に接続されている。これにより、MOSFETチップ103の下面のドレイン電極103dの延在面とリード電極107の延在面とは、半田109を介して、大きな伝熱面積で接続(連結)される。一方、MOSFETチップ103の上面のソース電極103sは、半田109を用いて、電極ブロック127を介してベース電極101の台座102に電氣的に接続されている。

[0114] これにより、MOSFETチップ103の上面のソース電極103sの延在面とベース電極101の台座102の延在面とは、電極ブロック127を介して大きな伝熱面積で接続(連結)される。

[0115] 電極ブロック127は、ベース電極101とリード電極107の台座107dとの間隔を設けるための部材であり、ベース電極101に一体に電極ブロック127を形成してもよい。或いは、電極ブロック127を用いることなく、MOSFETチップ103のソース電極103sを、半田109を用いて、ベース電極101と直接接続してもよい。

そして、図18に示すように、MOSFETチップ103の上面のゲート電極103gは、ワイヤ115で制御回路チップ104の上面の第1の電極104aに電氣的に接続される。

[0116] 図20に示すように、コンデンサ105は絶縁基板106に半田109により固定され、絶縁基板106はリード電極107の台座107dに半田109により固定される。電氣的には、コンデンサ105の高電圧側端子110は、半田109で絶縁基板106の上面の電極113に接続され、絶縁基板106の上面の電極113は制御回路チップ104の上面に設けられた第2の電極104b(図18参照)にワイヤ115で接続される。

[0117] また、同じく電氣的に、コンデンサ105の低電圧側端子111は半田1

09で絶縁基板106の上面の電極112に接続され、絶縁基板106の上面の電極112はリード電極107の台座107dにワイヤ115により接続される。

[0118] 前記したように、図18に示す如く、逆座の整流素子S2は、制御回路チップ104の上面の電極の1つである第1の電極104aはMOSFETチップ103のゲート電極103gにワイヤ115により電氣的に接続され、制御回路チップ104のチップ上面の別の電極である第2の電極104bはコンデンサ105の高電圧側端子110と接続された絶縁基板106の上面の電極113にワイヤ115により電氣的に接続される。

[0119] 更に、制御回路チップ104の上面の別の電極の第3の電極104cはMOSFETチップ103のソース電極103sに電氣的に接続され、制御回路チップ104のチップ上面の別の第4の電極104dはリード電極107の台座107dに、ワイヤ115により電氣的に接続されている。

[0120] 第2実施形態に係る同期整流MOSFETの整流素子S2の回路構成および回路動作は、図4を用いて説明した第1実施形態に係る同期整流MOSFETの整流素子S2の回路構成および回路動作と同じである。第1実施形態の正座の整流素子S1と同じ部品、同じ回路を第2実施形態の逆座の整流素子S2に用いることで、設計コスト、開発コストを低減できるとともに、同一のテストを実施してテストコストも低減することができる。また、同じ部品、同じ回路の量産化によるコスト低減も図れる。

[0121] 第2実施形態に係る同期整流MOSFETの整流素子S2の特徴と効果に関して、前記した第1実施形態に係る同期整流MOSFETの整流素子S1と同じ特徴を持たせ、同じ効果を得ることができる。

[0122] 第2実施形態に係る同期整流MOSFETの整流素子S2を組み立てる方法は、基本的には、第1実施形態に係る同期整流MOSFETの整流素子S1と同じである。異なる点として、ベース電極101の台座102ではなく、図19、図20に示すように、リード電極107の台座107dの上に電子部品(103、104、105)を載せて接続する。

[0123] そして、MOSFETチップ103とベース電極101の間に、電極とスペーサを兼ねる電極ブロック127を設ける。更に、リード電極107の台座107dは下面視で円形にする必要がないので、必ずしも第1実施形態に係る同期整流MOSFETの整流素子S1で行うような組み立て時に回転軸方向の位置合わせをする方法を取り入れなくてもよい。例えば、リード電極107の台座107dを、図18に示す下面視で方形とした場合にはその辺を用いて電子部品(103、104、105)の位置出しが行える。

[0124] これに対して、リード電極107の台座107dを下面視で円形とする場合、台座107d上の配置を特定し難いので、第1実施形態に係る同期整流MOSFETの整流素子S1の場合と同様の図13、14、15に示すような回転軸(中心軸O)周り方向の位置合わせをする方法を適用する必要がある。

なお、第2実施形態の整流素子S2に、第1実施形態で説明した整流素子S1、S11、S12の様々な構成を適宜選択して組み合わせて構成してもよい。

[0125] <オルタネータOtの整流回路の構成>

図21を参照して、本発明の自律型の同期整流MOSFETの整流素子S1、S2を用いたオルタネータOt(図22参照)の整流回路の構成について説明する。図22に、同期整流MOSFETの整流素子を用いたオルタネータの要部断面図を示す。

[0126] オルタネータOtは、整流子6個で6相整流とする3相全波整流の回路を構成している。図22に示す回転子のコイル128、固定子の△結線された3本のコイル129が発電部を構成し、固定子のコイル129が結線された点から、図21に示すU相、V相、W相の midpoint 配線が引き出されている。固定子のコイル129の結線は、△状の△結線の代わりにU相、V相、W相の配線(コイル129)がY字状を成すY結線としても構わない。

[0127] U相、V相、W相の midpoint 配線のハイサイドに、第1実施形態に係る同期整流MOSFETの正座の整流素子S1が、ロウサイドに第2実施形態に係る

同期整流MOSFETの逆座の整流素子S2が接続される。更に、ハイサイドの同期整流MOSFETの整流素子S1には、バッテリー132の高電圧側端子132hが接続され、ロウサイドの同期整流MOSFETの整流素子S2には、バッテリー132の低電圧側端子132lが接続される。

[0128] 同期整流MOSFETの整流素子S1、S2の回路構成は、図4に示す回路構成であり、MOSFETチップ103と制御回路チップ104とコンデンサ105で構成される。ハイサイドの整流素子S1とロウサイドの整流素子S2は、同じMOSFETチップ103と制御回路チップ104とコンデンサ105を用いる。

[0129] ロウサイドの整流素子S2は、オルタネータOtの本体に近く外部からの制御回路チップ104への電源供給が容易なので、ロウサイドの整流素子S2のみ、コンデンサ105を用いず、外部からの電源供給とすることも可能である。コンデンサを使用しない分、整流素子S2のコストを低減することができる。

[0130] 同期整流MOSFETの整流素子S1、S2は、端子数を2個とすることで、図21に示すように、従来のダイオードの整流素子を用いたオルタネータと同じ整流回路の構成とすることができる。

[0131] <オルタネータOtの整流回路の動作>

図21に示す本発明の同期整流MOSFETの整流素子S1、S2を用いたオルタネータOtの整流回路の動作を説明する。

[0132] 図22に示すオルタネータOtでの発電は、固定子のコイル128の中を回転子のコイル129が回転することで行われる。このとき、U相、V相、W相の各相のコイルには交流電力が発生する。その交流電力によってU相の midpoint配線の電圧Vuが周期的に上下する。

[0133] U相の midpoint配線の電圧Vuが上昇し、ハイサイドの整流素子S1が整流動作する場合をしてみる。U相の midpoint配線の電圧Vuが上昇し、U相の midpoint配線の電圧Vu、すなわち、ハイサイドのMOSFETチップ103のソース端子103sの電圧が、バッテリー132の高電圧側端子132hの電圧VB

に達すると、図4に示すMOSFETチップ103のドレイン端子103dに接続されたコンパレータ116の第一の入力端子116i1の電圧より、コンパレータ116の第二の入力端子116i2の電圧の方が大きくなり、コンパレータ116の出力端子116oの電圧が低電圧状態から高電圧状態へと上がる。

[0134] それにより、ゲートドライバ117が駆動してMOSFETチップ103のゲート端子103gの電圧を上げて、MOSFETチップ103をオン状態にする。これにより、MOSFETチップ103のソース端子103sからドレイン端子103dに電流が流れ、整流が遂行される。

[0135] 図21に示すU相の midpoint 配線の電圧 V_u が下降して、U相の midpoint 配線の電圧 V_u が、ハイサイドのMOSFETチップ103のドレイン端子103dの電圧の V_B に達すると、コンパレータ116の2つの入力端子(116i1、116i2)における電圧の大小が逆転して、コンパレータ116の出力端子116oの電圧が高電圧状態から低電圧状態へ下がる。それにより、ゲートドライバ117がMOSFETチップ103のゲート端子103gの電圧を下げて、MOSFETチップ103をオフ状態、つまりソース端子103sとドレイン端子103dとの電氣的接続を切断する。

[0136] ロウサイドの整流素子S2の整流動作も、上述のハイサイドの整流素子S1の動作と同様であり、U相の midpoint 配線の電圧 V_u が更に下降してバッテリーの低電圧側端子の電圧に達すると、MOSFETチップ103をオン状態になり、U相の midpoint 配線の電圧 V_u が再び上昇してバッテリーの低電圧側端子の電圧に達すると、MOSFETチップ103がオフ状態になり、整流を行う。

[0137] 図22および図23を参照して、同期整流MOSFETの整流素子S1、S2を用いたオルタネータOtを説明する。図23に、複数の本実施形態(本発明)の同期整流MOSFETの整流素子を固定した整流装置の平面図を示す。

[0138] 図23に示す本実施形態の同期整流MOSFETの整流素子S1、S2を

固定した整流装置 O_s は、複数の第1実施形態に係る同期整流 MOSFET の正座の整流素子 S_1 と、これら複数の正座の整流素子 S_1 が圧入されて固定(図5参照)される放熱部材の正極側放熱板 $119a$ と、複数の第2実施形態に係る同期整流 MOSFET の逆座の整流素子 S_2 と、これら複数の逆座の整流素子 S_2 が圧入されて固定される放熱部材の負極側放熱板 $119b$ と、正座の整流素子 S_1 と逆座の整流素子 S_2 を電氣的に接続し正極側放熱板 $119a$ と負極側放熱板 $119b$ との間に一定の絶縁距離を保つために設けられる接続端子 133 とを有して構成されている。

[0139] 図22の構成では、正座の整流素子 S_1 のリード電極 107 と逆座の整流素子 S_2 のリード電極 107 とが対向して配置され、接続端子 133 に接続されている。

前記したように、第1実施形態に係る同期整流 MOSFET の整流素子 S_1 、 S_2 が円形の外周部 $101s$ を持つベース電極 101 を有することにより、複数の整流素子 S_1 、 S_2 をそれぞれ放熱板 $119a$ 、 $119b$ に簡易に圧入して固定できる。

[0140] また、ハイサイドのU相、V相、W相の整流素子は、MOSFETチップ 103 のドレイン端子 $103d$ が共通の端子に電氣的に接続されるので、ハイサイドにはドレイン端子 $103d$ が放熱性の高いベース電極 101 に電氣的に接続された正座の整流素子 S_1 を用いる。こうすることで、ハイサイドのU相、V相、W相の整流素子を1つの放熱板 $119a$ に固定でき、より大きな放熱板を使うことでより大きな放熱効果を得ることができる。

一方、ロウサイドのU相、V相、W相の整流素子は、MOSFETチップ 103 のソース端子 $103s$ が共通の端子に電氣的に接続されるので、ロウサイドにはソース端子 $103s$ が放熱性の高いベース電極 101 に電氣的に接続された逆座の整流素子 S_2 を用いる。こうすることで、ロウサイドのU相、V相、W相の整流素子を1つの放熱板 $119b$ に固定でき、より大きな放熱板を使うことでより大きな放熱効果を得ることができる。

更に、ハイサイドのU相、V相、W相の整流素子はMOSFETチップ1

03のソース端子103sと、ロウサイドのU相、V相、W相の整流素子のMOSFETチップ103のドレイン端子103dとは、各相の固定子129の端子と電氣的に接続される。ハイサイドに正座の整流素子S1を用い、ロウサイドに逆座の整流素子S2を用いることで、正座の整流素子S1の細いリード電極107と逆座の整流素子S2の細いリード電極107とが対向して配置され、整流素子のリード電極107と固定子129との電氣的な接続が容易になる。加えて、正極側放熱板119aと負極側放熱板119bとの間の間隔をより小さくでき、オルタネータをより小型にすることができる。

整流素子S1、S2が円形の外周部101sを持つベース電極101とベース電極101の上部にリード電極107を有することで、より汎用性の高い放熱板119a、119bを用いることができる。

[0141] 図22に示す本実施形態の同期整流MOSFETの整流素子S1、S2を用いたオルタネータOtは、フロントフレーム134と、リアフレーム135と、複数の第1・第2実施形態で説明した同期整流MOSFETの整流素子S1、S2が圧入して固定される整流装置Osと、回転子128と、固定子129と、ブラシ137と、ICレギュレータ138と、保護カバー139とによって構成されている。

[0142] これらは、放熱板119a、119bも含め、一般的に使用されるダイオードの整流素子を用いたオルタネータと同じ構成であり、同期整流MOSFETの整流素子S1、S2を用いることで、オルタネータ自体の構造に変更を加える必要がなくなり、以て、より一層の低コスト化と汎用性の向上とを実現することができる。

[0143] 図22に示すオルタネータOtは、ブラシ137、スリップリング140を介し界磁巻線141に励磁電流を受けると各ロータコア142が励磁される。各ロータコア142が励磁された状態で、プーリー143を介して車両のエンジン（図示せず）からの回転駆動力がシャフト144に伝達されて回転子128が回転すると、電磁誘導により、固定子129に交流電力が発生

する。固定子 129 に発生した交流電力は、図 21 に示すように、正座の整流素子 S1 および逆座の整流素子 S2 で整流され、出力端子 145 を介して車両に搭載された電気機器の駆動およびバッテリー 132 用の直流電力として出力される。

[0144] 図 24 に、本実施形態の同期整流 MOSFET の整流素子 S1、S2 を用いたときの順方向の電圧・電流特性（図 24 中、実線で示す）を、従来のダイオードの整流素子を用いたときの特性（図 24 中、破線で示す）と比較する。従来のダイオードは、PN 接合型のダイオードを用いている。電圧・電流特性は室温でのものである。

[0145] ダイオードの電圧・電流特性は、0.7～0.8V まで電圧を印加すると順方向電流が流れ始める。これは、ダイオードが内蔵ポテンシャルを有するためであり、内蔵ポテンシャルに相当する電圧を印加することで、順方向電流を流すことができる。これに対し、第 1・第 2 実施形態（本発明）の同期整流 MOSFET の整流素子 S1、S2 の電圧・電流特性は、0V から電流が流れ始める。これは内蔵ポテンシャルがない MOSFET の特性であり、このために低い電圧で大きな電流を流すことができ、整流動作時の損失を大きく低減することができる。

[0146] 以上、上述の実施形態に構成によれば、ベース電極 101 で形成される整流素子 S1、S2 のパッケージの外形は、上面視で円形をしており、その円形のパッケージをオルタネータ Ot の電極板の放熱板 119a、119b に固定して用いられる。円形のパッケージを用いることで、ベース電極 101 の回転軸（中心軸 O）周り方向の位置を合わせることなしに、芯出しを行って整流素子 S1、S2 をオルタネータ Ot の電極板の放熱板 119a、119b に固定することができる。そのため、オルタネータ Ot の整流装置 Os の組み立てが容易になる。

[0147] これにより、簡便にオルタネータ Ot に固定することができる損失が低い MOSFET を用いた整流素子 S1、S2 を提供することができる。特に、簡便に組み立てることが可能であり、圧入により簡便にオルタネータ Ot に

固定することができる。

容易に整流素子 S 1、S 2 をオルタネータ O t に固定できることにより、オルタネータ O t の組み立て工程の簡素化が可能であり、低コスト化を図れる。

[0148] <<その他の実施形態>>

1. 第 1・第 2 実施形態のベース電極 1 0 1 は、上面視で円形の円筒状の外周部 1 0 1 s を例示したが、上面視で円形の曲率をもつ、例えば球状の外周部 1 0 1 s をもつ構成としてもよい。

2. なお、図 1 5 に示す凹部 1 2 4 に代えて、ベース電極 1 0 1 の外周部 1 0 1 s または底面部に位置決め用凸部を形成し、ベース電極 1 0 1 の外側のセット側に位置決め用凸部が嵌入される凹部を形成し、ベース電極 1 0 1 の位置決め用凸部をセット側の凹部に嵌入し、整流素子 S 1 (S 1 1、S 1 2)、S 2 の位置決めを行うように構成してもよい。

[0149] 3. 前記第 2 実施形態では、整流素子 S 1、S 2 と整流装置 O s をオルタネータ O t に用いる場合を例示したが、他の電力変換装置に用いてもよい。他の電力変換装置に用いた場合も、前述した効果と同様の効果を奏する。

4. なお、本発明は前記した実施例(形態)に限定されるものでなく、様々な実施例が含まれる。例えば、上記した実施例は本発明を分り易く説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。例えば、説明した構成の一部を含むものであってもよい。

また、ある実施例の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることも可能である。例えば、説明した整流素子 S 1、S 1 1、S 1 2、S 2 の種々の構成を適宜選択して組み合わせて構成してもよい。

符号の説明

[0150] 1 0 1 ベース電極(第 1 の外部電極、第 2 の外部電極)

1 0 1 s 外周部

- 1 0 2 台座(第 1 の外部電極の一部)
- 1 0 3 MOSFETチップ
- 1 0 3 d ドレイン電極(第 1 の主端子)
- 1 0 3 g ゲート電極(ゲート)
- 1 0 3 s ソース電極(第 2 の主端子)
- 1 0 4 制御回路チップ(制御回路)
- 1 0 4 a 第 1 の電極(電極)
- 1 0 4 b 第 2 の電極(電極)
- 1 0 4 c 第 3 の電極(電極)
- 1 0 4 d 第 4 の電極(電極)
- 1 0 5 コンデンサ
- 1 0 6 絶縁基板
- 1 0 7 リード電極(第 2 の外部電極、第 1 の外部電極)
- 1 0 7 d 台座
- 1 0 8 樹脂(第 1 の樹脂)
- 1 0 9 半田
- 1 1 2、1 1 3 電極
- 1 1 5 ワイヤ
- 1 2 1 ツェナーダイオード
- 1 2 2 ノッチ(凹部)
- 1 2 3 オリフラ(凹部)
- 1 2 4 凹部
- 1 2 5 銅線もしくは銅板(導体)
- 1 4 6 A、1 4 6 B、1 4 8 A、1 4 8 B バネ付ピン(導体機構)
- 1 4 6 b 1、1 4 6 b 2、1 4 8 b 1、1 4 8 b 2 バネ
- O 中心軸(外周部の中心線)
- O s 整流装置
- O t オルタネータ(電力変換装置)

S 1 正座の整流素子(半導体装置)

S 2 逆座の整流素子(半導体装置)

請求の範囲

- [請求項1] オルタネータに取り付けられる上面視で円形の外周部を有する第1の外部電極と、
- MOSFETチップと、
- 前記MOSFETチップに対して前記第1の外部電極の反対側に配置される第2の外部電極と、
- 前記MOSFETチップのドレイン電極とソース電極の電圧もしくは電流が入力され、当該電圧もしくは電流に基づいて前記MOSFETチップのゲートに供給する制御信号を生成する制御回路とを備え、
- 前記第1の外部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第2の外部電極とは、互いに積み重なるように配置され、
- 前記MOSFETチップの前記ドレイン電極および前記ソース電極の一方と前記第1の外部電極とが電氣的に接続され、
- 前記MOSFETチップの前記ドレイン電極および前記ソース電極の他方と前記第2の外部電極とが電氣的に接続されることを特徴とする半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、
- 前記制御回路に電源を供給するコンデンサを更に備え、
- 前記MOSFETチップと、前記制御回路と、前記コンデンサとは、前記第1の外部電極上に搭載され、
- 前記第1の外部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第2の外部電極とは、下方から上方へ向かってこの順序で積み重なるように配置され、
- 前記MOSFETチップの前記ドレイン電極と前記第1の外部電極とが電氣的に接続され、

前記MOSFETチップの前記ソース電極と前記第2の外部電極とが電氣的に接続される

ことを特徴とする半導体装置。

[請求項3]

請求項2に記載の半導体装置において、

前記第1の外部電極の前記円形の外周部もしくは底面部に、前記円形の外周部の中心線周りの位置決め用の凹部または凸部を有する

ことを特徴とする半導体装置。

[請求項4]

請求項2に記載の半導体装置において、

前記円形の外周部の中心線上に前記MOSFETチップと前記第2の外部電極が配置される

ことを特徴とする半導体装置。

[請求項5]

請求項2に記載の半導体装置において、

前記MOSFETチップの前記ドレイン電極の延在面と前記第1の外部電極の延在面とが、半田を介してまたは圧接されて連結され、かつ、前記MOSFETチップの前記ソース電極の延在面と前記第2の外部電極の延在面とが、半田を介してまたは圧接されて連結される

ことを特徴とする半導体装置。

[請求項6]

請求項2に記載の半導体装置において、

前記MOSFETチップと前記制御回路、および、前記制御回路と前記コンデンサが、ワイヤにより電氣的に接続される

ことを特徴とする半導体装置。

[請求項7]

請求項2に記載の半導体装置において、

前記MOSFETチップと前記制御回路、および、前記制御回路と前記コンデンサは、それぞれ接続が可能に形成された形状の導体またはバネを有する導体機構で電氣的に接続され、

前記導体は半田を介して電極に固定され、前記導体機構は前記バネの弾性力による押圧により電極に固定される

ことを特徴とする半導体装置。

- [請求項8] 請求項2に記載の半導体装置において、
前記M O S F E Tチップの形状は長方形であり、前記長方形の長辺に隣接する位置に前記コンデンサと前記制御回路とが配置されることを特徴とする半導体装置。
- [請求項9] 請求項2に記載の半導体装置において、
前記コンデンサは、絶縁基板を介して、搭載されることを特徴とする半導体装置。
- [請求項10] 請求項2に記載の半導体装置において、
前記半導体装置は、ツェナーダイオードを更に備え、
前記ツェナーダイオードの第1の主端子と前記第1の外部電極が電氣的に接続されるとともに互いの延在面が連結され、
前記ツェナーダイオードの第2の主端子と前記第2の外部電極が電氣的に接続されるとともに互いの延在面が連結されることを特徴とする半導体装置。
- [請求項11] 請求項2に記載の半導体装置において、
前記M O S F E Tチップ内にツェナーダイオードが内蔵されることを特徴とする半導体装置。
- [請求項12] 請求項2に記載の半導体装置において、
前記第1の外部電極は、前記円形の外周部に収まる大きさの台座を有し、
前記第1の外部電極の前記台座上に前記M O S F E Tチップ、前記制御回路、および前記コンデンサが搭載され、
前記第1の外部電極の前記台座、前記M O S F E Tチップ、前記制御回路、および前記コンデンサが第1の樹脂で覆われていることを特徴とする半導体装置。
- [請求項13] 請求項2に記載の半導体装置において、
前記第1の外部電極は、前記円形の外周部に収まる大きさの台座を有し、

前記第1の外部電極の前記台座上に前記MOSFETチップ、前記制御回路、および前記コンデンサが搭載され、

前記第1の外部電極の前記台座、前記MOSFETチップ、前記制御回路、および前記コンデンサが第1の樹脂で覆われ、

前記第1の樹脂内で前記MOSFETチップと前記制御回路の半導体チップの側壁が第2の樹脂で覆われ、

前記第2の樹脂は前記第1の樹脂よりも前記両チップとの密着性が高い

ことを特徴とする半導体装置。

[請求項14]

請求項1に記載の半導体装置において、

前記制御回路に電源を供給するコンデンサを更に備え、

前記第2の外部電極は、前記第1の外部電極の円形の外周部に収まる大きさの台座を有し、

前記MOSFETチップと、前記制御回路と、前記コンデンサとは、前記第2の外部電極の前記台座上に搭載され、

前記第2の外部電極と、前記MOSFETチップの前記ドレイン電極と、前記MOSFETチップの前記ソース電極と、前記第1の外部電極とが、下方から上方へ向かってこの順序で積み重なるように配置され、

前記MOSFETチップの前記ドレイン電極と前記第2の外部電極とが電氣的に接続され、

前記MOSFETチップの前記ソース電極と前記第1の外部電極とが電氣的に接続される

ことを特徴とする半導体装置。

[請求項15]

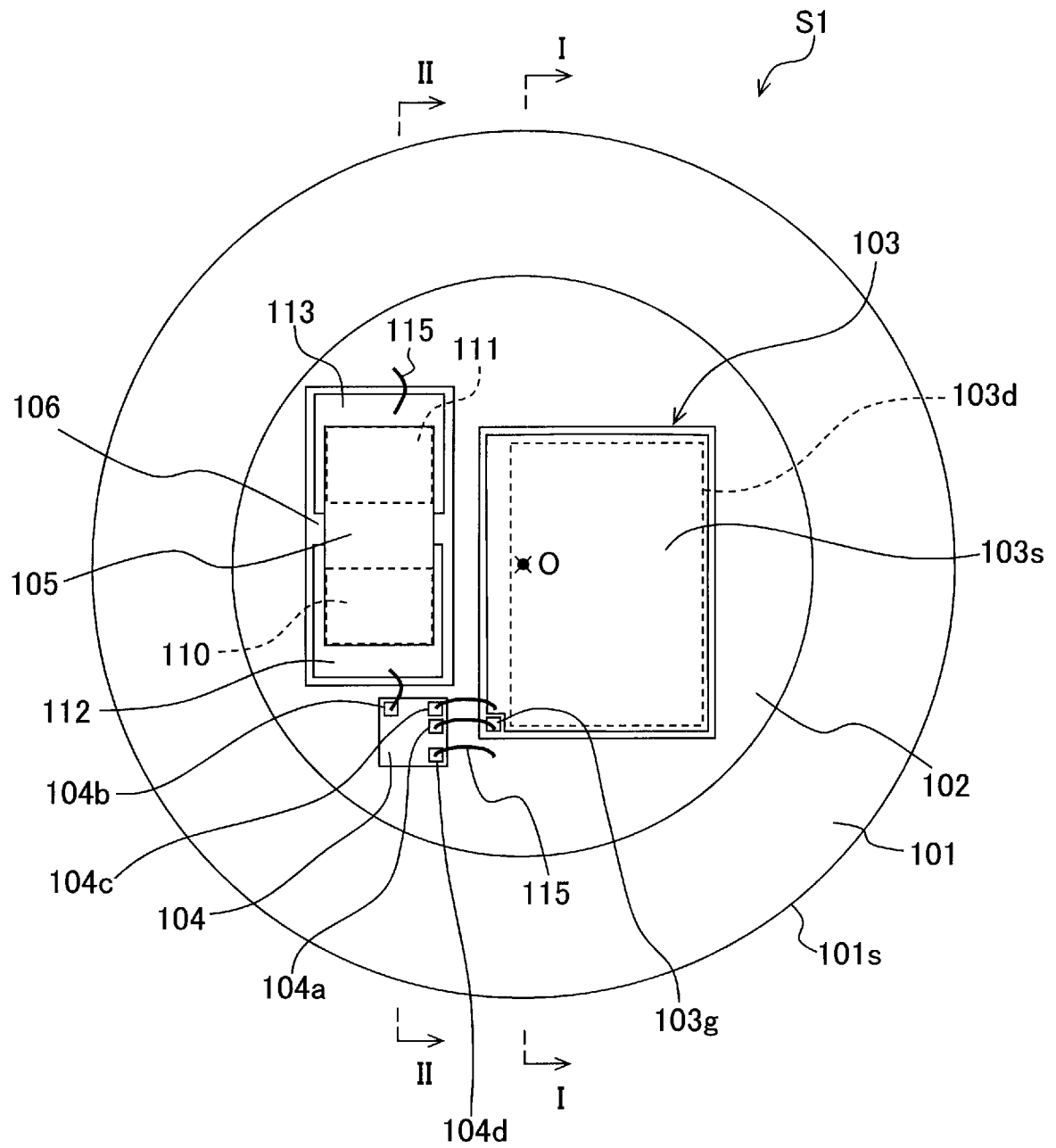
請求項14に記載の半導体装置において、

前記第1の外部電極の前記円形の外周部もしくは底面部に、前記円形の外周部の中心線周りの位置決め用の凹部または凸部を有する

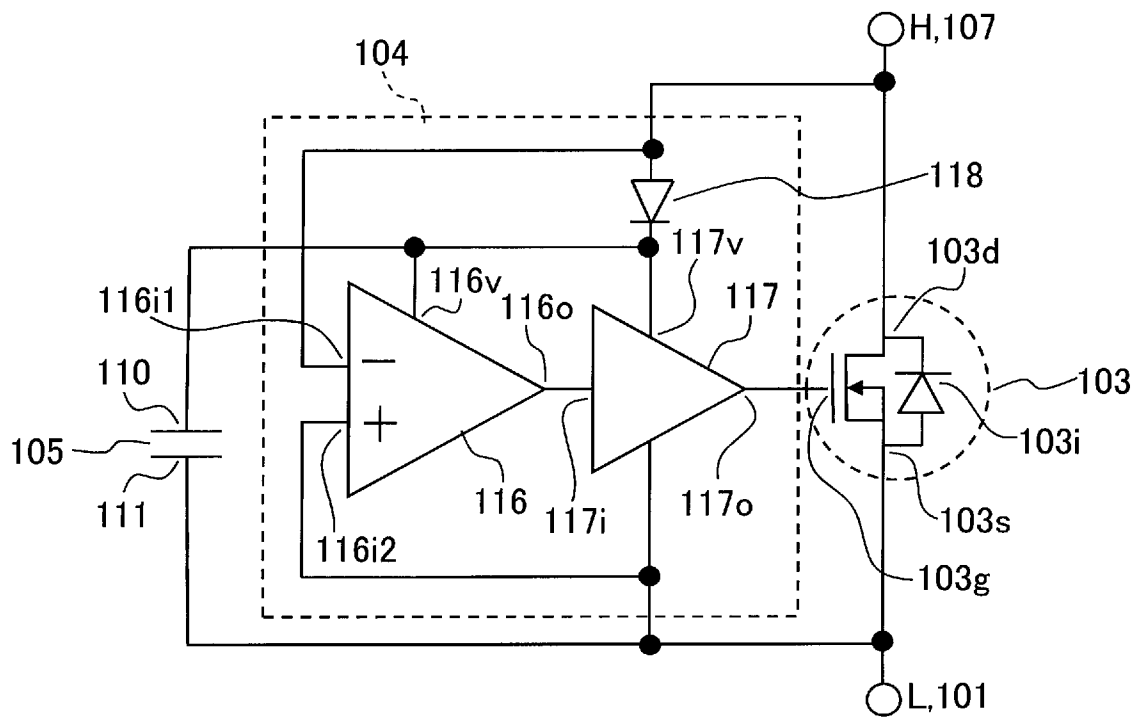
ことを特徴とする半導体装置。

- [請求項16] 請求項14に記載の半導体装置において、
前記MOSFETチップの前記ドレイン電極の延在面と前記第2の外部電極の延在面とが、半田を介してまたは圧接されて連結され、かつ、前記MOSFETチップの前記ソース電極の延在面と前記第1の外部電極の延在面とが、半田を介してまたは圧接されて連結されることを特徴とする半導体装置。
- [請求項17] 請求項14に記載の半導体装置において、
前記第1の外部電極は、前記円形の外周部に収まる大きさの台座を有し、
前記第1の外部電極の前記台座、前記第2の外部電極の前記台座、前記MOSFETチップ、前記制御回路、および前記コンデンサが第1の樹脂で覆われていることを特徴とする半導体装置。
- [請求項18] 請求項1乃至17のいずれか1項に記載の半導体装置を備えるオルタネータ。
- [請求項19] 請求項2乃至13のいずれか1項に記載の半導体装置を整流装置としてハイサイドに、請求項14乃至17のいずれか1項に記載の半導体装置を整流装置としてロウサイドに、それぞれ用いた整流回路を備えるオルタネータ。
- [請求項20] 請求項1乃至17のいずれか1項に記載の半導体装置を備える電力変換装置。

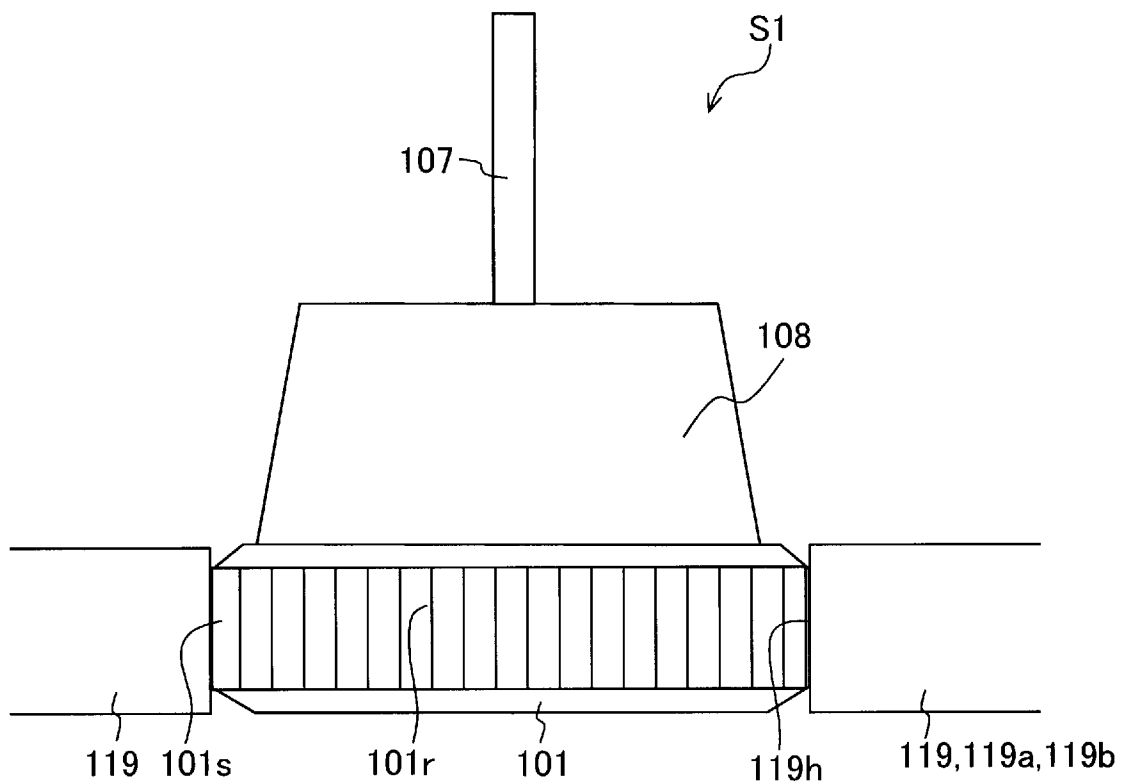
[図1]



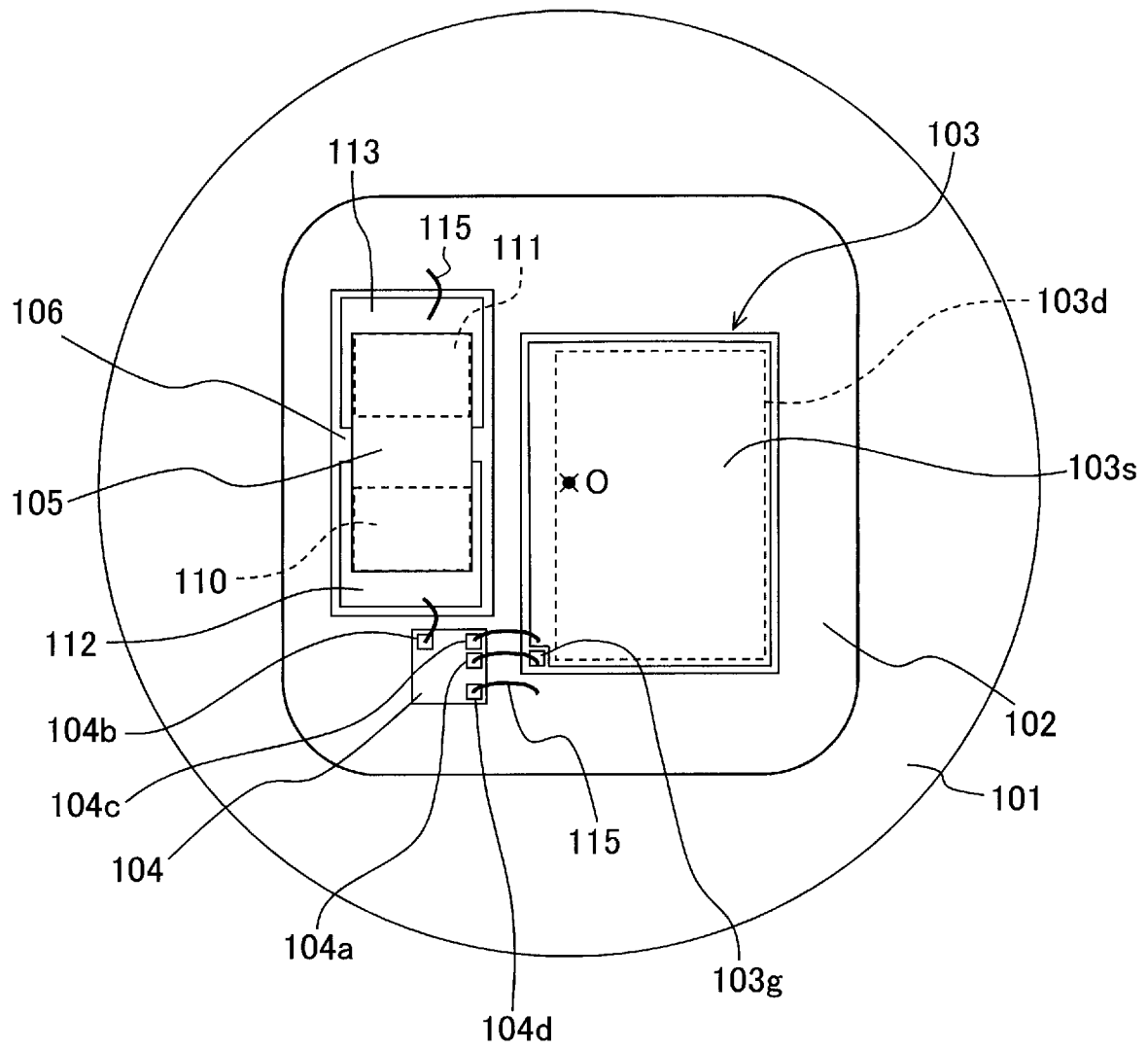
[図4]

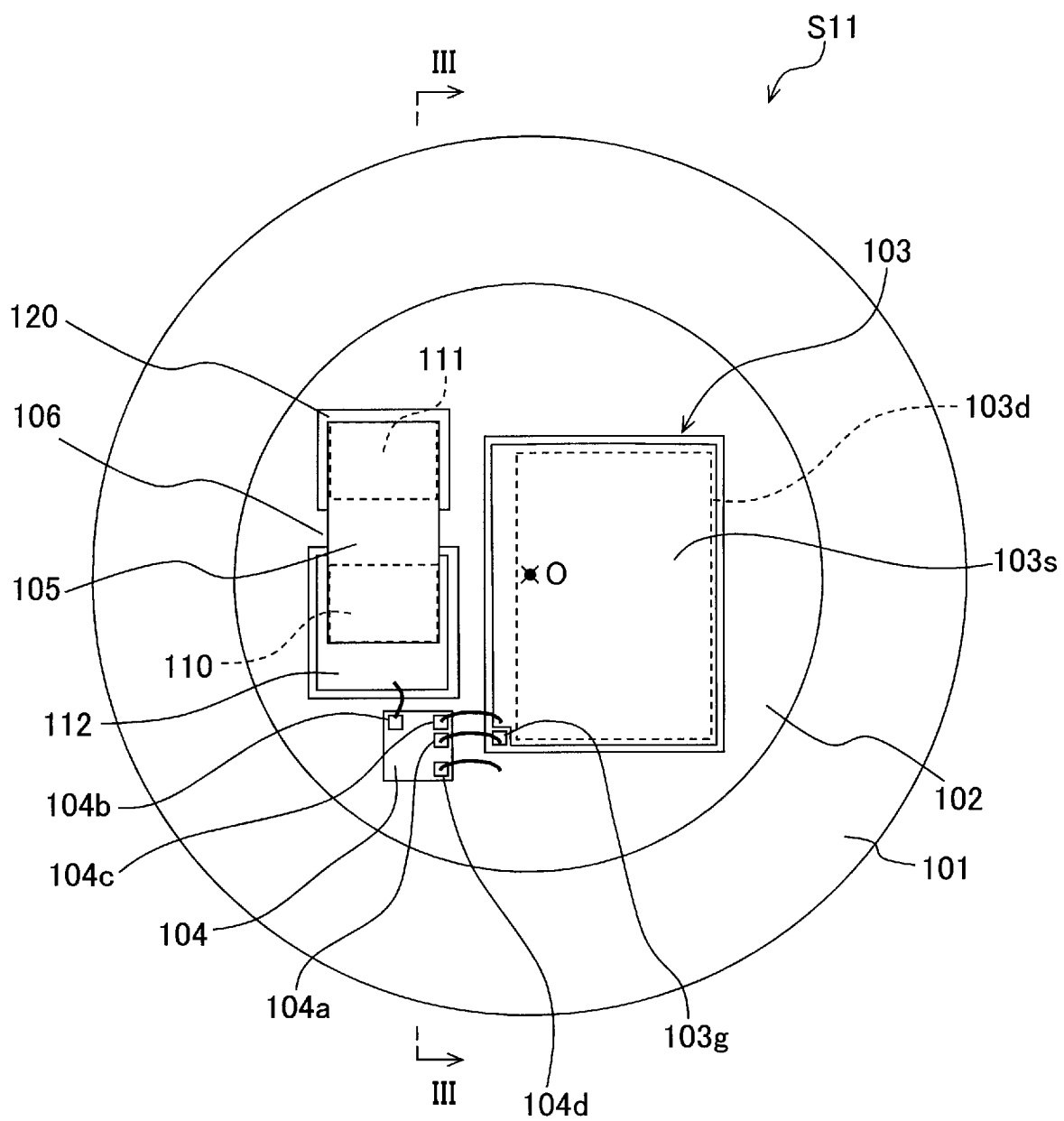


[図5]

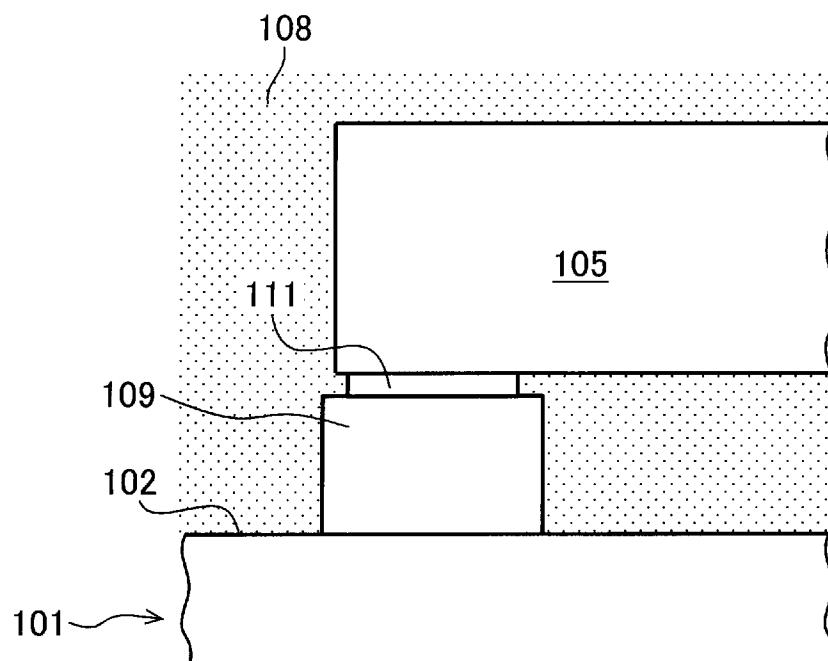


[図6]

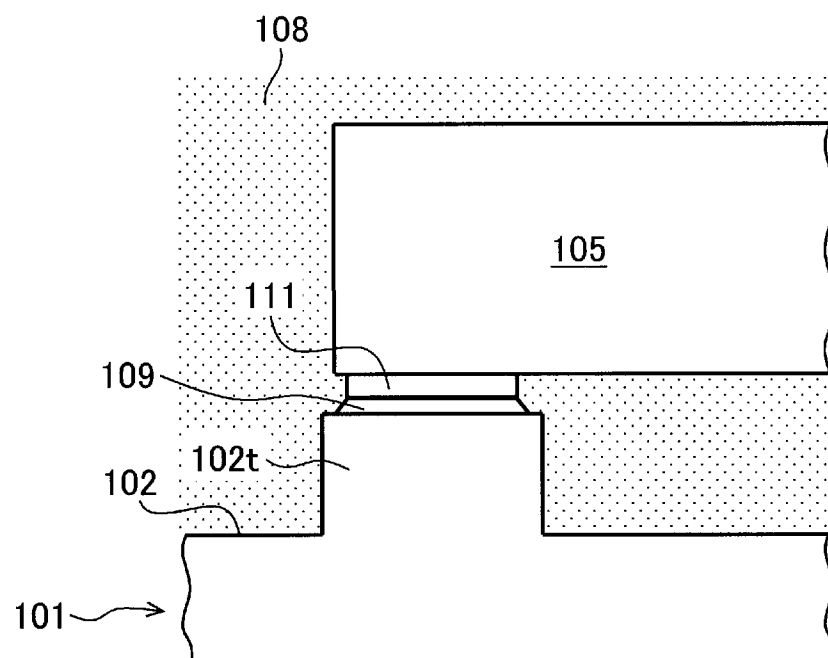




[図9]



[図10]

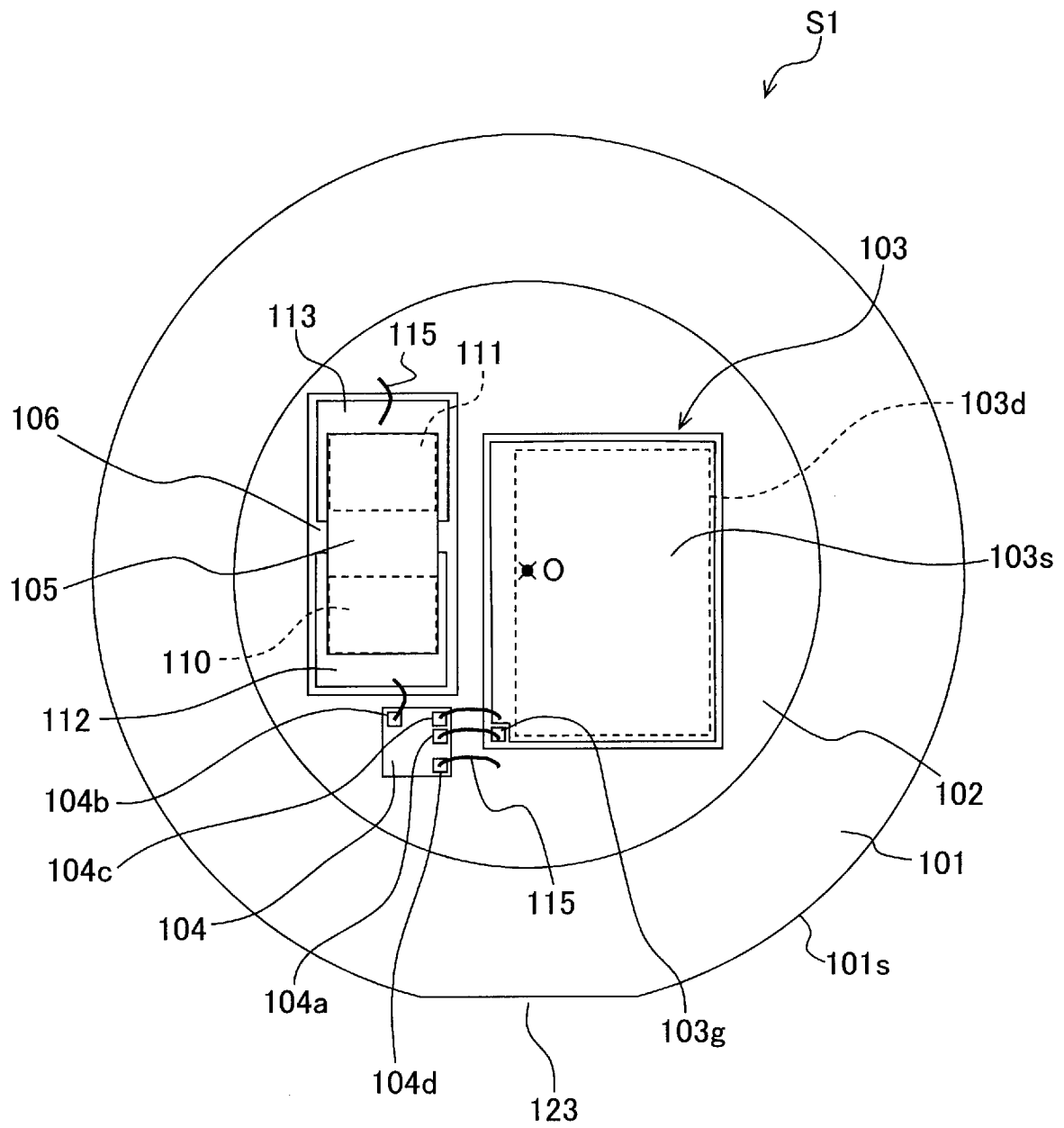


[illegible]

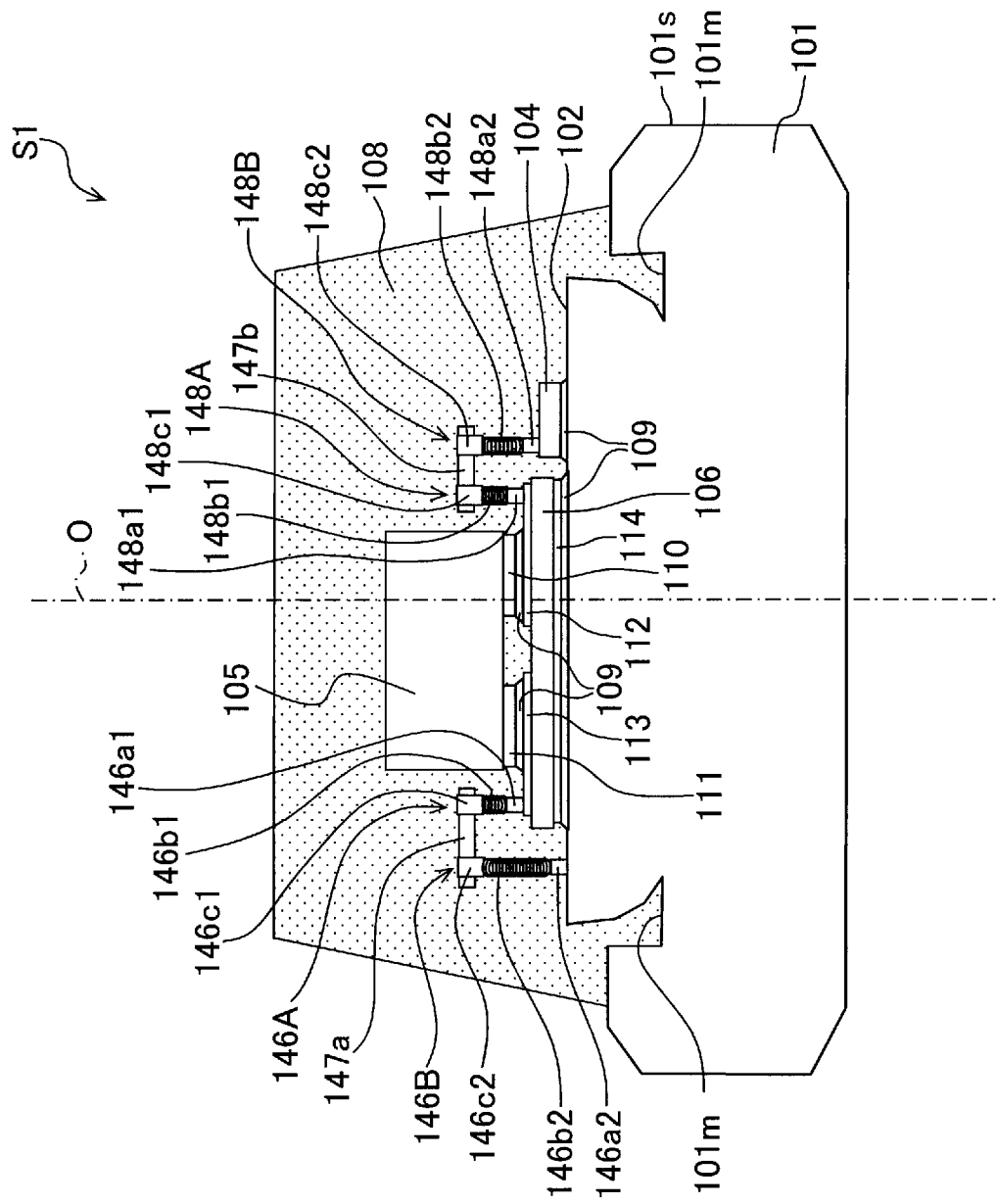
[illegible]

[illegible]

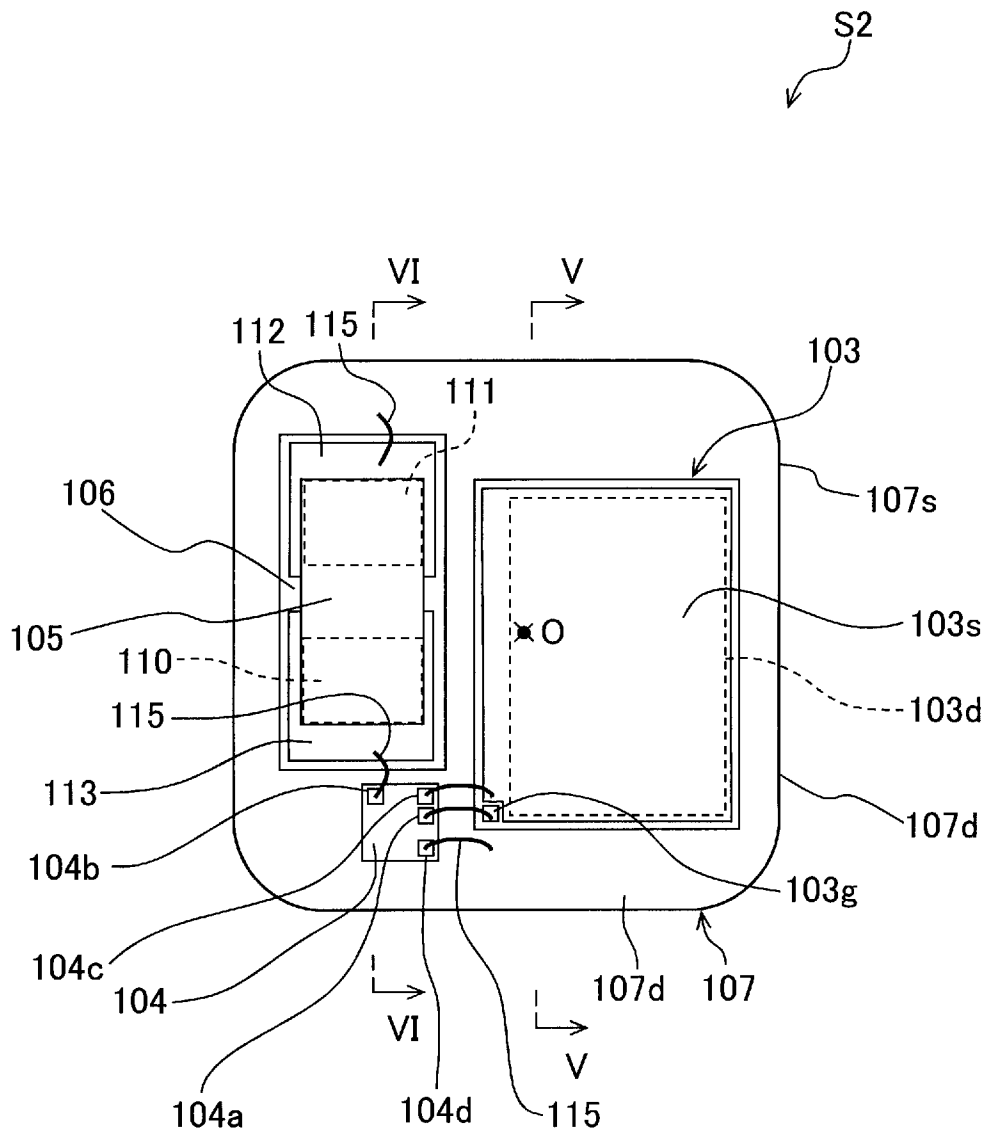
[図14]



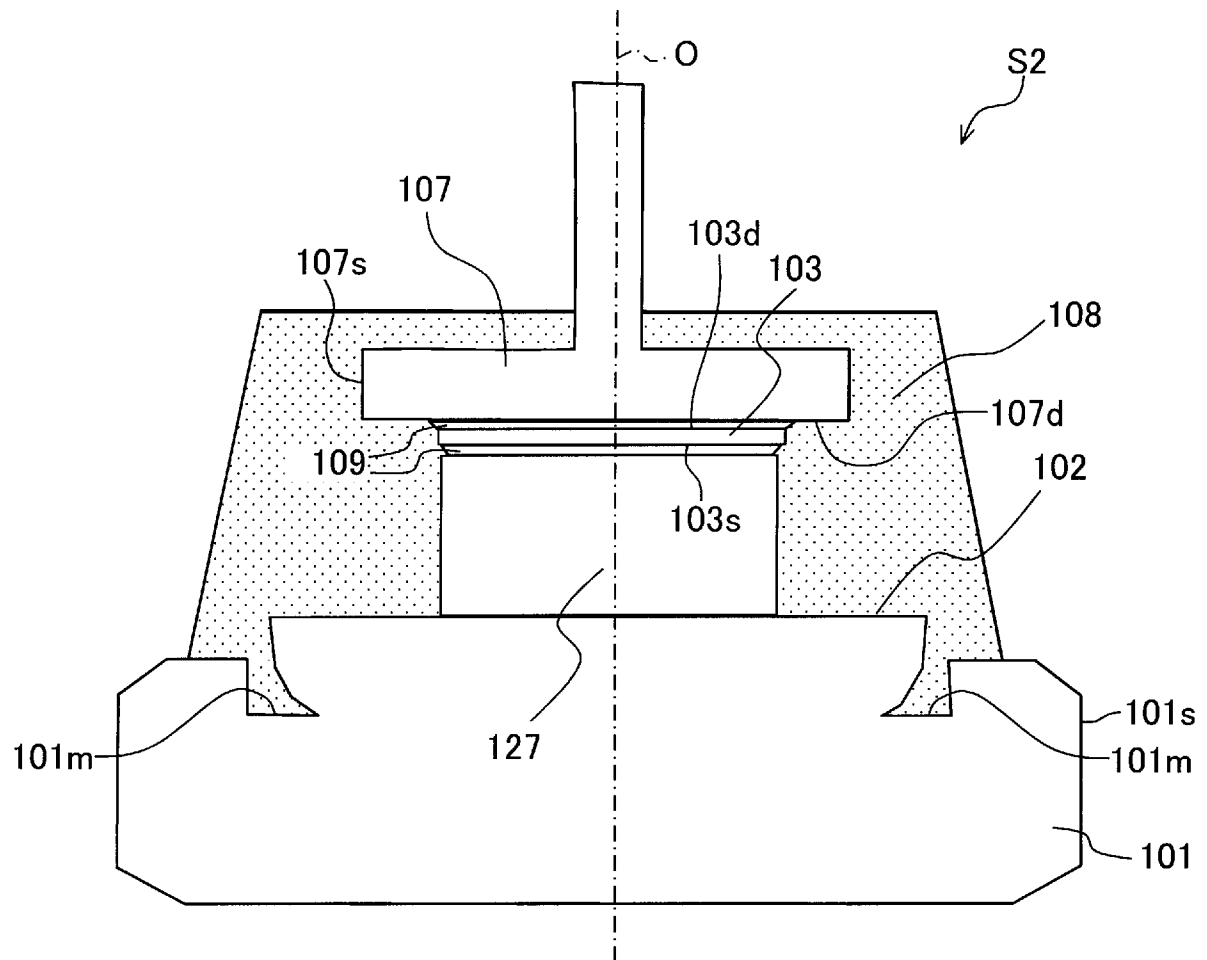
[図17]



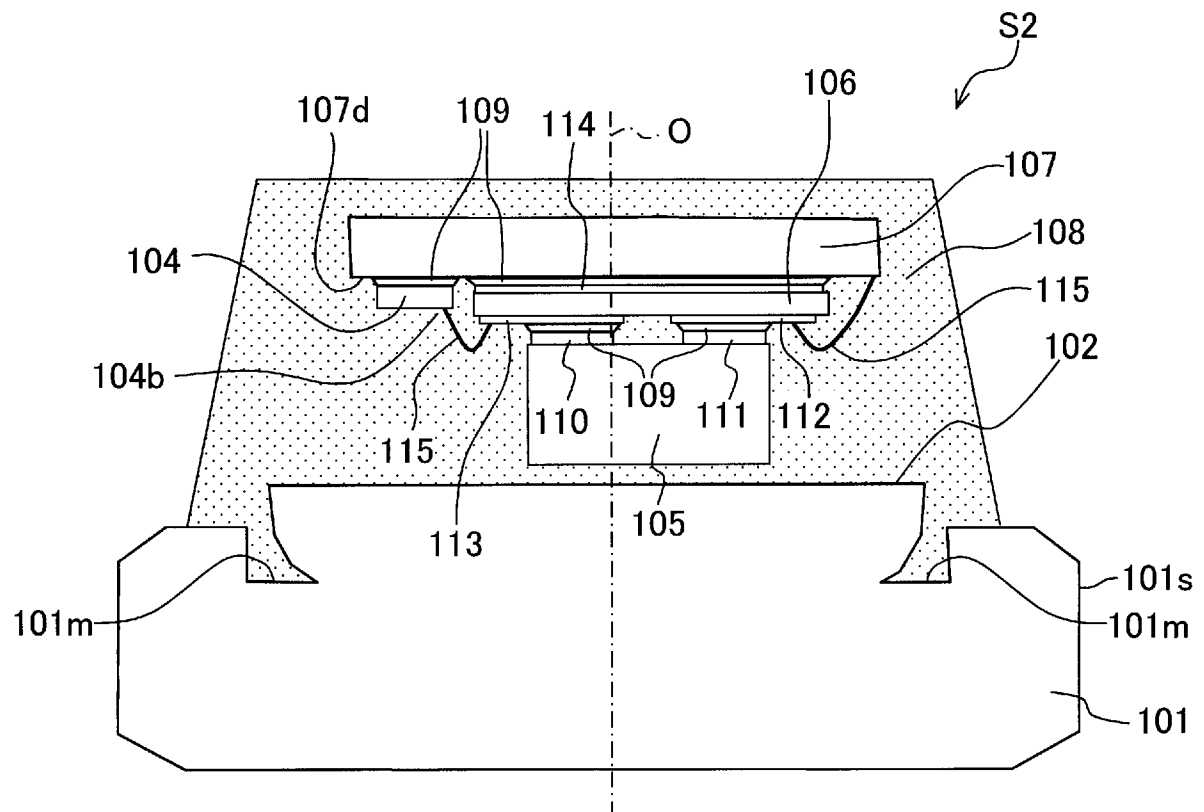
[図18]



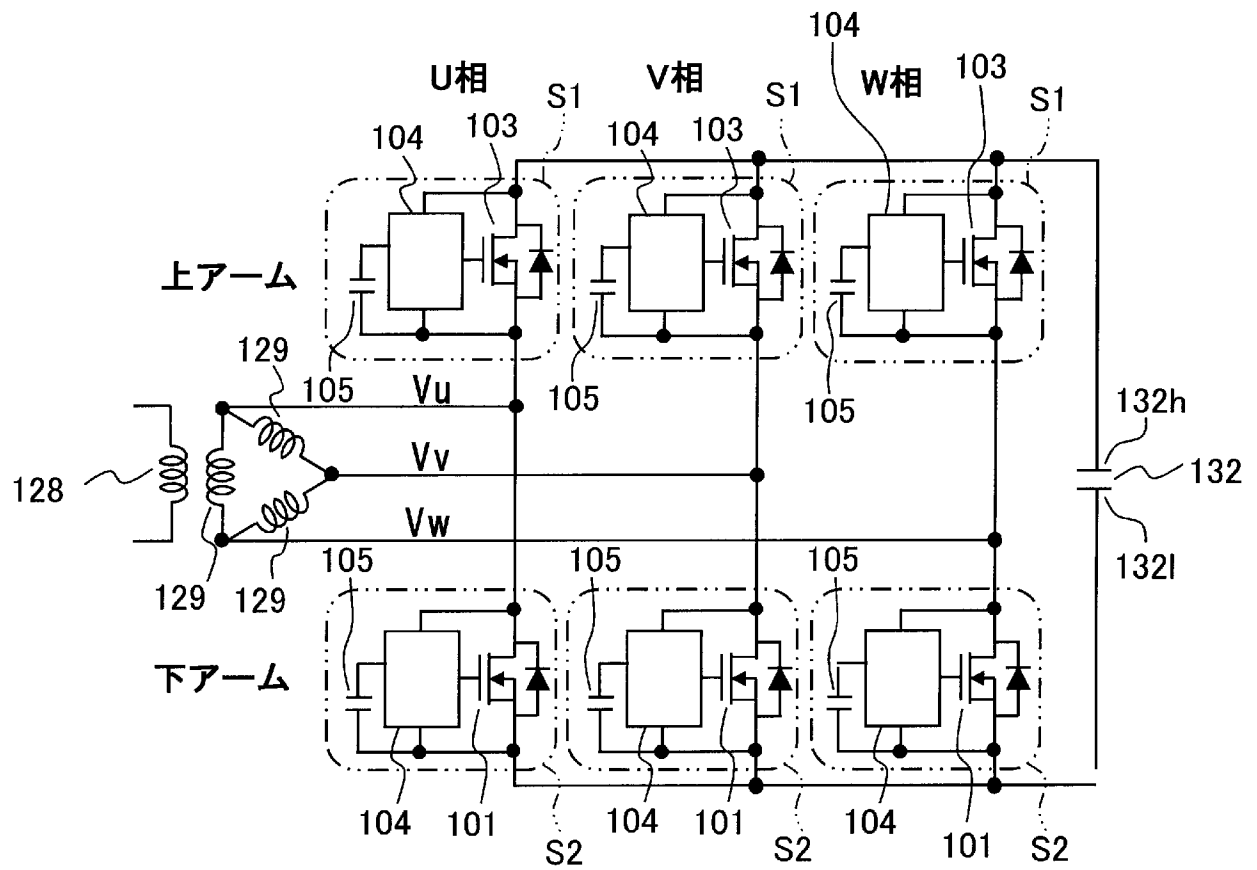
[図19]



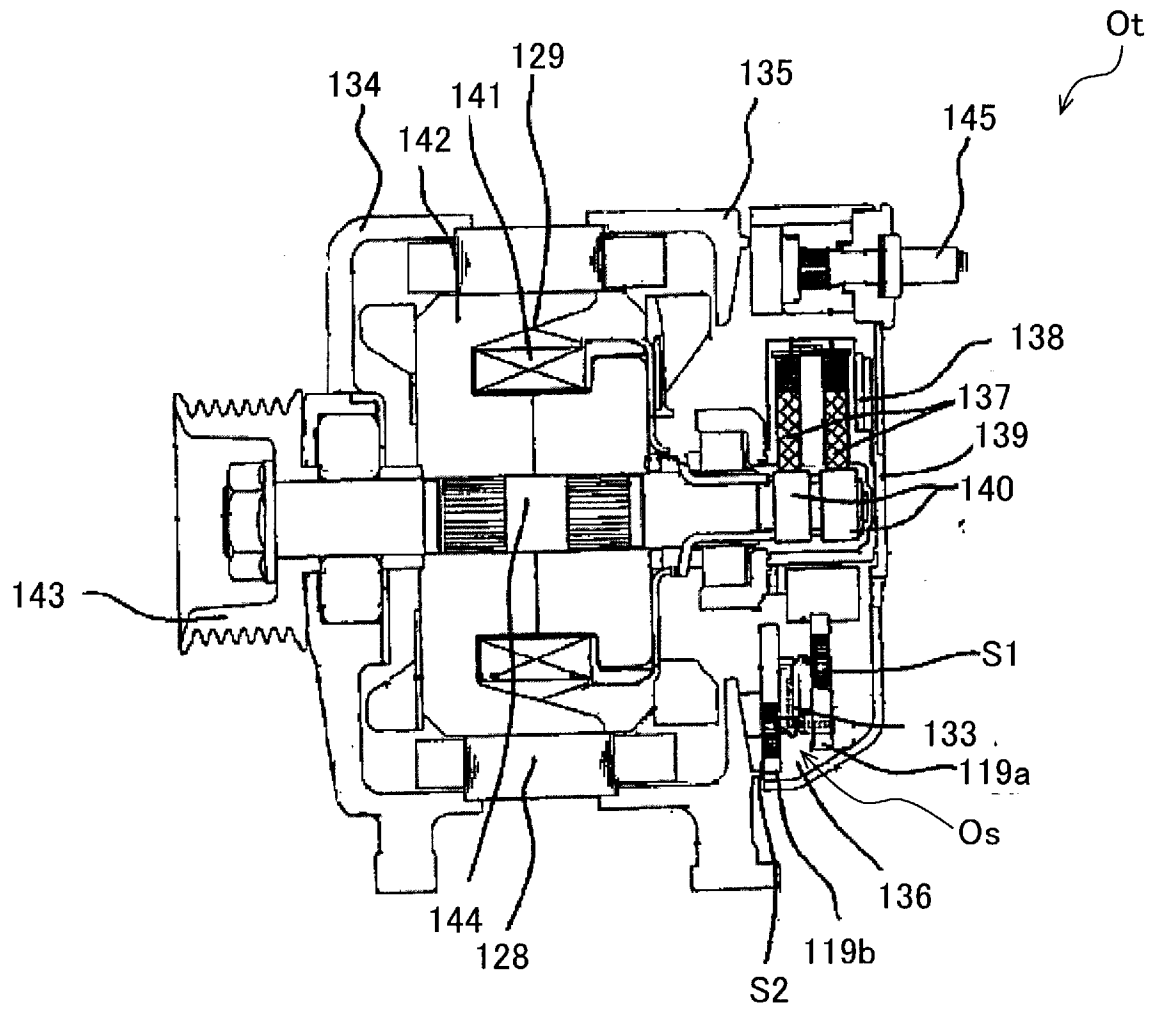
[図20]



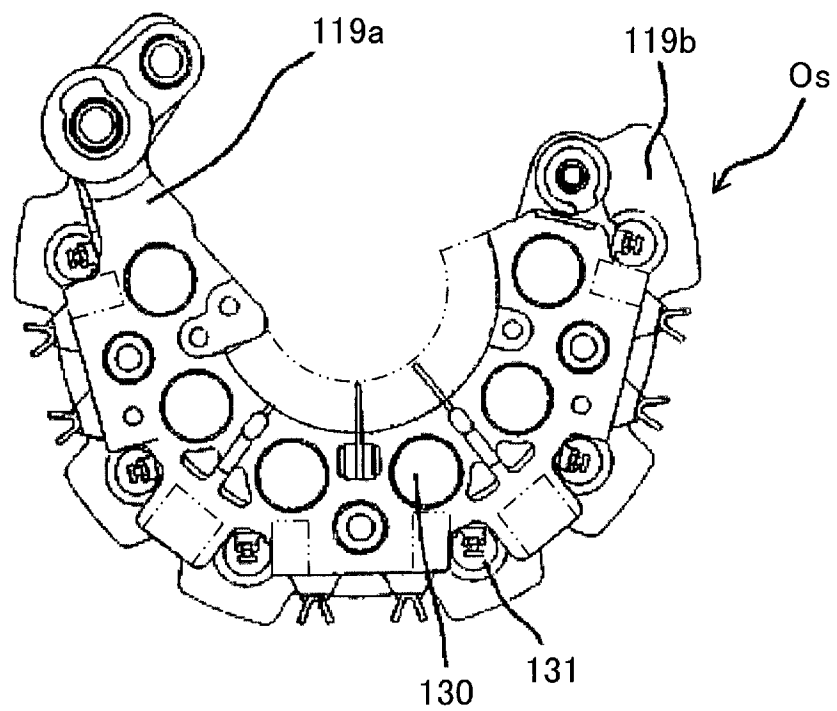
[図21]



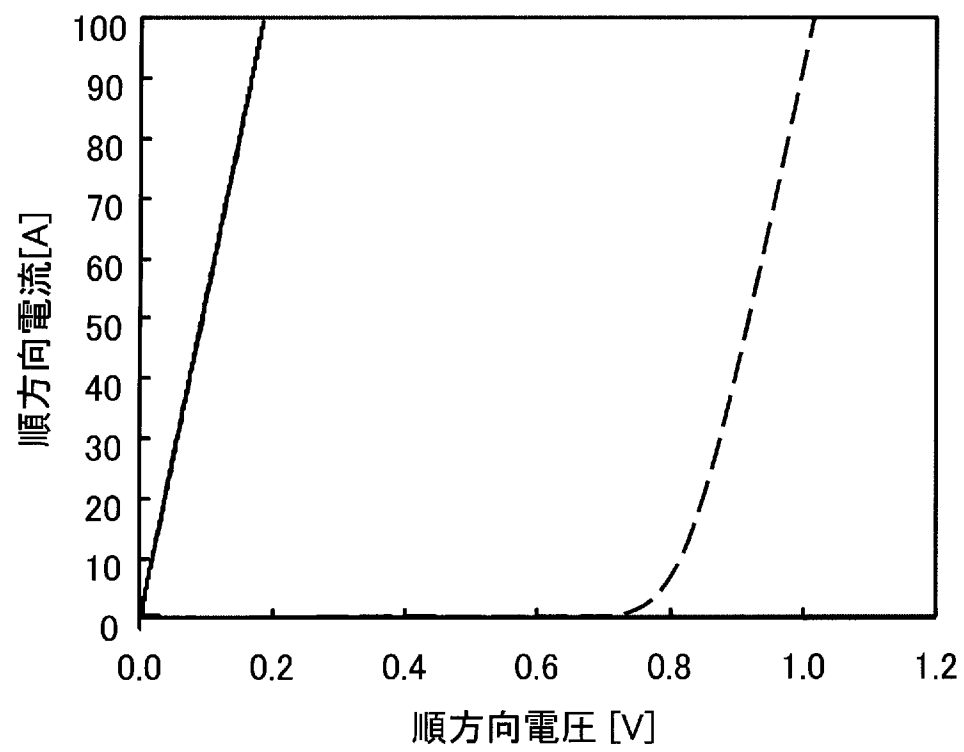
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/082947

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01)i, H01L25/07(2006.01)i, H02K11/00(2006.01)i, H02K19/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H01L25/07, H02K11/00, H02K19/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-165429 A (Denso Corp.), 07 June 2002 (07.06.2002), paragraph [0005] & US 2002/0060502 A1 & DE 10155447 A1	1-20
A	JP 2005-513760 A (Valeo Equipments Electriques Moteur), 12 May 2005 (12.05.2005), paragraphs [0010] to [0011] & US 2004/0012275 A1 & WO 2003/017368 A1 & FR 2829661 A1 & KR 10-2004-0028652 A	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
05 February 2015 (05.02.15)

Date of mailing of the international search report
17 February 2015 (17.02.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H02M7/12(2006.01)i, H01L25/07(2006.01)i, H02K11/00(2006.01)i, H02K19/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H02M7/12, H01L25/07, H02K11/00, H02K19/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 5 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 5 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 5 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
A	JP 2002-165429 A（株式会社デンソー）2002.06.07, 段落[0005] & US 2002/0060502 A1 & DE 10155447 A1		1-20
A	JP 2005-513760 A（ヴァレオ エキプマン エレクトリック モトウ ール）2005.05.12, 段落[0010]-[0011] & US 2004/0012275 A1 & WO 2003/017368 A1 & FR 2829661 A1 & KR 10-2004-0028652 A		1-20
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 0 5 . 0 2 . 2 0 1 5		国際調査報告の発送日 1 7 . 0 2 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 安食 泰秀 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7	3 V 3 7 4 0