



(10) **DE 10 2020 002 007 A1** 2020.10.08

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2020 002 007.0**

(22) Anmeldetag: **27.03.2020**

(43) Offenlegungstag: **08.10.2020**

(51) Int Cl.: **H01L 21/301** (2006.01)

(30) Unionspriorität:

62/827,976 **02.04.2019** **US**
16/713,725 **13.12.2019** **US**

(74) Vertreter:

**Wuesthoff & Wuesthoff, Patentanwälte PartG
mbB, 81541 München, DE**

(71) Anmelder:

**Semiconductor Components Industries, LLC,
Phoenix, Ariz., US**

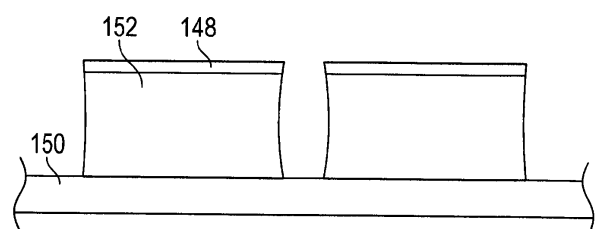
(72) Erfinder:

Seddon, Michael J., Gilbert, AZ, US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **NASSCHEMISCHE DIE-VEREINZELUNGSSYSTEME UND ZUGEHÖRIGE VERFAHREN**

(57) Zusammenfassung: Implementierungen von Verfahren zum Vereinzeln von Dies aus einem Wafer können einschließen: Bereitstellen eines Halbleiterwafers, der eine erste Seite und eine zweite Seite aufweist. Die erste Seite kann eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies einschließen. Das Verfahren kann ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Vereinzelungsgassen herum einschließen. Auch kann das Verfahren ein Nassätzen einschließen, das in der Vielzahl der Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln.



BeschreibungQUERVERWEIS AUF
VERWANDTE ANMELDUNGEN

[0001] Diese Anmeldung beansprucht für Seddon die Rechte aus dem Einreichungstag der vorläufigen US-Patentanmeldung 62/827,976 mit dem Titel „WET CHEMICAL DIE SINGULATION SYSTEMS AND RELATED METHODS“ („Nasschemische Die-Vereinzelungssysteme und zugehörige Verfahren“), die am 2. April 2019 eingereicht wurde und deren Offenbarung hiermit durch Bezugnahme in ihrer Gesamtheit aufgenommen wird.

HINTERGRUND

Technisches Gebiet

[0002] Gesichtspunkte dieses Dokuments betreffen generell Die-Vereinzelungssysteme und -verfahren. Speziellere Implementierungen umfassen Verfahren des nasschemischen Ätzens.

Hintergrund

[0003] Halbleitervorrichtungen schließen integrierte Schaltungen ein, die in üblichen elektrischen und elektronischen Vorrichtungen wie Telefonen, Desktops, Tablets, anderen Datenverarbeitungsvorrichtungen und anderen elektronischen Vorrichtungen anzutreffen sind. Die Vorrichtungen werden separiert durch Vereinzelung eines Wafers aus halbleitendem Material in eine Vielzahl von Halbleiter-Dies. Nach der Vereinzelung kann der Chip auf einem Gehäuse montiert und elektrisch mit dem Gehäuse integriert werden, das dann in der elektrischen oder elektronischen Vorrichtung verwendet werden kann.

KURZDARSTELLUNG

[0004] Implementierungen von Verfahren zum Vereinzelung von Dies aus einem Wafer können einschließen: Bereitstellen eines Halbleiterwafers, der eine erste Seite und eine zweite Seite aufweist. Die erste Seite kann eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies einschließen. Das Verfahren kann ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Vereinzelungsgassen herum einschließen. Auch kann das Verfahren ein Nassätzen einschließen, das in der Vielzahl der Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln.

[0005] Implementierungen von Verfahren zum Vereinzelung von Dies aus einem Wafer können eines, alles oder beliebiges von Folgendem einschließen:

Der Halbleiterwafer kann eine Dicke von 25 Mikrometern bis 50 Mikrometern aufweisen.

Das Nassätzen umfasst ein Aufbringen eines Ätzmittels auf entweder die erste Seite des Wafers oder die zweite Seite des Wafers.

[0006] Auch kann das Verfahren ein Befestigen des Halbleiterwafers an einem Klebeband einschließen.

[0007] Auch kann das Verfahren ein Befestigen des Wafers an einem Träger einschließen.

[0008] Das Nassätzen kann eines von einem Eintauchen des Halbleiterwafers in ein Ätzbad, einem Besprühen des Halbleiterwafers mit einem Ätzmittel oder einem Bilden von Lachen des Ätzmittels auf dem Halbleiterwafer einschließen.

[0009] Die Maske kann temporär vorhanden sein oder als Opfermaterial entfernt werden.

[0010] Auch kann das Verfahren ein Regulieren der Geschwindigkeit des Nassätzens durch Temperieren eines Ätzmittels einschließen.

[0011] Implementierungen von Verfahren zum Vereinzelung von Dies aus einem Wafer können einschließen: Bereitstellen eines Halbleiterwafers, der eine erste Seite und eine zweite Seite aufweist. Die erste Seite kann eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies einschließen. Der Wafer kann eine Dicke von 10 Mikrometern bis 50 Mikrometern aufweisen. Das Verfahren kann ein Koppeln des Halbleiterwafers an ein Band einschließen, wobei das Band mit einem Folienrahmen gekoppelt ist. Das Verfahren kann ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum einschließen. Das Verfahren kann nur ein Nassätzen einschließen, das in der Vielzahl der Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln.

[0012] Implementierungen von Verfahren zum Vereinzelung von Dies aus einem Wafer können eines, alles oder beliebiges von Folgendem einschließen:

Das Verfahren kann auch ein Vereinzelung der Vielzahl von Dies durch Strahlablation einschließen.

[0013] Das Nassätzen kann ein Aufbringen eines Ätzmittels auf entweder die erste Seite des Wafers oder die zweite Seite des Wafers einschließen.

[0014] Das Nassätzen kann eines von einem Eintauchen des Halbleiterwafers in ein Ätzbad, einem Besprühen des Halbleiterwafers mit einem Ätzmittel und einem Bilden von Lachen des Ätzmittels auf dem Halbleiterwafer einschließen.

[0015] Die Maske kann temporär vorhanden sein oder als Opfermaterial entfernt werden.

[0016] Das Verfahren kann ferner ein Regulieren der Geschwindigkeit des Nassätzens durch Temperieren eines Ätzmittels einschließen.

[0017] Implementierungen von Verfahren zum Vereinzeln von Dies aus einem Wafer können einschließen: Bereitstellen eines Halbleitersubstrats, das eine erste Seite und eine zweite Seite und eine Dicke zwischen der ersten Seite und der zweiten Seite aufweist. Die erste Seite kann eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies einschließen. Das Verfahren kann ein Koppeln eines Grundmetalls an die zweite Seite des Halbleiterwafers und ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum einschließen. Das Verfahren kann ein Nassätzen einschließen, das in der Vielzahl von Vereinzelungsgassen und durch die Dicke hindurch erfolgt. Der Wafer kann eine Dicke von 10 Mikrometer bis 100 Mikrometer aufweisen.

[0018] Implementierungen von Verfahren zum Vereinzeln von Dies aus einem Wafer können eines, alles oder beliebiges von Folgendem einschließen:

Das Verfahren kann ein Vereinzeln der Vielzahl von Dies durch Strahlablation einschließen.

[0019] Das Nassätzen kann ein Aufbringen eines Ätzmittels auf entweder die erste Seite des Wafers oder die zweite Seite des Wafers einschließen.

[0020] Das Nassätzen kann eines von einem Eintauchen des Halbleiterwafers in ein Ätzbad, einem Besprühen des Halbleiterwafers mit einem Ätzmittel und einem Bilden von Lachen des Ätzmittels auf dem Halbleiterwafer einschließen.

[0021] Auch kann das Verfahren ein Entfernen der Maske während des Nassätzens einschließen.

[0022] Das Verfahren kann ferner ein Nassätzen des Grundmetalls einschließen.

[0023] Die vorstehenden und weitere Gesichtspunkte, Merkmale und Vorteile sind für den Fachmann aus der BESCHREIBUNG und den ZEICHNUNGEN sowie aus den ANSPRÜCHEN ersichtlich.

Figurenliste

[0024] Im Folgenden werden Implementierungen in Verbindung mit den beigefügten Zeichnungen beschrieben, worin gleiche Bezugszeichen gleichartige Elemente bezeichnen, und

Fig. 1 eine Seitenansicht einer Implementierung eines Wafers mit einer Vielzahl von darauf darin ausgebildeten Halbleiter-Dies ist;

Fig. 2 eine Seitenansicht einer Implementierung eines Wafers ist, die an eine Implementierung eines Bandes auf einer Implementierung eines Folienträgers gekoppelt ist;

Fig. 3 eine Seitenansicht einer Implementierung eines Wafers ist, die an eine Implementierung eines Trägers gekoppelt ist, die an eine Implementierung einer Unterdruckspannvorrichtung gekoppelt ist;

Fig. 4 eine Seitenansicht einer Implementierung eines Wafers ist, die eine Implementierung einer Maske aufweist, die auf einer ersten Seite der Implementierung des Wafers aufgebracht ist;

Fig. 5 eine Seitenansicht einer Implementierung eines Wafers ist, die eine Implementierung einer Maske aufweist, die auf einer zweiten Seite der Implementierung des Wafers aufgebracht ist;

Fig. 6 eine Seitenansicht einer Implementierung eines Wafers ist, die eine Implementierung eines Grundmetalls auf einer zweiten Seite der Implementierung des Wafers aufweist;

Fig. 7 eine Seitenansicht einer Implementierung eines Wafers ist, die an eine Implementierung eines Folienrahmens gekoppelt ist, wobei der Wafer eine Implementierung einer Maske aufweist, die auf ein Grundmetall auf einer zweiten Seite des Wafers aufgebracht ist;

Fig. 8 eine Seitenansicht einer Implementierung eines Wafers nach dem Ätzen durch ein Grundmetall auf einer zweiten Seite des Wafers ist;

Fig. 9 eine Seitenansicht einer Implementierung einer Vielzahl von Dies auf einer Implementierung eines Folienrahmens ist;

Fig. 10 eine Seitenansicht einer Implementierung eines Wafers ist, die eine Implementierung einer Maske aufweist, die über einer Vielzahl von Dies aufgebracht ist, wobei der Wafer an eine Implementierung eines Folienrahmens gekoppelt ist;

Fig. 11 eine Seitenansicht einer Implementierung einer Vielzahl von Dies ist, die eine Implementierung einer aufgetragenen Maske aufweist, wobei die Vielzahl von Dies an eine Implementierung eines Folienrahmens gekoppelt ist;

Fig. 12 eine Seitenansicht einer Implementierung eines Wafers ist, die eine Implementierung einer aufgetragenen Maske aufweist, wobei der Wafer an eine Implementierung eines Folienrahmens gekoppelt ist;

Fig. 13 eine Seitenansicht einer Implementierung einer Vielzahl von Dies auf einer Implementierung

tierung eines Folienrahmens nach der Vereinzelung ist;

Fig. 14 eine Seitenansicht einer Implementierung eines Wafers ist, die die Vielzahl von mittels einer Säge vorgeschrittenen Vereinzelungsgassen aufweist;

Fig. 15 eine Seitenansicht einer Implementierung einer Vielzahl von Dies auf einer Implementierung eines Folienrahmens nach der Vereinzelung ist;

Fig. 16 eine Seitenansicht einer Implementierung eines Wafers ist, die die Vielzahl von mittels einer Implementierung eines Ätzwerkzeugs vorgeschrittenen Vereinzelungsgassen aufweist;

Fig. 17 eine Seitenansicht einer Implementierung eines Wafers während einer Implementierung eines Plasmaätzverfahrens ist;

Fig. 18 eine Seitenansicht einer Implementierung eines Wafers während einer Implementierung eines Verfahrens des verdeckten Ätzens ist;

Fig. 19 eine Seitenansicht einer Implementierung einer Vielzahl von Dies auf einer Implementierung eines Folienrahmens nach der Vereinzelung ist;

Fig. 20 eine Seitenansicht einer Implementierung eines Wafers in einer Implementierung eines Ätzbades ist;

Fig. 21 eine Seitenansicht einer Implementierung eines Wafers ist, bei der eine Implementierung einer Ätzchemie auf den Wafer gesprüht ist;

Fig. 22 eine Seitenansicht einer Implementierung eines Wafers ist, der auf einer Unterdruckspannvorrichtung gedreht wird;

Fig. 23 eine Seitenansicht einer Implementierung eines Wafers ist, der eine Implementierung eines Randrings aufweist;

Fig. 24 eine Seitenansicht einer Implementierung eines Wafers mit einer Implementierung eines Randrings nach der Vereinzelung ist; und

Fig. 25 eine Seitenansicht einer Implementierung zweier Dies nach der Vereinzelung durch Nassätzen ist.

BESCHREIBUNG

[0025] Diese Offenbarung, ihre Gesichtspunkte und Implementierungen sind nicht auf die hier offenbarten speziellen Komponenten, Montageverfahren oder Verfahrenselemente beschränkt. Viele weitere im Stand der Technik bekannte Komponenten, Montageprozeduren und/oder Verfahrenselemente, die mit den angestrebten Nassätzenden Vereinzelungssystemen vereinbar sind, gehen aus dieser Offenbarung

zur Verwendung mit besonderen Implementierungen hervor. Dementsprechend können zum Beispiel, obwohl besondere Implementierungen offenbart sind, solche Implementierungen und implementierenden Komponenten beliebige Formen, Größen, Bauarten, Typen, Modelle, Versionen, Abmessungen, Konzentrationen, Materialien, Mengen, Verfahrenselemente, Schritte und/oder dergleichen, wie aus dem Stand der Technik für solche Nassätzenden Vereinzelungssysteme bekannt ist, sowie implementierende Komponenten und Verfahren umfassen, die mit dem beabsichtigten Betrieb und den beabsichtigten Verfahren vereinbar sind.

[0026] Aufgrund der Miniaturisierung von Baueinheiten und der Notwendigkeit erhöhter Wirkungsgrade bei MOSFET-Vorrichtungen nimmt die typische Chipdicke bei neuen Vorrichtungen kontinuierlich ab. Um die Anforderungen der Industrie zu erfüllen, werden laufend neue Technologien für etwa 25 bis 50 um dicke Dies entwickelt. Ein Die-Vereinzelungsprozess, der für etwa 10 bis 100 um dicke Wafer optimal ist, kann bei der Mehrzahl der neuen Technologien die Anforderungen erfüllen.

[0027] Bei Halbleiter-Dies, die weniger als etwa 50 Mikrometer Dicke aufweisen, treten besondere Verarbeitungsprobleme auf. Die-Handhabung, Die-Festigkeit und Durchführung von Verarbeitungsvorgängen mit dem Die stellen jeweils besondere Herausforderungen dar, da ein Die- bzw. Waferbruch die Ausbeute signifikant reduzieren und/oder die Vorrichtungszuverlässigkeit beeinträchtigen kann. Die Die-Festigkeit wird durch herkömmliche Vereinzelungsmöglichkeiten wie Sägen negativ beeinflusst, da sie Ausbrüche am Die und Risse entlang der Vereinzelungsgassen verursachen. Diese Ausbrüche und Risse, die während des Sägeprozesses entstanden sind, können sich schließlich während des Betriebs und der Zuverlässigkeitsprüfung fortpflanzen und zum Ausfall des Chips führen. Das hierin beschriebene Verfahren kann bei schmalen Sägegassen verwendet werden und kann größere Die-Festigkeiten bieten. Bei verschiedenen Implementierungen kann ein gesamter Wafer auf einmal vereinzelt werden. Bei anderen Implementierungen können mehrere Wafer gleichzeitig vereinzelt werden.

[0028] Bezugnehmend auf **Fig. 1**: ist eine Seitenansicht eines Substrats **2**, einschließlich der Dies **4** auf einer ersten Seite **6** des Substrats, veranschaulicht. Das Substrat **2** schließt außerdem eine Vielzahl von Vereinzelungsgassen **8** zwischen den einzelnen der Vielzahl von Dies ein. Der Begriff „Substrat“ bezieht sich auf ein Halbleitersubstrat, insofern als ein Halbleitersubstrat ein üblicher Substrattyp ist, jedoch ist „Substrat“ kein ausschließlicher Begriff, der verwendet wird, um auf alle Halbleitersubstrattypen zu verweisen. In ähnlicher Weise kann sich der Begriff „Substrat“ auf einen Wafer bezie-

hen, insofern als ein Wafer ein üblicher Substrattyp ist, jedoch ist „Substrat“ kein ausschließlicher Begriff, der verwendet wird, um auf alle Wafer zu verweisen. Die in diesem Dokument offenbarten verschiedenen Halbleitersubstrattypen, die in verschiedenen Implementierungen verwendet werden können, können als nicht einschränkendes Beispiel rund, abgerundet, quadratisch, rechteckig oder jede andere geschlossene Form sein. Bei verschiedenen Implementierungen kann das Substrat **2** ein Substratmaterial einschließen, wie, als nicht einschränkendes Beispiel, einkristallines Silicium, Siliciumdioxid, Glas, Galliumarsenid, Saphir, Rubin, Silicium-auf-Isolator, Siliciumcarbid, polykristalline oder amorphe Formen jedes der vorstehenden Materialien und jedes andere Substratmaterial, das zur Herstellung von Halbleitervorrichtungen verwendbar ist. In bestimmten Implementierungen kann das Substrat ein Silicium-auf-Isolator-Substrat sein.

[0029] Obwohl sich die hierin offenbarten Verfahren auf ein Vereinzeln des Substrats **2** konzentrieren, versteht es sich, dass das Substrat **2** andere, nicht dargestellte Elemente, wie eine Vielzahl von Halbleitervorrichtungen einschließen kann und/oder damit gekoppelt sein kann. Auch wenn der Begriff „Wafer“ zur Beschreibung vieler der Halbleiter verwendet wird, die unter Verwendung der hierin offenbarten Verfahren bearbeitet werden, können die Verfahren auch auf Substrate angewendet werden. Bei solchen Implementierungen kann die Vielzahl der Halbleitervorrichtungen eine Leistungsvorrichtung oder eine Nicht-Leistungshalbleitervorrichtung einschließen. Bei Implementierungen, bei denen eine Vielzahl von Leistungsvorrichtungen an das Substrat gekoppelt wird, können die Leistungsvorrichtungen, als nicht einschränkendes Beispiel, einen Metall-Oxid-Feldeffekttransistor (MOSFET), einen Bipolartransistor mit isoliertem Gate (IGBT), eine Diode, einen Thyristor, einen steuerbaren Siliciumgleichrichter (vTriac) oder eine andere Art von Leistungshalbleitervorrichtung einschließen.

[0030] Immer noch bezugnehmend auf **Fig. 1** kann ein Verfahren zum Vereinzeln von Dies aus einem Wafer durch Nassätzen ein Bereitstellen eines Halbleiterwafers einschließen, der eine erste Seite und eine zweite Seite aufweist. Auf der ersten Seite kann der Halbleiterwafer eine Vielzahl von Dies und eine Vielzahl von Vereinzlungsgassen/Die-Rasterlinien/Ritzrahmen zwischen den einzelnen der Vielzahl von Dies einschließen. Bei verschiedenen Implementierungen ist der Wafer **2** abgedünnt. Bei besonderen Implementierungen kann das Substrat **2** etwa 25 Mikrometer, weniger als 30 Mikrometer (μm) dick und/oder weniger als 50 μm dick sein. Bei anderen Implementierungen kann das Substrat etwa 8 μm dick sein. Bei einigen Implementierungen kann das Substrat etwa 10 bis 100 μm dick sein. Das Verfahren kann ein Aufbringen einer Maske über der Vielzahl

von Dies und um die Vielzahl von Gassen herum einschließen. Auch kann das Verfahren ein Nassätzen einschließen, das in der Vielzahl der Vereinzlungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln. Bei einigen Implementierungen des Verfahrens wird gegebenenfalls nur ein Nassätzen angewendet, um die Vielzahl von Dies zu vereinzeln. Bei anderen Implementierungen können die Vereinzlungsgassen vorgeschritten oder vorgeätzt werden, wozu, als nicht einschränkendes Beispiel, Sägen, Laser, verdecktes Ätzen, Ritzen, Plasmaätzen oder andere Verfahren zum Entfernen des Halbleitermaterials zwischen Dies auf einem Wafer/Substrat verwendet werden.

[0031] In **Fig. 1** sind die Dies auf beiden Seiten der Vereinzlungsgasse **8** veranschaulicht. Bei verschiedenen Implementierungen können die Dies Aluminium, Kupfer und andere elektrisch leitende Materialien einschließen. Nach Abschluss des Fertigungsprozesses (oder, bei einigen Implementierungen, während eines Teils davon), kann das Halbleitersubstrat **2** abgedünnt werden, und zwar auf einer Seite des Halbleitersubstrats **2**, die der Seite gegenüberliegt, auf der die eine oder die mehreren Halbleitervorrichtungen gebildet worden sind. Der Abdünnungsprozess erfolgt durch Backgrinding, Läppen, chemisches Ätzen, eine Kombination davon oder eine andere Technik, um das Material des Halbleitersubstrats **2** über der größten planen Substratoberfläche im Wesentlichen gleichmäßig zu entfernen.

[0032] Bei verschiedenen Implementierungen kann das Substrat **2** auf eine durchschnittliche Dicke von weniger als 50 μm abgedünnt werden. Bei anderen Implementierungen kann das Substrat **2** auf eine durchschnittliche Dicke von weniger als 30 μm abgedünnt werden. Bei noch anderen Implementierungen kann das Substrat **2** auf eine durchschnittliche Dicke von weniger als 100 μm , mehr als 100 μm abgedünnt werden, und bei anderen, verschiedenen Implementierungen darf das Substrat **2** nicht abgedünnt werden. Bei besonderen Implementierungen kann das Substrat **2** auf eine durchschnittliche Dicke von 25 μm abgedünnt werden, und bei anderen besonderen Implementierungen kann das Substrat auf eine durchschnittliche Dicke von 75 μm abgedünnt werden. Wie hierin verwendet, ist die durchschnittliche Dicke die über mindestens einem Großteil der größten planen Oberfläche des Substrats oder Wafers gemessene Dicke. Das Substrat **2** kann durch Backgrinding, Ätzen oder eine andere Abdünnungstechnik abgedünnt werden. Bei verschiedenen Implementierungen kann die Wafermarkierungs-ID geschützt werden, sodass sie nicht weggeätzt wird, sondern nach der Vereinzlung noch erhalten ist.

[0033] Bei verschiedenen Implementierungen kann der Abdünnungsprozess einen Randring um den Wafer herum entstehen lassen (wie jenen, der bei dem

Backgrinding-Prozess vorhanden ist, der von Disco Hi-Tec America, Inc., aus Santa Clara, Kalifornien, unter dem Handelsnamen TAIKO vermarktet wird). Der Randrings wirkt so, dass er den Wafer nach dem Abdünnen strukturell stützt, sodass während nachfolgender Verarbeitungsschritte kein Waferträger verwendet werden muss. Bei verschiedenen Implementierungen kann der Abdünnungsprozess durchgeführt werden, nachdem das Halbleitersubstrat **2** an einem Backgrindingband befestigt worden ist, unabhängig davon, ob während des Backgrindings ein Randrings ausgebildet wird oder nicht. Es kann eine große Vielfalt von Backgrindingbändern bei verschiedenen Implementierungen verwendet werden, darunter solche, die mit nachfolgenden Ätzvorgängen kompatibel sind.

[0034] Bezugnehmend auf **Fig. 2** ist eine Implementierung eines Wafers **12** veranschaulicht, der an ein Band **14** gekoppelt ist, das an einen Folienrahmen **16** gekoppelt ist. Bei verschiedenen Implementierungen kann das Band ein Bestückungsband sein. Bei einigen Implementierungen kann der Folienrahmen ein säurebeständiges Material sein. Der Folienrahmen kann, als nicht einschränkendes Beispiel, aus Polyphenylsulfid, Styrol-Acrylnitril, Polyethylenterephthalat-Glycol (PETG), schwarzem leitendem Polystyrol und anderen harten Kunststoffen hergestellt sein. Wie in **Fig. 2** veranschaulicht, schließt die erste Seite des Wafers **18** eine Vielzahl von Dies **22** und eine Vielzahl von Vereinzelungsgassen **24** zwischen den einzelnen der Vielzahl von Dies **22** ein. Eine Implementierung eines Verfahrens zum Vereinzeln einer Vielzahl von Dies **22** aus einem Wafer **12** kann einschließen, einen Halbleiterwafer **12** bereitzustellen, der eine erste Seite **18** und eine zweite Seite **20** aufweist. Auch kann das Verfahren ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum einschließen. Die Vielzahl von Dies kann durch ausschließliches Nassätzen, das in der Vielzahl der Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, vereinzelt werden. Bei verschiedenen Implementierungen können die Nassätzchemikalien unter anderem gepufferte Fluorwasserstoff (BHF) oder andere Ätzsäuren sein. Verschiedene Konzentrationen von Fluorwasserstoff (HF), Salpetersäure (HNO₃), Phosphorsäure (H₃PO₄) und Schwefelsäure (H₂SO₄). Es kann, als nicht einschränkendes Beispiel, (HF:HNO₃:H₃PO₄:H₂SO₄) im Verhältnis von 2:2:1:1 verwendet werden, oder für ein langsames Ätzen kann (HF:HNO₃:H₂SO₄) im Verhältnis von 1:1:8 verwendet werden. Bei einigen Implementierungen kann eine einzige Säure verwendet werden. Bei anderen Implementierungen kann mehr als eine Säure in einem einzigen Nassätzprozess verwendet werden. Bei verschiedenen Implementierungen kann es sich bei der Maske um eine Opfermaske, eine organische Maske oder andere Masken handeln, die während des Ätzprozesses entfernt werden. Bei anderen Implementierungen kann die Mas-

ke ein hartes Material sein, das im Halbleiterwafer-Herstellungsprozess verwendet wird, wie, als nicht einschränkendes Beispiel, eine Passivierungsschicht oder eine Metallisierungsschichten.

[0035] Bezugnehmend auf **Fig. 3** ist ein Wafer **28** veranschaulicht, der an einem Träger **30** befestigt ist. Bei verschiedenen Implementierungen kann das Verfahren ferner ein Befestigen des Wafers an einem Träger einschließen. Der Träger kann an einer Unterdruckspannvorrichtung **32** befestigt sein. Bei verschiedenen Implementierungen kann der Wafer sich auch auf einem temporären Träger befinden, bei dem unter jedem Die ein Unterdruck zur Anwendung gelangt, sodass, sobald der Ätz- und Spülprozess abgeschlossen ist, die Dies leicht von dem harten Träger statt von einem Klebeband abgenommen werden können.

[0036] Bezugnehmend auf **Fig. 4** ist ein Wafer **34** veranschaulicht, der eine über einer Vielzahl von Dies **38** strukturierte Maske **36** aufweist. Die Maske **36** ist um eine Vielzahl von Vereinzelungsgassen **40** herum strukturiert. Das Verfahren zum Vereinzeln von Dies kann ein Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Vereinzelungsgassen herum einschließen. Bei verschiedenen Implementierungen kann der Wafer mit einem Photoresist auf der Wafer-Vorderseite strukturiert werden. Bei anderen Implementierungen kann ein Photoresist auf einer zweiten Seite oder Rückseite des Wafers strukturiert werden. Bei einigen Implementierungen kann die Maske eine temporäre Maske sein. Bei noch anderen Implementierungen kann die Maskierungsschicht während des Ätzprozesses geopfert und entfernt oder teilweise entfernt werden. Bei verschiedenen Implementierungen können die Nassätzchemikalien die gleichen Chemikalien einschließen, die für die Waferabdünnung verwendet werden.

[0037] Bezugnehmend auf **Fig. 5** ist eine Implementierung eines Wafers **41** veranschaulicht, der auf der zweiten Seite **44** des Wafers **41** eine Maskenschicht **42** aufweist. Die Maske **42** wird auf der Seite gegenüber den Dies **46** auf der ersten Seite **50** des Wafers **44** strukturiert. Die Maske **42** wird um die Vereinzelungsgassen **52** herum strukturiert. Bei dieser besonderen Implementierung erfolgt das Nasschemische Ätzen auf der zweiten Seite des Wafers. Wie an früherer Stelle bei anderen Implementierungen beschrieben, kann das Nassätzen von Wafern auch von der ersten Seite des Wafers aus erfolgen. Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln von Dies aus einem Wafer kann eine Maske auf der ersten Seite des Wafers oder der zweiten Seite des Wafers strukturiert werden. Bei einigen Implementierungen kann das Ätzwerkzeug, das bei den hierin beschriebenen Verfahren verwendet wird, eine integrierte Endpunktdetektion aufweisen.

Eine integrierte Endpunktdetektion kann eine bessere Steuerung des Ätzprozesses ermöglichen.

[0038] Bezugnehmend auf **Fig. 6** bis **Fig. 9** ist eine Implementierung zum Vereinzeln von Dies auf einem Wafer veranschaulicht, der eine Grundmetallschicht/rückseitige Metallschicht aufweist. Bezugnehmend auf **Fig. 6** kann eine zweite Seite **54** des Substrats **56** an eine Grundmetallschicht **58** gekoppelt sein. Bei verschiedenen Implementierungen kann eine Grundmetallschicht **58** auf das Halbleitersubstrat **56** aufgebracht werden, etwa durch, als nicht einschränkendes Beispiel, Sputtern, Aufdampfen, Plattieren oder einen anderen Metallabscheidungsprozess. Die Grundmetallschicht kann, als nicht einschränkendes Beispiel, Kupfer, Aluminium, Nickel ein anderes Metall, eine Legierung davon und eine Kombination davon einschließen. Bei verschiedenen Implementierungen kann das Substrat **56** direkt an die Grundmetallschicht **58** gekoppelt werden. Bei anderen Implementierungen (obgleich nicht veranschaulicht) können andere Schichten, wie eine Metallimpfschicht und/oder eine Haftschrift, zwischen die Metallschicht und das Substrat **56** gekoppelt werden. Bei noch anderen Implementierungen kann anstelle einer Vielzahl von Schichten die Grundmetallschicht die einzige Schicht sein, die über dem Substrat **56** gekoppelt wird. Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln von Dies aus einem Wafer kann der Wafer mittels eines ätzresistenten Grundmetalls strukturiert werden, wie lötlbares Metall, das auf der zweiten Seite des Wafers mit Gold bedeckt wird.

[0039] Bei verschiedenen Implementierungen kann die Grundmetallschicht etwa 10 µm dick sein. Bei anderen Implementierungen kann die rückseitige Metallschicht eine Dicke von mehr oder weniger als 10 µm aufweisen. Die rückseitige Metallschicht **58** kann auf das Substrat **56** aufgedampft werden, bei anderen Implementierungen (einschließlich Implementierungen bei dickeren Substraten) jedoch kann die Grundmetallschicht **58** auf das Substrat **56** plattiert werden oder auf dem Substrat unter Verwendung einer anderen Metallkopplungstechnik, wie Kleben/Bonden einer Metallfolie auf das Substrat, gebildet werden.

[0040] Bezugnehmend auf **Fig. 7** ist der Wafer **56** auf einem Band **62** veranschaulicht, das mit einem Folienrahmen **64** gekoppelt ist. Implementierungen des Verfahrens können ein Koppeln der ersten Seite **66** des Wafers **56** an das Band **62** einschließen. Auf der ersten Seite **66** des Wafers befindet sich eine Vielzahl von Dies **68**, die durch eine Vielzahl von Vereinzelungsgassen **70** separiert sind. An eine zweite Seite **54** des Wafers ist ein Grundmetall **58** gekoppelt. Das Grundmetall wird dann mit einem Photoresistmaterial **74** strukturiert. Bei anderen Implementierungen, wenn auf dem Wafer ein Grundmetall vorhanden

ist, kann eine Strahlablation in Kombination mit einem Nassätzen verwendet werden, um das Grundmetall nach dem Nassätzen zu vereinzeln. Bezugnehmend auf **Fig. 8** ist der Wafer **56** nach dem Ätzen durch das Grundmetall **58** gezeigt.

[0041] Bezugnehmend auf **Fig. 9** ist eine Vielzahl von Dies nach der Vereinzelung veranschaulicht. Jedes von der Vielzahl von Dies **68** schließt ein Grundmetall **58** ein. Bei verschiedenen Implementierungen kann die Maske eine Opfermaske sein, die im Rahmen des Ätzprozesses entfernt wird. Bei anderen Implementierungen kann die Maske während der Vereinzelung teilweise oder vollständig entfernt werden. Bei noch anderen Implementierungen kann das Verfahren nach der Vereinzelung der Vielzahl von Dies ein Entfernen der Maske durch einen Spül-/Plasmaveraschungsprozess einschließen. Die vereinzelt Dies können dann vom Band abgegriffen werden. Bei einigen Implementierungen können die vereinzelt Dies auf ein anderes Band umgesetzt und von diesem Band abgegriffen werden.

[0042] Bezugnehmend auf **Fig. 10** bis **Fig. 11** ist eine andere Implementierung eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen veranschaulicht. In **Fig. 10** ist ein Wafer **74** veranschaulicht, der an einem Folienrahmen **76** befestigt ist. Der Wafer **74** schließt eine strukturierte Maske **78** über der Vielzahl von Dies **80** und um die/benachbart zu den Vereinzelungsgassen **82** zwischen der Vielzahl von Dies **80** ein. Das Verfahren schließt ein, durch Aufbringen eines Ätzmittels auf die erste Seite des Wafers **74** durch die Vereinzelungsgassen **82** hindurch zu ätzen. Bei verschiedenen Implementierungen kann die Geschwindigkeit der durch Ätzen erfolgenden Vereinzelung durch Temperieren des Ätzmittels reguliert werden. Die Ätzrate kann auch durch Aufstocken der Ätzchemie mit Flußsäure (HF) gesteuert werden, da die HF während des Ätzprozesses verbraucht wird. Basierend auf der Menge an Si, die geätzt wurde, können kleine Mengen an HF in festgelegten Intervallen zur Ätzchemie zugegeben werden. Die HF kann auch zugegeben werden, wenn ein Sensor in der Ätzchemie die Notwendigkeit detektiert, mehr HF zuzugeben. Das Aufstocken oder Zugeben von mehr HF ermöglicht, den Ätzprozess über einen längeren Zeitraum durchzuführen. Außerdem ermöglicht das Aufstocken der Ätzchemie, dass der Ätzprozess schneller vonstattengeht. Nun Bezugnehmend auf **Fig. 11** ist die Vielzahl von Dies **80** nach der Vereinzelung veranschaulicht. Das Verfahren schließt ferner ein, das Maskenmaterial zu entfernen. Bei verschiedenen Implementierungen kann die Maske durch Spülen oder Plasmaveraschen entfernt werden. Die Vielzahl von Dies kann dann unter Verwendung jedes hierin beschriebenen Verfahrens vom Band entfernt werden.

[0043] Bezugnehmend auf **Fig. 12** bis **Fig. 13** ist eine weitere Abwandlung der Implementierungen eines Verfahrens zum Vereinzeln von Dies veranschaulicht. In **Fig. 12** ist ein Wafer **84** veranschaulicht, der an ein Band gekoppelt ist. Es ist eine Maske **88** veranschaulicht, die über der Vielzahl von Dies **90** und um die Vielzahl von Gassen **92** herum gekoppelt ist. Die Maske kann ein kurzzeitig ätzresistentes Material einschließen, das beim Ätzen der Vereinzelungsgassen abgebaut wird. Als nicht einschränkendes Beispiel kann die Maske ein Oxid oder organisches Material einschließen, das während des Ätzens entfernt wird. Bei verschiedenen Implementierungen kann ein Verfahren zum Vereinzeln der Dies einschließen, die Metallisierungs- und Passivierungsschichten auf dem Wafer als Hartmaske für den Ätzprozess zu verwenden. Bezugnehmend auf **Fig. 13** ist die Vielzahl von Dies **90** nach einem Ätzen veranschaulicht, wobei das Maskenmaterial während des Ätzens entfernt worden ist.

[0044] Bezugnehmend auf **Fig. 14** ist eine Implementierung eines Verfahrens zum Vereinzeln von Dies durch Nassätzen veranschaulicht, wobei das Verfahren ein Vorschneiden von Vereinzelungsgassen **94** unter Verwendung einer Säge **96** einschließt. Bei verschiedenen Implementierungen kann ein Vorschneiden angewendet werden, um den Prozess des Vereinzeln von Dies durch nasschemisches Ätzen weiter zu beschleunigen/zu steuern. Ein Vorschneiden kann bei Wafern angewendet werden, die eine Dicke zwischen etwa 10 und 100 Mikrometer aufweisen. Bei verschiedenen Implementierungen kann ein Vorschneiden auch bei Substraten angewendet werden, die eine Dicke zwischen etwa 25 und 50 Mikrometer aufweisen. Ein Vorschneiden kann auch beim Durchschneiden der Grundmetallschicht helfen, um den Wafer für ein anschließendes Nassätzen vorzubereiten, bei dem das Grundmetall als Maskierungsschicht verwendet wird. Bezugnehmend auf **Fig. 15** ist die Vielzahl von Dies **98** nach der Vereinzelung durch Nassätzen im Anschluss an das Vorschneiden veranschaulicht. Bei anderen Implementierungen kann das Vorschneiden auch auf der Vorderseite des Wafers (nicht gezeigt) angewendet werden, um eine Passivierung oder eine Metallisierung aus der Sägegasse zu entfernen, bevor der Nassätz-Vereinzelungsprozess beginnt.

[0045] Bezugnehmend auf **Fig. 16** ist ein Wafer **100** veranschaulicht, der mit einem Band **102** gekoppelt ist. Hier schließt das Verfahren ein Vorschneiden des Wafers **100** durch Laserritzen oder Strahlablation zum Starten eines partiellen Ätzens des Wafers ein. Wie veranschaulicht, wird durch das Vorschneiden das Grundmetall auf dem Wafer vereinzelt, sodass das Grundmetall als Maskierungsmaterial für den Nassätzprozess dienen kann. Das Verfahren schließt dann ein nasschemisches Ätzen ein, um die Vielzahl von Dies vollständig aus dem Wafer zu

vereinzeln. Bezugnehmend auf **Fig. 17** ist eine Implementierung eines Wafers **103** während eines Plasmaätzens **104** veranschaulicht. Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies **106** kann vor dem nasschemischen Ätzen der Vereinzelungsgassen ein partielles Plasmaätzen erfolgen. Das Plasmaätzen kann in Situationen eingesetzt werden, in denen es kein Grundmetall auf der Rückseite des Wafers gibt, oder nachdem das Grundmetall bereits unter Verwendung eines der in diesem Dokument offenbarten Verfahren vereinzelt wurde.

[0046] Bezugnehmend auf **Fig. 18** bis **Fig. 19** ist eine Implementierung eines Verfahrens unter Verwendung von Stealth Dicing in Kombination mit Nassätzen veranschaulicht. In **Fig. 18** ist eine Implementierung eines Siliciumwafers **108** veranschaulicht. Das Verfahren der Die-Vereinzelung schließt ein Stealth Dicing ein, bei dem ein Laser in jeder der Vereinzelungsgassen fokussiert wird, um in der Vereinzelungsgasse einen beschädigten Bereich zu bilden. Der Wafer **108** wird dann unter Verwendung eines Bandexpanders gedehnt **114**, um die Dies entlang der beschädigten Bereiche auseinanderzubringen. Bei einigen Implementierungen können die Dies durch Stealth Dicing teilweise vereinzelt/beschädigt werden, und das verbleibende Material, das erforderlich ist, die Dies zu vereinzeln, kann dann von der Vereinzelungsgasse weg nassgeätzt werden. Bei solchen Implementierungen kann die Verwendung eines Bandexpanders nicht empfohlen werden. Bezugnehmend auf **Fig. 19** ist die Vielzahl von Dies **116** veranschaulicht, nachdem der Vereinzelungsprozess abgeschlossen worden ist.

[0047] Das in diesem Dokument offenbarte Nassätzen kann durch verschiedene Verfahren erfolgen, einschließlich, als nicht einschränkendes Beispiel, Eintauchen des Halbleiterwafers in ein Ätzbad, Besprühen des Halbleiterwafers mit einem Ätzmittel, Bilden von Lachen des Ätzmittels auf dem Halbleiterwafer oder eine Kombination davon. Bezugnehmend auf **Fig. 20** ist ein Beispiel für einen Wafer **118** veranschaulicht, der in ein Ätzbad **120** eingetaucht ist. Dieses Verfahren zum Aufbringen des Ätzmittels auf den Wafer kann angewendet werden bei einem Einzelwafer, einer Kassette von Wafern oder einem Wafer oder einer Kassette von Wafern, der/die an ein Band und einen Folienrahmen gekoppelt ist. Auch kann das Eintauchen des Wafers mit jedem Vorschneideverfahren zum Vereinzeln einer Vielzahl von Dies aus einem Wafer mit einer Dicke zwischen etwa 10 und 100 Mikrometer verwendet werden. Bezugnehmend auf **Fig. 21** ist ein Beispiel für das Aufsprühen eines Ätzmittels **122** auf einen Halbleiterwafer **124** veranschaulicht. Wie veranschaulicht, ist der Wafer **124** an ein Band gekoppelt. Bei verschiedenen Implementierungen ist das Band ein Bestückungsband. Bei anderen Implementierungen können andere geeignete

te Bänder verwendet werden. Bei verschiedenen Implementierungen kann der Wafer während des Aufsprühens an ein Spannfutter gekoppelt sein. Bezugnehmend auf **Fig. 22** ist ein Beispiel für einen Wafer **126** veranschaulicht, der an ein Spannfutter **128** gekoppelt ist, das sich dreht 130. Während sich das Spannfutter dreht, kann das Ätzmittel auf den Wafer gesprüht, gegossen oder gespritzt werden, um eine Vielzahl von Dies aus dem Wafer zu vereinzeln. Der Prozess des Drehens kann in einer Richtung erfolgen, in verschiedenen, wechselnden Richtungen erfolgen, Perioden ohne Bewegung gefolgt von einem Drehen des Wafers einschließen, eine von vielen anderen möglichen Kombinationen sein.

[0048] Bezugnehmend auf **Fig. 23** bis **Fig. 24** ist eine Implementierung eines Verfahrens zum Vereinzeln einer Vielzahl von Dies aus einem Wafer veranschaulicht, der einen Randring aufweist. Wie vorstehend beschrieben, kann der Randring **132** während des Abdünnungsprozesses durch einen Schleifprozess, wie einen Taiko-Schleifprozess, gebildet werden. Bei verschiedenen Implementierungen kann der Wafer auf eine Dicke von weniger als 39 Mikrometer abgedünnt werden. Bei einigen Implementierungen kann der Wafer eine Dicke von nur etwa 10 Mikrometer aufweisen. Das Verfahren zum Vereinzeln der Vielzahl von Dies **134** kann ein Aufbringen einer Maske **136** auf einer zweiten Seite **138** des Wafers **140** gegenüber der Vielzahl von Dies **134** auf der ersten Seite des Wafers einschließen. Die Maske kann bei verschiedenen Implementierungen einen strukturierten Photoresist einschließen. Die Maske kann auf eine Grundmetallschicht **142** auf der zweiten Seite des Wafers aufgebracht werden. Bei verschiedenen Implementierungen kann die Maske eine Opfermaske sein und im Rahmen des Ätzprozesses entfernt werden. Bei einigen Implementierungen kann die Maske eine Metallschicht oder eine Passivierungsschicht einschließen, die bereits als Teil des Wafers eingeschlossen ist. Bei einigen Implementierungen kann die Maske die Grundmetallschicht selbst sein. Das Verfahren umfasst dann, durch Aufbringen eines Ätzmittels auf den Wafer durch die Vielzahl von Vereinzlungsgassen **144** zwischen der Vielzahl von Dies **134** hindurchzuätzen. Bei verschiedenen Implementierungen kann das nasschemische Ätzmittel mehr als eine Säure oder ein anderes in diesem Dokument offenbartes Nassätzmittel einschließen. Die Geschwindigkeit der Vereinzlung kann durch Temperieren des Nassätzmittels gesteuert werden. Bei verschiedenen Implementierungen kann das Ätzmittel aufgebracht werden durch Eintauchen des Wafers in Ätzmittel, durch Sprühen des Ätzmittels auf den Wafer oder durch Poolbildung des Ätzmittels auf dem Wafer oder durch ein anderes in diesem Dokument offenbartes Ätzverfahren. Bezugnehmend auf **Fig. 24** ist die Vielzahl von Dies **134** nach einer Vereinzlung durch Aufbringen eines Nassätzmittels gezeigt. Der Randring **132** wird während des Ätzprozesses eben-

falls aus dem Die vereinzelt. Die Vielzahl von Dies kann dann direkt vom Band **146** abgegriffen oder auf ein anderes Band übertragen werden.

[0049] Bezugnehmend auf **Fig. 25** ist eine Nahansicht einer Implementierung zweier Dies **148** nach einer Vereinzlung durch Nassätzen veranschaulicht. Die Dies **148** sind an ein Bestückungsband (Pick-and-Place-Band) **150** gekoppelt veranschaulicht. Die Dies können direkt von diesem Band entnommen werden oder können zur Weiterverarbeitung auf ein anderes Band übertragen werden. Wie veranschaulicht, kann das Verfahren zum Vereinzeln einer Vielzahl von Dies durch Nassätzen den Wänden **152** der Dies eine gekrümmte Form verleihen, und zwar als Folge der isotropen Eigenschaften des Nassätzprozesses.

[0050] Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen können, bei verschiedenen Implementierungen, ein Befestigen des Halbleiterwafers an einem Klebeband einschließen.

[0051] Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen kann einschließen, ein Ätzmittel auf entweder die erste Seite des Wafers oder die zweite Seite des Wafers aufzubringen.

[0052] Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen kann einschließen, wobei Nassätzen eines von einem Eintauchen des Halbleiterwafers in ein Ätzbad, Besprühen des Halbleiterwafers mit einem Ätzmittel oder Bilden von Lachen des Ätzmittels auf dem Halbleiterwafer einschließt.

[0053] Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen kann die Maske eine von einer temporär vorhandenen oder als Opfermaterial zu entfernenden sein.

[0054] Bei verschiedenen Implementierungen eines Verfahrens zum Vereinzeln einer Vielzahl von Dies durch Nassätzen kann das Verfahren ein Regulieren der Geschwindigkeit des Nassätzens durch Temperieren eines Ätzmittels einschließen.

[0055] Es sollte sich ohne Weiteres verstehen, dass dort, wo sich die vorstehende Beschreibung auf besondere Implementierungen von nasschemischen Die-Vereinzlungssystemen und implementierenden Komponenten, Teilkomponenten, Verfahren und Teilverfahren bezieht, eine Reihe von Modifikationen vorgenommen werden kann, ohne von ihrem Geist abzuweichen, und dass diese Implementierungen, implementierenden Komponenten, Teilkomponenten, Verfahren und Teilverfahren auch auf andere nassche-

mische Die-Vereinzelungssysteme angewendet werden können.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 62827976 [0001]

Patentansprüche

1. Verfahren zum Vereinzeln von Dies aus einem Wafer, umfassend:

Bereitstellen eines Halbleiterwafers mit einer ersten Seite und einer zweiten Seite, wobei die erste Seite eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies umfasst;

Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum; nur Nassätzen, das in der Vielzahl von Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln.

2. Verfahren nach Anspruch 1, wobei der Halbleiterwafer eine Dicke von 25 Mikrometer bis 50 Mikrometer aufweist.

3. Verfahren nach Anspruch 1, ferner ein Befestigen des Wafers an einem Träger umfassend.

4. Verfahren zum Vereinzeln von Dies aus einem Wafer, umfassend:

Bereitstellen eines Halbleiterwafers mit einer ersten Seite und einer zweiten Seite, wobei die erste Seite eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies umfasst;

Koppeln des Halbleiterwafers an ein Band, wobei das Band mit einem Folienrahmen gekoppelt ist;

Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum; und nur Nassätzen, das in der Vielzahl von Vereinzelungsgassen und durch den Halbleiterwafer hindurch erfolgt, um die Vielzahl von Dies zu vereinzeln; wobei der Wafer eine Dicke zwischen 10 Mikrometer und 50 Mikrometer aufweist.

5. Verfahren nach Anspruch 4, ferner ein Vereinzeln der Vielzahl von Dies durch Strahlablation umfassend.

6. Verfahren nach Anspruch 4, wobei die Maske eine von einer temporär vorhandenen oder als Opfermaterial zu entfernenden ist.

7. Verfahren zum Vereinzeln von Dies aus einem Wafer, umfassend:

Bereitstellen eines Halbleitersubstrats mit einer ersten Seite und einer zweiten Seite und einer Dicke zwischen der ersten Seite und der zweiten Seite, wobei die erste Seite eine Vielzahl von Dies und eine Vielzahl von Vereinzelungsgassen zwischen den einzelnen der Vielzahl von Dies umfasst;

Koppeln eines Grundmetalls an die zweite Seite des Halbleiterwafers;

Aufbringen einer Maske über der Vielzahl von Dies und um die Vielzahl von Gassen herum; und

Nassätzen, das in der Vielzahl von Vereinzelungsgassen und durch die Dicke hindurch erfolgt; wobei der Wafer eine Dicke zwischen 10 Mikrometer und 100 Mikrometer aufweist.

8. Verfahren nach Anspruch 7, ferner ein Vereinzeln der Vielzahl von Dies durch Strahlablation umfassend.

9. Verfahren nach Anspruch 7, ferner ein Entfernen der Maske während des Nassätzens umfassend.

10. Verfahren nach Anspruch 7, ferner ein Nassätzen des Grundmetalls umfassend.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

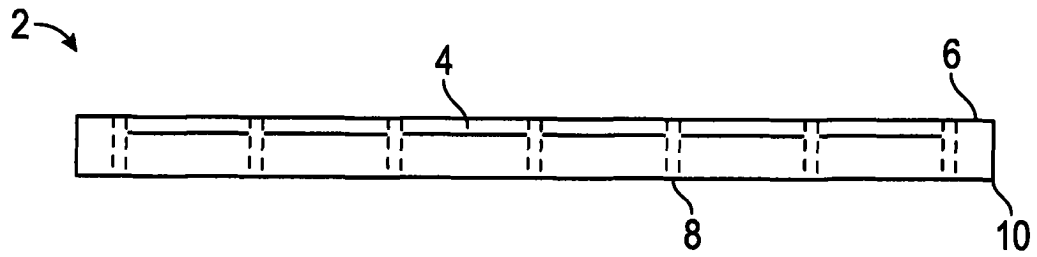


FIG. 1

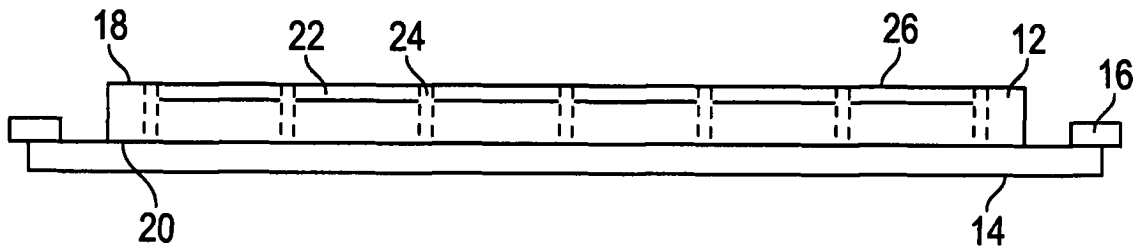


FIG. 2

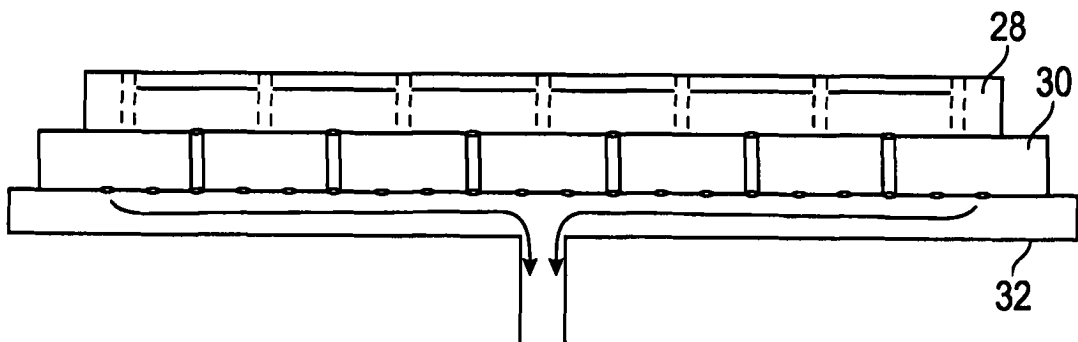


FIG. 3

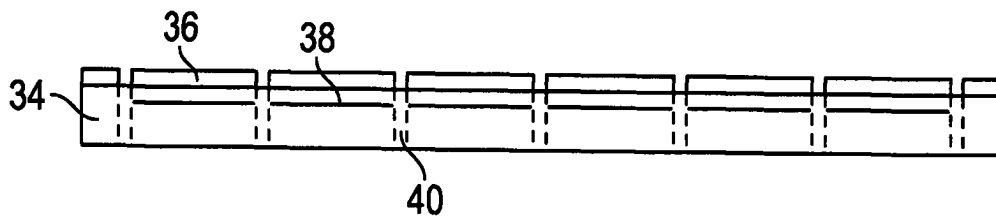


FIG. 4

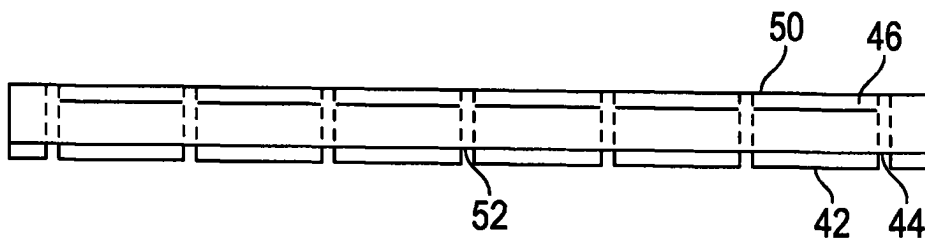


FIG. 5

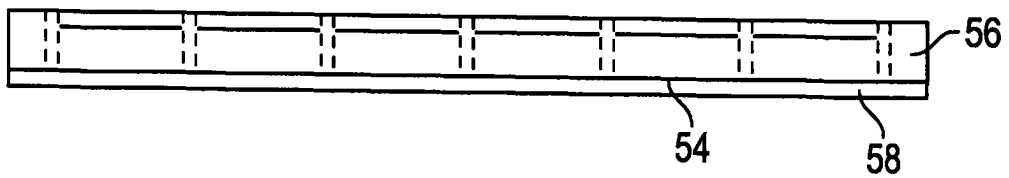


FIG. 6

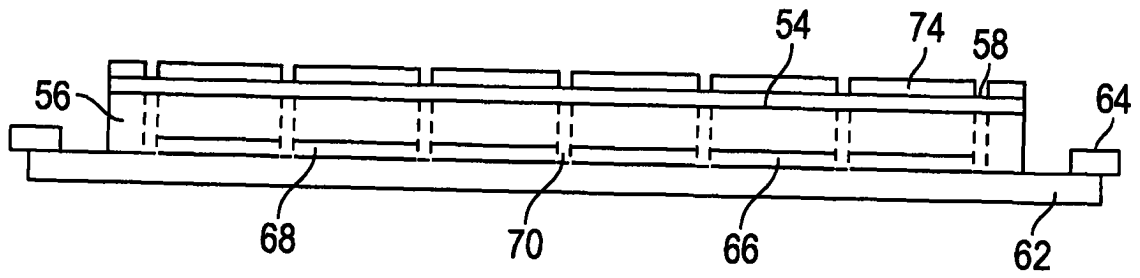


FIG. 7

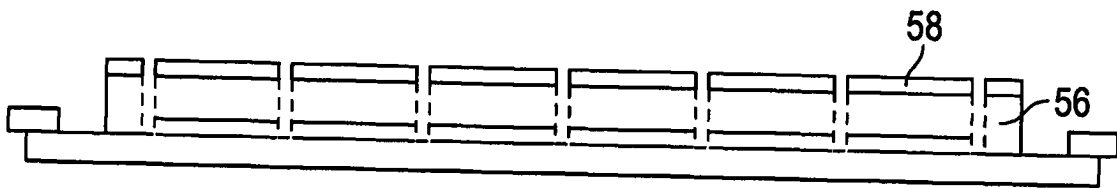


FIG. 8

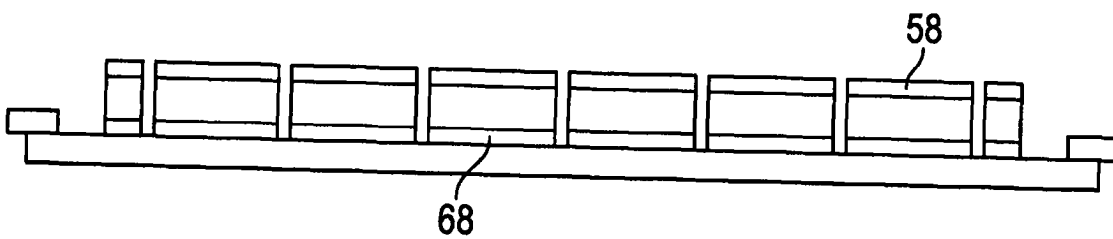


FIG. 9

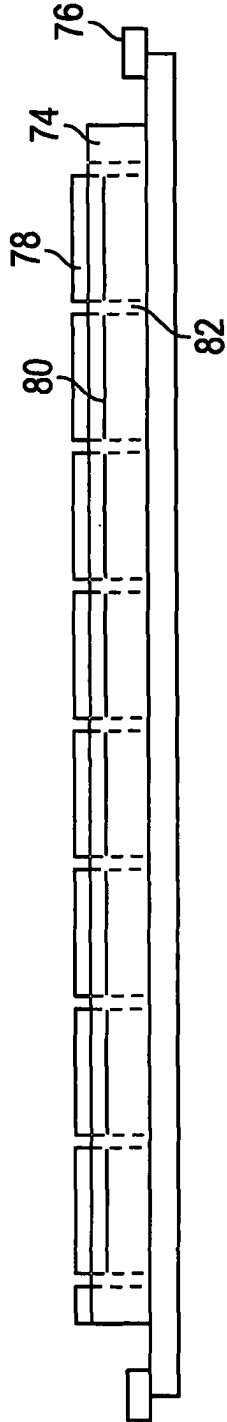


FIG. 10

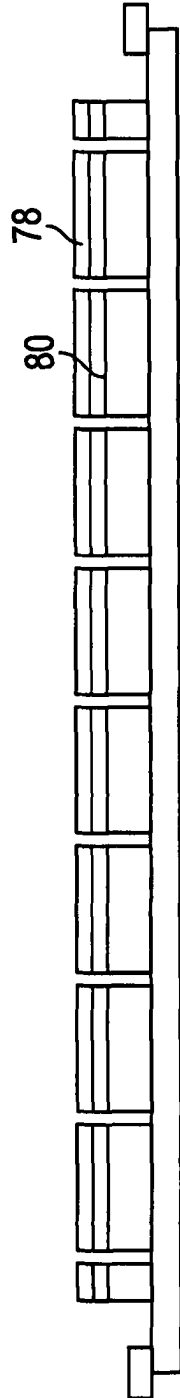


FIG. 11

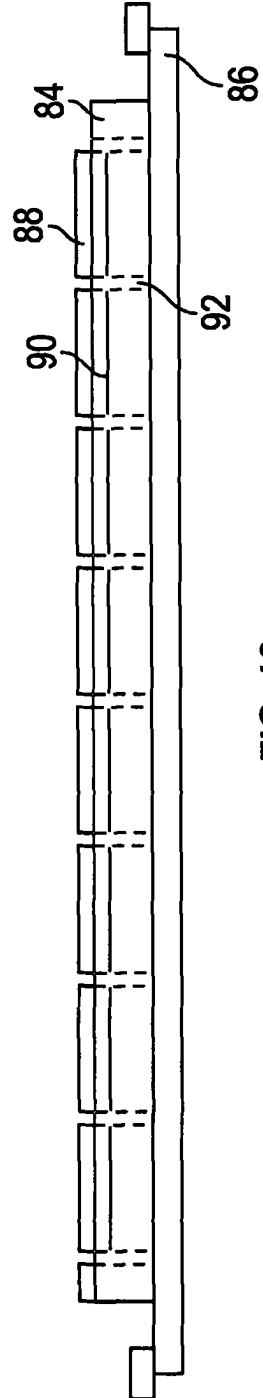


FIG. 12

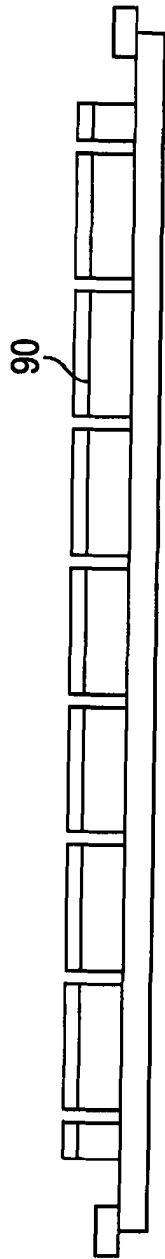


FIG. 13

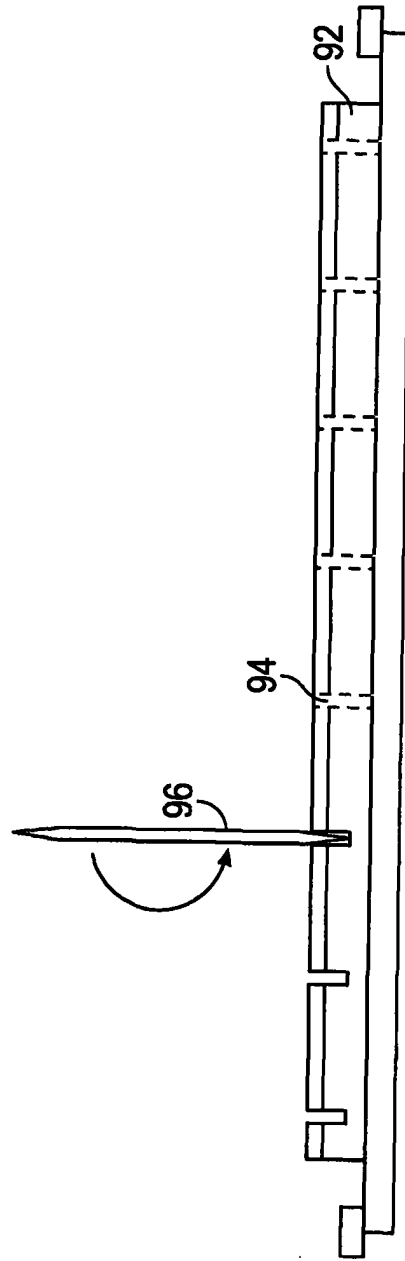


FIG. 14

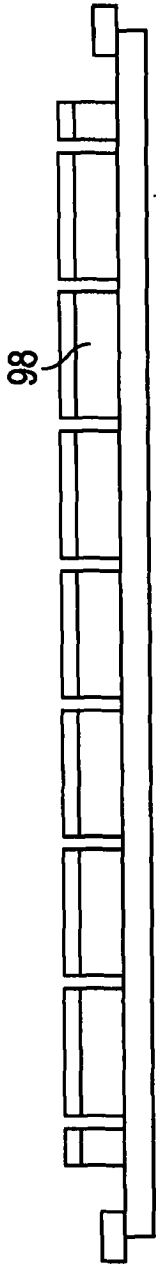


FIG. 15

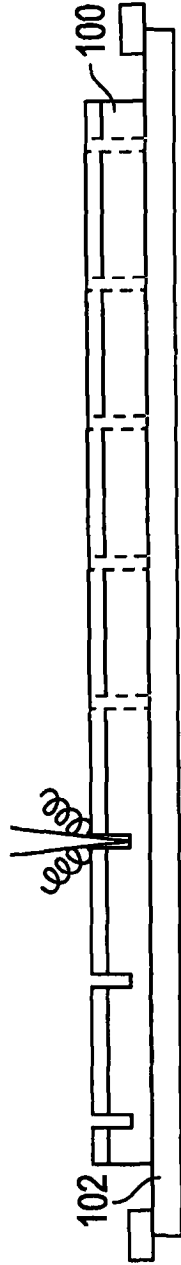


FIG. 16

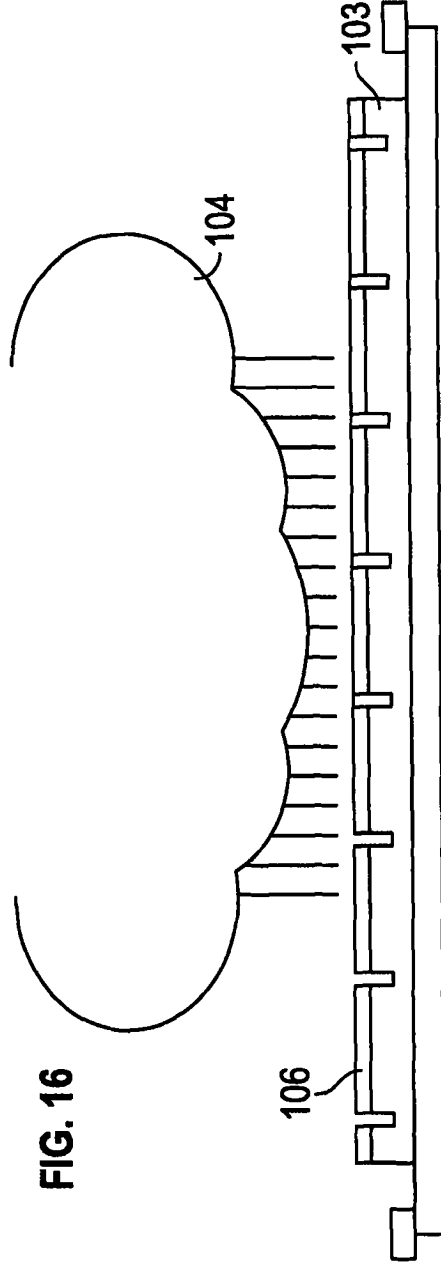


FIG. 17

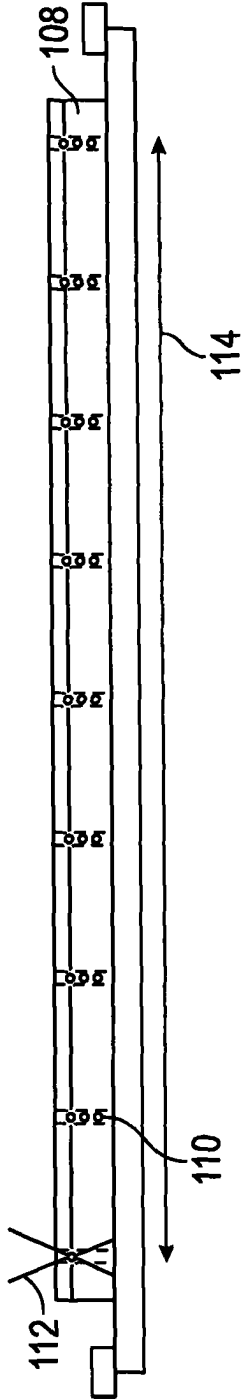


FIG. 18

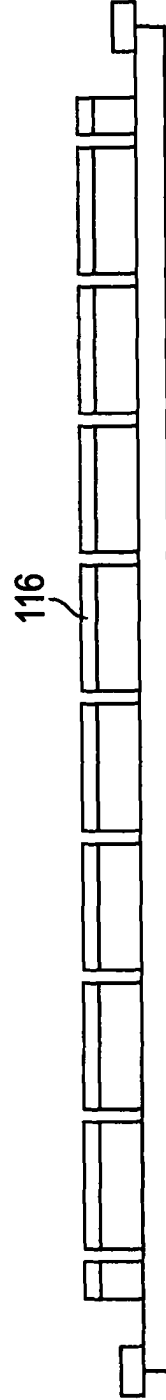


FIG. 19

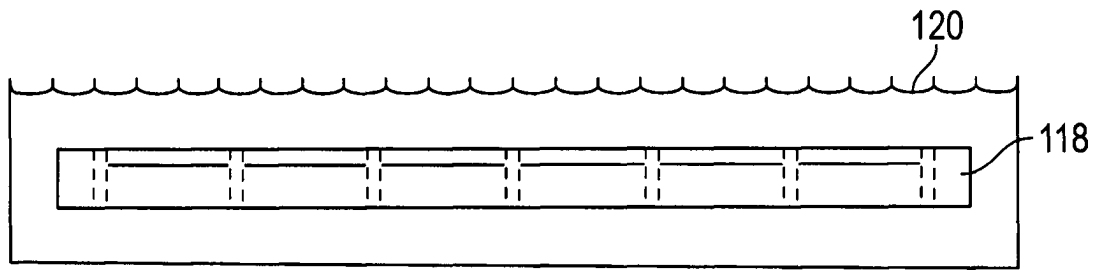


FIG. 20

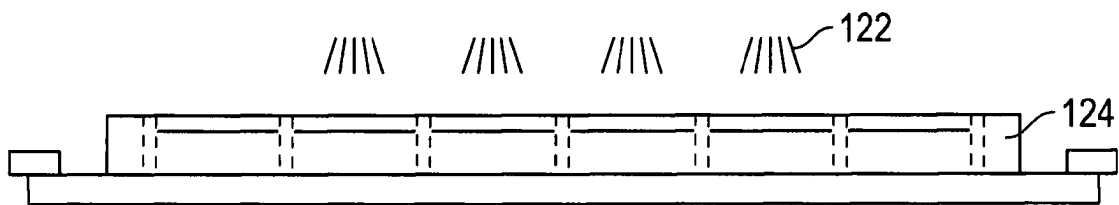


FIG. 21

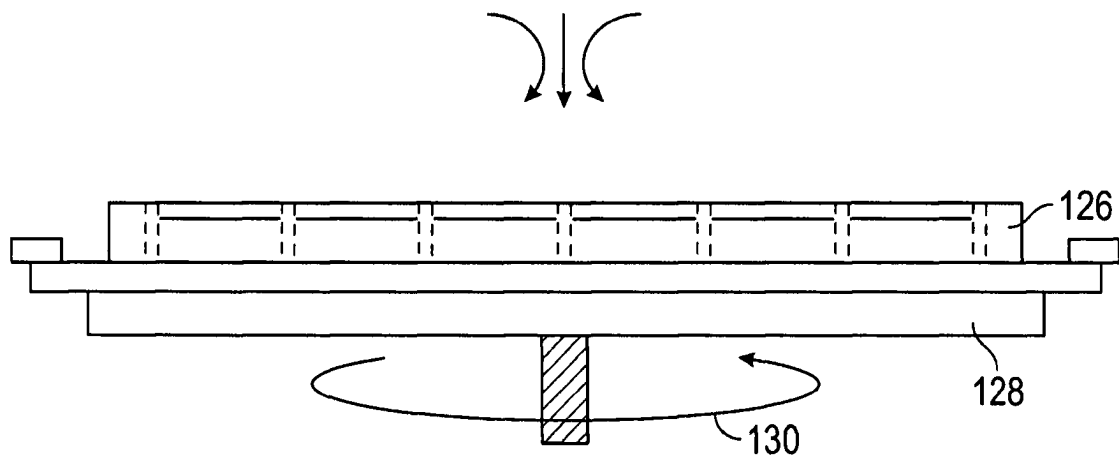


FIG. 22

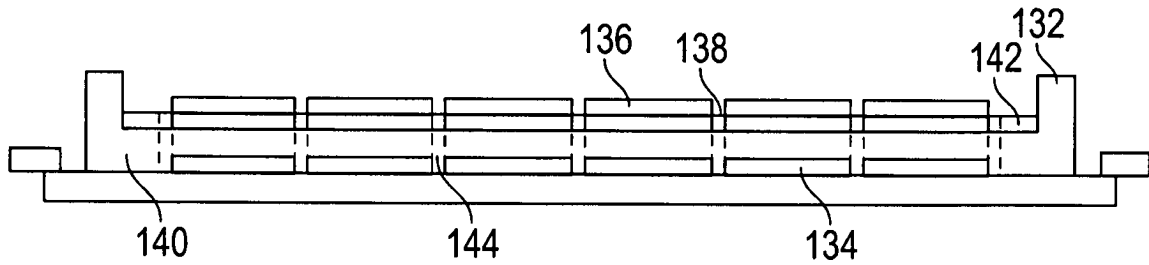


FIG. 23

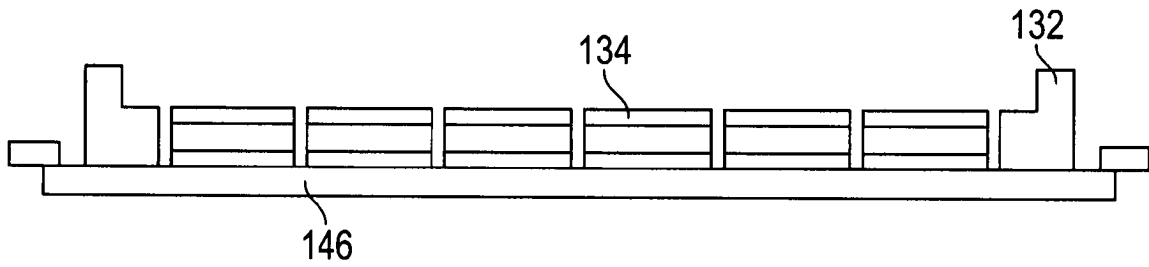


FIG. 24

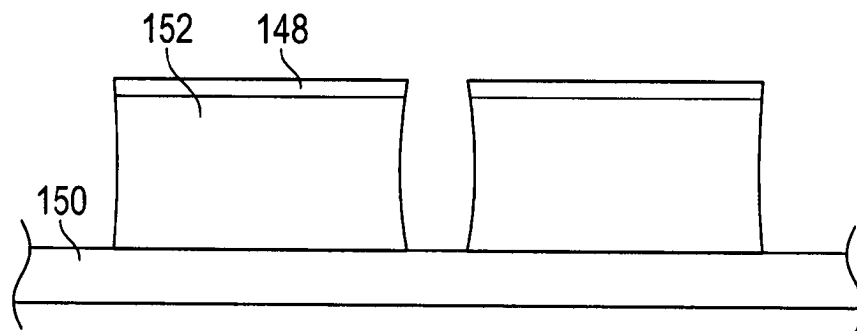


FIG. 25