202507

申請日期	80.9.17
案號	80107347
類別	G06F 13/00

（以上各欄由本局填註）

公告本

A4
C4

發明 新型 專利說明書

一、發明創作名稱	中文	電算機資料路徑系統
	英文	COMPUTER DATA ROUTING SYSTEM
二、發明創作人	姓名	(1)查爾斯・P・澤勒 (Charles P. Zeller) (2)特里・J・帕克斯 (Terry J. Parks) (3)邁克爾・D・德金 (Michael D. Durkin)
	籍貫（國籍）	美國
	住、居所	(1)美國德克薩斯州奧斯丁市特拉維斯・海茲1819號 (1819 Travis Heights, Austin, TX 78704, USA) (2)美國德克薩斯州朗德洛克市藍斯普令街909號 (909 Blue Spring Circle, Round Rock, TX 78681, USA) (3)美國德克薩斯州奧斯丁市蓋托路6308號 (6308 Gato Path, Austin, TX 78731, USA)
三、申請人	姓名（名稱）	德爾美國公司 (Dell USA Corporation)
	籍貫（國籍）	美國
	住、居所（事務所）	美國德克薩斯州奧斯丁市阿柏圖大道9505號 (9505 Arboretum BLvd., Austin, TX 78759-7299, USA)
	代表人姓名	威廉・P・布拉登 (William P. Braden)

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

202507

A6
B6

五、發明說明（1）

[發明之背景]

本發明是關於一種路徑指示方法和裝置用來指示在一個電算機系統之一些部份之間之資料字之路徑，尤其有關於一種路徑指示方法和裝置用來指示在如同處理機，記憶器和/或輸入/輸出裝置之電算機系統之一些部份之間之資料字之路徑，而不論該等部份是否被構建成用來處理相同寬度之資料字。

[相關技術之說明]

如熟悉本技術之士所習知者，一個電算機系統包含有一些子系統由一些路徑來交互連接，利用該等路徑使資料可以在一些子系統之間轉移。有兩種子系統，一種是中央處理單位（處理機）或處理機子系統，另外一種是記憶器和儲存器子系統（記憶器）包含多重記憶器裝置。該處理機用來控制電算機系統之操作，其方法是執行一系列之指令用來對資料執行一系統之數學運算。指令和資料雙方都以二進資訊之邏輯1和0之型式被儲存在電算機之記憶器。處理機和記憶器是表示一個電算機系統之最主要之子系統，除此之外，所有之電算機系統亦包括有任何數目之輸入/輸出(I/O)裝置用來將資訊轉入和轉出該電算機系統。與電算機系統一起使用之最通常之I/O裝置包括有用來輸入資訊和指令之鍵盤，用來讓使用者取回資訊之目視監察器和印字機，以及磁碟機或硬碟機用來製作儲存資訊之永久記錄或用來運轉另外之軟體。為著要將I/O裝置裝設在電算機系統，所以將I/O裝置連接到在電算機上的出口（I/O埠口）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（2）

，用來提供在I/O裝置和電算機子系統之間之路徑。

如熟悉本技術之士所習知者，所有之電算機系統更包括有一些通信通道或"匯流排"位於處理機，記憶器和被包括在一個特定電算機系統之任何其他子系統之間。典型之方式，電算機系統設有資料匯流排用來將資料載運至/自記憶器，位址匯流排用來載運藉以對指定記憶器位址定位之信號，和控制匯流排用來將時序和控制脈波載運到被包括在一個電算機系統中之全部之子系統。此外，I/O埠口亦連接到匯流排用來使I/O裝置鍵結到電算機系統。

資訊以資料字之形式在一些電算機組件之間轉移。一個資料字是一序列之二進數位或"位元"，每一個位元相當於一個"1"或一個"0"。一個資料字之大小亦可以在不同設計之電算機部份之間變化，資料字之長度通常在8和32位元之間變化。通常要使電算機系統更快速時，就增加資料字之大小使資料可以以更大之單位被處理和在每一個單位時間使更多之資料位元移動通過該系統。例如，使用16位元字之處理機子系統之盛行只在數年前，目前狀態之處理機子系統之技術，例使利用Intel公司所製作之80386和80486之微處理機，都是使用32位元之所謂之雙字架構用來更快速的處理資料。相似的，目前之電算機系統記憶器子系統可以以64位元單位來儲存和處理資料，亦即，使用4個各為16位元之相鄰字或2個各為32位元之相鄰雙字，用來使資料之存取更加快速。

用來組合成一個電算機系統之每一個電算機子系統和/

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（3）

或I/O裝置被構成以包含有指定數目之位元之單位來轉移資料。一個子系統或I/O裝置可以當作一個單一單位來處理之位元之數目通常稱為資料寬度。當有一對之子系統（例如一對之I/O裝置，或一個I/O裝置和一個子系統）被構建成具有相同之資料寬度時，該兩個就具有"均一性"或互相"匹配"。當發送裝置輸出資料之大小單位與接收裝置存取資料之單位相同時，資料沿著一個連接匯流排在具有均一性之裝置之間轉移時就變成相當的簡單。然而，子系統之對偶，或I/O裝置之對偶，或一個I/O裝置和一個子系統，被構建成具有不同之資料寬度時，該二個就變成"不均一"或"不匹配"。不均一之裝置不能以相同大小之資料單位來對連接匯流排定址，於是資料在不均一之裝置之間之轉移就變成更複雜。

電算機系統因為有一些理由而被構成包含有一些不匹配之子系統和/或I/O裝置。例如，容許資料以較大單位傳轉之技術發展通常在年代上並不具有均勻之間隔。因此，目前之I/O裝置可能匹配一個老式之8位元或16位元之處理機子系統，但是假如與一個較新之32位元處理機子系統連接時，該I/O裝置就會變成不匹配。其結果是一個系統設計者為著要經由以較大單位處理資料來改善子系統藉以增加一個電算機子系統之速度時，就必需更換全部之不能以相同資料單位大小進行存取之子系統和I/O裝置，除非有一些方法用來補償不匹配之裝置。

例如Graciotti之美國專利案No.4,716,527揭示有一種

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局印製

五、發明說明（4）

裝置可以用來製作16位元資料匯流排微處理機使其匹配一些被設計用在8位元資料匯流排之周邊裝置，擴增裝置和有關之軟體，其方法是設置一個匯流排變換器用來接收來自16位元資料匯流排之資料和將該資料匯流排分成高部份和低部份。然後該低部份和高部份可以選擇性的耦合到該8位元資料匯流排，亦即，假如一個16位元字從微處理機被轉移到一個8位元寬之外部裝置時，上部份和下部份就被選擇性的耦合到8位元寬之外部裝置。

較寬之資料匯流排到較狹之資料匯流排之連接是利用一個資料暫存器，其寬度對應到較寬之資料匯流排之寬度，利用選擇器電路將資料暫存器之不同部份以適當之時序連接到較狹之資料匯流排，利用這種方式來提供良好之操作，此種型式之介面接合機構對於其他應用之資料之移動會產生瓶頸。尤其是在多個資料處置單位都連接到介面機構之一側和在該介面機構之相反側之資料處理單位經常不能在同一時間執行資料之轉移時，則在多個單位的其中之一必需等待該多個單位之另外一個之完成資料轉移，這時就會發生延遲。

相似的，Dinwiddie, Jr.之美國專利案No.4309754揭示有一種資料介面機構用來使不同位元寬度之匯流排互作介面接合。為著要將資料數元組變換成多個數元組資料字，Dinwiddie, Jr.提供多個隨機存取(RAM)儲存單位位於二個資料匯流排之間和提供一個定址結構用來再生控制信號。對於連續資料之轉移至或轉移自較狹資料匯流排，使用

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（5）

一系列之不同之晶片選擇信號用來選擇不同之RAM單位，一個跟著另外一個，以重複之順序來轉移連續之資料數元組。然而，如同Graciotti之專利案之重複存取順序使Dinwiddie, Jr.者特別需要變更介面接合匯流排之相對寬度。另外，由Dinwiddie, Jr.電路所產生之晶片選擇信號不能使資料在變更寬度不同之介面之間轉移。

[發明之概要]

在本發明之一態樣中，本發明包含有一種數位電算機系統，具有一資料介面用來將一個8，16或32位元寬之I/O裝置所輸出之資料單位轉移到一個32位元寬資料匯流排。由I/O裝置來輸出資料之數元組。依照該I/O裝置之寬度，每一個輸出數元組可以是第一，第二，第三或第四資料數元組。資料介面包含有一系列之四個門鎖和路徑指示裝置用來分開的指示從該I/O裝置到該等門鎖之至少一個之輸入之路徑。32位元資料字在該門鎖之輸出累積，然後發送到資料匯流排。

在本發明之另一態樣中，本發明包含有一個數位電算機系統，具有一資料介面用來將一個32位寬資料匯流排所輸出之資料單位轉移到一個8，16或32位元寬之I/O裝置。該資料介面包含有：輸出驅動器其寬度等於I/O裝置之寬度；第一多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和具有一個輸出連接到該輸出驅動器裝置；第二多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和具有一個輸出連接到該輸出驅動器裝置；連接裝

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（6）

置，用來連接資料匯流排之輸出和輸出驅動器裝置之輸入；和路徑指示裝置，用來分開的指示從該32位元資料匯流排到該輸出驅動裝置之第一，第二，第三和第四資料數元組輸出之路徑。

在本發明之另外一種態樣中，本發明包含有一個數位電算機系統，具有一資料介面用來將一個8，16或32位元寬之I/O裝置所輸出之資料單位轉移到一個32位元寬資料匯流排，用來將I/O裝置所輸出之該8，16或32位元寬之資料累積成一個32位元資料字，和用來將該32位元寬資料匯流排所輸出之資料單位轉移到該8，16或32位元寬I/O裝置而不進行資料累積。該雙向資料介面包含有：第一，第二，第三和第四門鎖；路徑指示裝置，用來分開的指示從該I/O裝置到該等門鎖之其中之一之輸入之第一，第二，第三和第四資料數元組輸出之路徑；門鎖裝置，用來門鎖具有路徑通到每一個門鎖之輸出之該資料數元組，藉以在該門鎖輸出累積該32位元資料字；發送裝置，用來將該累積成之32位元字發送到該資料匯流排；輸出驅動器；和路徑指示裝置，用來分開的指示從該32位元資料匯流排到該輸出驅動器裝置而不累積之第一，第二，第三和第四資料數元組輸出之路徑。

在本發明之另一態樣中，本發明包含有一個電算機系統可以讓資料在一些不匹配之裝置之間轉移。該電算機系統包含有一個處理機子系統，記憶器子系統和一個交互連接處理機匯流排，均被構建成用來處置第一資料寬度之資料

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（7）

單位。另外有至少為一個之I/O裝置亦連接到該處理機匯流排，被構建成用來處置第二資料寬度之資料單位。經由調整被轉移之資料之寬度使其匹配接收裝置或匯流排之寬度，用來使資料可以在不同資料寬度之裝置和/或子系統之間轉移。為調整該寬度，所以設置有控制裝置，根據轉移和接收裝置或子系統之寬度和轉移之方向來修改沿著被轉移之資料數元組之路徑。

亦即，本發明利用一組匯流排信號（利用每一個資料轉移之一個碼或一序列之碼來控制資料之路徑）來代替特定之資料路徑和閂鎖組件。用來產生該等資料路徑信號之電算機系統必需包括有一個或多個裝置在匯流排介面具有最大資料寬度和用來執行路徑協議。

當在一個路徑指示裝置和一個非路徑指示裝置之間轉移時，路徑指示裝置之匯流排介面邏輯在與其他裝置產生一個或多個轉移時將實施一個或多個路徑指示碼。當在二個非路徑指示裝置之間之轉移，假如該二個非路徑指示裝置為不匹配和因而需要路徑指示時，有一個可選擇之路徑指示裝置之匯流排介面單位就實施對該系統之路徑指示服務。

本發明之優點是只需要少數之組件。因此可以提高可相容電算機系統之支持共存之多代之匯流排協議。假如用來實施包括資料路徑之協議之I/O裝置所包括之資料路徑具有適當之匯流排介面，則路徑指示匯流排介面邏輯可以廉價的形成一體。

本發明之一目的是提供一種裝置用來使一個電算機子系

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明（8）

統和一個I/O裝置資料匯流排互作介面接合，資料可以在二個不匹配之資料寬度之間轉移。

本發明之另一目的是提供一種電算機系統處理機匯流排具有一個介面位於一個電算機子系統和一個不匹配之I/O裝置之間，以及具有在一對不匹配之I/O裝置之間之介面。

[附圖之概略說明]

經由參照附圖，熟悉本技術之士當可對本發明及其目的，特徵和優點具有更清楚之瞭解，在附圖中：

圖1是電算機系統之最高階方塊圖；

圖2是可以使用在圖1之電算機系統之處理機子系統之方塊圖；

圖3是可以使用在圖1之電算機系統之記憶器子系統之方塊圖；和

圖4是圖1之電算機系統之處理機匯流排和I/O裝置之間之介面之方塊圖。

[發明之細節說明]

下面參照附圖，在全部之附圖中以相同之參考號碼來表示相同或相似元件，圖1表示一個電算機系統之最高階方塊圖。本發明將以此最高階來開始說明，然後說明更細節之階層，藉以保證能夠對本發明在所使用之環境中之角色和操作具有完全之瞭解和認識。

圖1表示使用有本發明之系統之個人電算機系統。其中有四個主匯流排用來表示最高階之主要介面。該等主匯流排為第一記憶器連接器2，第二記憶器連接器4，處理機匯

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（9）

流排16和I/O~~裝置~~匯流排20。第一記憶器連接器是一種私用介面位於處理機子系統6，第一記憶器子系統10(為該處理機子系統6所專用)和第二記憶器子系統12(亦為該處理機子系統6所專用)之間。最好之方式是第一和第二記憶器子系統10和12各被構建成64位元交錯記憶器，結合有2組各用來儲存一個32位元之雙字，一組為奇數和一組為偶數。處理機子系統6，第一記憶器子系統10和第二記憶器子系統12分別經由記憶器介面3，102，和5連接到記憶器連接器2。處理機子系統6亦經由處理機介面11連接到處理機匯流排16。

第二記憶器連接器4亦是一種私用介面，位於第一電算機子系統8和第二電算機子系統14之間。依照整個電算機系統所希望之操作能力亦可以裝設各種型式之子系統作為電算機子系統8，14。例如，電算機子系統8亦可以使用處理機子系統或I/O裝置，其目的將於後面說明，處理機8亦可以被選作電算機子系統8。此外，電算機子系統14亦可以使用處理機子系統，I/O裝置或記憶器子系統，其目的將於後面說明，智慧型I/O裝置14亦可以被選作電算機子系統14。每一個電算機子系統8，14分別設有記憶器介面7，9用來連接到記憶器連接器4和分別設有處理機介面13，15用來與處理機匯流排16連接。

處理機匯流排16是一種多主匯流排，其架構位於處理機子系統(處理機6和處理機8)和I/O裝置(包括I/O裝置18，14，和I/O匯流排20，I/O擴增槽22，24，26，28，30，32

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（10）

，34，36，38，40)之間。處理機匯流排16執行各種功能。第一，處理機匯流排16作為下列各部份之間之連接：處理機6和8；智慧型I/O裝置14;包括第一記憶器子系統10和第二記憶器子系統12之全部之系統記憶器；和I/O裝置，包括I/O裝置18和I/O擴增槽22，24，26，28，30，32，34，36，38，40，全部被構建成可以在其中裝設I/O裝置。

如上所述，處理機匯流排16可以讓每一個處理機子系統6，8接達另外一個處理機子系統8，6之記憶器子系統。此種接達容許"通過"直接連接到該記憶器之處理機。亦即，當連接到處理機匯流排16之處理機中請接達到其他處理機之記憶器之位置時，其他處理機局部完成該接達，接收來自處理機匯流排16之位址，將資料轉移自/至處理機匯流排16。此外，該處理機匯流排16亦作為處理機6和8之間之通信鏈。經由處理機間之通信機構，每一個處理機可以互相定址和岔斷。

除了上面所述者外，處理機匯流排16亦可以作為處理機記憶器複合體和I/O裝置18之間之介面。經由一個系統和匯流排控制器42，位址和資料可以在處理機匯流排16和I/O匯流排20之間轉換，其方式是經由一組收發器44，46(例如由Texas Instruments Incor_porated所生產之Model 74ALS 245)。經由該介面，處理機匯流排主可以接達I/O裝置18和I/O擴增槽22，24，26，28，30，32，34，36，38，40。另外，處理機匯流排16亦可以作為I/O到I/O之接達之資料路徑。如同下面之更詳細之說明，系統和匯流排

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（11）

控制器42產生"路徑碼"用來使裝置間之通信所需之協議格式化，和激勵插入到I/O擴增槽之智慧卡接達其他之I/O卡，或處理機匯流排記憶器。該系統和匯流排控制器42，除了提供路徑資訊和路徑碼之產生外，亦用來處置全部之處理機匯流排16之仲裁，和使全部之控制信號與系統I/O 18進行介面接合（該信號有如ISA命令，DMA控制信號，和岔斷信號）。

下面參照圖2，圖中顯示處理機卡之主要部份之方塊圖。經由參照圖1可以看出該處理機子系統6經由記憶器連接器2和處理機匯流排16，形成與電算機系統之其餘部份互作介面接合。處理機子系統6包括有：微處理機48(如Intel 80386)，數值共處理機50(如Intel 80387)，選用共處理機52(如Weitek 3167)，快速子系統(將於下面說明)，時鐘電路54，開機自行測試僅讀記憶器(POST ROM)56，資料流動和ECC控制器58，和記憶器和匯流排控制器60。

該快速子系統包括有一個快速記憶器(圖中顯示包含有分開的二組SRAM 62A，62B)和一個快速控制器64(如Intel 82385)。熟悉本技術之士當可瞭解，快速子系統之功能如同一個極快速之「繪草圖器」之記憶器，可以讓處理機對最常需要之資料進行快速之存取。本發明之系統亦可以使用各具有4個雙字之快速線大小之快速記憶器，促成假如處理機進行快速讀取時，記憶器控制器就從系統記憶器轉回4個順序雙字使其進入快速記憶器。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明(12)

快速子系統之操作之詳細說明見于專利申請中之美國專利申請案序號(DC-00131)其標題為"Processor which performs Memory Access in Parallel with cache Access and Method Employed Thereby"，於1990年7月27日建檔，並讓渡給本發明和加入此處作為參考。

對於具有快速記憶器62A，62B之系統，其中包括有一個司魯普(snoop)位址閂鎖66用來獲取每一個處理機位址其產生是在需要時用來使位址失效。此外，在具有快速記憶器之系統中，包括有一個可規劃陣列邏輯(PAL)線延伸邏輯68用來控制在快速記憶器62A，62B，快速控制器64，和記憶器和匯流排控制器60之間轉送之信號。

處理機子系統6亦包括有局部位址，資料和控制匯流排(以圖2中之各種箭頭來表示)用來交互連接微處理機48，共處理機50，52，快速記憶器62A，62B，資料流動和ECC控制器58，和記憶器和匯流排控制器60。該等匯流排被用在局部循環，例如POST ROM 56之讀取，共處理機循環和快速讀取擊中。對POST ROM 56之存取可以經由資料流動和ECC控制器58之操作來完成。然而，對於整體循環例如快速寫入，快速讀取失誤，非快速循環，和I/O循環，該處理機子系統6必需完成其離板存取。

對於離板存取，記憶器和匯流排控制器60對局部位址和控制信號進行解碼，和決定該存取之對象是否為處理機匯流排16或是專用記憶器。對於一個記憶器循環，該記憶器和匯流排控制器60產生記憶器控制信號(亦即，RAS，CAS

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局印製

五、發明說明(13)

和WE)和位址藉以接達該記憶器卡。對於每一個復新週期該記憶器和匯流排控制器60亦產生復新信號給如同元件10之記憶器卡。當聯合該記憶器匯流排控制器60時，該資料流動和ECC控制器58亦執行誤差核對和校正。誤差核對和校正之詳細說明見于專利申請中之美國專利申請案序號516,628，其標題為"Digital Computer Having An Error Correction Code(ECC)System with Comparator Integrated Into Re-Encoder"，和序號516,894，其標題為"Minmized Error Correction Bad Bit Decoder"，以及序號516,606，其標題為"Shaved Logic For Error Correction Syndrome Encoding"，全部建檔於1990年4月30日，而且全部讓渡給本發明和加入此處作為參考。

對於對象不為記憶器卡10之離板循環，該記憶器和匯流排控制器60就產生一個處理機匯流排申請信號，當它被認可時就接管處理機匯流排16之控制。再度的與該資料流動和ECC控制器58一起工作，使該記憶器和匯流排控制器60完成對該處理機匯流排16之接達。

下面參照圖3，圖中顯示記憶器卡10之主要部份之方塊圖。經由參照圖1可以看出該記憶器卡10經由記憶器導體2形成與該系統之其餘部份互作介面之接合。如上所述，每一個記憶器卡10之較佳形式是具有虛擬64位元字之儲存器，形成2組交錯之32位元雙字之形式，一組為奇數和一組為偶數。每一個卡10包括有RAS，CAS，和復新控制器68，四個位址緩衝器70，72，74，76，8個單一線內記憶器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明(14)

(SIMM)溝槽78，80，82，84，86，88，90，92，和四個交錯控制器94，96，98，100。該RAS，CAS和復新控制器68之詳細說明見于專利申請中之美國專利申請案序號07/540,049，其標題為"A Digital Computer Having a System for Sequentially Refreshing and Expandable Dynamic RAM Memoy Circuit"於1990年6月19日建檔，讓渡給本發明並且被加入此處作為參考，該控制器68接收來自記憶器介面102之控制信號(詳見圖1)，並且被記憶器和匯流排控制器60驅動(詳見圖2)。其結果是該RAS，CAS和復新控制器68驅動控制信號給SIMM溝槽68，80，82，84，86，88，90，92藉以進行讀取，寫入和復新。該四個交錯控制器94，96，98，100之詳細說明見于專利申請中之美國專利申請案序號07/530,137，其標題為"Dual path Memory Retrieval System for an Interleaved Dynamic RAM Memory Unit"，於1990年5月25日建檔，讓渡給本發明並且被加入此處作為參考，該四個交錯控制器之每一個用來使記憶器連接器2和SIMM溝槽78，80，82，84，86，88，90，92之間之8個位元之資料多工化。

如下面之更詳細之說明，資料在32位元資料之偶數組和奇數組之間被分裂，用來完成真正之交錯。亦即，對於每一個讀取，存取64位元之資料，和該四個交錯控制器94，96，98，100選擇32位元(奇數資料或偶數資料)作現行存取。後續存取可以以一個單一之處理機時鐘循環來完成，因為第二個32位元雙字已經被接達和閂鎖。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局印製

五、發明說明(15)

如上所示，記憶器卡10包括有位址緩衝器70，72，74，76和SIMM溝槽78，80，82，84，86，88，90，92。例如，VTC所製造之Model 74FCT828和74FCT827資料緩衝器可以被使用作位址緩衝器70，72，74，76。反相(74FCT828)和非反相(74FCT827)之緩衝器可以用來減小平均位址線信號交換，藉以減小電雜訊。SIMM溝槽78，80，82，84，86，88，90，92適於用來裝配具有同位(Parity或FCC組織之1，2，4或8Mbyte之SIMM。

在說明資料介面和資料路徑技術(可以用來決定I/O裝置和不匹配處理機匯流排之間，或一對不匹配I/O裝置之間之資料之路徑)之前，必需先說明圖1-3所示之電算機系統之某些特性。

此處所述之電算機系統以32位元之資料塊為單位來處理資料，每一個位元表示一個邏輯"1"或邏輯"0"。每32個位元之資料單位稱為一個資料"字"。相似的，16位元之資料塊下面稱它為一個"半字"，和8位元之資料塊下面稱它為一個"數元組"(byte)。因此，每一個32位元字包含有2個半字，每一個半字包含有2個數元組。同樣的，在定義上包含32個位元之一些數元組和半字依照下列方式來稱呼

32位元字

半字 1		半字 0	
數元組3	數元組2	數元組1	數元組0
位元31-24	位元23-16	位元15-8	位元7-0

如上所述，處理機子系統6，8，記憶器子系統10，12，

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明（16）

記憶器連接器2，4，和處理機匯流排16，都被構建成以32位元字來處理資料。然而，I/O裝置典型之方式並不以32位元為單位來處理資料。而是通常以8位元或16位元為單位來處理資料。對於16位元之I/O裝置，資料轉移是發生在半字0。對於8位元I/O裝置，資料轉移是發生在數元組0。

為著對本發明具有更完全之瞭解，下面需要先說明"數元組激勵"信號之觀念。假設要使32位元字，16位元半字和8位元數元組在I/O裝置和處理機匯流排16之間轉移。為著達成此目的，本發明控制每一個數元組資料之路徑，不論該數元組是資料本身之單位或是如同半字或字之較大資料塊之一部份。因此，在一個字或其他單位內之每一個數元組之轉移必需受控制。如下面之更詳細之說明，資料數元組之轉移受一系列之被稱為"數元組激勵"信號之信號之控制。假如一個特定數元組之數元組激勵信號被確定，該數元組就被確定該數元組激勵信號之特定電路加以轉移。因此，對於每一個資料數元組B0，B1，B2和B3，各有一個對應之數元組激勵信號BE0，BE1，BE2和BE3，經由確定適當之電路，用來控制對應之資料數元組之轉移。

下面將參照圖4來詳細的說明介面裝置和資料路徑技術，該技術可以使資料在32位元處理機匯流排16(或如同與其連接之處理機6或8之匹配電算機部份)和I/O裝置(被構建成只用來處理以8，16或32位元為單位之資料)之間轉移。其詳細說明見于專利申請中之美國專利申請案序號

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（17）

490,003，其標題為"Method and Apparatus for Performing Multi-Master Bus Pipelining"，於1990年3月7日建檔，讓渡給本發明並且被加入此處作為參考，該處理子系統6和8都能夠作為匯流排主用來經由處理機匯流排16將資訊轉移至/自如同I/O裝置18之從屬裝置。上述之專利申請案亦說明處理機子系統6和8可以同時執行計算，但是只有一個可以作為匯流排主。為著要變成匯流排主，所以處理機子系統6或8必需申請處理機匯流排16和被認可可以接達該處理機匯流排16時才變成匯流排主。然後，處理機6，8必需完成所希望之處理和放棄該匯流排。

如上述之參考專利申請案之進一步之說明，該系統和匯流排控制器42包括有一個仲裁器，用來仲裁二個或更多個申請處理機（例如處理機子系統6和8，假如該兩個處理機同時申請處理機匯流排16時）之間之申請，然後將 匯流排給予該等申請處理機子系統的其中之一。然後，當現行匯流排主釋放匯流排之位址線時，選定之處理機子系統就從申請狀態移動到選定位址主狀態。然後選定之位址主對如同I/O裝置18之從屬裝置進行定址，用來設立資料之轉移。這時，現行匯流排主變成現行資料主，資料被轉移到先前定址之位置。當現行資料主表示它已釋放匯流排之資料線時，選定之位址主就變成選定匯流排主，同時現行之資料主從匯流排轉移進入閒置狀態。因此，很明顯的，現行之主子是資料主，同時被選定之主子是位址主。在只有二個可能之主裝置之情況時，就沒有仲裁，因為有一個裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明(18)

永遠為主裝置，所以不需要仲裁。然而，在較佳具體例中，仍然使用仲裁器來產生匯流排認可信號給申請之裝置。

再度參照圖4，下面將說明電算機子系統和/或I/O裝置間之介面，和本發明之主題之該子系統和/或I/O裝置間之資料路徑之決定技術。亦即，下面將更詳細的說明資料介面和從一個不匹配I/O裝置18(被構建成用來處理8，16，24或32位元(1，2，3或4數元組)之資料)到該32位元(4數元組)處理機匯流排16之資料路徑之決定方法。

當處理機讀取循環時，資料從該從屬I/O裝置18經由處理機匯流排16轉移到主資料處理機子系統6。當在此一循環時，從屬I/O裝置18分別發送資料(其大小之單位對應到其寬度)到第一，第二和第三輸入數元組置換多工器(或"IS多工器")108，110，102和輸入閂鎖(或"IL")114。依照I/O裝置之寬度，每一個資料單位包含有8，16或32個位元，其中每一組之位元0-7下面稱它為"第一數元組"，每一組之位元8-15為"第二數元組"，每一組之位元16-23為"第三數元組"，和每一組之位元24-31為"第四數元組"。

每一個IS多工器108，110，112連接到輸出驅動器裝置106，使每一個IS多工器108，110，112接收從屬I/O裝置18所輸出之每一組位元，它對應到多個上述之數元組群組。亦即，IS多工器108被構建成用來接收輸出自從屬I/O裝置之被指定為第一數元組B0之每一組資料位元，和被指定為第二數元組B1之每一組輸出資料位元。IS多工器110被構建成用來接收被指定為第一數元組B0和第三數元組B2之

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局印製
甲4(210×297公釐)

五、發明說明(19)

每一組資料位元。最後，IS多工器112被構建成用來接收被指定為第一數元組B0，第二數元組B1，和第四數元組B3之每一組資料位元。

在每一個IS多工器108，110，112被構建成用來接收多個數元組時，只有一個輸入數元組被特定之多工器選定進行輸出。供每一個多工器進行輸出之輸入數元組之選擇由該系統和匯流排控制器42產生之一系列路徑碼(或RC)來加以控制，然後被發送到第一路徑碼解碼器104。第一路徑碼解碼器104依照接收到之特定RC，對該系統和匯流排控制器42所發送之RC進行解碼，以數元組激勵信號BE0或數元組激勵信號BE1發送到IS多工器108用來選擇B0或B1作為輸出，或是以數元組激勵信號BE0或數元組激勵信號BE2發送到IS多工器110用來選擇B0或B2作為輸出，或是以數元組激勵信號BE0和BE1或BE3發送到IS多工器112用來選擇B0，B1或B3作為輸出。由第一動作碼解碼器所產生之此種資料轉移信號與來自I/O裝置18之IOCLK信號和來自I/O裝置18之SCLK輸入同步。

當輸入門鎖114之輸入直接連接到輸出驅動器裝置106，和輸入門鎖116，118和120之輸入分別連接到IS多工器108，110和112之輸出時，則受該系統和匯流排控制器42所產生之RC之控制之數元組B0，B1，B2和B3之組合將分別供給到輸入門鎖114，116，118和120之輸入。該系統和匯流排控制器42亦產生門鎖激勵信號LE1，LE2，LE3和LE4分別供給到門鎖114，116，118，和120，用來門鎖供給到門鎖

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局印製

五、發明說明(20)

114，116，118和120之輸入之數元組B0，B1，B2和B3之特定組合，供給到閂鎖之輸出。經由閂鎖該等輸出，在輸入閂鎖114，116，118和120之輸出累積一個32位元(4數元組)資料字，用來發送到處理機6。

由該系統和匯流排控制器42所產生之路徑碼用來控制處理機之讀取操作，以及用來將任何其他之資料從一個從屬I/O裝置轉移到連接至處理機匯流排16的一個32位元電算機子系統，該等路徑碼如下面之表1所示：

循環	RC	IS			IL			
		112	110	108	114	116	118	120
[ ]-<<>	04	x	x	x				
[0]-<<0>	05	x	x	x				T
[1]-<<0>	01	x	x	B0			T	
[2]-<<0>	03	x	B0	x		T		
[3]-<<0>	02	B0	x	x	T			
[0,1]-<<0,1>	07	x	x	B1			T	T
[2,3]-<<0,1>	06	B1	B0	x	T	T		
[0,1,2,3]-<<0,1,2,3>	00	B3	B2	B1	T	T	T	T

表 1

其中：

< >＝在處理機匯流排上之數元組位置；

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局印製

五、發明說明(21)

[ ]＝在輸入閂鎖上之數元組位置；

-<＝在處理機匯流排和閂鎖之間之數元組之方向；

B0，B1＝當接收到對應之數元組激勵信號BE0，

B2，B3

BE1，BE2，BE3時，由指定之IS多工器發送之資料單位；和

T＝發送到指定閂鎖之閂鎖激勵信號。

當資料介面不作動時，亦即沒有資料被轉移時，該系統匯流排控制器42就產生路徑碼"04"。該路徑碼04不激勵該IS多工器108，110或112，亦不激勵IL閂鎖114，116，118或120。這時該系統不動作而且也沒有數元組置換發生。

當有一個8位元從屬裝置將資料供給到32位元處理機匯流排16(和所連接之電算機子系統)時，該系統和匯流排控制器42就在處理機匯流排16之每一個循環產生4個副循環，其方式是順序的產生路徑碼"05"，"01"，"03"和"02"。由上面之表1可以看出，每一個被產生之副循環用來控制I/O裝置所輸出之第一數元組0之閂鎖到處理機滙流排16之數元組0。由I/O裝置輸出之第二數元組0被閂鎖到處理機匯流排16之數元組1，第三數元組0閂鎖到數元組3和第四數元組0閂鎖到數元組4。

亦即，當使用8位元從屬I/O時，來自I/O裝置14的一個單一之數元組被輸入到驅動器裝置106。來自驅動器裝置106之輸出直接連接到閂鎖114和分別連接到IS多工器108，110和112之B0輸入。當第1I/O副循環(RC＝05)時，路徑

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明（22）

碼解碼器104供給一個激勵信號給輸入閂鎖114，藉以將I/O~~裝置~~之輸出閂鎖到該閂鎖114和將I/O裝置18之數元組0放入處理機匯流排之數元組0。當第二I/O副循環（RC＝01）時，路徑碼解碼器104供給一個激勵信號經IS多工器108用來將IS多工器108之輸出變換成BO輸入，和供給一個激勵信號給輸入閂鎖116，藉以在第二副循環時將I/O裝置18之輸出閂鎖到該閂鎖116和將I/O裝置18之下一個數元組0放入處理機匯流排之數元組1。相似的，當第三I/O副循環（RC＝03）時，路徑碼解碼器104供給一個激勵信號給IS多工器110，和當第三I/O副循環時供給一個激勵信號給該輸入閂鎖118用來將該閂鎖118閂鎖到第三副循環I/O裝置輸出和將來自I/O裝置18之下一個數元組0放入處理機匯流排之數元組3。最後，當第四I/O副循環（RC＝02）時，路徑碼解碼器104供給一個激勵信號給IS多工器112和輸入閂鎖120，藉以將輸入閂鎖120閂鎖到第四I/O副循環輸出和將來自I/O裝置18之下一個數元組0放入處理機匯流排之數元組0。

當一個16位元I/O裝置連接到處理機匯流排時，不需要額外之電路用來使16位元副系統和32位元資料匯流排匹配。當處理機匯流排循環時，16位元I/O裝置將具有二個I/O副循環。在此種組態中，於第一I/O副循環時，該系統和匯流排控制器42就產生第一路徑碼和將其發送到路徑碼解碼器，在第二I/O副循環時則發送第二路徑碼。當第一I/O副循環（RC＝07）時，數元組激勵信號發送到IS多工器108，和閂鎖激勵信號發送到閂鎖114，116。因此，I/O裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（23）

18輸出之第一半字之數元組B0被閂鎖114加以閂鎖，而I/O裝置18所輸出之第一半字之數元組B1在接收到BE1信號時提供在IS多工器108之B1輸入，該IS多工器108將數元組B1輸出到閂鎖116用來進行閂鎖。當第二I/O副循環（RC＝06）時，第二半字被I/O裝置18發送和閂鎖到處理機字之上數元組。當第二I/O副循環時，數元組B0被輸出到閂鎖114之輸入和IS多工器110和112之B0輸入。在此期間，路徑碼解碼器104產生一個數元組激勵信號BE給IS多工器110，藉以變換該多工器使數元組B0被提供在IS多工器110之輸出。該路徑碼解碼器104亦發送閂鎖激勵信號LE2至閂鎖118，用來將閂鎖118之輸出閂鎖至數元組B0。當第二副循環之第二半時，I/O裝置18發送數元組B1至IS多工器108，112之B1輸入。當第二副循環之第二半時，路徑碼解碼器104發送數元組激勵信號BE1至IS多工器112，藉以變換該多工器使數元組B1被提供在IS多工器112之輸出。路徑碼解碼器亦發送閂鎖激勵信號LE3至閂鎖120，用來將閂鎖120之輸出閂鎖至數元組B1。

當32位元（4數元組）I/O裝置18連接到處理機匯流排16時，I/O裝置和處理機匯流排16互相匹配，路徑碼必需再度的被變更用來修改來自I/O裝置18之32位元之控制。同樣的不需要額外之電路。在匹配之組態中，該系統和匯流排控制器42之路徑碼產生裝置用來產生和發送一個單一之路徑碼RC＝00至路徑碼解碼器104。當資料之發送時，數元組B0供給到閂鎖114和IS多工器108，110和112之Bo輸入。數元組B1供給到IS多工器108和112之B1輸入，數元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明(24)

組B2供給到IS多工器110之B2輸入，和數元組B3供給到IS多工器112之B3輸入。路徑碼解碼器104發送數元組激勵信號BE1到IS多工器108，和發送數元組激勵信號BE2到IS多工器110和發送數元組激勵信號BE3到IS多工器112，藉以變換IS多工器108，110和112，用來將數元組B1，B2和B3分別提供在IS多工器108，110和112之輸出。路徑碼解碼器104亦發送閂鎖激勵信號LE0到閂鎖114，LE1到閂鎖116，LE2到閂鎖118和LE3到閂鎖120，藉以將閂鎖114，116，118和120之輸出分別閂鎖到數元組B0，B1，B2和B3。

上面已經說明了從I/O裝置18到處理機匯流排16之資料路徑，用來將資料轉移到如同處理機子系統6 之電算機子系統，下面將說明從處理機匯流排16到I/O裝置之資料路徑。當寫入操作時，資料從處理機子系統6輸入到閂鎖122。當記憶器系統10交錯時，資料從記憶器10提供給偶數閂鎖124和奇數閂鎖126。一旦被該系統和匯流排控制器42所發送之有關之閂鎖激勵信號(圖中未顯示)加以激勵之後，來自資料閂鎖122，124，和126之輸出就當作輸入的提供給多工器128。依照所進行之寫入操作之型式，將變換信號輸入到多工器用來變換多工器128使來自記憶器子系統10或處理機子系統6之資料被輸出到閂鎖130之輸入。

當有關之記憶器或處理機寫入操作時，閂鎖激勵信號(圖中未顯示)提供給閂鎖130用來使輸出自記憶器子系統10或處理機子系統6之資料被閂鎖到多工器134之第一輸入。然後由第二路徑碼解碼器132發送變換信號到多工器134

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局印製

五、發明說明(25)

用來將多工器134之輸出變換到與閂鎖連接之輸入。利用這種方式，多工器34輸出32位元資料字從處理機或子系統6或記憶器子系統10轉移到具有8，16或32位元之資料寬度之I/O裝置18。如此一來，多工器134之輸出連接到第一輸出數元組置換(OS)多工器136和第二OS多工器138。數元組B0作為OS多工器138之第一輸入，數元組B1作為OS多工器138之第二輸入和OS多工器136之第一輸入，數元組B2作為OS多工器138之第三輸入和輸出驅動器裝置140(包括有第一，第二，第三和第四輸出驅動器140a，140b，140c和140d)之第一輸入，和數元組B3作為OS多工器138之第四輸入，OS多工器136之第二輸入，和輸出驅動器裝置140a-d之第二輸入。OS多工器136，138之輸出亦輸入到輸出驅動器裝置140a-d。

第二路徑碼解碼器132接收來自該系統和匯流排控制器42之RC信號，在需要的時候發送數元組激勵信號BE0-BE3給OS多工器138，發送數元組激勵信號BE1和BE3給OS多工器136，和發送激勵信號OD給輸出驅動器裝置140a-d，用來完成特定之寫入操作所需之數元組置換，例如32位元電算機子系統與8，16，或32位元之I/O裝置之置換。路徑碼，數元組激勵信號和輸出驅動器激勵信號連續的完成各種寫入操作如下面之表2所示：

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局印製
甲4(210×297公釐)

202567

A6
B6

五、發明說明 (26)

循環	RC	OS		OD			
		136	138	140d	140c	140b	140a
(0,1,2,3)-> <0,1,2,3>	00	B1	B0	T	T	T	T
(2,3)-><0,1>	03	B3	B2	T	T	T	T
(1)-><0,1>	02	B1	B1	T	T	T	T
(3)-><0,1>	01	B3	B3	T	T	T	T

表 2

其中：

( )＝在連接到處理機匯流排之子系統上之數元組位置；

< >＝在處理機匯流排上之數元組位置；

->＝在處理機匯流排，閂鎖或裝置之間之數元組置換之方向；

B0，B1＝當接收到對應之數元組激勵信號BE0，BE1，B2，B3

BE2，BE3時，由指定之OS多工器發送之資料單位；和

T＝發送到指定之輸出驅動器之驅動器激勵信號。

上面已經說明了一個8，16和32位元I/O裝置和一個連接到32位元處理機匯流排16之32位元電算機子系統之間之資料路徑，經由處理機匯流排16之一對8，16或32位元I/O裝置之間之資料路徑之技術所需之修改。在一個I/O至I/O之轉移中，有一個I/O必需為I/O匯流排主，而另外一個為I/

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明(27)

0匯流排從屬。為著要決定從屬和主I/0之間之資料路徑，所以首先要將資料從從屬I/0裝置18轉移到處理機匯流排16，然後轉移到主I/0裝置14。當此種轉移時，從屬I/0裝置18將對應到其寬度之大小之資料單位從I/0裝置18分別發送到第一，第二和第三IS多工器108，110，112和IL閂鎖114。依照I/0裝置之寬度，每一個資料單位包含有8，16或32位元，其中每一組之位元0-7為第一數元組，每一組之位元8-15為第二數元組，每一組之位元16-23為第三數元組，和每一組之位元24-31為第四數元組。

每一個IS多工器108，110，112連接到輸出驅動器裝置106，使每一個IS多工器108，110，112用來接收從屬I/0裝置18所輸出之對應到多個上述指定之數元組群組之每一組位元。亦即，IS多工器108被構建成用來接收輸出自從屬I/0裝置18之被指定為第一數元組B0之每一組資料位元和被指定為第二數元組B1之每一組輸出資料位元。IS多工器110被構建成用來接收被指定為第一數元組B0或第三數元組B2之每一組資料位元。最後，IS多工器112被構建成用來接收被指定為第一數元組B0，第二數元組B1和第四數元組B3之每一組資料位元。

雖然每一個IS多工器108，110，112被構建成用來接收多個數元組，但是只有一輸入數元組被指定之多工器選定，用來進行輸出。每一個多工器之用於輸出之輸入數元組之選擇受到該系統和匯流排控制器42所產生之一系列路徑碼(或RC)之控制，然後發送到第一路徑碼解碼器104。第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局印製

五、發明說明(28)

一路徑碼解碼器104對該系統和匯流排控制器42所發送之RC進行解碼，和依照所接收到之特定RC，發送數元組激勵信號BE0或數元組激勵信號BE1到IS多工器108用來選擇B0或B1作為輸出，或是發送數元組激勵信號BE0或數元組激勵信號BE2給IS多工器110用來選擇B0或B2作為輸出，或是發送數元組激勵信號BE0和數元組激勵信號BE1或數元組激勵信號BE3給IS多工器112用來選擇B0，B1，或B3作為輸出。由第一路徑碼解碼器所產生之此種資料轉移信號與來自從屬I/O裝置18之IOCLK信號及SCLK輸入同步。

當輸入閂鎖114之輸入直接連接到輸出驅動器裝置106和輸入閂鎖116，118和120之輸入分別連接到IS多工器108，110和112之輸出時，受到該系統和匯流排控制器42所產生之RC之控制之數元組B0，B1，B2和B3之組合分別供給到輸入閂鎖114，116，118和120之輸入。該系統和匯流排控制器42亦產生閂鎖激勵信號LE1，LE2，LE3和LE4分別施加至閂鎖114，116，118和120用來將供給到閂鎖114，116，118和120之輸入之數元組B0，B1，B2和B3之特定組合閂鎖到該等閂鎖之輸出。

該系統和匯流排控制器42所產生之路徑碼用來控制資料之從從屬I/O裝置18轉移到32位元處理機匯流排16，資料之從從屬I/O裝置18到主I/O裝置14之轉移如下面之表3所示：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局印製

A6
B6

五、發明說明(29)

循環	RC	IS			IL			
		112	110	108	114	116	118	120
[0]-<<0>	15	x	x	x				T
[1]-<<0>	11	x	x	B0			T	
[2]-<<0>	13	x	B0	x		T		
[3]-<<0>	12	B0	x	x	T			
[0,1]-<<0,1>	17	x	x	B1			T	T
[2,3]-<<0,1>	16	B1	B0	x	T	T		
[0,1,2,3]- <0,1,2,3>	10	B3	B2	B1	T	T	T	T

表3

其中：

< >＝在處理機匯流排上之數元組位置；

[ ]＝在輸入閂鎖上之數元組位置；

-＝在處理機匯流排和閂鎖之間之數元組置換之方向；

B0，B1＝當接收到對應之數元組激勵信號BE0，BE1，B2，B3

BE2，BE3時，由指定之IS多工器發送之資料單位；和

T＝發送到指定閂鎖之閂鎖激勵信號。

當8位元從屬裝置供給資料到32位元處理機匯流排16作為轉移到主從屬裝置之一部份時，在每一個處理機匯流排16之循環，經由順序的產生路徑碼"15"，"11"，"13"和"12"，由該系統和匯流排控制器42來產生4個副循環。由上表可以看出，每一個副循環用來控制將從屬I/O裝置18所輸出之第一數元組0閂鎖到處理機匯流排16之數元組0。從屬I/O裝置18所輸出之第二數元組0被閂鎖到處理機匯流排16之數元組1，第三數元組0閂鎖到數元組3，和第四數元組0閂鎖到數元組4。

亦即，當使用8位元從屬I/O裝置時，來自該從屬I/O裝置18的一個單一之數元組被輸入到驅動器裝置106。來自

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局印製

五、發明說明（30）

驅動器裝置106之輸出直接連接至閂鎖114和分別連接到IS多工器108，110和112之B0輸入。當第一I/O副循環（RC＝15）時路徑碼解碼器104就供給激勵信號到輸入閂鎖114，藉以將從屬I/O裝置18之輸出閂鎖到該閂鎖114，和將從屬I/O裝置18之數元組0放入處理機匯流排之數元組0。當第二I/O副循環（RC＝11）時，路徑碼解碼器104就供給數元組激勵信號到IS多工器108用來將IS多工器108之輸出變換到B0輸入，和供給激勵信號到輸入閂鎖116，當第二副循環時將從屬I/O裝置18之輸出閂鎖到該閂鎖116和將從屬I/O裝置18之下一個數元組0放入處理機匯流排之數元組1。相似的，當第三I/O副循環（RC＝13）時，該路徑碼解碼器104就供給數元組激勵信號到IS多工器110，和當第三I/O副循環時供給激勵信號到輸入閂鎖118用來將該閂鎖118閂鎖到第三副循環I/O裝置輸出，和把來自從屬I/O裝置18之下一個數元組0放入處理機匯流排之數元組3。最後，當第四I/O副循環（RC＝12）時，路徑碼解碼器104就供給數元組激勵信號到IS多工器112和供給激勵信號到輸入閂鎖120，藉以將輸入閂鎖120閂鎖到第四I/O副循環輸出，和把來自從屬I/O裝置18之下一個數元組0放入處理機匯流排之數元組0。

當16位元從屬I/O裝置供給資料到32位元處理機匯流排16作為轉移到主I/O裝置18之一部份，於從屬I/O裝置到處理機匯流排16之轉移時，該16位元從屬I/O裝置將具有二個I/O副循環。在此種組態中，該系統和匯流排控制器42在第一I/O副循環時產生和發送第一路徑碼給該路徑碼解碼器104，在第二I/O副循環時則產生和發送第二路徑碼。當第一I/O副循環（RC＝17）時，數元組激勵信號被發送到IS多工器108，和閂鎖激勵信號被發送到閂鎖114，116，因此，由I/O裝置18輸出之第一半字之數元組B0。被閂鎖114加以閂鎖，和由從屬I/O裝置18輸出之第一半字之數元組B1被提供在IS多工器108之B1輸入，當接收到BE1信號時

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明(31)

，該IS多工器108就將數元組B1輸出到閂鎖116用來進行閂鎖。當第二I/O副循環(RC＝16)時，第二半字被從屬I/O裝置18發送和被閂鎖到處理機字之上數元組。當第二I/O副循環時，數元組B0被輸出到閂鎖114之輸入和IS多工器110和112之B0輸入。在此期間，路徑碼解碼器104產生一個數元組激勵信號BE給IS多工器110，藉以變換該多工器使數元組B0被提供在該IS多工器110之輸出。路徑碼解碼器104亦發送閂鎖激勵信號LE2到閂鎖118，藉以將閂鎖118之輸出閂鎖到數元組B0。當第二副循環之第二半時，從屬I/O裝置18就發送數元組B1到IS多工器108，112之B1輸入。當第二副循環之第二半時，路徑碼解碼器104就發送數元組激勵信號BE1到IS多工器112，藉以變換該多工器使數元組B1被提供在IS多工器112之輸出。該路徑碼解碼器104亦發送閂鎖激勵信號LE3給閂鎖120，藉以將閂鎖120之輸出閂鎖到數元組B1。

當32位元(4數元組)從屬I/O裝置18連接到處理機匯流排16用來進行從從屬I/O裝置到主I/O裝置之資料轉移時，I/O裝置和處理機匯流排16就被匹配和路徑碼必需再度的被變更用來修改輸出自從屬I/O裝置32位元之控制。在匹配之組態中，該系統和匯流排控制器42之路徑碼產生裝置就產生和發送一個單一路徑碼RC＝10給路徑碼解碼器104。當資料傳輸時，數元組B0供給到閂鎖114和IS多工器108，110和112之B0輸入。數元組B1供給到IS多工器108和112之B1輸入，數元組B2供給到IS多工器110之B2輸入，和數元組B3供給到IS多工器112之B3輸入。路徑碼解碼器發送數元組激勵信號BE1給IS多工器108，發送數元組激勵信號BE2給IS多工器110和發送數元組激勵信號BE3給IS多工器112，藉以變換IS多工器108，110，和112，使數元組B1，B2和B3分別被提供在IS多工器108，110和112之輸出。該路徑碼解碼器104亦發送閂鎖激勵信號LE0給閂鎖114，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（32）

LE1給閂鎖116，LE2給閂鎖118和LE3給閂鎖120，藉以將閂鎖114，116，118和120之輸出分別閂鎖到B0，B1，B2和B3。

上面已經說明了當從屬I/O裝置到主I/O裝置之資料轉移時，從從屬I/O裝置18到處理機匯流排16之資料之路徑，下面將說明從處理機匯流排16到主I/O裝置14之資料路徑。從處理機匯流排16到主I/O裝置14之資料路徑與上述之路徑技術具有顯著之不同。在此處，依照轉移至主I/O裝置14所希望之數元組置換需求，轉移到處理機匯流排16之資料從輸入閂鎖114，116，118，120之閂鎖和未閂鎖側雙方轉移，其方法是將閂鎖114，116，118，120之輸入連接到多工器134之第二輸入，和將閂鎖114，116，118，120之輸出連接到多工器134之第三輸入。在資料轉移到主I/O裝置14之路徑，第二路徑碼解碼器132將選擇閂鎖或未閂鎖資料之路徑，其方法是發送一個交換信號給多工器134用來將多工器134之輸出連接到閂鎖或未閂鎖資料。由多工器134輸出之資料到主I/O裝置14之路徑之決定，對於閂鎖和未閂鎖資料分開的進行。

對於從處理機匯流排16到主I/O裝置14之未閂鎖資料之轉移，第二路徑碼解碼器132依照下列之表4接收來自該系統和匯流排控制器42之RC信號：

循環	RC	IS/OM			OS		OD			
		112	110	108	136	138	140d	140c	140b	140a
<0> <1,2,3>	35	B0	B0	B0	x	x	T	T	T	
<0,1> <2,3>	33	B1	B0	x	x	x	T	T		
<1> <0>	24	x	x	B1	x	B1				T
<2> <0>	26	x	B2	x	x	B2				T
<3> <0>	27	B3	x	x	x	B3				T
<2,3> <0,1>	31	B3	B2	x	B3	B2			T	T

表 4

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（33）

其中：

< >＝在處理機匯流排上之數元組位置；

-< ＝在處理機匯流排和閂鎖或裝置之間之數元組置換之方向；

B0，B1＝資料單位，當接收到對應之數元組激勵信號OS

B2，B3

BE0，BE1，BE2，BE3時，由指定之IS和/或多工器發送之資料單位；和

T＝發送到指定閂鎖之閂鎖激勵信號。

當多工器134之輸出連接到第一OS多工器136和第二OS多工器136時，數元組B0作為第一輸入的提供給OS多工器138，數元組B1作為第二輸入的提供給OS多工器138和作為第一輸入的提供給OS多工器136，數元組B2作為第三輸入的提供OS多工器138和作為第一輸入的提供給輸出驅動器裝置140(包括有第一，第二，第三和第四輸出驅動器140a，140b，140c和140d)，和數元組B3作為第四輸入的提供給OS多工器138和作為第二輸入的提供給OS多工器136及作為第二輸入的提供給輸出驅動器裝置140a-d。OS多工器136，138之輸出亦輸入到輸出驅動器裝置140a-d。

在回應接收自系統和匯流排控制器42之RC信號時，第二路徑碼解碼器132就發送數元組激勵信號BE0到IS多工器108，110，112，和發送BE1到IS多工器108和112，及發送BE3到IS多工器，使所希望之未閂鎖資料經由多工器134輸入到OS多工器136，138。第二路徑碼解碼器132更發送數元組激勵信號BE1，BE2和BE3到OS多工器136，和發送數元組激勵信號BE3到OS多工器138，以及發送輸出驅動器激勵信號ODE到輸出驅動器140a，140b，140c和140d，用來完成特定資料轉移之從閂鎖114，116，118和120之未閂鎖側轉移所需之數元組置換，例如從8，16或32位元從屬I/O裝置18到任何一個8，16或32位元之主I/O裝置14之轉移。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明（34）

為著將閂鎖資料從處理機匯流排16轉移到主I/O裝置14，所以第二路徑碼解碼器132依照下面之表5接收來自系統和匯流排控制器42之RC信號：

循環	RC	OS		OD			
		136	138	146	144	142	140
[0,1,2,3] <0,1,2,3>	37	B1	B0	T	T	T	T
[2,3]-><0,1>	33	B3	B2			T	T
[2,3]-><2,3>	32	x	x	T	T		
[1,2,3] <1,2,3>	34	B1	x	T	T	T	
[3]-><0>	22	x	B3				T
[2]-><0>	23	x	B2				T
[1]-><0>	21	x	B1				T

表 5

其中：

< >＝在處理機匯流排上之數元組位置；

[ ]＝在輸入閂鎖上之數元組位置；

-<＝在處理機匯流排，閂鎖或子系統之間之數元組置換之方向；

B0，B1＝當接收到對應之數元組激勵信號BE0，BE1，B2，B3

BE2，BE3時，由指定之OS多工器發送之資料單位；和發送到指定之OS之數元組激勵信號；和

T＝發送到輸出驅動器之閂鎖激勵信號。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（35）

相似的，當多工器134之輸出連接到第一OS多工器136和第二OS多工器138時，數元組B0就作為第一輸入的提供給OS多工器138，數元組B0作為第一輸入的提供給OS多工器138，數元組B1作為第二輸入的提供給OS多工器138和作為第一輸入的提供給OS多工器，數元組B2作為第三輸入的提供給OS多工器138和作為第一輸入的提供給輸出驅動器裝置140(包括有第一，第二，第三和第四輸出驅動器140a，140b，140c和140d)，和數元組B3作為第四輸入的提供給OS多工器138和作為第二輸入的提供給OS多工器136以及作為第二輸入的提供給輸出驅動器裝置140a-d。OS多工器136，138之輸出亦輸入到該輸出驅動器裝置140a-d。

在回應接收自該系統和匯流排控制器42之RC信號時，第二路徑碼解碼器132就發送數元組激勵信號BE1和BE3到OS多工器136，和發送數元組激勵信號BE0，BE1，BE2和BE3到OS多工器138以及發送輸出驅動器激勵信號OD到輸出驅動器裝置140a-d，用來完成特定資料轉移之從閂鎖114，116，118和120之閂鎖側轉移所需之數元組置換，例如從8，16或32位元從屬I/O裝置18到任何一個8，16或32位元之主I/O裝置14之轉移。

由本發明之上述說明可以瞭解，本發明設有一個介面位於32位元處理機匯流排和一個8，16或32位元I/O裝置之間，促成同一個介面可以使用在一個8，16或32位元I/O裝置和一個32位元電算機之間之資料轉移，其方法是修改在兩者之間轉移之資料數元組之路徑。由本發明之上述說明可

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

五、發明說明（36）

以瞭解，同一個介面可以使用在一個第一8，16或32位元I/O裝置和一個第二8，16或32位元I/O裝置之間之資料轉移，同樣的，其方法是修改在兩者之間轉移之資料數元組之路徑。因此，有一個介面提供作不匹配和匹配裝置之多種組合之間之資料之轉移。然而，熟悉本技術之士當可瞭解，在實質上不偏離本發明之觀念之範圍內，除了上述之技術外，可以有許多修改和變化。因此，宜瞭解者，此處所說明之本發明之形式只作舉例之用，而且無意用來限制本發明之範圍。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

四、中文發明摘要（發明之名稱：　電算機資料路徑系統　）

一種數位電算機系統，具有一介面用來決定能夠在不匹配裝置之間進行轉移之資料路徑。該電算機系統包含有一個處理機，記憶器和一個交互連接裝置，均被構建成用來處置第一資料寬度之資料單位。連接到資料匯流排之至少為一個之I/O裝置被構建成用來處置第二資料寬度之資料單位。經由調整被轉移之資料之寬度用來匹配該接收裝置或匯流排之寬度，可以使資料在不同寬度之裝置之間轉移。為著調整寬度，設有控制裝置，根據所設置之轉移和接收裝置之寬度及轉移之方向來修改沿著被轉移之資料數元組之路徑。

英文發明摘要（發明之名稱：　）

附註：本案已向　美　國（地區）申請專利，申請日期：1990-5-27案號：07/559,872

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1.一種數位電算機系統，具有一資料介面用來將一個8，16或32位元寬之I/O裝置所輸出之資料單位轉移到一個32位元寬資料匯流排，用來將該I/O裝置所輸出之該8，16或32位元寬之資料單位累積成一個32位元資料字，該系統包含有：

第一，第二，第三和第四閂鎖，每一個閂鎖具有一個輸入和一個輸出；

路徑指示裝置，用來分開的指示從該I/O裝置輸出之第一，第二，第三和第四資料數元組之到該等閂鎖之其中之一之輸入之路徑；

閂鎖裝置，用來閂鎖具有路徑通到每一個閂鎖之輸出之該資料數元組，藉以在該閂鎖輸出累積該32位元資料字；和

發送裝置，用來將該累積成之32位元資料字發送到該資料匯流排。

2.如申請專利範圍第1項之系統，其中該用來分開的指示從該I/O裝置輸出之第一，第二，第三和第四資料數元組之到該等閂鎖之其中之一之輸入之路徑之該路徑指示裝置更包含有選擇性路徑指示裝置，依照該I/O裝置所輸出之資料單位之寬度來選擇性的指示該第一，第二，第三和第四資料數元組輸出之路徑。

3.如申請專利範圍第2項之系統，其中依照該I/O裝置所輸出之資料單位之寬度來選擇性的指示該第一，第二，第三和第四資料數元組輸出之路徑之該選擇性路徑指示裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

更包含有至少為一個之多工器具有多個多工器輸入用來接收該I/O裝置所輸出之該第一，第二，第三和第四資料數元組中之至少二個，和具有一個單一之多工器輸出。

4.如申請專利範圍第3項之系統，更包含有選擇裝置用來選擇輸入到該多工器之該第一，第二，第三和第四資料數元組之任何組合，藉以傳輸到該閂鎖。

5.如申請專利範圍第1項之系統，其中該用來分開的指示從該I/O裝置輸出之第一，第二，第三和第四資料數元組之到該等閂鎖之其中之一之輸入之路徑之路徑指示裝置更包含有：

多個多工器，每一個多工器具有至少為二個之輸入用來接收該I/O裝置所輸出之該第一，第二，第三和第四資料數元組中之至少二個，和具有一個單一之輸出連接到該第一，第二，第三和第四閂鎖的其中之一；和

選擇性控制裝置，用來選擇性的控制該I/O裝置所輸出之該第一，第二，第三和第四數元組之那些要輸入到該多個多工器之每一個。

6.如申請專利範圍第5項之系統，其中用來選擇性的控制該I/O裝置所輸出之該第一，第二，第三和第四數元組之那些要輸入到該多個多工器之每一個之該選擇性控制裝置更包含有發送裝置用來發送數元組激勵信號給該等多工器之每一個，該數元組激勵信號用來選擇該第一，第二，第三和第四資料數元組中之那一個要輸入到該對應之多工器。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

7.如申請專利範圍第1項之系統，其中用來分開的指示從該I/O裝置輸出之第一，第二，第三和第四資料數元組之到該等閂鎖之其中之一之輸入之路徑之路徑指示裝置更包含有：

連接裝置，用來將該I/O裝置之輸出連接到該第一閂鎖之輸入；

第一多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第二閂鎖之輸入；

第二多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第三閂鎖之輸入；和第三多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第四閂鎖之輸入。

8.如申請專利範圍第7項之系統，其中：

該I/O裝置所輸出之第一資料數元組輸入該第一閂鎖，該第一多工器，該第二多工器和該第三多工器；

該I/O裝置所輸出之第二資料數元組輸入到第一多工器和第三多工器；

該I/O裝置所輸出之第三資料數元組輸入到第二多工器；和

該I/O裝置所輸出之第四資料數元組輸入到第三多工器。

9.如申請專利範圍第8項之系統，該I/O裝置是一種具有一個數元組輸出之8位元裝置包含有每一個副循環之該第一資料數元組，當該32位元資料匯流排之每一個循環時，該8位元I/O裝置具有四個副循環，當該第一，第二，第三

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

和第四副循環之每一個時，該8位元I/O裝置之該第一資料數元組輸出被輸出到該第一閂鎖，該第一多工器，該第二多工器和該第三多工器。

10.如申請專利範圍第9項之系統，其中當該第二副循環時該第一多工器被激勵信號用來輸出該第一資料數元組輸出，當該第三副循環時該第二多工器被激勵用來輸出該第一資料數元組輸出，和當該第四副循環時該第四多工器被激勵用來輸出該第一資料數元組輸出。

11.如申請專利範圍第8項之系統，其中該I/O裝置是一種具有二個數元組輸出之16位元裝置包含有每一個副循環之該第一和第二資料數元組輸出，當該32位元資料匯流排之每一個循環時，該16位元I/O裝置具有二個副循環，當該第一和第二副循環時，該16位元I/O裝置之該二個數元組輸出之該第一資料數元組被輸出到該第一閂鎖，該第一多工器，該第二多工器和該第三多工器，和當第一和第二副循環時，該16位元I/O裝置之該二個數元組輸出之該第二資料數元組被輸出到該第一和第三多工器。

12.如申請專利範圍第11項之系統，其中當該第一副循環時該第一多工器被激勵用來輸出該第二資料數元組輸出，當該第二副循環時該第二多工器被激勵用來輸出該第一資料數元組輸出，和當該第二副循環時該第三多工器被激勵用來輸出該第二資料數元組輸出。

13.如申請專利範圍第8項之系統，其中該I/O裝置是一種具有四個數元組輸出之32位元裝置包含有每一個副循環

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之該第一，第二，第三和第四資料數元組輸出，當該32位元資料匯流排之每一個循環時，該32位元I/O裝置具有一個副循環，當該第一副循環時，該32位元I/O裝置之該第一資料數元組輸出被輸出到該第一閂鎖，該第一多工器，該第二多工器和該第三多工器，當該第一副循環時，該32位元I/O裝置之該第二資料數元組輸出被輸出到該第一多工器和該第三多工器，當該第一副循環時，該32位元I/O裝置之該第三資料數元組輸出被輸出到該第二多工器，和當該第一副循環時，該32位元I/O裝置之該第四資料數元組輸出被輸出到該第三多工器。

14.如申請專利範圍第13項之系統，其中當該第一副循環時該第一多工器被激勵用來輸出該第二資料數元組輸出，當該第一副循環時該第二多工器被激勵用來輸出該第三資料數元組輸出，和當該第一副循環時該第三多工器被激勵用來輸出該第四資料數元組輸出。

15.一種數位電算機系統，具有一資料介面用來將一個32位元寬之資料匯流排所輸出之資料單位轉移到一個8，16或32位元寬I/O裝置，包含有：

一輸出驅動器裝置，其寬度等於該I/O裝置之寬度；

第一多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和具有一個輸出連接到該輸出驅動器裝置；

第二多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和具有一個輸出連接到該輸出驅動器裝置；

連接裝置，用來將該資料匯流排之輸出直接連接到該輸

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

出驅動器裝置之輸入；和

路徑指示裝置，用來分開的指示從該32位元資料匯流排到該輸出驅動器裝置之第一，第二，第三和第四資料數元組輸出之路徑。

16.如申請專利範圍第15項之系統，其中該資料匯流排所輸出之第一資料數元組輸出被輸入到該第一多工器，該資料匯流排所輸出之第二資料數元組輸出被輸入到該第一多工器和該第二多工器，該資料匯流排所輸出之第三資料數元組輸出被輸入到該輸出驅動器裝置，和該資料匯流排所輸出之第四資料數元組輸出被輸入到該第一多工器，該第二多工器和該輸出驅動器裝置。

17.如申請專利範圍第16項之系統，其中該I/O裝置是一種具有一個數元組輸入之8位元裝置包含有每一個副循環之該第一資料數元組輸出，當該32位元資料匯流排之每一個循環時，該8位元I/O裝置具有四個副循環，和當該第一，第二，第三和第四副循環時，該第一多工器就被激勵用來輸出該第一資料數元組輸出。

18.如申請專利範圍第16項之系統，其中該I/O裝置是一種具有二個數元組輸出之16位元裝置包含有每一個副循環之該第一和第二資料數元組輸出，當該32位元資料匯流排之每一個循環時，該16位元I/O裝置具有二個副循環，和其中當該第一和第二副循環時，該第一多工器就被激勵用來輸出該第一資料數元組輸出，和當該第一和第二副循環時，該第二多工器就被激勵用來輸出該第二資料數元組輸

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

出。

19.如申請專利範圍第16項之系統，其中該I/O裝置是一種具有四個數元組輸出之32位元裝置包含有每一個副循環之第一，第二，第三和第四資料數元組輸出，當該32位元資料匯流之每一個循環時，該32位元I/O裝置具有一個副循環，和其中當該第一副循環時該第一多工器就被激勵用來輸出該第一資料數元組輸出，和當該第一副循環時該第二多工器就被激勵用來輸出該第二資料數元組輸出，以及當該第一副循環時該第三多工器就被激勵用來輸出該第四資料數元組輸出。

20.一種數位電算機系統，具有一資料介面用來將一個8，16或32位元寬之I/O裝置所輸出之資料單位轉移到一個32位元寬資料匯流排，用來將該I/O裝置所輸出之該8，16或32位元寬之資料累積成一個32位元資料字，和用來將該32位元寬資料匯流排所輸出之資料單位轉移到該8，16，或32位元寬I/O裝置而不進行資料累積，該系統包含有：

第一，第二，第三和第四閂鎖，每一個閂鎖各具有一個輸入和一個輸出；

路徑指示裝置，用來分開的指示從該I/O裝置到該等閂鎖；其中之一之輸入之第一，第二，第三和第四資料數元組輸出之路徑；

閂鎖裝置，用來閂鎖具有路徑通到每一個閂鎖之輸出之該資料數元組，藉以在該閂鎖輸出累積該32位元資料字；

發送裝置，用來將該累積成之32位元字發送到該資料匯

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

流排；

輸出驅動器裝置，其寬度等於該I/O裝置之寬度；

輸出多工器裝置，具有至少為一個之輸入連接到該資料匯流排之輸出，和具有一個輸出連接到該輸出驅動器裝置；

連接裝置，用來將該資料匯流排之輸出直接連接到該輸出驅動器裝置之輸入；和

路徑指示裝置，用來分開的指示從該32位元資料匯流排到該輸出驅動裝置之第一，第二，第三和第四資料數元組輸出之路徑。

21.如申請專利範圍第20項之系統，其中用來分開的指示從該I/O裝置到該門鎖之其中之一之輸入之該第一，第二，第三和第四資料數元組輸出之路徑之路徑指示裝置更包含有選擇性路徑指示裝置，依照該I/O裝置所輸出之資料單位之寬度來選擇性的指示該第一，第二，第三和第四資料數元組輸出之路徑。

22.如申請專利範圍第21項之系統，其中用來分開的指示依照該I/O裝置所需出之資料單位之寬度來選擇性的指示該第一，第二，第三和第四資料數元組輸出之路徑之選擇性路徑指示裝置更包含有輸入多工裝置具有多個多工器輸入用來接收該I/O裝置所輸出之該第一，第二，第三和第四資料數元組中之至少二個，和具有一個單一之多工器輸出。

23.如申請專利範圍第22項之系統，其中用來分開的指示從該I/O裝置到該等門鎖之其中之一之輸入之第一，第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

二，第三和第四資料數元組輸出之路徑之路徑指示裝置更包含有連接裝置用來將該I/O裝置之輸出連接到該第一閂鎖之輸入，和其中該輸入多工裝置更包含有：

第一多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第二閂鎖之輸入；

第二多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第三閂鎖之輸入；和

第三多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第四閂鎖之輸入。

24.如申請專利範圍第23項之系統，其中該輸出多工裝置更包含有：

第一多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和一個輸出連接到該輸出驅動器裝置；和

第二多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和一個輸出連接到該輸出驅動器裝置。

25.如申請專利範圍第24項之系統，其中：

由該I/O裝置輸出之第一資料數元組被輸入到該第一閂鎖，該第一多工器，該第二多工器和該第三多工器；

由該I/O裝置輸出之第二資料數元組被輸入到該第一多工器和第三多工器；

由該I/O裝置輸出之第三資料數元組被輸入到該第二多工器；和

由該I/O裝置輸出之第四資料數元組被輸入到該第三多工器。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

26.如申請專利範圍第25項之系統，其中用來選擇性控制該I/O裝置所輸出之該第一，第二，第三和第四數元組之那一個要輸入到該多工裝置之控制裝置更包含有發送裝置，用來發送一個數元組激勵信號給該第一，第二，第三和第四多工器之每一個，該數元組激勵信號用來選擇該第一，第二，第三和第四資料數元組之那一個要被輸入到該對應之多工器。

27.一種電算機系統，包含有：

一個處理機，被構建成用來處置對應到第一資料寬度之第一指定數目之數元組之資料單位；

一個記憶器，被構建成用來處置該第一資料寬度之資料單位；

一個I/O裝置，被構建成用來處置對應到第二資料寬度之第二指定數目之數元組之資料單位；

一個資料匯流排，用來處置該第一資料寬度之資料單位，該資料匯流排提供該處理機，該記憶器和該I/O裝置之間之連接；和

控制裝置，用來控制資料之從該資料匯流排轉移到該I/O裝置，和資料之從該I/O裝置轉移到該資料匯流排，該控制裝置調整被轉移之資料之寬度使其匹配接收裝置或匯流排之寬度；

其中經由修改沿著被轉移之資料數元組之路徑，用來調整被轉移之資料之寬度，該路徑修改係根據轉移和接收裝置之寬度和轉移之方向。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

28.如申請專利範圍第27項之系統，其中用來控制資料之從該資料匯流排轉移到該I/O裝置之該控制裝置更包含有：

累積裝置，在將累積資料單位轉移到該資料匯流排之前，用來累積該I/O裝置所輸出之資料單位；和其中該控制裝置用來修改沿著被轉移至該累積裝置之資料數元組之路徑。

29.如申請專利範圍第28項之系統，其中用來累積資料之該累積裝置更包含有：

第一，第二，第三和第四閂鎖，每一個閂鎖具有一個輸入和一個輸出；

路徑指示裝置，用來分開的指示從該I/O裝置到該等閂鎖之其中之一之輸入之第一，第二，第三和第四資料數元組輸出之路徑；和

閂鎖裝置，用來閂鎖具有路徑通到每一個閂鎖之輸出之該資料數元組，藉以在該閂鎖輸出累積該32位元資料字。

30.如申請專利範圍第29項之系統，更包含有輸入多工裝置具有多個多工器輸入用來接收該I/O裝置所輸出之該第一，第二，第三和第四資料數元組之至少二個，和具有一個單一之多工器輸出。

31.如申請專利範圍第30項之系統，更包含有連接裝置用來將該I/O裝置之輸出連接到該第一閂鎖之輸入，和其中該輸入多工裝置更包含有：

第一多工器，具有至少為一個之輸入連接到該I/O裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之輸出，和一個輸出連接到該第二閂鎖之輸入；第二多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第三閂鎖之輸入；和第三多工器，具有至少為一個之輸入連接到該I/O裝置之輸出，和一個輸出連接到該第四閂鎖之輸入。

32.如申請專利範圍第31項之系統，其中該輸出多工裝置更包含有：

輸出驅動器裝置；

第一輸出多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和一個輸出連接到該輸出驅動器裝置；

第二輸出多工器，具有至少為一個之輸入連接到該資料匯流排之輸出，和一個輸出連接到該輸出驅動器裝置；和

連接裝置，用來將該資料匯流排之輸出直接連接到該輸出驅動器裝置之輸入。

33.如申請專利範圍第32項之系統，其中：

該I/O裝置所輸出之第一資料數元組被輸入到該第一多工器，該第二多工器和該第三多工器；

該I/O裝置所輸出之第二資料數元組被輸入到第一多工器和第三多工器；

該I/O裝置所輸出之第三資料數元組被輸入到第二多工器；和

該I/O裝置所輸出之第四資料數元組被輸入到第三多工器。

34.如申請專利範圍第33項所述之系統，其中用來選擇

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

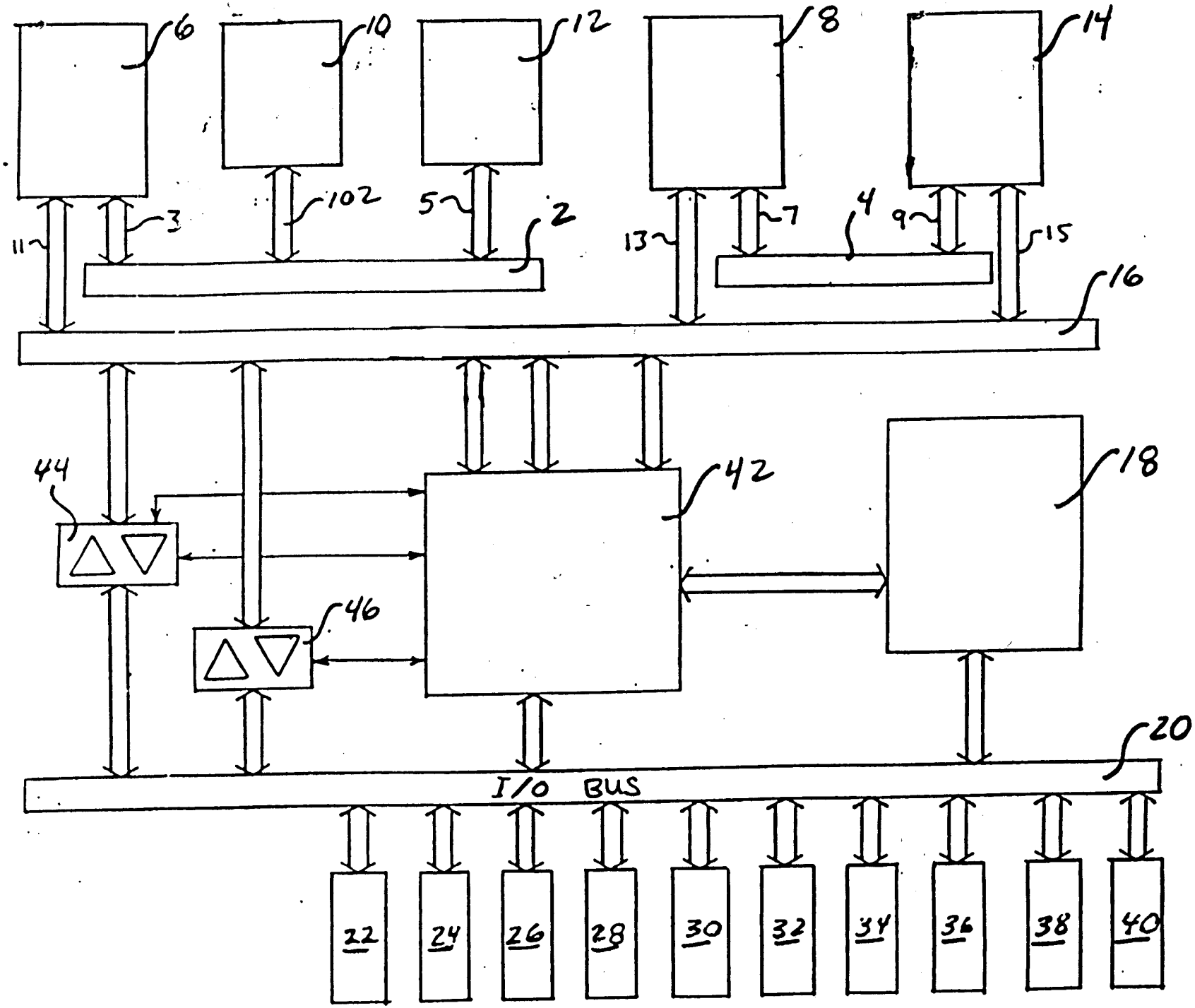
六、申請專利範圍

性控制該I/O所輸出之該第一，第二，第三和第四數元組之那一個要被輸入到該多工裝置之控制裝置更包含有發送裝置用來發送一個數元組激勵信號給該第一，第二，第三和第四多工器之每一個，該數元組激勵信號用來選擇該第一，第二，第三和第四資料數元組中之那一個要被輸入到該對應之多工器。

（請先閱讀背面之注意事項再填寫本頁）

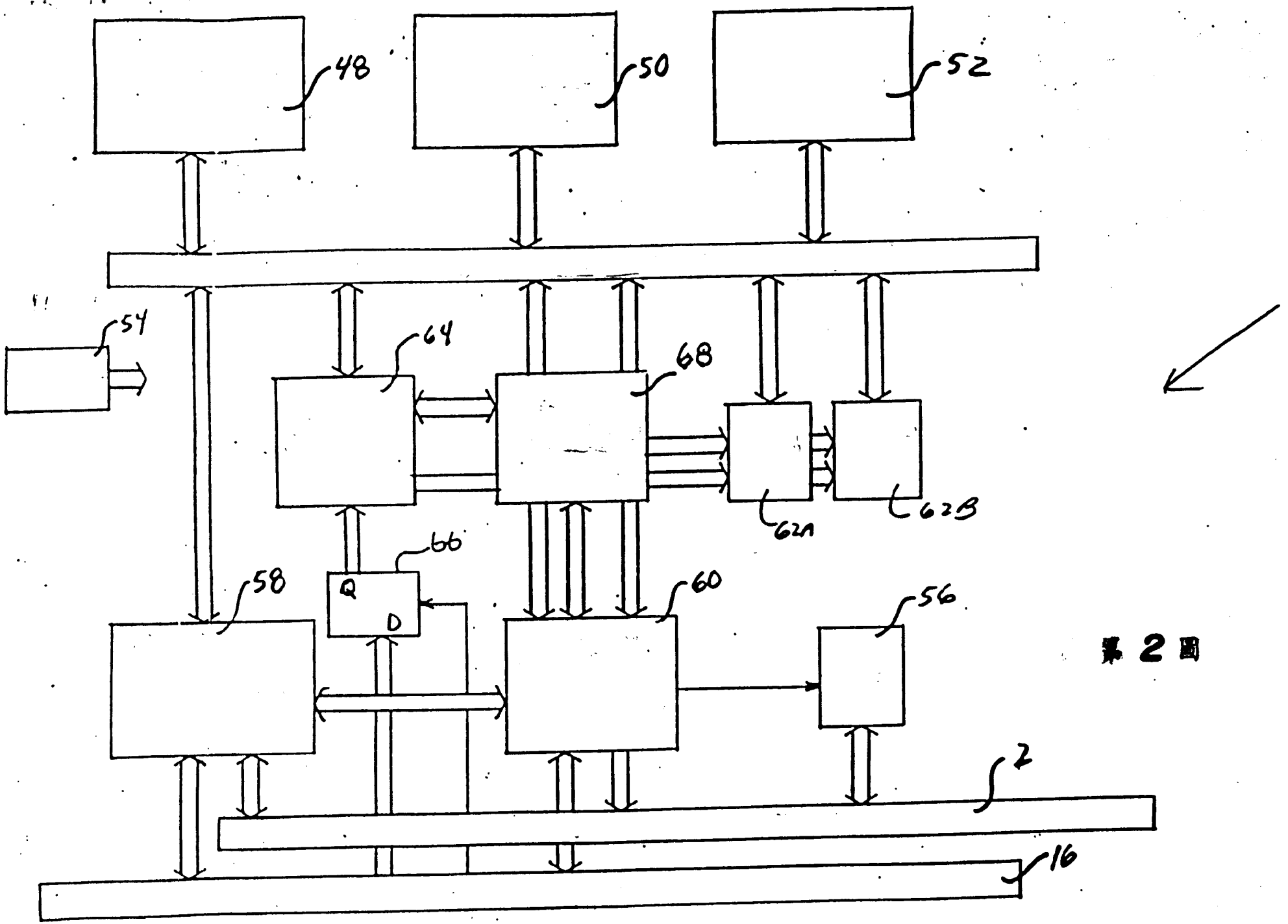
裝 訂 線

經濟部中央標準局員工消費合作社印製


6
10
12
8
14
102
5
2
3
11
13
7
4
9
15
16
44
42
18
46
20
I/O BUS
22
24
26
28
30
32
34
36
38
40

1.圖

202507



第2圖

202507

202507

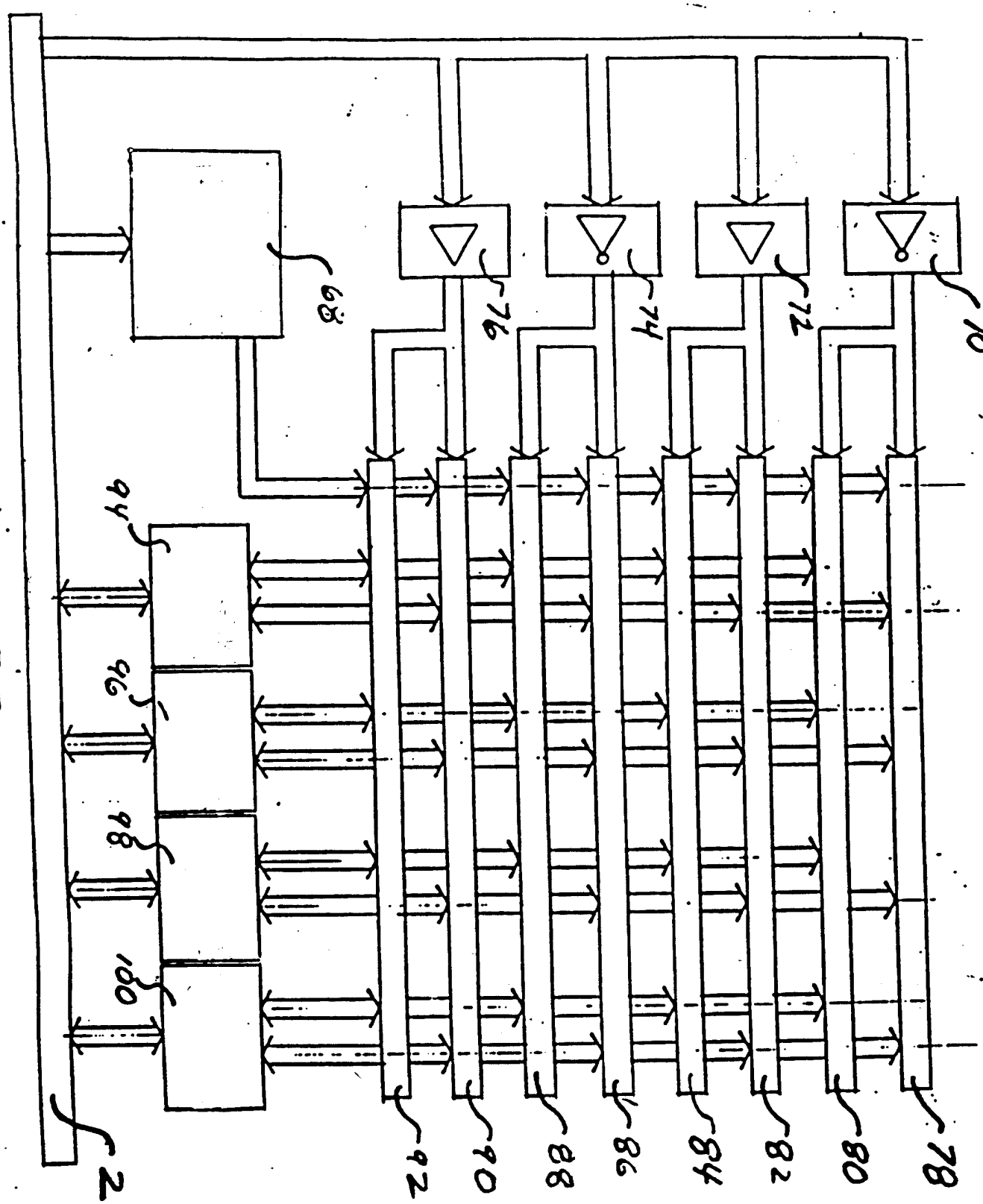
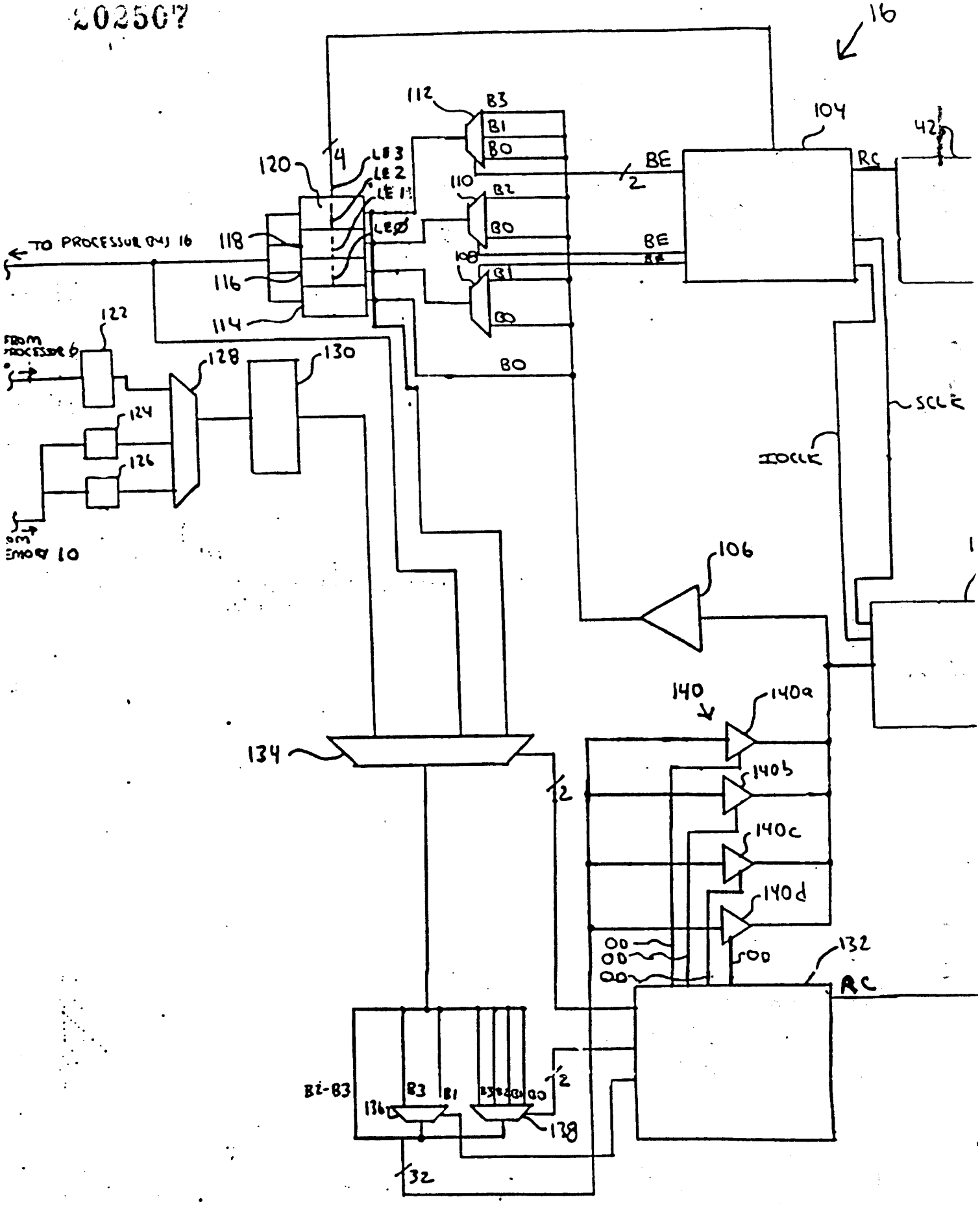


Fig. 3

202507


16
112
B3
B1
B0
104
42
120
4
LE3
LE2
LE1
LE0
BE
2
RC
110
B2
B0
BE
TO PROCESSOR(S) 16
118
116
114
B1
B0
122
FROM PROCESSOR 6
128
130
124
126
BO
SCLK
IOCLK
106
140
140a
140b
140c
140d
134
2
132
RC
B2-B3
B3
B1
136
138
2
32

第4圖