

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5028077号
(P5028077)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

F 1

H04N 5/367 (2011.01)
H04N 5/374 (2011.01)H04N 5/335 670
H04N 5/335 740

請求項の数 11 (全 14 頁)

(21) 出願番号 特願2006-334741 (P2006-334741)
 (22) 出願日 平成18年12月12日 (2006.12.12)
 (65) 公開番号 特開2008-148129 (P2008-148129A)
 (43) 公開日 平成20年6月26日 (2008.6.26)
 審査請求日 平成21年12月10日 (2009.12.10)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100125254
 弁理士 別役 重尚
 (72) 発明者 石田 俊樹
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】撮像装置、及びその欠陥画素の判別方法、並びにプログラム

(57) 【特許請求の範囲】

【請求項 1】

センサから異なる条件で得られた複数の映像データを取得する取得手段と、
前記取得された複数の映像データからそれぞれ欠陥画素を検出して前記欠陥画素の出力
のレベルを取得する検出手段と、
前記複数の映像データからそれぞれ検出された前記欠陥画素の出力のレベルの差分に基
づいて、前記検出された欠陥画素の欠陥要因を判別する判別手段とを備えることを特徴と
する撮像装置。

【請求項 2】

前記取得手段は、遮光状態のセンサから異なる条件で得られた複数の映像データを取得
することを特徴とする請求項 1 に記載の撮像装置。

10

【請求項 3】

前記センサは、レンズにより結像された映像を光電変換する fotodiode と、前記
fotodiode からの出力信号を読み出す読み出し回路と、前記読み出し回路からの出
力信号を読み出す列アンプとを備えた CMOS センサであることを特徴とする請求項 1 ま
たは 2 に記載の撮像装置。

【請求項 4】

前記判別手段は、前記出力のレベルの差分が閾値よりも大きい場合に、前記欠陥画素の
欠陥要因が、前記 fotodiode の暗電流によるものであると判別することを特徴とす
る請求項 3 に記載の撮像装置。

20

【請求項 5】

前記条件とは、シャッタ速度および温度の少なくともいずれかであることを特徴とする請求項1乃至4のいずれか1項に記載の撮像装置。

【請求項 6】

前記検出手段は、検出したそれぞれの前記欠陥画素のアドレスを取得し、

前記判別手段は、前記複数の映像データからそれぞれ検出された前記欠陥画素の出力のレベルの差分、および、前記取得された前記欠陥画素のアドレスが連続するか否かに基づいて、前記検出された欠陥画素の欠陥要因を判別することを特徴とする請求項1に記載の撮像装置。

【請求項 7】

前記センサは、レンズにより結像された映像を光電変換するフォトダイオードと、前記フォトダイオードからの出力信号を読み出す読み出し回路と、前記読み出し回路からの出力信号を読み出す列アンプとを備えたCMOSセンサであり、

前記判別手段は、前記取得された前記欠陥画素のアドレスが、少なくとも読み出し回路を共有する画素において連続している場合に、前記検出された欠陥画素の欠陥要因が、前記読み出し回路によるものであると判別することを特徴とする請求項6記載の撮像装置。

【請求項 8】

前記判別手段は、さらに、前記取得されたアドレスが連続する前記欠陥画素における出力のレベルのばらつきが閾値より大きい場合に、前記検出された欠陥画素の欠陥要因が、前記フォトダイオードの暗電流によるものであると判別することを特徴とする請求項7に記載の撮像装置。

【請求項 9】

前記判別された欠陥要因に応じた方法で前記欠陥画素を補正する補正手段を備えることを特徴とする請求項1乃至8のいずれか1項に記載の撮像装置。

【請求項 10】

センサから異なる条件で得られた複数の映像データを取得する取得ステップと、

前記取得された複数の映像データからそれぞれ欠陥画素を検出して前記欠陥画素の出力のレベルを取得する検出ステップと、

前記複数の映像データからそれぞれ検出された前記欠陥画素の出力のレベルの差分に基づいて、前記検出された欠陥画素の欠陥要因を判別する判別ステップとを備えることを特徴とする撮像装置の欠陥画素の判別方法。

【請求項 11】

請求項10に記載の欠陥画素の判別方法を前記撮像装置のコンピュータに実行させるための前記コンピュータが読み取り可能なプログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像装置及びその欠陥画素の判別方法、並びにプログラムに関し、特に、欠陥画素を検出する撮像装置及びその欠陥画素の判別方法、並びにプログラムに関する。

【背景技術】**【0002】**

一般に、多画素を有する固体撮像素子を用いた高精彩な電子カメラのような撮像装置においては、不良画素すなわち欠陥画素の発生頻度が高くなる。このような撮像装置では、欠陥画素を検出、補正する技術が必須となる。欠陥画素に代表される特異点を補正することにより、固体撮像素子の歩留まりが向上し、撮像装置の価格を大幅に低減することが可能となる。

【0003】

固体撮像素子の欠陥画素の欠陥要因は、受光素子の劣化や、信号電荷を転送する転送路の劣化等、複数挙げられる。例えば、CCDの製造中に何らかの原因で垂直転送路上にゴミが付着した場合、その画素以降について電化が転送され難くなる。このような欠陥画素

10

20

30

40

50

は、直線状のキズとして現れる。そこで、キズの先頭アドレスのみを保存することにより位置情報の情報量を削減し、なおかつキズが目立つか否かを分析することにより過補正を防止する技術が開示されている（例えば、特許文献1参照）。

【0004】

一方、近年、撮像素子としてCMOSセンサが使用されることが増えている。CMOSセンサは、フォトダイオード、読み出し回路、及び列アンプを備える。フォトダイオードは、撮像面に2次元に配列され、入射光を光電変換する。読み出し回路は、複数のフォトダイオードからの出力信号を読み出す。列アンプは、垂直方向の読み出し回路からの出力信号を読み出す。

【特許文献1】特開2004-23683号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、例えば、撮像素子上の欠陥要因の場所により欠陥画素が連続する場合や、偶然孤立した欠陥画素が連続する場合もある。上記特許文献1記載の技術では、単に欠陥画素の連続性の有無を判別して補正方法を切り替えるので、的確な補正処理ができない可能性がある。

【0006】

また、撮像素子としてCMOSセンサを使用する場合、CMOSセンサ特有の欠陥要因が複数存在する。例えば、フォトダイオードが欠陥要因である場合、暗電流特性がその原因であり、欠陥画素のセンサ出力（キズレベル）は蓄積時間や温度等の条件に依存する。そのため、フォトダイオードが欠陥要因の欠陥画素には、リアルタイムの画素補間による補正が適している。また、条件によっては欠陥画素が目立たず補正を必要としない場合がある。

20

【0007】

また、読み出し回路が欠陥要因である場合、読み出し回路のトランジスタが故障して機能しないことが原因があるので、キズレベルは蓄積時間や温度に依存しない。そのため、読み出し回路が欠陥要因の欠陥画素は、常時、周辺画素からの補間による補正が必要である。

【0008】

30

また、列アンプが欠陥要因である場合、列アンプトランジスタの特性のばらつきが原因であり、キズレベルは蓄積時間や温度に依存しない。そのため、列アンプが欠陥要因の欠陥画素には、キズレベルを事前に検出保持し、欠陥画素のキズレベル調整による補正が適している。

【0009】

上記特許文献1記載の技術では、撮像素子上に複数存在する欠陥要因を精度よく判別し、キズレベル、撮影条件の依存性の相違に応じて補正方法を切り替えることができない。

【0010】

本発明は、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別することができる撮像装置及びその欠陥画素の判別方法、並びにプログラムを提供することにある。

40

【課題を解決するための手段】

【0011】

上述の目的を達成するために、本発明の撮像装置は、センサから異なる条件で得られた複数の映像データを取得する取得手段と、前記取得された複数の映像データからそれぞれ欠陥画素を検出して前記欠陥画素の出力のレベルを取得する検出手段と、前記複数の映像データからそれぞれ検出された前記欠陥画素の出力のレベルの差分に基づいて、前記検出された欠陥画素の欠陥要因を判別する判別手段とを備えることを特徴とする。

上述の目的を達成するために、本発明の撮像装置の欠陥画素の判別方法は、センサから異なる条件で得られた複数の映像データを取得する取得ステップと、前記取得された複数

50

の映像データからそれぞれ欠陥画素を検出して前記欠陥画素の出力のレベルを取得する検出ステップと、前記複数の映像データからそれぞれ検出された前記欠陥画素の出力のレベルの差分に基づいて、前記検出された欠陥画素の欠陥要因を判別する判別ステップとを備えることを特徴とする。

【発明の効果】

【0014】

本発明によれば、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態を図面を参照しながら詳述する。

10

【0016】

図1は、本発明の実施の形態に係る撮像装置の全体構成を示すブロック図である。

【0017】

図1において、撮像装置100は、発光部101、レンズ102、アイリス103、アイリスマータ104、CMOSセンサ105、AD変換部106、欠陥検出部107、メモリ108、及び欠陥補正部109を備える。また、撮像装置100は、CPU110、絞り駆動回路111、及びCMOSセンサ駆動回路112を備える。

【0018】

発光部101より出力される入射光は、レンズ102により結像され、アイリス103で入射光量を調節され、CMOSセンサ105へ入射される。CMOSセンサ105へ入射された入射光は、CMOSセンサ105で光電変換され、AD変換部106でAD変換され、デジタル化された映像データが欠陥検出部107及び欠陥補正部109へ入力される。

20

【0019】

欠陥画素検出時、映像データにより欠陥検出部107において欠陥画素検出処理を行ない、その欠陥画素の情報はメモリ108に保持される。

【0020】

欠陥画素補正時、映像データは欠陥補正部109へ入力され、欠陥画素検出時にメモリ108に保持したキズ情報に基づいて補正処理が施される。

30

【0021】

CMOSセンサ駆動回路112は、CMOSセンサ105の蓄積動作、読み出し動作、リセット動作を制御する。

【0022】

絞り駆動回路111は、アイリス102を駆動するアイリスマータ104を制御する。

【0023】

CPU110は、シャッタ速度関連のパラメータからCMOSセンサ駆動回路112を制御し、絞り関連のパラメータにより絞り駆動回路111を制御する。

【0024】

図2(a)及び(b)は、図1のCMOSセンサ105のフォトダイオード劣化要因の欠陥画素を説明する図であり、(a)はCMOSセンサ105の構成を示し、(b)は欠陥画素パターンを示す。

40

【0025】

図2(a)において、CMOSセンサ105は、フォトダイオード601、読み出し回路602、列アンプ603、垂直走査回路604、及び水平走査回路605を備える。

【0026】

フォトダイオード601は、撮像面に2次元に配列され、入射光を光電変換する。読み出し回路602は、複数のフォトダイオード601からの出力信号を読み出す。列アンプ603は、垂直方向の読み出し回路602からの出力信号を読み出す。

【0027】

50

垂直走査回路 604、及び水平走査回路 605 をドライブしてフォトダイオード 601 に蓄積された映像信号が順次出力される。

【0028】

図 2 (a) に示すように、フォトダイオード 601a, 601b が欠陥要因である場合、撮像面においての欠陥画素パターンは図 2 (b) に示すようになる。フォトダイオード 601 は画素ごとに独立しているので、孤立点欠陥となる可能性が高い。フォトダイオード 601 が欠陥要因である場合、暗電流特性がその原因であり、欠陥画素のセンサ出力(キズレベル)は蓄積時間や温度等の条件に依存する。そのため、フォトダイオード 601 が欠陥要因の欠陥画素には、リアルタイムの画素補間による補正が適している。また、条件によっては欠陥画素が目立たず補正を必要としない場合がある。

10

【0029】

図 3 (a) 及び (b) は、図 1 の CMOS センサ 105 の読み出し回路劣化要因の欠陥画素を説明する図であり、(a) は CMOS センサ 105 の構成を示し、(b) は欠陥画素パターンを示す。

【0030】

図 3 (a) に示すように、読み出し回路 602a が欠陥要因である場合、欠陥画素パターンは図 3 (b) のようになる。読み出し回路 602a は複数のフォトダイオード 601 が共有しているので、共有している画素分だけ欠陥画素が連続する。読み出し回路 602 が欠陥要因である場合、読み出し回路のトランジスタが故障して機能しないことが原因があるので、キズレベルは蓄積時間や温度に依存しない。そのため、読み出し回路 602 が欠陥要因の欠陥画素は、常時、周辺画素からの補間による補正が必要である。

20

【0031】

図 4 (a) 及び (b) は、図 1 の CMOS センサ 105 の列アンプ劣化要因の欠陥画素を説明する図であり、(a) は CMOS センサ 105 の構成を示し、(b) は欠陥画素パターンを示す。

【0032】

図 4 (a) に示すように、列アンプ 603a が欠陥要因である場合、欠陥画素パターンは図 4 (b) のようになる。列アンプ 603 は垂直方向の全フォトダイオード 601 が共有しているので、完全な線キズとなる。列アンプ 603 が欠陥要因である場合、列アンプトランジスタの特性のばらつきが原因であり、キズレベルは蓄積時間や温度に依存しない。そのため、列アンプ 603a が欠陥要因の欠陥画素には、キズレベルを事前に検出保持し、欠陥画素のキズレベル調整による補正が適している。

30

【0033】

図 5 は、図 1 の CMOS センサ 105 における撮影条件と欠陥画素のセンサ出力(キズレベル)との関係を示す図である。

【0034】

図 5 (a) は、蓄積時間とセンサ出力の関係を示す図である。

【0035】

図 5 (a) において、フォトダイオード 601 が欠陥要因である場合は、蓄積時間が 2 倍になると、センサ出力も比例して 2 倍になる。一方、読み出し回路 602、又は列アンプ 603 が欠陥要因である場合は、センサ出力は蓄積時間に依存しない。

40

【0036】

図 5 (b) は、温度とセンサ出力の関係を示す図である。

【0037】

図 5 (b) において、フォトダイオード 601 が欠陥要因である場合は、温度が高温(+8 ~ 10)になると、センサ出力も 2 倍になる。一方、読み出し回路 602、又は列アンプ 603 が欠陥要因である場合は、センサ出力は温度に依存しない。

【0038】

図 6 は、図 1 の撮像装置 100 における欠陥検出時、欠陥補正時のデータの流れを説明する図である。

50

【 0 0 3 9 】

図6において、欠陥検出部107は、入力された映像データの欠陥画素の検出を行い、欠陥画素の位置情報（アドレス）、及びセンサ出力（レベル）をメモリ108に保存する。

【 0 0 4 0 】

CPU110は、絞り駆動回路111を制御して異なるシャッタ速度で複数回の欠陥画素検出処理を行うように制御し、それぞれのアドレス及びレベルをメモリ108に保存するようとする。また、CPU110は、各条件の同一アドレスの欠陥画素のレベルを比較すると共に、アドレスを参照することにより欠陥要因を判別し、判別結果に応じてキズフラグをメモリ108に保存する。

10

【 0 0 4 1 】

欠陥補正部109は、キズフラグをメモリ108より読み出し、各アドレスの欠陥要因を認知し、欠陥要因に応じた補正処理を行う。

【 0 0 4 2 】

図7は、図1におけるCPU110で実行される欠陥検出処理のフローチャートである。

【 0 0 4 3 】

図7において、CPU110は、絞り駆動回路111を制御してアイリス103を閉じ、CMOSセンサ105への入力を遮光状態とする（ステップS301）。次に、CPU110は、欠陥画素か否かを判別するための閾値Th1、及び欠陥要因がフォトダイオード601の劣化であるか否かを判別するための閾値Th2を決定する（ステップS302）。

20

【 0 0 4 4 】

CPU110は、CMOSセンサ駆動回路112のパラメータを制御し、シャッタ速度を1/4secとし、閾値Th1に基づいて第1の欠陥画素検出処理を行う（ステップS303）。この検出処理により、欠陥画素のアドレス及びレベルがメモリ108に保存される。

【 0 0 4 5 】

次に、CPU110は、CMOSセンサ駆動回路112のパラメータを制御し、シャッタ速度を1/2secとし、閾値Th1に基づいて第2の欠陥画素検出処理を行う（ステップS304）。この検出処理により、欠陥画素のアドレス及びレベルがメモリ108に保存される。

30

【 0 0 4 6 】

次に、CPU110は、第1及び第2の欠陥画素検出処理における同一アドレスの欠陥画素のレベルを比較し、それらの差分が閾値Th2より大きいか否かを判別する（ステップS305）。

【 0 0 4 7 】

ステップS305の判別の結果、差分が閾値Th2より大きいとき、すなわち、図5(a)に示すように、欠陥画素のレベルが2倍になり、欠陥画素のレベルがシャッタ速度に依存する場合は、フォトダイオード601の劣化が欠陥要因であると判別される。そのため、キズフラグとして通常フラグをメモリ108に保存し（ステップS306）、本処理を終了する。

40

【 0 0 4 8 】

ステップS305の判別の結果、差分が閾値Th2より小さいとき、すなわち欠陥画素のレベルのシャッタ速度への依存度が少ない場合は、フォトダイオード601の劣化以外が欠陥要因であると判別され、ステップS307に進む。

【 0 0 4 9 】

ステップS307では、撮像面における欠陥画素のアドレスのパターンマッチを行い、垂直方向の全画素に欠陥が連続するか否かを判別する。

【 0 0 5 0 】

50

ステップ S 3 0 7 の判別の結果、垂直方向の全画素に欠陥が連続するときは、図 4 に示すように、列アンプ 6 0 3 の劣化が欠陥要因であると判別される。そのため、キズフラグとして連続フラグをメモリ 1 0 8 に保存し(ステップ S 3 0 8)、本処理を終了する。

【0051】

ステップ S 3 0 7 の判別の結果、垂直方向の全画素に欠陥が連続しないとき、すなわち、読み出し回路 6 0 2 を共有する画素分だけ欠陥が連続するときは、図 3 に示すように、読み出し回路 6 0 2 の劣化が欠陥要因であると判別される。そのため、キズフラグとして故障フラグをメモリ 1 0 8 に保存し(ステップ S 3 0 9)、本処理を終了する。

【0052】

図 7 の処理によれば、差分が閾値 T_{h2} より大きいとき、すなわち欠陥画素のレベルがシャッタ速度に依存する場合は(ステップ S 3 0 5 で YES)、フォトダイオード 6 0 1 の劣化が欠陥要因であると判別される。これにより、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別し、欠陥要因に応じて補正方法を切り替えることにより画質を向上させることができる。10

【0053】

図 8 は、図 1 における C P U 1 1 0 で実行される欠陥補正処理のフローチャートである。本処理は、図 7 の欠陥検出処理の後に実行される。

【0054】

図 8において、C P U 1 1 0 は、欠陥画素のアドレス、レベル、及びキズフラグをメモリ 1 0 8 より読み込む(ステップ S 1 0 0 1)。20

【0055】

次に、読み込んだキズフラグが通常フラグであるか否かを判別する(ステップ S 1 0 0 2)。この判別の結果、読み込んだキズフラグが通常フラグであるとき、すなわち、フォトダイオード 6 0 1 の劣化が欠陥要因であるときは、ステップ S 1 0 0 3 に進む。

【0056】

ステップ S 1 0 0 3 では、シャッタ速度が所定の閾値 T_{hs} より小さいか否かを判別する。この結果、シャッタ速度が所定の閾値 T_{hs} より小さいときは、温度が所定の閾値 T_{ht} より小さいか否かを判別する(ステップ S 1 0 0 4)。この判別の結果、温度が所定の閾値 T_{ht} より小さいときは、キズは目立たず、補正処理を行うと補正による劣化が目立つと判断される。そのため、補正処理を行うことなく、本処理を終了する。30

【0057】

ステップ S 1 0 0 3 の判別の結果、シャッタ速度が所定の閾値 T_{hs} より大きいか、ステップ S 1 0 0 4 の判別の結果、温度が所定の閾値 T_{ht} より大きいときは、キズは目立つと判断され、ステップ S 1 0 0 5 に進む。

【0058】

ステップ S 1 0 0 5 では、周辺画素からの補間による補正処理を行い、本処理を終了する。

【0059】

ステップ S 1 0 0 2 の判別の結果、読み込んだキズフラグが通常フラグでないときは、読み込んだキズフラグが故障フラグであるか否かを判別する(ステップ S 1 0 0 6)。この判別の結果、読み込んだキズフラグが故障フラグであるとき、すなわち、読み出し回路 6 0 2 の劣化が欠陥要因であるときは、周辺画素からの補間による補正処理を行い(ステップ S 1 0 0 5)、本処理を終了する。40

【0060】

ステップ S 1 0 0 6 の判別の結果、読み込んだキズフラグが故障フラグでないとき(連続フラグであるとき)、すなわち、列アンプ 6 0 3 の劣化が欠陥要因であるときは、ステップ S 1 0 0 7 に進む。

【0061】

ステップ S 1 0 0 7 では、メモリ 1 0 8 に保存している欠陥画素のレベルの減算による補正処理を行い、本処理を終了する。50

【0062】

図8の処理によれば、欠陥画素のアドレス、レベル、及びキズフラグをメモリ108より読み込む(ステップS1001)、読み込んだキズフラグに応じて補正処理を行う(ステップS1005、ステップS1007)。これにより、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別し、欠陥要因に応じて補正方法を切り替えることにより画質を向上させることができる。

【0063】

図9は、図7の欠陥検出処理の変形例のフローチャートである。

【0064】

図9において、CPU110は、絞り駆動回路111を制御してアイリス103を開じ、CMOSセンサ105への入力を遮光状態とする(ステップS501)。次に、CPU110は、欠陥画素か否かを判別するための閾値Th1、及び欠陥要因がフォトダイオード601の劣化であるか否かを判別するための閾値Th2を決定する(ステップS502)。

10

【0065】

CPU110は、CMOSセンサ駆動回路112のパラメータを制御し、シャッタ速度を1/2secとし、温度を20に設定して、閾値Th1に基づいて第1の欠陥画素検出処理を行う(ステップS503)。この検出処理により、欠陥画素のアドレス及びレベルがメモリ108に保存される。

【0066】

次に、CPU110は、CMOSセンサ駆動回路112のパラメータを制御し、温度を28に設定して、閾値Th1に基づいて第2の欠陥画素検出処理を行う(ステップS504)。この検出処理により、欠陥画素のアドレス及びレベルがメモリ108に保存される。

20

【0067】

次に、CPU110は、第1及び第2の欠陥画素検出処理における同一アドレスの欠陥画素のレベルを比較し、それらの差分が閾値Th2より大きいか否かを判別する(ステップS505)。

【0068】

ステップS505の判別の結果、差分が閾値Th2より大きいとき、すなわち、図5(b)に示すように、欠陥画素のレベルが2倍になり、欠陥画素のレベルが温度に依存する場合は、フォトダイオード601の劣化が欠陥要因であると判別される。そのため、キズフラグとして通常フラグをメモリ108に保存し(ステップS506)、本処理を終了する。

30

【0069】

ステップS505の判別の結果、差分が閾値Th2より小さいとき、すなわち欠陥画素のレベルの温度への依存度が少ない場合は、フォトダイオード601の劣化以外が欠陥要因であると判別され、ステップS507に進む。

【0070】

ステップS507では、撮像面における欠陥画素のアドレスのパターンマッチを行い、垂直方向の全画素に欠陥が連続するか否かを判別する。

40

【0071】

ステップS507の判別の結果、垂直方向の全画素に欠陥が連続するときは、図4に示すように、列アンプ603の劣化が欠陥要因であると判別される。そのため、キズフラグとして連続フラグをメモリ108に保存し(ステップS508)、本処理を終了する。

【0072】

ステップS507の判別の結果、垂直方向の全画素に欠陥が連続しないとき、すなわち、読み出し回路602を共有する画素分だけ欠陥が連続するときは、図3に示すように、読み出し回路602の劣化が欠陥要因であると判別される。そのため、キズフラグとして故障フラグをメモリ108に保存し(ステップS509)、本処理を終了する。

50

【0073】

図9の処理によれば、差分が閾値 T_{h2} より大きいとき、すなわち欠陥画素のレベルが温度に依存する場合は(ステップS505でYES)、フォトダイオード601の劣化が欠陥要因であると判別される。これにより、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別し、欠陥要因に応じて補正方法を切り替えることにより画質向上させることができる。

【0074】

図10は、図7の欠陥検出処理の他の変形例のフロー チャートである。

【0075】

図10において、CPU110は、絞り駆動回路111を制御してアイリス103を開じ、CMOSセンサ105への入力を遮光状態とする(ステップS401)。次に、CPU110は、欠陥画素か否かを判別するための閾値 T_{h1} 、及び欠陥要因がフォトダイオード601の劣化であるか否かを判別するための閾値 T_{h2} を決定する(ステップS402)。

10

【0076】

CPU110は、CMOSセンサ駆動回路112のパラメータを制御し、シャッタ速度を $1/2\text{sec}$ とし、欠陥画素検出処理を行う(ステップS403)。この検出処理により、欠陥画素のアドレス及びレベルがメモリ108に保存される。

【0077】

次に、撮像面における欠陥画素のアドレスのパターンマッチを行う(ステップS404)。この判別の結果、欠陥画素が孤立しているときは、図2に示すように、フォトダイオード601の劣化が欠陥要因であると判別される。そのため、キズフラグとして通常フラグをメモリ108に保存し(ステップS405)、本処理を終了する。

20

【0078】

ステップS404の判別の結果、垂直方向の全画素に欠陥が連続するときは、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より大きいか否かを判別する(ステップS406)。

【0079】

ステップS406の判別の結果、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より小さいときは、図4に示すように、列アンプ603の劣化が欠陥要因であると判別される。そのため、キズフラグとして連続フラグをメモリ108に保存し(ステップS407)、本処理を終了する。

30

【0080】

ステップS406の判別の結果、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より大きいときは、フォトダイオード601の劣化が欠陥要因の欠陥画素が偶然連続したものと判別し、ステップS405以降の処理を実行する。

【0081】

ステップS404の判別の結果、読み出し回路602を共有する画素分だけ欠陥が連続するときは、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より大きいか否かを判別する(ステップS408)。

40

【0082】

ステップS408の判別の結果、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より小さいときは、図3に示すように、読み出し回路602の劣化が欠陥要因であると判別される。そのため、キズフラグとして故障フラグをメモリ108に保存し(ステップS409)、本処理を終了する。

【0083】

ステップS408の判別の結果、パターン内の欠陥画素のレベルのばらつきが閾値 T_{h2} より大きいときは、フォトダイオード601の劣化が欠陥要因の欠陥画素が偶然連続したものと判別し、ステップS405以降の処理を実行する。

【0084】

50

図10の処理によれば、欠陥画素が孤立しているときは、フォトダイオード601の劣化が欠陥要因であると判別される(ステップS404)。これにより、欠陥画素が複数ある欠陥要因のうちのいずれによるものかを正確に判別し、欠陥要因に応じて補正方法を切り替えることにより画質を向上させることができる。

【0085】

上記の実施の形態で説明した処理、機能等は、いずれもコンピュータ読み取り可能なプログラム等で実現することもできる。

【0086】

この場合、上記の実施の形態で説明した処理、機能等は、システム又は装置に含まれるコンピュータ(CPU、MPU等でもよい)が上記のプログラム等を実行することによって実現されることになる。言い換えれば、上記のプログラム等が、システム又は装置に含まれるコンピュータに、上記の実施の形態で説明した処理、機能等を実行させることになる。また、この場合、上記のプログラム等は、コンピュータ読み取り可能な記憶媒体又はネットワークを介してシステム又は装置に含まれるコンピュータに提供されることになる。

10

【0087】

システム又は装置に含まれるコンピュータに上記のプログラム等を提供する記憶媒体には、磁気ディスク、光ディスク、光磁気ディスク、ハードディスク、磁気テープ、不揮発性メモリ等を用いることができる。

【0088】

また、上記のプログラム等は、その一部をコンピュータ上で稼動しているOS(オペレーティングシステム)等を用いて構成してもよい。

20

【0089】

さらに、上記のプログラム等は、その一部をコンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットで実行するように構成してもよい。

【図面の簡単な説明】

【0090】

【図1】本発明の実施の形態に係る撮像装置の全体構成を示すブロック図である。

【図2】図1のCMOSセンサ105のフォトダイオード劣化要因の欠陥画素を説明する図であり、(a)はCMOSセンサ105の構成を示し、(b)は欠陥画素パターンを示す。

30

【図3】図1のCMOSセンサ105の読み出し回路劣化要因の欠陥画素を説明する図であり、(a)はCMOSセンサ105の構成を示し、(b)は欠陥画素パターンを示す。

【図4】図1のCMOSセンサ105の列アンプ劣化要因の欠陥画素を説明する図であり、(a)はCMOSセンサ105の構成を示し、(b)は欠陥画素パターンを示す。

【図5】図1のCMOSセンサ105における撮影条件と欠陥画素のセンサ出力(キズレベル)との関係を示す図であり、(a)は蓄積時間とセンサ出力の関係を示し、(b)は温度とセンサ出力の関係を示す。

【図6】図1の撮像装置100における欠陥検出時、欠陥補正時のデータの流れを説明する図である。

40

【図7】図1におけるCPU110で実行される欠陥検出処理のフローチャートである。

【図8】図1におけるCPU110で実行される欠陥補正処理のフローチャートである。

【図9】図7の欠陥検出処理の変形例のフローチャートである。

【図10】図7の欠陥検出処理の他の変形例のフローチャートである。

【符号の説明】

【0091】

100 撮像装置

107 欠陥検出部

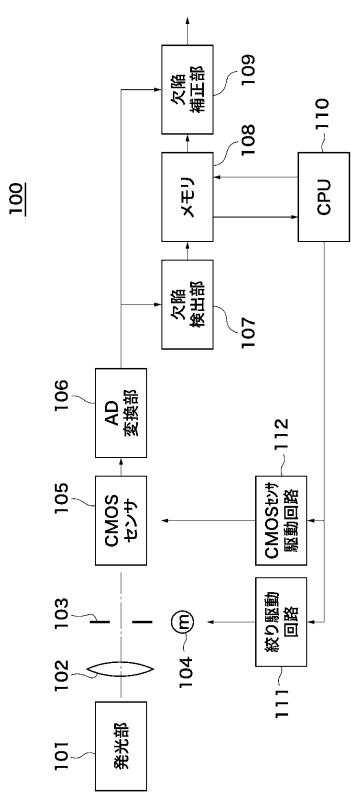
108 メモリ

109 欠陥補正部

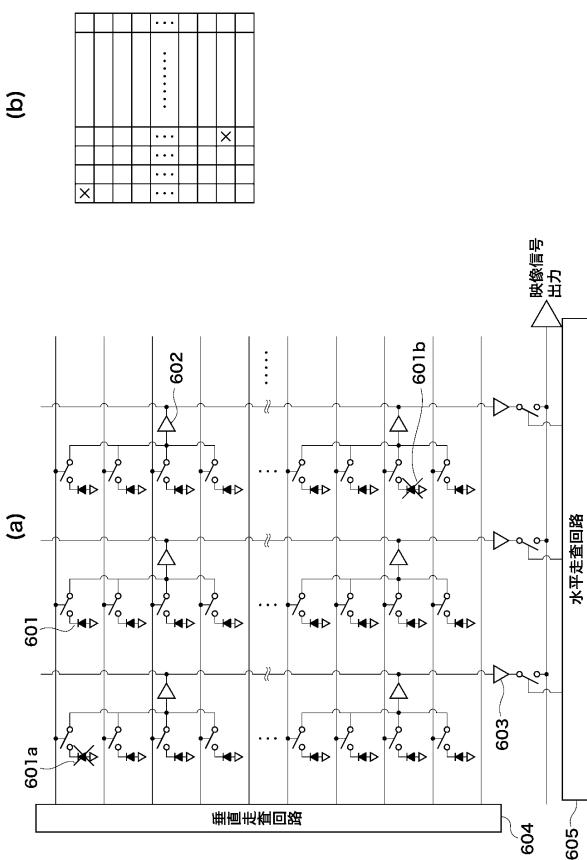
50

1 1 0 C P U

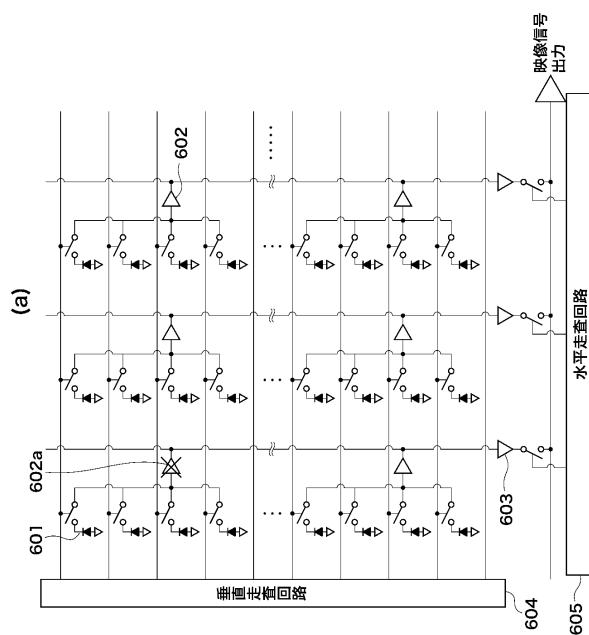
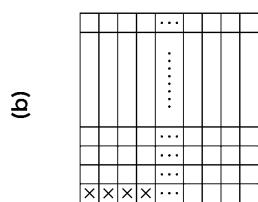
【図1】



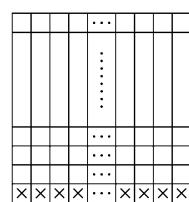
【図2】



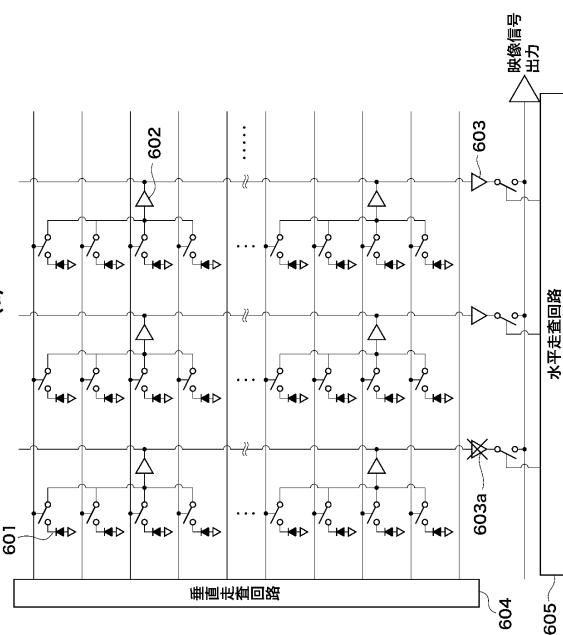
【図3】



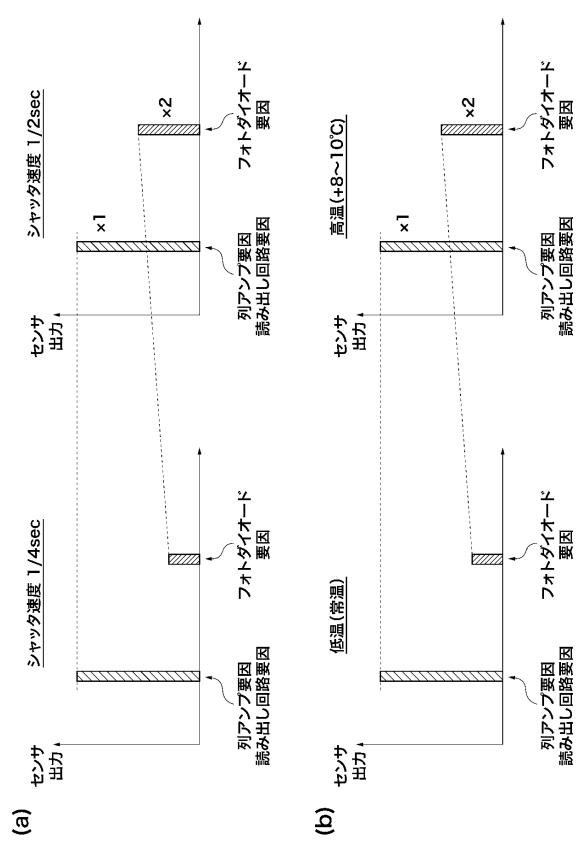
【図4】



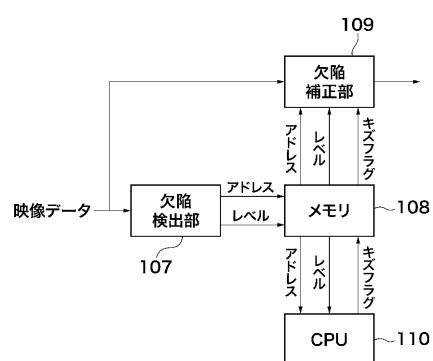
(b)



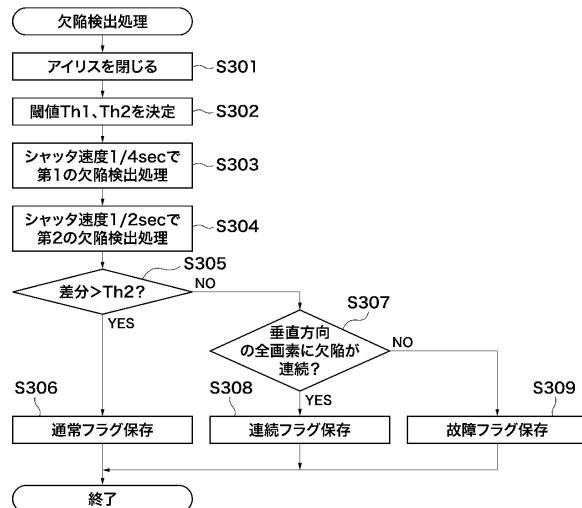
【図5】



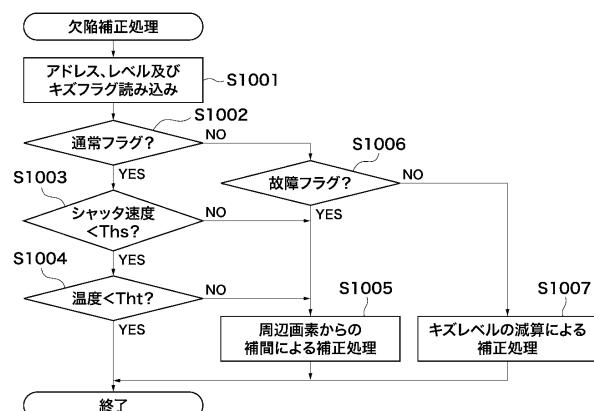
【図6】



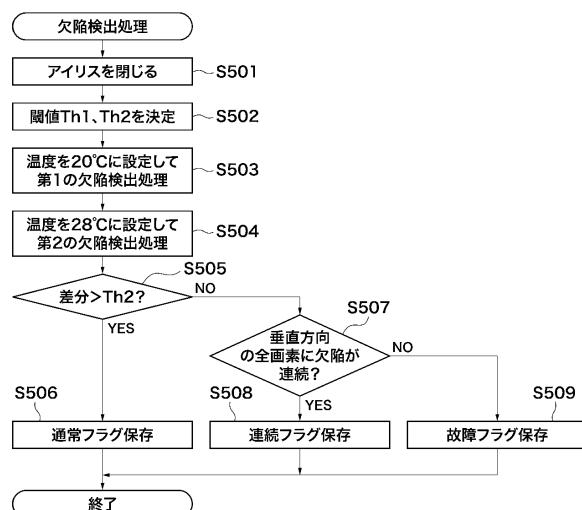
【図7】



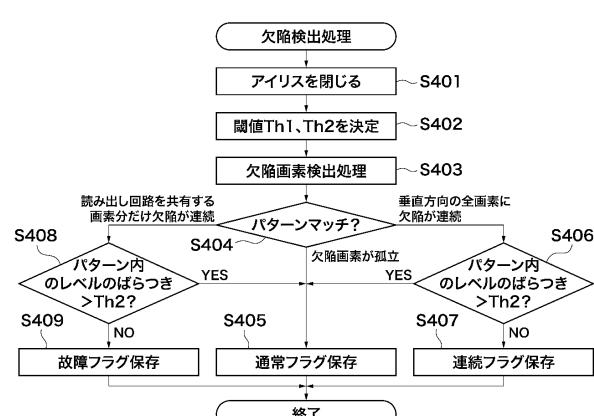
【 図 8 】



〔 図 9 〕



〔 四 10 〕



フロントページの続き

(56)参考文献 特開平10-051693(JP,A)
特開平09-289614(JP,A)
特開2001-008100(JP,A)
特開2002-354340(JP,A)
特開2004-327722(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762