

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/064599 A1

PCT

(43) 国際公開日

2010年6月10日(10.06.2010)

(51) 国際特許分類:

H01L 31/04 (2006.01)

(21) 国際出願番号:

PCT/JP2009/070101

(22) 国際出願日:

2009年11月30日(30.11.2009)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2008-306532 2008年12月1日(01.12.2008) JP

(71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 岸本 克史
(KISHIMOTO, Katsushi). 野元 克彦(NOMOTO,
Katsuhiko).

(74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒
5300005 大阪府大阪市北区中之島二丁目2番7号

中之島セントラルタワー 22階 深見特許事務所
Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

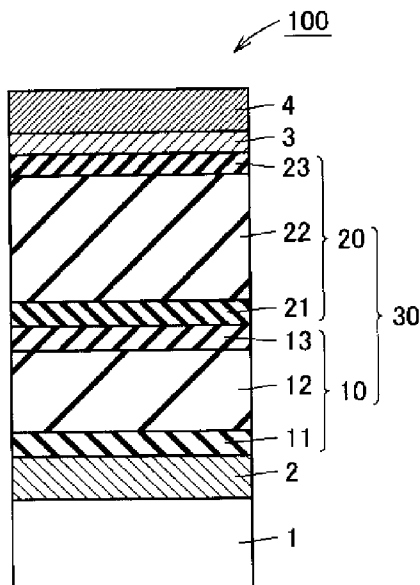
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SILICON THIN FILM PHOTOELECTRIC CONVERSION DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: シリコン系薄膜光電変換装置およびその製造方法

[図1]



(57) Abstract: Provided is a method for manufacturing a silicon thin film photoelectric conversion device having excellent qualities and high photoelectric conversion efficiency at low cost and high efficiency using a simple manufacturing apparatus. In first mode of the method, a step of forming an amorphous pin-structure laminated body (10) having a first p-type semiconductor layer (11), an i-type amorphous silicon photoelectric conversion layer (12) and a first n-type semiconductor layer (13), and a step of forming a crystalline-type pin-structure laminated body (20) having a second p-type semiconductor layer (21), an i-type crystalline silicon photoelectric conversion layer (22) and a second n-type semiconductor layer (23) are performed in plasma CVD film forming chambers, respectively, by means of single chamber film formation. The step of forming the amorphous pin-structure laminated body (10) is characterized in that the laminated body is formed under the conditions of film-forming pressure in a first plasma CVD film forming chamber (230) at 200 Pa or more but not more than 3000 Pa and power density per electrode unit area at 0.01 W/cm² or more but not more than 0.3 W/cm².

(57) 要約: 本発明は、良好な品質を有し光電変換効率の高いシリコン系薄膜光電変換装置を、簡易な製造装置を用いて低コストでかつ高効率で製造する方法を提供することを目的としており、本発明のシリコン系薄膜光電変換装置の製造方法の第一の形態は、第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)および第1のn型半導体層(13)を有する非晶質型pin構造積層体(10)を形成する工程と、第2のp型半導体層(21)、i型結晶質シリコン系光電変換層(22)および第2のn型半導体層(23)を有する結晶質型pin構造積層体(20)を形成する工程とを各々プラズマCVD成膜室内で一室成膜により行ない、非晶質型pin構造積層体(10)を形成する工程は、第1のプラズマCVD成膜室(230)内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。

層体(20)を形成する工程とを各々プラズマCVD成膜室内で一室成膜により行ない、非晶質型pin構造積層体(10)を形成する工程は、第1のプラズマCVD成膜室(230)内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：シリコン系薄膜光電変換装置およびその製造方法 技術分野

[0001] 本発明は、シリコン系薄膜光電変換装置およびその製造方法に関する。

背景技術

[0002] 近年、たとえば、多結晶シリコンまたは微結晶シリコンのような結晶質シリコンを含む薄膜を利用した太陽電池の開発および生産量の拡大が世界的に注目されている。この太陽電池の大きな特徴は、大面積の安価な基板上に、プラズマCVD装置またはスパッタ装置のような成膜装置を用いて、半導体膜または金属電極膜を積層させ、その後、レーザパターニングなどの手法を用いて、同一基板上に作製した太陽電池セルを分離接続させることにより、太陽電池の低コスト化と高性能化とを両立させることができる点である。しかしながら、そのような製造工程においては、デバイス作製の基幹装置であるCVD装置に代表される製造装置の高コスト化のために太陽電池の製造コストが高くなり、結晶質シリコンを含む薄膜を利用した太陽電池の大規模な普及に対する障壁のひとつとなっている。

[0003] 従来、太陽電池の生産装置としては、太陽電池の各層に対応する複数の成膜室（「チャンバ」とも呼ばれる、以下同じ）を直線状に連結したインライン方式、または中央に中間室を設け、その周りに複数の成膜室を配置するマルチチャンバ方式が採用されている。しかし、インライン方式では基板搬送の動線が直線状であるため、部分的にメンテナンスの必要が生じた場合でも装置全体を停止させなければならない。たとえば、最もメンテナンスが必要とされるi型シリコン光電変換層の形成を行なう成膜室を複数含んでいるため、i型シリコン光電変換層の形成を行なう1つの成膜室にメンテナンスが必要となった場合でも、生産ライン全体を停止しなければならないという問題がある。

[0004] 他方、マルチチャンバ方式は、成膜されるべき基板を中間室を経由して各

成膜室に移動させる方式であり、それぞれの成膜室と中間室との間に気密を維持し得る可動仕切りが設けられているので、ある1つの成膜室に不都合が生じた場合でも、他の成膜室は使用が可能であり、生産装置全体を停止しなければならないということはない。しかし、このマルチチャンバ方式の生産装置では、中間室を介した基板の動線が複数あり、中間室の機械的な構造が複雑になることは避けられない。たとえば、中間室と各成膜室との間の気密性を維持しつつ基板を移動させる機構が複雑であり、その結果装置全体としては高価になる。また、中間室の周りに配置される成膜室の数が空間的に制限されるという問題もある。

[0005] このような問題点に鑑みて、p型半導体層、i型微結晶シリコン系光電変換層およびn型半導体層が、同一のプラズマCVD成膜室内で順に引続いて形成され、かつp型半導体層は、成膜室内の圧力が667Pa（5Torr）以上の条件で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法が提案されている（たとえば特開2000-252495号公報（特許文献1）を参照）。特開2000-252495号公報（特許文献1）には、この方法によれば、良好な性能および品質を有する光電変換装置を簡易な装置により低コストかつ高効率で製造できることが開示されている。

[0006] しかしながら、特開2000-252495号公報（特許文献1）に開示された製造方法では、目標とする生産性向上を求めて、p型半導体層、i型シリコン系光電変換層およびn型半導体層（これらの層をあわせて以下「pin層」ともいう。また、p型層、i型層およびn型層がこの順に配列された構造またはn型層、i型層およびp型層がこの順に配列された構造を「pin構造」ともいう。）の形成を同一成膜室内で繰り返し行なうので、プラズマCVD成膜室のカソード上および／または室内面上に形成された残留膜におけるn型層中のn型ドーパントが、次のp型半導体層およびi型シリコン系光電変換層を形成する初期の段階において、p型半導体層およびi型シリコン系光電変換層に混入する事態が避けられないという問題がある。

[0007] すなわち、プラズマCVD成膜室内において、まずp型半導体層を基板上

に形成する際に成膜室のカソード上および／または室内面上にも p 型層が形成され、次に i 型シリコン系光電変換層を形成する際に上記 p 型層上に i 型層が形成され、次に n 型半導体層を形成する際に上記 i 型層上に n 型層が形成される。こうしてプラズマ CVD 成膜室のカソード上および／または室内面上に、残留膜として p 型層、i 型層および n 型層の積層膜が形成される。かかる残留膜における n 型層中の n 型ドーパント（n 型不純物原子ともいう、以下同じ）が、次の p 型半導体層および i 型シリコン系光電変換層を形成する初期の段階において、p 半導体層および i 型シリコン系光電変換層に混入するという問題が生じるのである。

[0008] ここで、p 型半導体層に対する n 型ドーパントの影響としては、n 型ドーパントが p 型ドーパント（p 型不純物原子ともいう、以下同じ）の働きを弱めるため、太陽電池を作製する上で必要な p 型半導体層の空間電荷の確保ができなくなることが挙げられる。これにより、従来の良好な p 型半導体層の製造条件を用いた場合においても、開放電圧や極性因子の低下といった太陽電池の諸パラメータに悪影響が及ぼされる虞がある。また、n 型ドーパントの i 型シリコン系光電変換層への影響としては、残留膜中の n 型ドーパントの i 型シリコン系光電変換層中への拡散が、i 型シリコン系光電変換層中の再結合準位を増加させ、内部電界を弱めることにより、太陽電池の短波長感度の大幅な低下をもたらすことが知られている（たとえば特開 2000-243993 号公報（特許文献 2）を参照）。

[0009] また、p i n 層が複数積層されたシリコン系光電変換装置を製造する方法については、非晶質光電変換層をインライン式 CVD 装置で作製した後、微結晶シリコン系光電変換層を別の CVD 装置で製造する方法が提案されている（特開 2000-252496 号公報（特許文献 3））。これは、非晶質光電変換層を同一の成膜室で成膜すると特性低下を起こすことが知られていることと、装置タクトが相容れない非晶質光電変換層と微結晶シリコン系光電変換層を別の CVD 装置で製造することでラインの効率化を図る目的である。また、インライン方式の CVD 装置で問題になるダウンタイムの減少す

る対策にもなる。

- [0010] しかし、上記の製造方法では、いずれも複雑な製造装置およびメンテナンスを必要とするため、良好な特性を有する積層型光電変換装置を簡易な製造装置を用いて低コストおよび高効率に製造できる方法の開発が求められている。

先行技術文献

特許文献

- [0011] 特許文献1：特開2000-252495号公報
特許文献2：特開2000-243993号公報
特許文献3：特開2000-252496号公報

発明の概要

発明が解決しようとする課題

- [0012] 本発明は、良好な品質を有し光電変換効率の高いシリコン系薄膜光電変換装置を、簡易な製造装置を用いて低コストでかつ高効率で製造する方法を提供することを目的とする。また本発明は、同一の構成を有する複数のプラズマCVD成膜室を用いて、シリコン系薄膜光電変換装置を歩留まりよく製造できる製造方法を提供することを目的とする。

課題を解決するための手段

- [0013] 本発明のシリコン系薄膜光電変換装置の製造方法の第一の形態は、基板上に透明導電膜を形成する工程と、透明導電膜上に第1のp型半導体層、i型非晶質シリコン系光電変換層および第1のn型半導体層をこの順で有する非晶質型p-i-n構造積層体を形成する工程と、第2のp型半導体層、i型結晶質シリコン系光電変換層および第2のn型半導体層をこの順で有する結晶質型p-i-n構造積層体を形成する工程とをこの順で含み、非晶質型p-i-n構造積層体を形成する工程は、第1のプラズマCVD成膜室内で一室成膜により行ない、結晶質型p-i-n構造積層体を形成する工程は、第2のプラズマCVD成膜室内で一室成膜により行ない、非晶質型p-i-n構造積層体を形成する

工程は、第1のプラズマCVD成膜室内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。

- [0014] 本発明のシリコン系薄膜光電変換装置の製造方法の第二の形態は、基板上に透明導電膜を形成する工程と、透明導電膜上に第1のn型半導体層、i型非晶質シリコン系光電変換層および第1のp型半導体層をこの順で有する非晶質型pin構造積層体を形成する工程と、第2のn型半導体層、i型結晶質シリコン系光電変換層および第2のp型半導体層をこの順で有する結晶質型pin構造積層体を形成する工程とをこの順で含み、非晶質型pin構造積層体を形成する工程は、第1のプラズマCVD成膜室内で一室成膜により行ない、結晶質型pin構造積層体を形成する工程は、第2のプラズマCVD成膜室内で一室成膜により行ない、非晶質型pin構造積層体を形成する工程は、第1のプラズマCVD成膜室内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。
- [0015] 上記非晶質型pin構造積層体を形成する工程は、上記非晶質型pin構造積層体を繰り返し形成する工程とすることができる。
- [0016] 上記第1のp型半導体層の厚さは2nm以上50nm以下であり、i型非晶質シリコン系光電変換層の厚さは0.1μm以上0.5μm以下であり、第1のn型半導体層の厚さは2nm以上50nm以下であることが好ましい。また、上記第2のp型半導体層の厚さは2nm以上50nm以下であり、i型結晶質シリコン系光電変換層の厚さは0.5μm以上20μm以下であり、第2のn型半導体層の厚さは2nm以上50nm以下であることが好ましい。
- [0017] 上記第2のp型半導体層は、基板の下地温度が250℃以下であり、第2のプラズマCVD成膜室内に導入する原料ガスは、シラン系ガスと水素ガスを含む希釈ガスとを含み、シラン系ガスに対する希釈ガスの流量が100倍以上の条件で形成されることが好ましい。

- [0018] また、上記第1のp型半導体層および第2のp型半導体層の導電型決定不純物原子は、ボロン原子またはアルミニウム原子とすることができる。
- [0019] 上記i型結晶質シリコン系光電変換層は、基板の下地温度が250℃以下であり、第2のプラズマCVD成膜室に導入する原料ガスは、シラン系ガスと希釈ガスとを含み、シラン系ガスに対する希釈ガスの流量が30倍以上100倍以下の条件で形成され、ラマン分光法により測定される480 cm⁻¹におけるピーク強度 I_{480} に対する520 cm⁻¹におけるピーク強度 I_{520} のピーク強度比 I_{520}/I_{480} が5以上10以下であることが好ましい。
- [0020] 上記第1のn型半導体層および第2のn型半導体層の導電型決定不純物原子は、リン原子とすることができる。
- [0021] 上記第2のn型半導体層は、基板の下地温度が250℃以下であり、第2のプラズマCVD成膜室に導入する原料ガス中のシリコン原子に対するリン原子の含有率が0.1原子%以上5原子%以下の条件で形成されることが好ましい。
- [0022] 本発明のシリコン系薄膜光電変換装置の製造方法には、結晶質型pin構造積層体を形成する工程の後に、上記シリコン系薄膜光電変換装置を第2のプラズマCVD成膜室から搬出する工程と、第1のプラズマCVD成膜室または第2のプラズマCVD成膜室におけるカソード上および室内面上の少なくともいずれかの残留膜を除去する工程とを含む態様も含まれる。
- [0023] 上記残留膜を除去する工程は、水素ガスと、不活性ガスと、フッ素系のクリーニングガスとからなる群より選ばれる少なくとも1種のガスをプラズマ化したガスプラズマにより行なうことが好ましい。
- [0024] 上記残留膜を除去する工程は、残留膜の表面層からカソードおよび室内面の少なくともいずれかに最も近い位置にあるn型層までをエッチング除去する工程と、残留膜のカソードおよび室内面の少なくともいずれかに最も近い位置にあるi型層を、厚さ方向に10 nm以上i型層の厚さ全体の90%以下の範囲の深さでエッチング除去する工程とを含むことが好ましい。
- [0025] 上記残留膜を除去する工程は、第1のプラズマ成膜室または第2のプラズ

マCVD成膜室のカソード上の残留膜の積算膜厚が $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であるときに行なうことが好ましい。

[0026] また本発明は、上記のようなシリコン系薄膜光電変換装置の製造方法により製造されたシリコン系薄膜光電変換装置に関する。

発明の効果

[0027] 本発明によれば、同一の電極構成を有するプラズマCVD成膜室を利用して、pin構造を有する薄膜の形成が可能となり、良好な品質を有し光電変換効率の高いシリコン系薄膜光電変換装置を簡易な製造装置を用いて低コストでかつ高効率で製造する方法を提供することができる。

図面の簡単な説明

[0028] [図1]本実施の形態1にかかるシリコン系薄膜光電変換装置を示す模式断面図である。

[図2]本発明において用いられるプラズマCVD装置の概略図である。

[図3]本発明にかかるシリコン系薄膜光電変換装置の製造方法の一実施の形態を概略的に示すフローチャートである。

[図4]本実施の形態3にかかるシリコン系薄膜光電変換装置を示す模式断面図である。

発明を実施するための形態

[0029] 以下、本発明についてさらに詳細に説明する。なお、以下の実施の形態の説明では、図面を用いて説明しているが、本願の図面において同一の参照符号を付したものは、同一部分または相当部分を示している。なお、本願において、「多結晶」、「微結晶」および「結晶質」とは、それぞれ部分的に非晶質状態を含むものを意味するものとする。

[0030] <実施の形態1>

本発明のシリコン系薄膜光電変換装置の製造方法の第1の実施の形態は、基板上に透明導電膜を形成する工程と、透明導電膜上に第1のp型半導体層、i型非晶質シリコン系光電変換層および第1のn型半導体層を有する非晶質型pin構造積層体を形成する工程と、第2のp型半導体層、i型結晶質

シリコン系光電変換層および第2のn型半導体層を有する結晶質型p i n構造積層体を形成する工程とをこの順で含み、非晶質型p i n構造積層体を形成する工程は、第1のプラズマCVD成膜室内で一室成膜により行ない、結晶質型p i n構造積層体を形成する工程は、第2のプラズマCVD成膜室内で一室成膜により行ない、非晶質型p i n構造積層体を形成する工程は、第1のプラズマCVD成膜室内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。

[0031] なお、本発明において、p i n構造積層体とは、p型層、i型層およびn型層がこの順、またはn型層、i型層およびp型層の順に形成されてp i n構造が形成された積層体をいう。また、i型非晶質シリコン系光電変換層を有する非晶質型p i n構造積層体とi型結晶質シリコン系光電変換層を有する結晶質型p i n構造積層体との積層構造を二重p i n構造積層体というがある。また、このような二重p i n構造積層体を有するシリコン系薄膜光電変換装置を積層型シリコン系薄膜光電変換装置ともいう。

[0032] 上記本発明のシリコン系薄膜光電変換装置の製造方法の第1の実施の形態について、図1、図2および図3を参照して説明する。図1は本発明にかかるシリコン系薄膜光電変換装置を示す断面模式図であり、図2は本発明において用いられるプラズマDVD装置の概略図を示す。また、図3は本発明にかかるシリコン系薄膜光電変換装置の製造方法の概略的に示すフローチャートである。なお、図3中のS1などの「S」は「工程」を示す。

[0033] 本発明のシリコン系薄膜光電変換装置の製造方法では、まず、図1に示すように、基板1上に透明導電膜2を形成する。基板1としては、プラズマCVD成膜プロセスにおける耐熱性および透光性を有する基板であって、ガラス基板やポリイミド等の樹脂基板が一般的に使用されるものとして例示できる。また、透明導電膜2としては、酸化スズ、酸化インジウムスズ（ITO）、酸化亜鉛などの公知の透明導電膜を適用することができ、これらは、CVD、スパッタ、蒸着などの方法により形成することができる。

[0034] ついで、上記透明導電膜 2 上に、第 1 の p 型半導体層 1 1 と、i 型非晶質シリコン系光電変換層 1 2 および第 1 の n 型半導体層 1 3 を有する非晶質型 p i n 構造積層体 1 0 を形成する工程を含む。該工程は図 2 に示すようなプラズマ C V D 装置を用いて行なうことができる。透明導電膜 2 が形成された基板 1 は、加熱室 2 1 0 に搬送され成膜温度に達するまで一定時間加熱保持される（図 3 中、S 1 および S 2）。加熱室 2 1 0 にはヒータなど公知の加熱機構が備えられている。

[0035] その後、基板 1 は接続部 5 を経由して第 1 のプラズマ C V D 成膜室 2 2 0 に搬送され（図 3 中、S 3）、所望の p i n 構造積層体が形成される（図 3 中、S 4）。上記第 1 のプラズマ C V D 成膜室 2 2 0 は密閉可能であり、第 1 のプラズマ C V D 成膜室内 2 2 0 にはカソード 2 2 2 とアノード 2 2 3 とが対向設置されており、これらは平行平板型の電極構造を有する。

[0036] 従来、非晶質型 p i n 構造積層体および結晶質型 p i n 構造積層体を有するシリコン系薄膜光電変換装置を形成する場合、それぞれの p i n 構造積層体は、別々のプラズマ C V D 成膜室で形成されることが通常であり、上記電極構造として、i 型結晶質シリコン系光電変換層を有する結晶質型 p i n 構造積層体を形成するプラズマ C V D 成膜室では、良質な膜を形成するために、カソードとアノードの距離は小さく設定されている。すなわち、カソードとアノードの距離はたとえば 3 mm から 2 0 mm、好ましくは 5 mm から 1 5 mm、さらに好ましくは 7 mm から 1 2 mm とし、プラズマ C V D 成膜室内の圧力を高圧力条件として膜を形成することが必要である。一方、i 型非晶質シリコン系光電変換層を形成するプラズマ C V D 成膜室では、上記電極構造としてはカソードとアノードの距離をより大きく設定することが通常であった。このように上記距離を大きくする理由としては、カソードとアノードの距離を小さく設定すると、その距離のカソード面内不均一性が、カソードとアノード上の基板と間の電界強度のカソード面内分布により大きく影響するためであり、また、i 型非晶質シリコン系光電変換層を形成する場合は、i 型結晶質シリコン系光電変換層を形成する場合と比較して、プラズマ C

VD成膜室内に導入する原料ガスがより放電し易いガス組成であり、カソードとアノードの距離の自由度が大きいからである。したがって、i型非晶質シリコン系光電変換層を有するpin構造積層体およびi型結晶質シリコン系光電変換層を有するpin構造積層体を形成するためには、従来の方法によれば、良質なi型結晶質シリコン系光電変換層を形成するために、カソードとアノード間の距離が小さく設定された装置と、i型非晶質シリコン系光電変換層を形成するために、カソードとアノード間距離がi型結晶質シリコン系光電変換層を形成する場合よりも大きく設定された装置とを要することとなる。

[0037] 一方、本発明においては、後述のように成膜条件を特定することで、i型非晶質シリコン系光電変換層を有する非晶質型pin構造積層体とi型結晶質シリコン系光電変換層を有する結晶質型pin構造積層体とを形成する際のカソードとアノード間の距離が実質的に同一に設定された装置を用いて上記二重pin構造積層体を製造することを可能にしたものである。すなわち、複数のプラズマCVD装置のカソードとアノード間の距離を同一に設定することができるので、装置の配置などに制約されることなく、ガス導入条件などを変更するだけで、任意のi型のシリコン系光電変換層を形成することが可能となる。

[0038] 上記本発明の製造方法を実現するためには、i型非晶質シリコン系光電変換層を形成する際の電極構造として、i型結晶質シリコン系光電変換層を形成する際と同様にカソードとアノード間距離を小さく、たとえば3mmから20mm、好ましくは5mmから15mm、さらに好ましくは7mmから12mmに設定する。ここで、カソードとアノード間距離が小さくなった場合、プラズマCVD成膜室内の膜形成時の圧力を高くして放電を発生し易くすることは、パッシェンの法則から容易に想到しうるものである。しかしながら、本発明者らの検討により成膜室内の圧力を高くしただけでは、良質のi型非晶質シリコン系光電変換層を形成することはできないことがわかった。本発明では、i型非晶質シリコン系光電変換層を有する非晶質型pin構造

積層体の形成条件を、通常の場合と比較して、成膜圧力を高く設定し、かつカソードに印加する電力密度を小さく設定することにより、実質的に同一の電極構造を有するプラズマCVD装置を用いて光電変換効率の高いシリコン系薄膜光電変換装置を製造することができる。また、i型非晶質シリコン系光電変換層を有する非晶質型p-i-n構造積層体の成膜圧力と電力密度を上記のように設定した場合は、従来では考えられなかった不純物の混入または拡散を低減することが可能であることを見出した。

[0039] 上記非晶質型p-i-n構造の形成方法として、本発明におけるi型結晶質シリコン系光電変換層12を有する非晶質型p-i-n構造積層体10を形成する際に、第1のプラズマCVD装置の第1のプラズマCVD成膜室220内に、成膜圧力200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度0.01W/cm²以上0.3W/cm²以下の条件となるように設定し、透明導電膜2上に、第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13をこの順で一室成膜することによって、非晶質型p-i-n構造積層体10を形成することができる。上記一室成膜とは、p型層、i型層およびn型層を同一の成膜室で連続して形成する方法をいう。

[0040] 上記成膜圧力が200Pa以上であるとの形成条件は、非晶質シリコン系半導体層を形成する従来の条件（100Paから120Pa程度）より高い圧力条件である。第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を高い成膜圧力で形成することにより、それらの層を形成する前からカソード222上および室内面221上の少なくともいずれかに付着している第2のn型半導体層13から放出されるn型不純物原子の平均自由行程（プラズマCVD成膜室内を移動できる距離）を低下させ、形成される第1のp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子濃度を低減することができる。また、成膜圧力3000Pa以下の形成条件で第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好

な膜質のシリコン系半導体薄膜を成膜することができる。

[0041] また、第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を電極単位面積当たりの電力密度 0.3 W/cm^2 以下の低電力密度で形成することにより、カソード222に衝突するプラズマ中の電子およびイオンが有するエネルギーを低減することができる。n型不純物原子は、カソード222に付着した第2のn型半導体層13からプラズマ中の電子およびイオンにより叩き出されるため、これらが有するエネルギーを低減することにより、形成される第1のp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、電力密度 0.01 W/cm^2 以上の形成条件で第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0042] 具体的には、第1のプラズマCVD成膜室220に搬送された上記透明導電膜2が形成された基板1をアノード223上に積載する。そして、透明導電膜2上に第1のp型半導体層11を形成させる。第1のp型半導体層11は、非晶質シリコン系半導体または結晶質シリコン系半導体とすることができる。その形成条件としては、たとえば成膜圧力を 200 Pa 以上 3000 Pa 以下、好ましくは 300 Pa 以上 2000 Pa 以下、さらに好ましくは 400 Pa 以上 1500 Pa 以下であり、基板1の下地温度が 250°C 以下の条件下で、カソードの電力密度が 0.01 W/cm^2 以上 0.3 W/cm^2 以下、好ましくは 0.015 W/cm^2 以上 0.2 W/cm^2 以下、より好ましくは 0.02 W/cm^2 以上 0.15 W/cm^2 以下のCW出力の周波数 13.56 MHz の交流電力をカソード222に印加する。この第1のプラズマCVD成膜室220内には、第1のp型半導体層11を形成するために、ガス導入口（図示せず）から希釈ガス、材料ガスおよびドーピングガスなどが導入される。希釈ガスとしては水素ガスを含むガス、材料ガスとしてはシラン系ガス、メタンガス、ゲルマンガスなどが挙げられる。メタンやトリメチルジボ

ランなどのガスは第1のp型半導体層11における光吸収量を減少させる目的で含まれ、これによって、次に形成されるi型非晶質シリコン系光電変換層にp型不純物原子の影響を与えないp型半導体層を形成することができる。また、この第1のp型半導体層11の導電型を決定する不純物原子（以下、導電型決定不純物原子ということがある）は、特に制限はないが、ドーピング効果が高く、汎用性があるとの点から、ボロン原子またはアルミニウム原子であることが好ましく、ジボランガスなど従来公知のドーピングガスを用いることができる。

[0043] 上記第1のp型半導体層11の膜厚は、i型非晶質シリコン系光電変換層12に十分な内部電界を与えるために、2nm以上であることが好ましく、非活性層である第1のp型半導体層11の光吸収量を抑えてi型非晶質シリコン系光電変換層12に到達する光を増大させるため、できる限り薄くすることが望ましく、50nm以下であることが好ましく、30nm以下がより好ましい。

[0044] 第1のp型半導体層11を上記形成条件により形成することにより、後述のi型非晶質シリコン系光電変換層12形成の際にカソード222上および室内面221上の少なくともいずれかに付着しているp型半導体層中のp型不純物がi型非晶質シリコン系光電変換層12中に混入する量は低減される。

[0045] 次いでi型非晶質シリコン系光電変換層12が第1のp型半導体層11上に形成される。第1のプラズマCVD成膜室220内の成膜圧力およびカソード222に印加する電力密度を維持したままで、ガス導入口から導入する混合ガスを、シラン系ガスと希釈ガスとを含むものに変更する。希釈ガスとしては水素ガスなどを用いることができる。シラン系ガスに対する希釈ガスの流量は、体積比で3倍以上100倍以下が好ましく、5倍以上30倍以下がより好ましい。このような流量比とすることによって、良好な膜質の非晶質i型光電変換層を形成することができる。なお、基板1の下地温度は250℃以下とすることが好ましい。また、成膜圧力や電力密度は、成膜圧力を

200 Pa以上3000 Pa以下、好ましくは300 Pa以上2000 Pa以下、さらに好ましくは400 Pa以上1500 Pa以下とし、カソードの電力密度が 0.01 W/cm^2 以上 0.3 W/cm^2 以下、好ましくは 0.015 W/cm^2 以上 0.2 W/cm^2 以下、より好ましくは 0.02 W/cm^2 以上 0.15 W/cm^2 以下のCW出力の周波数13.56 MHzの交流電力をカソード222に印加する条件を満たすものであれば、p型半導体層の形成条件と異なる条件でもよい。

[0046] 上記i型非晶質シリコン系光電変換層12の厚さは、非晶質の薄膜光電変換層として十分な機能を発揮させる点で、 $0.1 \mu\text{m}$ 以上とすることが好ましい。また、i型非晶質シリコン系光電変換層12の厚さは十分な内部電界が必要である点で、 $0.5 \mu\text{m}$ 以下が好ましく、 $0.4 \mu\text{m}$ 以下がより好ましい。

[0047] 次いで上記i型非晶質シリコン系光電変換層12上に第1のn型半導体層13を形成させる。第1のn型半導体層13は、非晶質シリコン系半導体または結晶質シリコン系半導体とすることができる。第1のプラズマCVD成膜室220内の成膜圧力およびカソード222に印加する電力密度は維持したままで、ガス導入口から導入する混合ガスを、シランガス、水素ガス、n型の導電型決定不純物原子を含むドーピングガスを含むものに変更する。シランガスに対する水素ガスの流量は、体積比で数十倍程度とすればよい。また、基板1の下地温度は 250°C 以下とすることが好ましい。また、成膜圧力や電力密度は、成膜圧力を200 Pa以上3000 Pa以下、好ましくは300 Pa以上2000 Pa以下、さらに好ましくは400 Pa以上1500 Pa以下とし、カソードの電力密度が 0.01 W/cm^2 以上 0.3 W/cm^2 以下、好ましくは 0.015 W/cm^2 以上 0.2 W/cm^2 以下、より好ましくは 0.02 W/cm^2 以上 0.15 W/cm^2 以下のCW出力の周波数13.56 MHzの交流電力をカソード222に印加する条件を満たすものであれば、p型半導体層またはi型非晶質シリコン系光電変換層の形成条件と異なる条件でもよい。

- [0048] 上記第1のn型半導体層13の導電型決定不純物原子は、特に制限はないが、ドーピング効率がよく、汎用性がある点から、リン原子であることが好ましい。さらに、原料ガス中のシリコン原子に対するリン原子の含有量は、十分なドーピング効果が得られる点で、好ましくは0.05原子%以上より好ましく0.1原子%以上であり、膜質の悪化を避けるという点から、好ましくは3原子%以下でありより好ましくは1原子%以下である。ここで、原子%とは、シリコン原子の原子数に対する、ドーピング原子の原子数の割合を百分率で表したものをいう。このような条件とする場合、第1のn型半導体層13の導電型決定不純物原子濃度を $3 \times 10^{19} \text{ cm}^{-3}$ 以下とすることができる。
- [0049] 第1のn型半導体層13の厚さは、i型非晶質シリコン系光電変換層12に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第1のn型半導体層13の厚さは、後述する残留膜のエッチング工程の際にi型非晶質シリコン系光電変換層中に拡散する可能性のある残留膜中のn型不純物原子の量を減らし、n型不純物原子を含む残留膜を除去する操作が容易になる点で、50nm以下が好ましく、30nm以下がより好ましい。
- [0050] 上記条件において第1のn型半導体層13が形成される場合は、第1のn型半導体層11および成膜室220内の残留膜中のn型不純物原子は他の層への拡散が起こり難く、後述する第2のp型半導体層21およびi型結晶質シリコン系光電変換層22に影響を及ぼさない。また、上記のような非晶質型pin構造積層体10の形成条件により得られる第1のp型半導体層11およびi型非晶質シリコン系光電変換層12は、第2のn型半導体層13の形成の際にプラズマCVD成膜室内に形成される残留膜のn型不純物原子の影響も受けにくい。
- [0051] 以上の各工程により一室成膜で非晶質型pin構造積層体10が形成される。非晶質型pin構造積層体10が形成された基板1は、接続部5を經由して第2のプラズマCVD成膜室230に搬送される。第2のプラズマCVD

D成膜室230は上記反応室220と同様の構成を有する密閉可能な構造であり、カソード232とアノード233とが対向設置されている。カソード232とアノード233とは平行平板型の電極構造を有する。カソード232とアノード233間の距離は、たとえば3mmから20mm、好ましくは5mmから15mm、さらに好ましくは7mmから12mmに設定される。第2のプラズマCVD成膜室230に搬送された基板1は、アノード233上に積載される。

[0052] 上記第2のプラズマCVD成膜室230において、上記非晶質型pin構造積層体10上に、結晶質型pin構造積層体20が一室成膜により連続して形成される。結晶質型pin構造積層体20は、図1に示されるように、第2のp型半導体層21、i型結晶質シリコン系光電変換層22および第2のn型半導体層23とからなる。

[0053] 上記第2のp型半導体層21は、上記第1のp型半導体層11と同様の条件により形成したり、一般的な形成条件（たとえば特開2000-243993号公報などに記載された条件）で形成すれば良く、たとえば成膜圧力が600Paから3000Pa程度、電極単位面積あたりの電力密度が0.05W/cm²から0.3W/cm²程度の範囲で形成したp型微結晶シリコン層などとすることができる。第2のp型半導体層21を形成する際の第2のプラズマCVD成膜室230に導入する原料ガスは、シラン系ガスと水素ガスを含む希釈ガスとを含み、シラン系ガスに対する希釈ガスの流量が体積比で100倍以上の条件で成膜することが好ましい。また、第2のp型半導体層21は、たとえば、導電型決定不純物原子としてボロン原子が0.01原子%以上5原子%以下ドーピングされたp型非晶質もしくは微結晶のシリコン薄膜などとすることができる。また、上記原料ガスには、第2のp型半導体層21における吸収量を減少させる目的で、メタンやトリメチルジボランなどが含まれていてもよい。なお、第2のp型半導体層21を形成する際の基板1の下地温度を、好ましくは250℃以下とすることにより、上記i型非晶質シリコン系光電変換層12に影響を与えることなく、第2のp型半導体

層 2 1 を形成することができる。

[0054] 第 2 の p 型半導体層 2 1 は、非晶質および微結晶のシリコンカーバイドまたは非晶質のシリコンゲルマニウムなどの合金材料からなる層で形成されていてもよく、多結晶のシリコン系薄膜または合金系薄膜であって、また異なる複数の薄膜の積層体とすることもできる。

[0055] 上記第 2 の p 型半導体層 2 1 の導電型決定不純物原子は、特に制限はないが、ドーピング効率がよく、汎用性があるとの点から、ボロン原子またはアルミニウム原子などが好ましい。これによって、第 2 の p 型半導体層 2 1 の導電型決定不純物濃度を $5 \times 10^{19} \text{ cm}^{-3}$ 以下とでき、中間に余分な再結合層を挿入することなく第 1 の n 型半導体層 1 3 と第 2 の p 型半導体層 2 1 の間で良好なオーミック接合が得られる。

[0056] また、第 2 の p 型半導体層 2 1 の厚さは、上記第 1 の p 型半導体層 1 1 と同様の範囲とすることができ、i 型微結晶シリコン系光電変換層 2 2 に十分な内部電界を与える点で、2 nm 以上が好ましく、5 nm 以上がより好ましい。また、第 2 の p 型半導体層 2 1 の厚さは、非活性層の入射側の光吸収量を抑えることが必要である点で、50 nm 以下が好ましく、30 nm 以下がより好ましい。

[0057] 第 2 の p 型半導体層 2 1 が形成された基板 1 上に、i 型結晶質シリコン系光電変換層 2 2 が形成される。i 型結晶質シリコン系光電変換層 2 2 は一般的な形成条件（たとえば特開 2000-243993 号公報などに記載）で形成すれば良く、たとえば成膜圧力が 600 Pa から 3000 Pa 程度、電極単位面積あたりの電力密度が 0.05 W/cm^2 から 0.3 W/cm^2 程度の範囲で形成した i 型結晶質シリコン層とすることができる。i 型結晶質シリコン系光電変換層 2 2 は、基板 1 の下地温度を好ましくは 250°C 以下とすることにより、i 型非晶質シリコン系光電変換層 1 2 に影響を与えることなく形成できる。また、プラズマ CVD 成膜室内に導入する原料ガスにおいては、シラン系ガスに対する希釈ガスの流量は、30 倍以上が好ましく、また、100 倍以下が好ましく、80 倍以下がより好ましい。このようにして、

ラマン分光法により測定される 480 cm^{-1} におけるピークに対する 520 cm^{-1} におけるピークのピーク強度比 I_{520}/I_{480} が 5 以上 10 以下である i 型結晶質シリコン系光電変換層 22 が得られる。かかる i 型微結晶シリコン系光電変換層 22 においては十分な結晶化率を得ることができ、後述する成膜室のカソード上および／または室内面上に形成された残留膜の除去（クリーニングともいう、以下同じ）処理を行なった後も、再現性よく i 型シリコン系光電変換層を形成することができる。

[0058] i 型結晶質シリコン系光電変換層 22 の厚さは、微結晶を含むシリコン系薄膜光電変換層として十分な機能を発揮させる点で、 $0.5\text{ }\mu\text{m}$ 以上が好ましく、 $1\text{ }\mu\text{m}$ 以上がより好ましい。また、i 型結晶質シリコン系光電変換層 22 の厚さは、装置の生産性を確保する点で、 $20\text{ }\mu\text{m}$ 以下が好ましく、 $15\text{ }\mu\text{m}$ 以下がより好ましい。本発明において i 型結晶質シリコン系光電変換層とは、微結晶の i 型のシリコン系光電変換層をいうものとする。なお、i 型結晶質シリコン系光電変換層として、i 型結晶質シリコン薄膜または微量の不純物を含む弱 p 型もしくは弱 n 型で、光電変換機能を十分に備えている微結晶シリコン薄膜が用いられてもよい。また、上記微結晶シリコン薄膜に限定されず、合金材料であるシリコンカーバイドまたはシリコンゲルマニウムなどの薄膜を用いてもよい。

[0059] 次に、i 型結晶質シリコン系光電変換層 22 上に第 2 の n 型半導体層 23 が形成される。第 2 の n 型半導体層 23 は、一般的な形成条件（たとえば特開 2000-243993 号公報などに記載）で形成すれば良く、たとえば成膜圧力 600 Pa から 3000 Pa 程度、電極単位面積あたりの電力密度 $0.05\text{ W}/\text{cm}^2$ から $0.3\text{ W}/\text{cm}^2$ 程度の範囲で形成した n 型微結晶シリコン層などとすることができる。第 2 の n 型半導体層 23 は、基板 1 の下地温度を好ましくは 250°C 以下とすることにより、i 型非晶質シリコン系光電変換層に影響を与えることなく形成できる。ここで、第 2 の n 型半導体層 23 の導電型決定不純物原子としては特に制限はないが、ドーピング効率が高く、汎用性があるとの点からリン原子が好ましい。また、原料ガス中のシ

リコン原子に対するリン原子の含有量は、十分なドーピング効果が得られる点で、好ましくは0.1原子%以上より好ましくは0.3原子%以上であり、膜質の悪化を避けるという点から、好ましくは5原子%以下より好ましくは3原子%以下である。

[0060] 第2のn型半導体層23の厚さは、i型結晶質シリコン系光電変換層22に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第2のn型半導体層23の厚さは、非活性層の光吸収量を抑えることが必要である点で、50nm以下が好ましく、30nm以下がより好ましい。

[0061] なお、上記第2のn型半導体層に関する成膜条件の記載は限定的なものではなく、第2のn型半導体層23が微結晶のシリコンカーバイドまたはシリコンゲルマニウムなどの合金材料で形成されていても本発明の範囲に含まれる。

[0062] 上記の工程により非晶質型pin構造積層体と結晶質型pin構造積層体が形成される。そして、図1に示すように、第2のn型半導体層23上に、たとえばZnOなどからなる導電膜3を形成し、次いで、導電膜3上に、たとえばAl、Agなどからなる金属電極4が形成される。これらの導電膜3および金属電極4によって裏面電極部が構成され、シリコン系薄膜光電変換装置が完成する。なお、導電膜3および金属電極4は上記例示に限定されるものではなく、従来公知の態様をいずれも含むものとする。

[0063] <実施の形態2>

本発明のシリコン系薄膜光電変換装置の製造方法の第二の形態は、基板上に透明導電膜を形成する工程と、透明導電膜上に第1のn型半導体層、i型非晶質シリコン系光電変換層および第1のp型半導体層を有する非晶質型pin構造積層体を形成する工程と、第2のn型半導体層、i型結晶質シリコン系光電変換層および第2のp型半導体層を有する結晶質型pin構造積層体を形成する工程とをこの順で含み、非晶質型pin構造積層体を形成する工程は、第1のプラズマCVD成膜室内で一室成膜により行ない、結晶質型

p i n構造積層体を形成する工程は、第2のプラズマCVD成膜室内で一室成膜により行ない、非晶質型p i n構造積層体を形成する工程は、第1のプラズマCVD成膜室内における成膜圧力が200Pa以上3000Pa以下であって、電極単位面積当たりの電力密度が0.01W/cm²以上0.3W/cm²以下の条件で形成されることを特徴とする。

[0064] 非晶質型p i n構造積層体および結晶質型p i n構造積層体における各p型半導体層、i型非晶質シリコン系光電変換層、i型結晶質シリコン系光電変換層、各n型半導体層は、上述の実施の形態1に記載の方法により形成させることができる。

[0065] 本実施の形態2においては、上記の各p i n構造積層体を、n型層、i型層、p型層の順に一室成膜する以外は、上記実施の形態1における製造工程と同様の方法によりシリコン系薄膜光電変換装置を製造するものである。但し、n型層、i型層、p型層の順に一室成膜する本実施の形態2の場合に比べて、p型層、i型層、n型層の順に一室成膜する上記実施の形態1の場合は、光電変換層であるi型層への不純物原子による影響が少なくなる。これは、n型不純物原子（たとえばリン原子）の方が、p型不純物原子（たとえばボロン原子）よりも、i型層への混入による影響が大きいため、i型層形成後にn型層を形成する方が、i型層形成後にp型層を形成するよりも、i型層への影響が少なくことによると考えられる。

[0066] <実施の形態3>

本発明において、上記非晶質型p i n構造積層体を形成する工程は、上記非晶質型p i n構造積層体を繰り返し形成する工程とすることができる。すなわち、たとえば実施の形態1において第1のn型半導体層を形成した後に基板を搬出することなく、第1のプラズマCVD成膜室220において引き続き、第1のp型半導体層、i型非晶質シリコン系光電変換層および第1のn型半導体層をこの順で一室成膜させる。その後、第2のプラズマCVD成膜室230に搬送して、第2のp型半導体層、i型結晶質シリコン系光電変換層および第2のn型半導体層をこの順で一室成膜させる。

- [0067] 図4に本実施の形態3により製造されるシリコン系薄膜光電変換装置300の断面模式図を示す。透明導電膜2が形成された基板1は、図2に示す加熱室210に搬入され、所望の基板下地温度に加熱される。続いて、該基板1は第1のプラズマCVD成膜室220に搬入されてアノード223上に積載される。上記実施の形態1と同様の工程によりカソードに所望の電圧を印加して、透明導電膜2上に第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13を含む非晶質型pin構造積層体10が形成される。
- [0068] 続いて同一の第1のプラズマCVD成膜室220内で、上記第1のn型半導体層13上にp型半導体層41が形成される。このp型半導体層41は、第1のp型半導体層11と同様の条件により形成することができる。この場合、上記第1のp型半導体層11については、同一のプラズマCVD成膜室を利用して、繰り返しpin構造を有する薄膜の形成が可能とするために、その不純物窒素原子濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下、その不純物酸素原子濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望ましい。第1のp型半導体層11をこのような不純物窒素濃度とすることによって、中間に余分な再結合層を挿入することなく第1のn型半導体層13と上記p型半導体層41の間で良好なオーミック接合が得られる。
- [0069] また、第1のn型半導体層13は、同一のプラズマCVD成膜室を利用して、繰り返しpin構造を有する薄膜の形成が可能とするために、その不純物窒素原子濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下、その不純物酸素原子濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望ましい。これにより、中間に余分な再結合層を挿入することなく第1のn型半導体層13と上記p型半導体層41の間で良好なオーミック接合が得られる。
- [0070] その後、上記i型非晶質シリコン系光電変換層12と同様の製造方法により、p型半導体層41上にi型非晶質シリコン系光電変換層42を形成し、引き続いてn型半導体層43を形成する。このn型半導体層43は、上記第1のn型半導体層と同様の形成条件により形成することができる。

[0071] そして、図4に示すように、第2のn型半導体層23上に、たとえばZnOなどからなる導電膜3を形成し、次いで、導電膜3上に、たとえば、Al、Agなどからなる金属電極4が形成される。これらの導電膜3および金属電極4によって裏面電極部が構成され、シリコン系薄膜光電変換装置300が完成する。なお、導電膜3および金属電極4は上記例示に限定されるものではなく、従来公知の態様をいずれも含むものとする。

[0072] なお本実施の形態3においては、pin構造積層体はp型層、i型層およびn型層をこの順で形成する場合について説明したが、上記実施の形態2と同様に、pin構造積層体をn型層、i型層およびp型層をこの順で形成するものとしてもよい。

[0073] <実施の形態4>

本発明のシリコン系薄膜光電変換装置の製造方法には、結晶質型pin構造積層体を形成する工程の後に、上記シリコン系薄膜光電変換装置を第2のプラズマCVD成膜室から搬出する工程と、第1のプラズマCVD成膜室または第2のプラズマCVD成膜室におけるカソード上および室内面上の少なくともいずれかの残留膜を除去する工程とを含む態様も含む。

[0074] 本実施の形態4では、上記実施の形態1において、上記第2のプラズマCVD成膜室から搬送する工程と、上記残留膜を除去する工程を含む場合について説明する。

[0075] 図3中のS5において、上記非晶質型pin構造積層体と結晶質型pin構造積層体20とを形成したシリコン系薄膜光電変換装置100を成膜室230から取出し室240に搬出した後、図3中のS6に示すように、第1のプラズマCVD成膜室220内および第2のプラズマCVD成膜室230内のカソード上の残留膜の剥離などの異常の有無を確認する。剥離などの異常がある場合には（S6において、YESの場合）、S7において、カソード222、232上の残留膜をオーバーエッチングにより全部除去し、S8に示すカソード表面の安定化（たとえば、プリデポ膜の形成など）を行なうことが望ましい。一方、カソード222、232上の残留膜に異常がない場合

には（S 6において、NOの場合）、S 9において、第1のプラズマCVD成膜室220または第2のプラズマCVD成膜室230のカソード222，232上および／または室内面221，231上の残留膜をエッチング（アンダーエッチングまたはオーバーエッチング）し、最後のn型半導体層の形成時に第1のプラズマCVD成膜室220または第2のプラズマCVD成膜室230のカソード222，232上および／または室内面221，231上に形成された残留膜中の不純物原子（n型ドーパント）による影響を除去する。ここで、残留膜の除去は、水素ガス、不活性ガス、フッ素系のクリーニングガスまたはこれらの任意の混合ガスをプラズマ化したガスプラズマにより行なうことができる。

[0076] 残留膜を除去する工程は、通常カソード222，232上に形成された残留膜全体を除去する工程とする。ただし、残留膜のエッチング工程において最後に残るp型層の不純物原子（p型ドーパント）の影響を避けるため若干のオーバーエッチもしくはアンダーエッチングが必要になる。オーバーエッチングの場合、上記二重pin構造積層体を1回形成する際に形成される残留膜を、その膜厚および膜厚の5%～10%程度の深さまでオーバーエッチングする。このような除去形態とすることで、残留膜中の不純物原子の影響を除去することができる。ただし、このようなオーバーエッチングを繰り返すと、放電を安定化させる目的で成膜しているカソード上のプリデポ膜が徐々にエッチングされるため、カソードの金属表面が現れてくる。これが原因となり、次の二重pin構造積層体の形成初期の数十nm程度の厚さの部分に大きな影響を与えることがある。

[0077] 上記問題点を解決するため、上記二重pin構造積層体を1回形成する際に形成される残留膜のカソードに近い部分を残すアンダーエッチングを選択する場合がある。このアンダーエッチングは、残留膜の表面層からカソードおよび／または室内面に最も近い位置にある第1のn型層までと、好ましくは非晶質i型層の厚さ方向に10nm以上の深さまでとをエッチング除去することにより行なう。エッチング除去する非晶質i型層の深さが厚さ方向に

10nm未満であると、i型層中に拡散している第1のn型層中の不純物原子（n型ドーパント）の影響を完全に除去するのが困難になる。また、該エッチング除去は、i型層の厚さの90%以下の範囲までの深さが好ましく、i型層の厚さの80%以下の範囲までの深さがより好ましい。i型層の厚さの90%より深くエッチングしようとする、i型層の下地に存在するp型層中の不純物原子（p型ドーパント）の影響も出始め、次工程で形成するp層のドーピング量が最適値よりずれる恐れがある。したがって、好ましくは、n型層とともにi型層をその厚さの80%程度の深さまでエッチング除去することにより、残留膜中の不純物原子の影響が完全に除去される。このように残留膜の除去工程が終了した後の各プラズマCVD成膜室に、次の基板が搬入されて繰り返して二重pin構造積層体が形成されて、二重pin構造積層体を含むが別のシリコン系薄膜光電変換装置が製造される。

[0078] 上記アンダーエッチングの工程を含めて、二重pin構造積層体の形成工程を複数回繰り返すと、カソード222、232上にエッチングされていない残留膜が、二重pin構造積層体の形成の回数分積層される。このまま、処理を継続していくと、積層された残留膜が内部応力によりカソード表面から剥離し、pin構造積層体中に数 μm 径の粉末として取り込まれることがあり、この粉末は上下の電極を短絡させる点欠陥を作り、光電変換装置の製品歩留まりを30%以下にまで極端に低下させる。そこで、光電変換装置を作製した後、残留膜がカソード222、232から剥離しているときは、カソード222、232上の残留膜をすべて除去することが好ましい。また、残留膜がカソード222、232から剥離していなくても、残留膜の剥離が起こる前に、上記の点欠陥の発生を未然に防止し、光電変換装置の製造における歩留まりを高く維持することがより好ましい。残留膜の剥離の程度は、成膜条件や膜付着時の電極の表面状態によって大きく変動するが、プラズマCVD成膜室内でシリコン系薄膜を作製する場合には、一般的に、カソード222、232上に形成された残留膜の積算膜厚が10 μm 以上1000 μm 以下であるときに、残留膜の剥離が生じやすい。したがって、カソード2

22, 232上の残留膜の積算膜厚が、好ましくは $10\mu\text{m}$ 以上 $800\mu\text{m}$ 以下であるときに、また、より好ましくは $300\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であるときに、カソード上に積層された残留膜をすべて除去することが望ましい。

[0079] カソード222, 232上に積層された残留膜を除去する工程は、水素ガス、不活性ガス、フッ素系のクリーニングガスまたはこれらのガスを任意の割合で含む混合ガスをプラズマ化したガスプラズマにより行なうことができるが、残留膜のエッチング速度が比較的速い点で、三フッ化窒素などのフッ素系のクリーニングガスを用いることが好ましい。たとえば、エッチングガスとして、10体積%～30体積%の三フッ化窒素ガスと90体積%～70体積%のアルゴンガスとの混合ガスを導入し、300pa以下の圧力でプラズマ放電することにより、 10nm/s 以上のエッチング速度とすることができる。このようなカソード222, 232のクリーニング後、カソード表面を安定化させるため、カソード表面上にシリコン膜の予備堆積（プリデポ）を行ない、再びpin構造積層体の形成工程を継続することができる。

[0080] 続いて、上記二重pin構造積層体30を形成した後、二重pin構造積層体30の第2のn型半導体層23上に、たとえば、ZnOなどからなる導電膜3を形成し、次いで、導電膜3上に、たとえば、Al、Agなどからなる金属電極4が形成される。導電膜3および金属電極4によって裏面電極部が構成され、光電変換装置が完成する。

[0081] 上記のように、本発明に用いるプラズマCVD装置の構成においては、成膜室を開放することなく、長期にわたって装置稼動が可能となるため製造の際のタクトタイムを大幅に短縮でき、製造コストを下げることができる。

[0082] 上記実施の形態1から4において製造される本発明のシリコン系薄膜光電変換装置は、たとえば、非晶質型pin構造積層体における第1のn型半導体層13および第2のp型半導体層21（実施の形態4の場合は、第1のn型半導体層13、第2のp型半導体層21およびn型半導体層43）は、それぞれ不純物窒素原子濃度が $1 \times 10^{19}\text{cm}^{-3}$ 以下、かつ、不純物酸素原子濃度

が $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。実施の形態 1 から実施の形態 4 までに示した製造方法を用いることにより、第 1 の n 型半導体層 13 および第 2 の p 型半導体層 21（または n 型半導体層 43）は、それぞれ不純物窒素原子濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下、かつ、不純物酸素原子濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以下である光電変換効率の高い積層型シリコン系薄膜光電変換装置が得られる。

[0083] 以上のように本発明の実施の形態について説明を行なったが、上述の各実施の形態の構成を適宜組み合わせることも当初から予定している。

[0084] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0085] 本発明によれば、良好な性能を有するシリコン系薄膜光電変換装置を、簡易に、低コストで、効率よく製造することができる。

符号の説明

[0086] 1 基板、2 透明導電膜、3 導電膜、4 金属電極、5 接続部、10 非晶質型 p i n 構造積層体、11 第 1 の p 型半導体層、12 i 型非晶質シリコン系光電変換層、13 第 1 の n 型半導体層、20 結晶質型 p i n 構造積層体、21 第 2 の p 型半導体層、22 i 型結晶質シリコン系光電変換層、23 第 2 の n 型半導体層、30 二重 p i n 構造積層体、41 p 型半導体層、42 i 型非晶質シリコン系光電変換層、43 n 型半導体層、100、300 シリコン系薄膜光電変換装置、200 プラズマ CVD 装置、210 加熱室、220 第 1 のプラズマ CVD 成膜室、221、231 室内面、222、232 カソード、223、233 アノード、230 第 2 のプラズマ CVD 成膜室、240 取出し室。

請求の範囲

- [請求項1] 基板（１）上の透明導電膜（２）上に、第１のｐ型半導体層（１１）と、ｉ型非晶質シリコン系光電変換層（１２）と、第１のｎ型半導体層（１３）とを有する非晶質型ｐｉｎ構造積層体（１０）を形成する工程と、第２のｐ型半導体層（２１）と、ｉ型結晶質シリコン系光電変換層（２２）と、第２のｎ型半導体層（２３）とを有する結晶質型ｐｉｎ構造積層体（２０）を形成する工程とを、この順で含み、
- 前記非晶質型ｐｉｎ構造積層体（１０）を形成する工程は、第１のプラズマＣＶＤ成膜室（２２０）内で一室成膜により行ない、前記結晶質型ｐｉｎ構造積層体（２０）を形成する工程は、第２のプラズマＣＶＤ成膜室（２３０）内で一室成膜により行ない、
- 前記非晶質型ｐｉｎ構造積層体（１０）を形成する工程は、前記第１のプラズマＣＶＤ成膜室（２２０）内における成膜圧力が２００Ｐａ以上３０００Ｐａ以下であって、電極単位面積当たりの電力密度が０．０１Ｗ／ｃｍ^２以上０．３Ｗ／ｃｍ^２以下の条件で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法。
- [請求項2] 前記非晶質型ｐｉｎ構造積層体（１０）を形成する工程は、前記非晶質型ｐｉｎ構造積層体（１０）を繰り返し形成する工程である請求の範囲第１項に記載のシリコン系薄膜光電変換装置の製造方法。
- [請求項3] 前記第１のｐ型半導体層（１１）の厚さは２ｎｍ以上５０ｎｍ以下であり、前記ｉ型非晶質シリコン系光電変換層（１２）の厚さは０．１μｍ以上０．５μｍ以下であり、前記第１のｎ型半導体層（１３）の厚さは２ｎｍ以上５０ｎｍ以下である請求の範囲第１項に記載のシリコン系薄膜光電変換装置の製造方法。
- [請求項4] 前記第２のｐ型半導体層（２１）の厚さは２ｎｍ以上５０ｎｍ以下であり、前記ｉ型結晶質シリコン系光電変換層（２２）の厚さは０．５μｍ以上２０μｍ以下であり、前記第２のｎ型半導体層（２３）の厚さは２ｎｍ以上５０ｎｍ以下である請求の範囲第１項に記載のシリ

コン系薄膜光電変換装置の製造方法。

[請求項5] 前記第2のp型半導体層(21)は、前記基板(1)の下地温度が250℃以下であり、前記第2のプラズマCVD成膜室(230)内に導入する原料ガスは、シラン系ガスと水素ガスを含有する希釈ガスとを含み、前記シラン系ガスに対する前記希釈ガスの流量が100倍以上の条件で形成される請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項6] 前記第1のp型半導体層(11)および前記第2のp型半導体層(21)の導電型決定不純物原子は、ボロン原子またはアルミニウム原子である請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項7] 前記i型結晶質シリコン系光電変換層(22)は、前記基板(1)の下地温度が250℃以下であり、前記第2のプラズマCVD成膜室(230)内に導入する原料ガスは、シラン系ガスと希釈ガスとを含み、前記シラン系ガスに対する前記希釈ガスの流量が30倍以上100倍以下の条件で形成され、ラマン分光法により測定される480 cm⁻¹におけるピーク強度 I_{480} に対する520 cm⁻¹におけるピーク強度 I_{520} のピーク強度比 I_{520}/I_{480} が5以上10以下である請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項8] 前記第1のn型半導体層(13)および前記第2のn型半導体層(23)の導電型決定不純物原子は、リン原子である請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項9] 前記第2のn型半導体層(23)は、前記基板(1)の下地温度が250℃以下であり、前記第2のプラズマCVD成膜室(230)内に導入する原料ガス中のシリコン原子に対するリン原子の含有率が0.1原子%以上5原子%以下の条件で形成される請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項10] 前記結晶質型pin構造積層体(20)を形成する工程の後に、前

記シリコン系薄膜光電変換装置を前記第2のプラズマCVD成膜室（230）から搬出する工程と、

前記第1のプラズマCVD成膜室（220）または第2のプラズマCVD成膜室（230）における、カソード（222，232）上および室内面（221，231）上の少なくともいずれかの残留膜を除去する工程とを含む請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法。

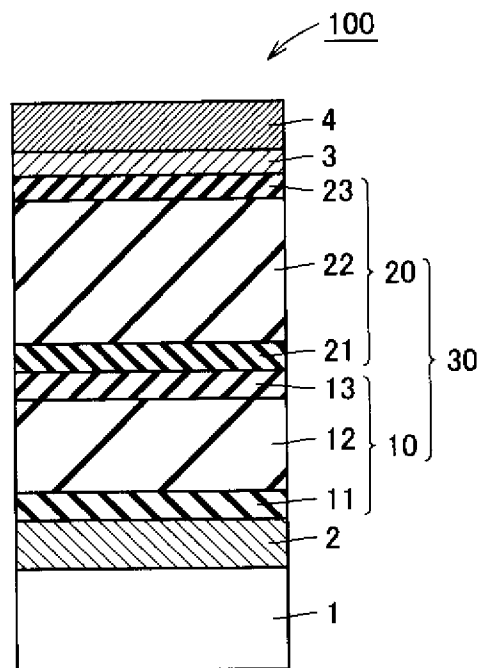
[請求項11] 前記残留膜を除去する工程は、水素ガスと、不活性ガスと、フッ素系のクリーニングガスとからなる群より選ばれる少なくとも1種のガスをプラズマ化したガスプラズマにより行なう請求の範囲第10項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項12] 前記残留膜を除去する工程は、前記残留膜の表面層から前記カソード（222，232）および前記室内面（221，231）の少なくともいずれかに最も近い位置にあるn型層までをエッチング除去する工程と、前記残留膜の前記カソード（222，232）および前記室内面（221，231）の少なくともいずれかに最も近い位置にあるi型層を、厚さ方向に10nm以上前記i型層の厚さ全体の90%以下の範囲の深さでエッチング除去する工程とを含む請求の範囲第10項に記載のシリコン系薄膜光電変換装置の製造方法。

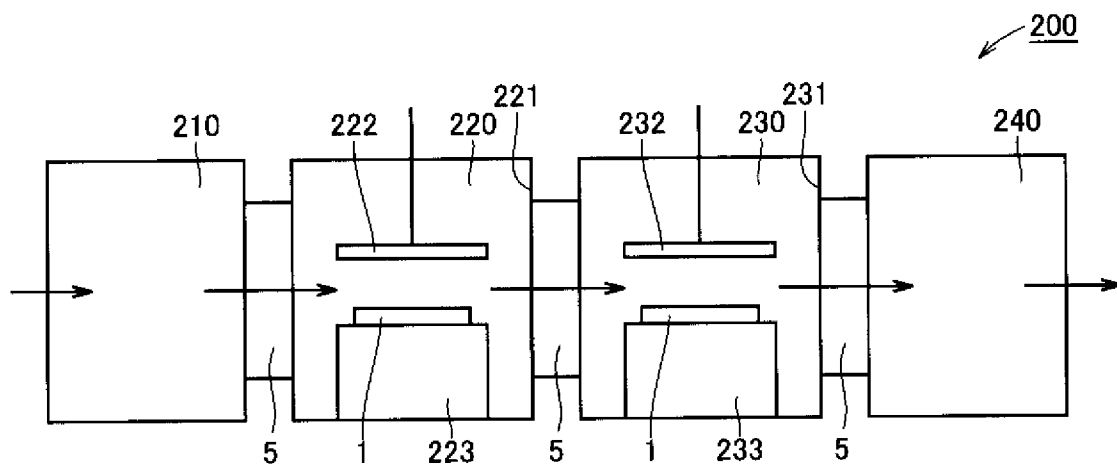
[請求項13] 前記カソード（222，232）上の前記残留膜を除去する工程は、前記第1のプラズマCVD成膜室（220）または第2のプラズマCVD成膜室（230）の前記カソード（222，232）上の前記残留膜の積算膜厚が10 μ m以上1000 μ m以下であるときに行なう請求の範囲第10項に記載のシリコン系薄膜光電変換装置の製造方法。

[請求項14] 請求の範囲第1項に記載のシリコン系薄膜光電変換装置の製造方法により製造されたシリコン系薄膜光電変換装置。

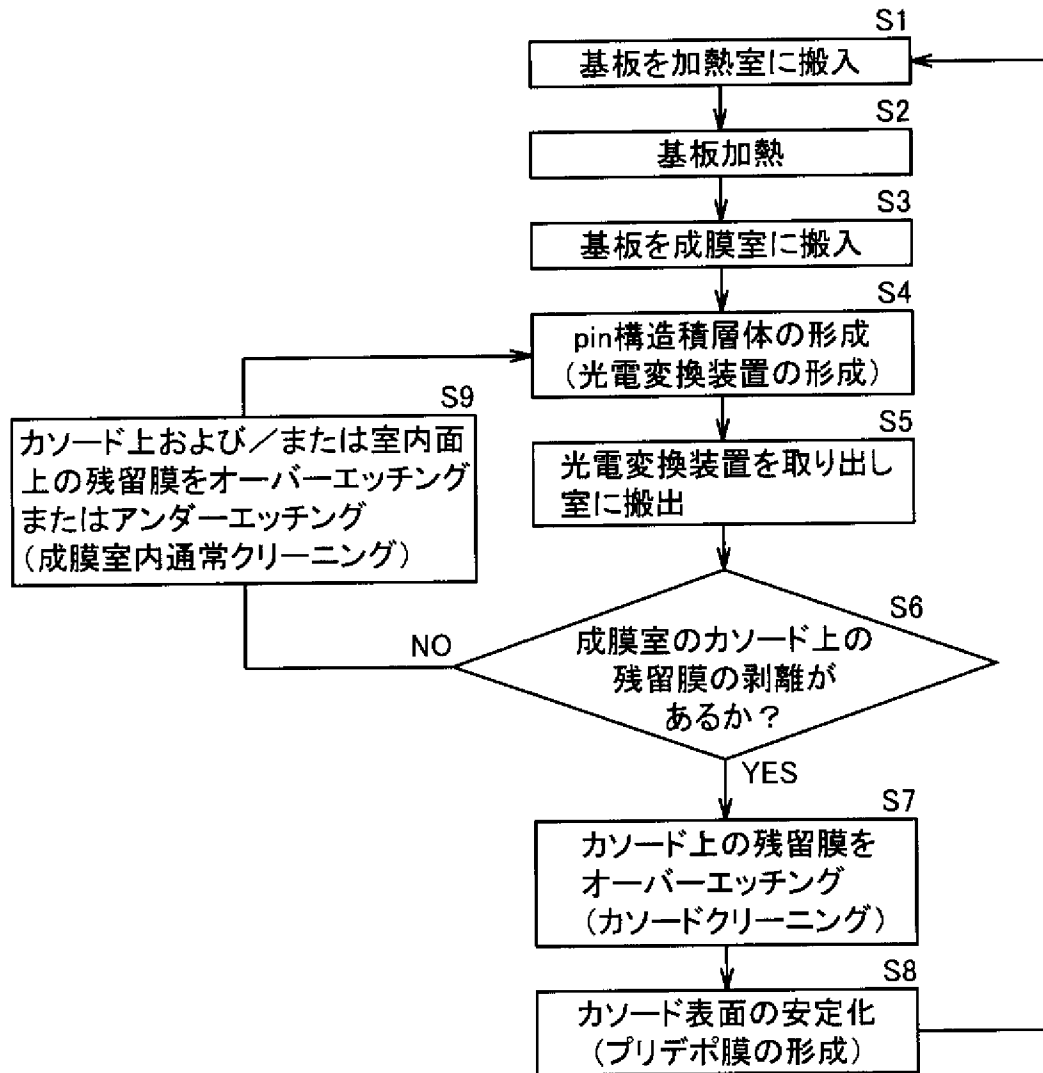
[図1]



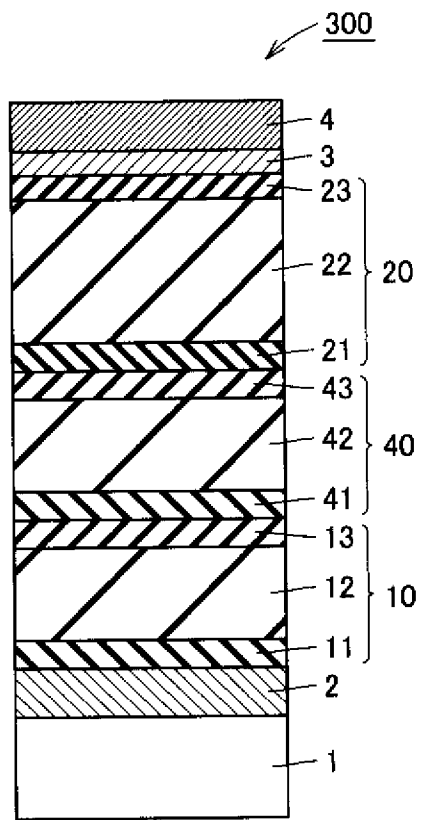
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070101

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/040183 A1 (Sharp Corp.), 12 April 2007 (12.04.2007), claims 1, 3 to 13, 15; paragraphs [0009], [0028] to [0029], [0119] & EP 1933388 A1	1-14
A	JP 2000-252496 A (Kaneka Corp.), 14 September 2000 (14.09.2000), entire text; all drawings & US 6190932 B1 & EP 1032053 A2	1-14
A	JP 5-63223 A (Kaneka Corp.), 12 March 1993 (12.03.1993), entire text; all drawings (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 January, 2010 (21.01.10)

Date of mailing of the international search report

02 February, 2010 (02.02.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070101

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/099524 A1 (Mitsubishi Heavy Industries, Ltd.), 21 August 2008 (21.08.2008), paragraph [0126] & US 2008/0196761 A1	1-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L31/04(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L31/04			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	WO 2007/040183 A1（シャープ株式会社）2007.04.12, 請求項 1, 3-13, 15, 段落【0009】、【0028】-【0029】、【0119】 & EP 1933388 A1	1-14	
A	JP 2000-252496 A（鐘淵化学工業株式会社）2000.09.14, 全文, 全図 & US 6190932 B1 & EP 1032053 A2	1-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 21.01.2010		国際調査報告の発送日 02.02.2010	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 加藤 昌伸 電話番号 03-3581-1101 内線 3255	2K 3700

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-63223 A (鐘淵化学工業株式会社) 1993. 03. 12, 全文, 全図 (ファミリーなし)	1-14
A	WO 2008/099524 A1 (三菱重工業株式会社) 2008. 08. 21, 段落【0126】 & US 2008/0196761 A1	1-14