

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-201667

(P2017-201667A)

(43) 公開日 平成29年11月9日(2017.11.9)

(51) Int. Cl.		F I			テーマコード (参考)	
H05K	9/00	(2006.01)	H05K	9/00	Q	5E321
H04B	15/02	(2006.01)	H04B	15/02		5J024
H03H	7/01	(2006.01)	H03H	7/01	A	5K052
			H05K	9/00	K	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2016-93253 (P2016-93253)	(71) 出願人	000006231
(22) 出願日	平成28年5月6日 (2016.5.6)		株式会社村田製作所
			京都府長岡京市東神足1丁目10番1号
		(74) 代理人	100122770
			弁理士 上田 和弘
		(72) 発明者	石渡 祐
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		Fターム(参考)	5E321 AA32 BB51 CC12 GG09 GG11
			5J024 AA01 DA21 DA32 EA08 KA03
			5K052 AA02 AA11 BB01 DD15 DD21
			EE01 FF38

(54) 【発明の名称】 高周波ノイズ対策回路

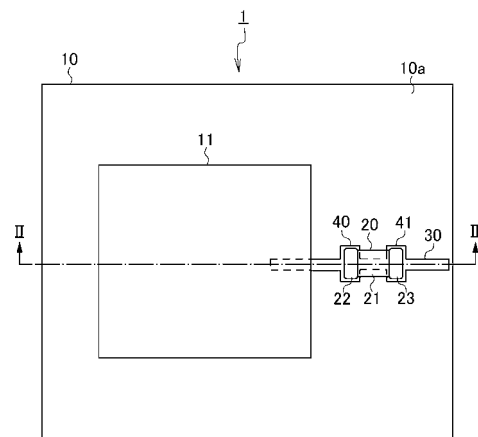
(57) 【要約】

【課題】実装性に優れ、高周波ノイズの伝導及び反射を抑制することが可能な高周波ノイズ対策回路を提供する。

【解決手段】高周波ノイズ対策回路1は、高周波ノイズ発生源となるIC11が電氣的に接続された配線パターン30を有する配線基板10と、配線基板10の実装面10aに設けられた一対のランド40、41と、直方体形状の磁性体(フェライト)からなる本体部21と本体部21の両端部に設けられた一対の外部電極22、23とを有するチップ部品20とを備え、一対の外部電極22、23は一対のランド40、41に接続され、本体部21は実装面10aに対して垂直な方向から見た場合に配線パターン30上に配置されている。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

集積回路が電氣的に接続された配線パターンを有する配線基板と、
前記配線基板の実装面に設けられた一対のランドと、
直方体形状の磁性体からなる本体部と前記本体部の両端部に設けられた一対の外部電極とを有するチップ部品と、
を備え、
前記一対の外部電極は、前記一対のランドに接続され、
前記本体部は、前記実装面に対して垂直な方向から見た場合に前記配線パターン上に配置されることを特徴とする高周波ノイズ対策回路。

10

【請求項 2】

前記磁性体は、フェライトであることを特徴とする請求項 1 に記載の高周波ノイズ対策回路。

【請求項 3】

前記フェライトは、六方晶フェライトであることを特徴とする請求項 2 に記載の高周波ノイズ対策回路。

【請求項 4】

前記配線パターンは、前記実装面に設けられ、
前記本体部は、前記配線パターンの一部を覆う箇所に配置されることを特徴とする請求項 1 ~ 請求項 3 の何れか一項に記載の高周波ノイズ対策回路。

20

【請求項 5】

前記配線基板は、多層配線基板であり、
前記配線パターンは、前記配線基板の内部に設けられ、
前記本体部は、前記内部に設けられた前記配線パターン上に配置されることを特徴とする請求項 1 ~ 請求項 4 の何れか一項に記載の高周波ノイズ対策回路。

【請求項 6】

前記ランドは、前記配線パターンに接続されていないことを特徴とする請求項 1 ~ 請求項 5 の何れか一項に記載の高周波ノイズ対策回路。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、高周波ノイズ対策回路に関する。

【背景技術】**【0002】**

近年、例えば、スマートフォンに代表される携帯端末などの電子機器では、高性能化、多機能化に伴い、低電圧・大電流による高速駆動化が進んでいる。高速駆動化に伴い、ICなどの電子部品では、スイッチング素子による高速のスイッチングなどにより高周波ノイズが発生する。ノイズは電子機器の動作に悪影響を及ぼすので、ノイズ対策が必要となる。

【0003】

40

例えば、特許文献 1 には、プリント基板上に敷設されたプリントパターンと、このプリントパターンの近傍に貼り付けられた磁性体とを備えるインダクタンス素子であって、磁性体の一部を切削してプリントパターンのインダクタンスを減じる方向に調整することで、インダクタンスを連続的に精度良く調整できることが開示されている。特許文献 1 には、このインダクタンス素子を電子回路に用いることで、調整精度の良いローパスフィルタが得られることが開示されている。

【0004】

また、特許文献 2 には、フェライトシートの内部に導体を配設した積層型ビーズチップインダクタが開示されている。また、高周波ノイズ対策としては、積層コイル形状の高周波用インダクタを用いた対策もある。

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-163027号公報

【特許文献2】実願昭59-152876号（実開昭61-66911号）のマイクロフィルム

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、特許文献1に開示のインダクタンス素子では、インダクタンスを微調整するために、磁性体をプリント基板に貼り付ける必要がある。このようなノイズ対策部品を基板に貼り付ける場合、例えば、人が手で貼り付けたりしなければならない。そのため、基板への実装性が低下する。

10

【0007】

また、特許文献2に開示の積層型ビーズチップインダクタでは、フェライトの内部に導体でパターンが形成されている。このような内部にパターンが設けられた部品でノイズ対策を行う場合、部品の内部のパターンと外部電極との間やパターン間で浮遊容量が発生し、この浮遊容量によりノイズに対する高周波特性が低下する。そのため、高周波数帯（例えば、10GHz以上の周波数帯）のノイズの伝導を抑制できないおそれがある。

【0008】

20

また、上述した高周波インダクタを用いて高周波のノイズ対策を行う場合、ノイズの伝導を抑制することはできるが、インダクタでノイズを反射してしまうおそれがある。この反射されたノイズは、二次的に放射され、周辺の部品に対して悪影響を及ぼす。

【0009】

本発明は、上記問題点を解消する為になされたものであり、実装性に優れ、高周波ノイズの伝導及び反射を抑制することが可能な高周波ノイズ対策回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係る高周波ノイズ対策回路は、集積回路が電氣的に接続された配線パターンを有する配線基板と、配線基板の実装面に設けられた一対のランドと、直方体形状の磁性体からなる本体部と本体部の両端部に設けられた一対の外部電極とを有するチップ部品と、を備え、一対の外部電極は、一対のランドに接続され、本体部は、実装面に対して垂直な方向から見た場合に配線パターン上に配置されることを特徴とする。

30

【0011】

本発明に係る高周波ノイズ対策回路では、配線パターンにノイズ（電流）が流れると配線パターンの周囲に磁界が発生するが、その配線パターン上に磁性体からなるチップ部品（本体部）が配置されているので、この磁性体により磁界エネルギーを吸収することができる。これにより、配線パターンでのノイズの伝導を抑制することができると共に、チップ部品でのノイズの反射を抑制することができる。特に、チップ部品では、磁性体からなる本体部の内部に導体パターンが形成されていないので、外部電極との間に浮遊容量が発生しない。そのため、本発明に係る高周波ノイズ対策回路では、ノイズに対する高周波特性（例えば、透過特性、反射特性）が優れており、高周波数帯でのノイズの伝導及び反射を抑制することができる。また、本発明に係る高周波ノイズ対策回路では、配線基板の実装面に一対のランドが設けられ、チップ部品に一対の外部電極が設けられているので、このチップ部品を配線基板に実装されている他のチップ部品を実装するための実装機を用いて実装することができる。このように、本発明に係る高周波ノイズ対策回路によれば、実装性に優れ、高周波ノイズの伝導及び反射を抑制することが可能となる。

40

【0012】

本発明に係る高周波ノイズ対策回路では、磁性体は、フェライトであることが好ましい

50

。フェライトを用いることで、高周波ノイズによって発生する磁界エネルギーの吸収率が高い。

【 0 0 1 3 】

本発明に係る高周波ノイズ対策回路では、フェライトは、六方晶フェライトであることが好ましい。この六方晶フェライトは、高周波帯において透磁率が下がることがない。そのため、この六方晶フェライトを用いることで、他のフェライトと比べてノイズの吸収量が多くなり、高い周波数のノイズも吸収することができる。

【 0 0 1 4 】

本発明に係る高周波ノイズ対策回路では、配線パターンは実装面に設けられ、本体部は配線パターンの一部を覆う箇所に配置されることが好ましい。このように構成することで、配線パターンの直近に配置されるチップ部品の本体部（磁性体）により、配線パターンを伝導する高周波ノイズによって発生する磁界エネルギーを効率良く吸収することができる。

10

【 0 0 1 5 】

本発明に係る高周波ノイズ対策回路では、配線基板は多層配線基板であり、配線パターンは配線基板の内部に設けられ、本体部は内部に設けられた配線パターン上に配置されることが好ましい。このように構成することで、チップ部品の本体部（磁性体）により基板内部の配線パターンを伝導する高周波ノイズによって発生する磁界エネルギーを吸収することができ、基板内部の配線パターンでの高周波ノイズの伝導及び反射を抑制することができる。

20

【 0 0 1 6 】

本発明に係る高周波ノイズ対策回路では、ランドは、配線パターンに接続されていないことが好ましい。このようにすることで、配線パターンを伝導する高周波ノイズによって発生する磁界がランド（金属物）で遮られないので、チップ部品での磁界エネルギーの吸収率が高い。

【 発明の効果 】

【 0 0 1 7 】

本発明によれば、実装性に優れ、高周波ノイズの伝導及び反射を抑制することが可能となる。

【 図面の簡単な説明 】

30

【 0 0 1 8 】

【 図 1 】 実施形態に係る高周波ノイズ対策回路の構成を示す平面図である。

【 図 2 】 図 1 の I I - I I 線に沿った断面図である。

【 図 3 】 配線パターンを伝導するノイズに対する透過特性の比較例を示す図である。

【 図 4 】 配線パターンを伝導するノイズに対する反射特性の比較例を示す図である。

【 図 5 】 実施形態に係るチップ部品の他の配置例を示す図であり、（ a ）が平面図であり、（ b ）が図 5 （ a ）の I I I - I I I 線に沿った断面図である。

【 図 6 】 実施形態に係る配線パターンが配線基板の内部に配置される場合の構成を示す図であり、（ a ）が平面図であり、（ b ）が図 6 （ a ）の I V - I V 線に沿った断面図である。

40

【 発明を実施するための形態 】

【 0 0 1 9 】

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、図中、同一又は相当部分には同一符号を用いることとする。また、各図において、同一要素には同一符号を付して重複する説明を省略する。

【 0 0 2 0 】

図 1 及び図 2 を参照して、実施形態に係る高周波ノイズ対策回路 1 について説明する。図 1 は、実施形態に係る高周波ノイズ対策回路 1 の構成を示す平面図である。図 2 は、図 1 の I I - I I 線に沿った断面図である。

【 0 0 2 1 】

50

高周波ノイズ対策回路１は、高周波数帯のノイズ（高周波ノイズ）の伝導及び反射を抑制する回路である。実施形態では、この抑制対象のノイズの高周波数帯は、１０ＧＨｚ以上の周波数帯である。高周波ノイズ対策回路１は、配線基板１０に構成される。配線基板１０の実装面１０ａ（上面又は下面）には、ＩＣ１１（特許請求の範囲に記載の集積回路に相当）、チップ部品２０などの電子部品が表面実装されている。配線基板１０の実装面１０ａには、配線パターン３０が設けられている。配線基板１０は、例えば、多層配線基板である。なお、図１、図２には配線基板１０に実装されたＩＣ１１とチップ部品２０のみを示しているが、配線基板１０に実装された各種チップ部品などの他の電子部品については図示を省略している。また、図１、図２には配線基板１０に設けられた配線パターン３０のみを示しているが、配線基板１０に設けられたグランドパターンなどの他のパターンについては図示を省略している。

10

【００２２】

ＩＣ１１は、実装面１０ａに実装されている。ＩＣ１１は、配線パターン３０に電氣的に接続されている。ＩＣ１１は、例えば、ＣＰＵ、ベースバンドＩＣ、ＰＭＩＣ（パワーマネジメントＩＣ（電源を作るＩＣ））、メモリである。ＩＣ１１では、例えば、スイッチング素子で高速スイッチングを行うことで、高周波数帯のノイズを発生する。したがって、ＩＣ１１が接続される配線パターン３０には、ＩＣ１１で発生した高周波数帯のノイズ（電流）が流れる。

【００２３】

チップ部品２０は、実装面１０ａに実装されている。チップ部品２０は、高周波ノイズ対策部品であり、配線基板１０において実装面１０に対して垂直な方向から見た場合（平面視した場合）に高周波ノイズの伝導経路（配線パターン３０）上に配置されている。チップ部品２０は、本体部２１と、一对の外部電極２２，２３と、を有している。チップ部品２０は、配線基板１０に実装される他のチップ部品と同様の略直方体形状である。チップ部品２０のサイズは、配線基板１０に実装される他のチップ部品と同様のサイズを有しており、例えば、１．０ｍｍ×０．５ｍｍ×０．５ｍｍである。

20

【００２４】

本体部２１は、直方体形状である。本体部２１は、フェライト材料で形成されている。フェライトは、酸化鉄を主成分とし、磁性を示すセラミックスであり、磁性体の一種である。フェライトとしては、例えば、ＭｎＺｎ系のフェライト、ＮｉＺｎ系のフェライトがある。本体部２１に用いるフェライトの種類により、対策対象のノイズを吸収できるように周波数帯を調整することができる。また、本体部２１のサイズを大きくすることで、高周波ノイズの吸収量を多くすることができる。

30

【００２５】

特に、本体部２１に用いるフェライトは、六方晶フェライトが好ましい。六方晶フェライトは、フェライトを構成する分子の粒の並び方を六方晶型結晶構造に変えてフェライト材料として生成されている。六方晶フェライトは、高周波帯において透磁率が下がることがない。そのため、この六方晶フェライトを用いることにより、他の構造のフェライトを用いた場合と比べてノイズの吸収量が多くなり、高い周波数のノイズも吸収することができる。

40

【００２６】

一对の外部電極２２，２３は、本体部２１に設けられている。一方の外部電極２２は、本体部２１の長手方向において対向する一方の端部に設けられている（少なくとも端面であり、側面の一部や主面の一部に設けられてもよい）。外部電極２３は、本体部２１の長手方向において対向する他方の端部に設けられている。外部電極２２，２３は、例えば、Ｃｕ電極と、Ｃｕ電極を覆うように形成されたメッキ層（例えば、ニッケルメッキ層とこのニッケルメッキ層を覆うスズメッキ層）と、を有している。

【００２７】

配線パターン３０は、配線基板１０の実装面１０ａに設けられている。配線パターン３０は、例えば、電源パターン、信号パターンである。配線パターン３０は、例えば、銅箔

50

などからなるプリント配線パターンである。配線パターン 30 には、IC 11 が電氣的に接続されている。配線パターン 30 には、ランド 40, 41 が設けられている。

【0028】

ランド 40, 41 は、配線基板 10 の実装面 10a に設けられ、配線基板 10 にチップ部品 20 を実装するためのランドである。ランド 40, 41 は、IC 11 に近い箇所に配置されるのと好ましい。ランド 40, 41 は、配線パターン 30 の所定の各箇所に配置される。ランド 40 とランド 41 との間隔は、チップ部品 20 の外部電極 22 と外部電極 23 との間隔に基づいて決められる。ランド 40, 41 の形状や大きさは、外部電極 22, 23 の形状や大きさなどに基づいて決められる。

【0029】

チップ部品 20 の一方の外部電極 22 は、一方のランド 40 にはんだ付けなどで接合され、接続される。また、チップ部品 20 の他方の外部電極 23 は、他方のランド 41 にはんだ付けなどで接合され、接続される。これにより、チップ部品 20 は、配線基板 10 に実装される。チップ部品 20 を実装する場合、配線基板 10 に実装される他のチップ部品と同じ実装機が用いられる。配線基板 10 に実装されたチップ部品 20 (本体部 21) は、配線パターン 30 の一部を覆うように配置されている。チップ部品 20 の長手方向は、配線パターン 30 の方向と略並行である。

【0030】

この配線基板 10 に実装されたチップ部品 20 の作用について説明する。IC 11 で高周波ノイズが発生すると、この高周波ノイズ(電流)が配線パターン 30 を流れる。配線パターン 30 に高周波ノイズ(電流)が流れると、配線パターン 30 の周りに磁界(磁束)が発生する。この配線パターン 30 上にはフェライトからなるチップ部品 20 (本体部 21) が配置されているので、フェライトにより磁界エネルギーが吸収される。これにより、配線パターン 30 におけるチップ部品 20 の下流側への高周波ノイズの伝導が抑制される。また、高周波ノイズのチップ部品 20 での反射が抑制される。なお、チップ部品 20 (本体部 21) が配線パターン 30 を覆っている部分が多いほど、磁界エネルギーを多く吸収することができる。

【0031】

特に、チップ部品 20 の本体部 21 の内部には、導体のパターン(例えば、コイルパターン)が形成されていない。そのため、チップ部品 20 では、外部電極 22, 23 との間に浮遊容量が発生しない。その結果、チップ部品 20 は、ノイズに対する高周波帯域での特性(透過特性、反射特性)が優れている。これにより、チップ部品 20 では、10 GHz 以上の高い周波数帯のノイズの伝導を抑制することができると共に、ノイズの反射を抑制することができる。

【0032】

図 3 及び図 4 を参照して、配線パターンを伝導するノイズに対する周波数特性(透過特性、反射特性)の比較例を説明する。この比較例では、ノイズ対策部品として実施形態に係るチップ部品 20 を用いた場合と、従来のノイズ対策部品を用いた場合と、ノイズ対策部品を用いない場合とを比較する。従来のノイズ対策部品としては、2 種類のチップフェライトビーズ(フェライトビーズインダクタをチップ形状にしたもの)と高周波用のチップインダクタである。透過や反射の周波数特性は、例えば、ネットワークアナライザを用いて測定される。

【0033】

まず、図 3 を参照して、配線パターンを伝導するノイズに対する透過特性の比較例を説明する。図 3 は、配線パターンを伝導するノイズに対する透過特性の比較例を示す図である。図 3 では、横軸が周波数(10 MHz 以上)であり、縦軸が S 21 (透過係数)である。この S 21 (透過係数)は、ノイズ対策部品の入力端から出力端へのノイズ(電流)の透過特性を示し、値が小さいほどノイズが透過し難いことを示す。図 3 では、破線(刻み幅が大) P 1 で示すグラフが一方のチップフェライトビーズを用いた場合の透過特性を示しており、破線(刻み幅が小) P 2 で示すグラフが他方のチップフェライトビーズを用

10

20

30

40

50

いた場合の透過特性を示しており、一点鎖線 P 3 で示すグラフが高周波用のチップインダクタを用いた場合の透過特性を示しており、二点鎖線 P 4 で示すグラフがノイズ対策部品を用いていない場合の透過特性を示しており、実線 P 5 で示すグラフが実施形態に係るチップ部品 20 を用いた場合の透過特性を示している。

【0034】

各チップフェライトビーズを用いた場合、透過特性 P 1 , P 2 で示すように、10 GHz 以上の周波数帯では小さい S 2 1 が得られず、10 GHz 以上の高周波ノイズを透過し易い。高周波用のチップインダクタを用いた場合、透過特性 P 3 で示すように、10 GHz 以上の周波数帯では小さい S 2 1 が得られず、10 GHz 以上の高周波ノイズを透過し易い。実施形態に係るチップ部品 20 を用いた場合、透過特性 P 5 で示すように、10 GHz 以上の周波数帯では S 2 1 が小さくなっており、10 GHz 以上の高周波ノイズを透過し難い（10 GHz 以上の高周波数帯のノイズに対して透過特性が優れている）。なお、ノイズ対策部品を用いていない場合、10 GHz 以上の周波数帯で S 2 1 が小さくなっているが、実施形態に係るチップ部品 20 を用いた場合よりは S 2 1 が大きく、実施形態に係るチップ部品 20 よりも 10 GHz 以上の高周波数帯での透過特性が劣る。

10

【0035】

次に、図 4 を参照して、配線パターンを伝導するノイズに対する反射特性の比較例を説明する。図 4 は、配線パターンを伝導するノイズに対する反射特性の比較例を示す図である。図 4 では、横軸が周波数（10 MHz 以上）であり、縦軸が S 1 1（反射係数）である。この S 1 1（反射係数）は、ノイズ対策部品の入力端でのノイズ（電流）の反射特性を示し、値が小さいほどノイズが反射し難いことを示す。図 4 では、破線（刻み幅が大）R 1 で示すグラフが一方のチップフェライトビーズを用いた場合の反射特性を示しており、破線（刻み幅が小）R 2 で示すグラフが他方のチップフェライトビーズを用いた場合の反射特性を示しており、一点鎖線 R 3 で示すグラフが高周波用のチップインダクタを用いた場合の反射特性を示しており、二点鎖線 R 4 で示すグラフがノイズ対策部品を用いていない場合の反射特性を示しており、実線 R 5 で示すグラフがチップ部品 20 を用いた場合の反射特性を示している。

20

【0036】

各チップフェライトビーズを用いた場合、反射特性 R 1 , R 2 で示すように、S 1 1 が大きく、ノイズを反射する。高周波用のチップインダクタを用いた場合、反射特性 R 3 で示すように、10 GHz 以上の周波数帯では小さい S 1 1 が得られず、10 GHz 以上の高周波ノイズを反射し易い。実施形態に係るチップ部品 20 を用いた場合、反射特性 R 5 で示すように、10 GHz 以上の周波数帯では S 1 1 が小さくなっており、10 GHz 以上の高周波ノイズを反射し難い（10 GHz 以上の高周波数帯のノイズに対して反射特性が優れている）。なお、ノイズ対策部品を用いていない場合、10 GHz 以上の周波数帯で S 1 1 が小さくなっているが、実施形態に係るチップ部品 20 を用いた場合よりは S 1 1 が大きく、実施形態に係るチップ部品 20 よりも 10 GHz 以上の高周波数帯での反射特性が劣る。

30

【0037】

この透過特性及び反射特性からも判るように、実施形態に係るチップ部品 20 を用いた場合、10 GHz 以上の高周波ノイズを透過し難くかつ反射し難い。そのため、配線パターン 30 におけるチップ部品 20 の下流側への高周波ノイズの伝導を抑制することができる。また、チップ部品 20 で高周波ノイズが上流側に反射され難いので、高周波ノイズが二次的に放射されるのも抑制することができる。

40

【0038】

なお、実施形態に係るチップ部品 20 を用いた場合、透過特性 P 5、反射特性 R 5 の各例で示すように、10 GHz 以上の周波数帯において S 2 1、S 1 1 が非常に低くなっている各周波数がある。この各周波数は、チップ部品 20 に用いるフェライトの種類などにより調整可能である。

【0039】

50

実施形態に係る高周波ノイズ対策回路１によれば、フェライトからなるチップ部品２０（本体部２１）を実装面１０ａに対して垂直な方向から見た場合に配線パターン３０上に配置させることで、配線パターン３０での高周波ノイズの伝導及び反射を抑制することができる。なお、チップ部品２０は、フェライトからなる本体部２１内に導体パターンが形成されていないので、外部電極２２，２３との間に浮遊容量が発生せず、ノイズに対する高周波数帯での特性（透過特性、反射特性）が優れている。

【００４０】

実施形態に係る高周波ノイズ対策回路１によれば、実装面１０ａに一对のランド４０，４１が設けられ、チップ部品２０に一对の外部電極２２，２３が設けられているので、このチップ部品２０を配線基板１０に実装されている他のチップ部品を実装するための実装機を用いて実装でき、実装性に優れている。これにより、高周波ノイズ対策部品としてチップ部品２０を実装する場合、実装に要する時間やコストなどを抑えることができる。

10

【００４１】

実施形態に係る高周波ノイズ対策回路１によれば、チップ部品２０の本体部２１にフェライトを用いているので、チップ部品での磁界エネルギーの吸収率が高い。また、実施形態に係る高周波ノイズ対策回路１によれば、チップ部品２０の本体部２１に六方晶フェライトを用いた場合、より高い周波数帯の高周波ノイズを吸収することができる。

【００４２】

実施形態に係る高周波ノイズ対策回路１によれば、高周波ノイズが伝導する配線パターン３０が配線基板１０の実装面１０ａに設けられ、チップ部品２０の本体部２１がその実装面１０ａの配線パターン３０の一部を覆う箇所に配置されているので、配線パターン３０の直近に配置されたチップ部品２０により高周波ノイズで発生する磁界エネルギーを効率良く吸収することができる。

20

【００４３】

以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上記実施形態ではチップ部品２０の本体部２１をフェライトを用いて形成したが、フェライト以外の磁性体も適用することができる。

【００４４】

上記実施形態では高周波ノイズが伝導する配線パターン３０に一对のランド４０，４１が一体で設けられる構成としたが、一对のランド４０，４１が配線パターン３０に接続されていない構成としてもよい。このように構成した場合でも、チップ部品２０の本体部２１のフェライトにより、高周波ノイズによって発生する磁界エネルギーを吸収でき、高周波ノイズの伝導及び反射を抑制することができる。

30

【００４５】

上記実施形態では配線パターン３０上に高周波ノイズ対策部品であるチップ部品２０を１個設ける構成としたが、チップ部品２０を複数個設けてもよい。このように、チップ部品２０を複数個設けることで、フェライトで配線パターン３０を覆っている部分が多くなり、磁界エネルギーをより多く吸収することができる。

【００４６】

上記実施形態では高周波ノイズが伝導する配線パターン３０の方向に対して並行に高周波ノイズ対策部品であるチップ部品２０を配置する構成としたが、配線パターン３０の方向に対してチップ部品２０（長手方向）を交差するように配置してもよい。例えば、図５を参照して、チップ部品２０の他の方向での配置の一例を説明する。図５は、実施形態に係るチップ部品２０の他の配置例を示す図であり、（ａ）が平面図であり、（ｂ）が図５（ａ）のⅠⅠⅠ-ⅠⅠⅠ線に沿った断面図である。この図５に示す高周波ノイズ対策回路２では、配線基板１０の実装面１０ａに一对のランド４２，４３が設けられ、この一对のランド４２，４３が配線パターン３０を挟んで配置されている。チップ部品２０の一方の外部電極２２は、一方のランド４２に接続される。また、チップ部品２０の他方の外部電極２３は、他方のランド４３に接続される。これにより、チップ部品２０は、配線基板１

40

50

0 に実装され、配線パターン 3 0 に対して交差（略直交）するように配置される。この高周波ノイズ対策回路 2 の場合、配線パターン 3 0 を伝導する高周波ノイズによって発生する磁界（磁束）がランド 4 2 , 4 3 （金属物）で遮られないので、チップ部品 2 0 での磁界エネルギーの吸収率が高い。

【 0 0 4 7 】

上記実施形態では高周波ノイズが伝導する配線パターン 3 0 が配線基板 1 0 の実装面 1 0 a （基板表面）に設けられ、チップ部品 2 0 が実装面 1 0 a に実装される構成としたが、基板内部に配線パターンが設けられている場合でも適用できる。例えば、図 6 を参照して、配線基板 1 2 の内部に配線パターン 3 1 が設けられている場合の一例を説明する。図 6 は、実施形態に係る配線パターン 3 1 が配線基板 1 2 の内部に配置される場合の構成を示す図であり、（ a ）が平面図であり、（ b ）が図 6 （ a ）の I V - I V 線に沿った断面図である。

10

【 0 0 4 8 】

この高周波ノイズ対策回路 3 の場合、高周波ノイズが伝導する配線パターン 3 1 が配線基板 1 2 （多層配線基板）の内部に設けられている。I C 1 1 は、絶縁層 1 2 b を厚み方向に貫通するように形成された層間貫通ビア 3 2 を介して、配線パターン 3 1 に電氣的に接続されている。ランド 4 4 , 4 5 は、配線基板 1 2 の実装面 1 2 a に設けられ、実装面 1 2 a に対して垂直な方向において配線パターン 3 1 の上方に配置されている。ランド 4 4 、4 5 は、配線パターン 3 1 との間に絶縁層 1 2 b のみが存在し、配線パターン 3 1 との間に金属物（例えば、グランドパターン）がない箇所に配置されている。チップ部品 2 0 の一方の外部電極 2 2 は、一方のランド 4 4 に接続される。また、チップ部品 2 0 の他方の外部電極 2 3 は、他方のランド 4 5 に接続される。

20

【 0 0 4 9 】

これにより、チップ部品 2 0 は、配線基板 1 2 に実装され、絶縁層 1 2 b を介して配線パターン 3 1 の上方かつ配線パターン 3 1 に並行に配置される。この高周波ノイズ対策回路 3 の場合、チップ部品 2 0 の本体部 2 1 （フェライト）により基板内部の配線パターン 3 1 を伝導する高周波ノイズによって発生する磁界エネルギーを吸収でき、基板内部の配線パターン 3 1 での高周波ノイズの伝導及び反射を抑制することができる。但し、チップ部品 2 0 （本体部 2 1 ）が、配線パターン 3 1 を中心に発生している磁界内に存在する場合である。なお、図 6 に示す例では、基板内部の配線パターン 3 1 に並行にチップ部品 2 0 を配置させたが、配線パターン 3 1 に交差するようにチップ部品 2 0 を配置させてもよい。

30

【 符号の説明 】

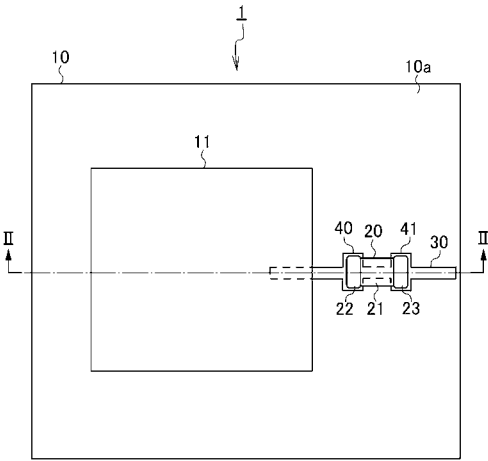
【 0 0 5 0 】

- 1 , 2 , 3 高周波ノイズ対策回路
- 1 0 , 1 2 配線基板
- 1 0 a , 1 2 a 実装面
- 1 1 I C （集積回路）
- 2 0 チップ部品
- 2 1 本体部
- 2 2 , 2 3 外部電極
- 3 0 , 3 1 配線パターン
- 4 0 , 4 1 , 4 2 , 4 3 , 4 4 , 4 5 ランド

40

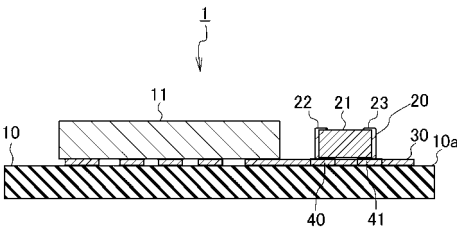
【 図 1 】

図1



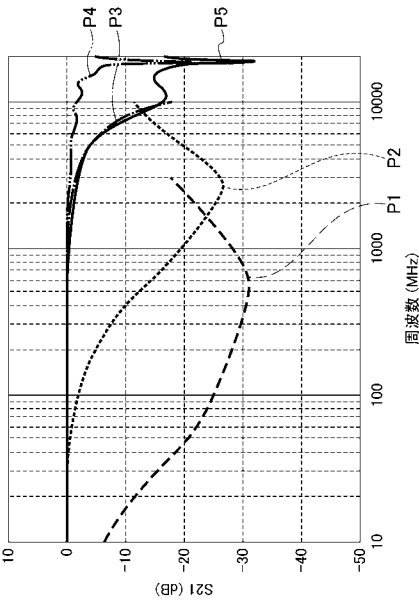
【 図 2 】

図2



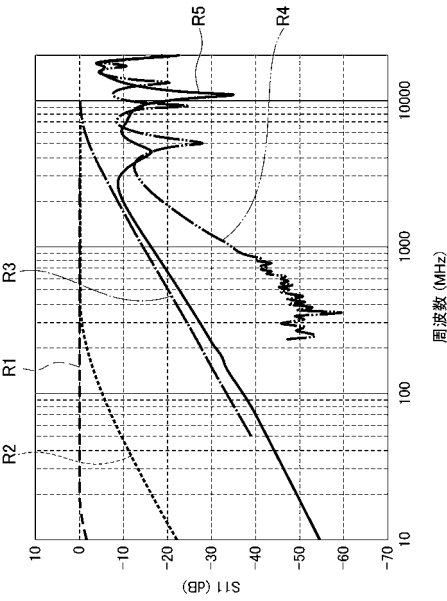
【 図 3 】

図3



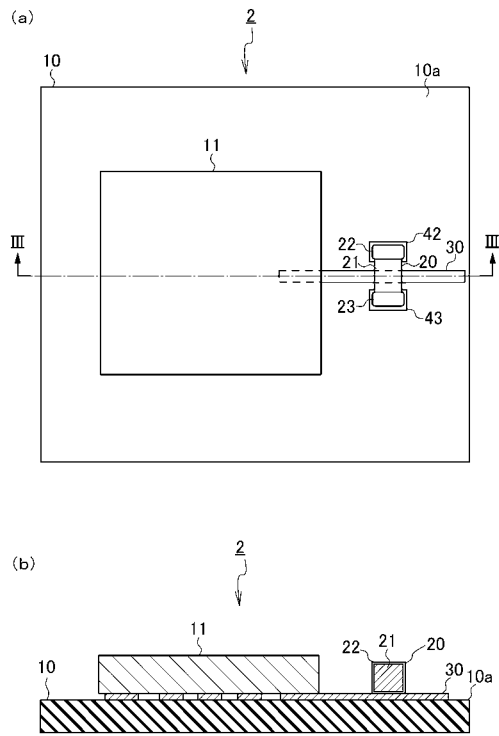
【 図 4 】

図4



【 図 5 】

図5



【 図 6 】

図6

