



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201242003 A1

(43) 公開日：中華民國 101 (2012) 年 10 月 16 日

(21) 申請案號：101107287

(22) 申請日：中華民國 101 (2012) 年 03 月 05 日

(51) Int. Cl. : *H01L27/146 (2006.01)*

(30) 優先權：2011/03/08 世界智慧財產權組織 PCT/JP2011/055408

2012/02/07 世界智慧財產權組織 PCT/JP2012/052777

(71) 申請人：新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS
SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：舛岡富士雄 MASUOKA, FUJIO (JP)；原田望 HARADA, NOZOMU (JP)

(74) 代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：20 項 圖式數：19 共 121 頁

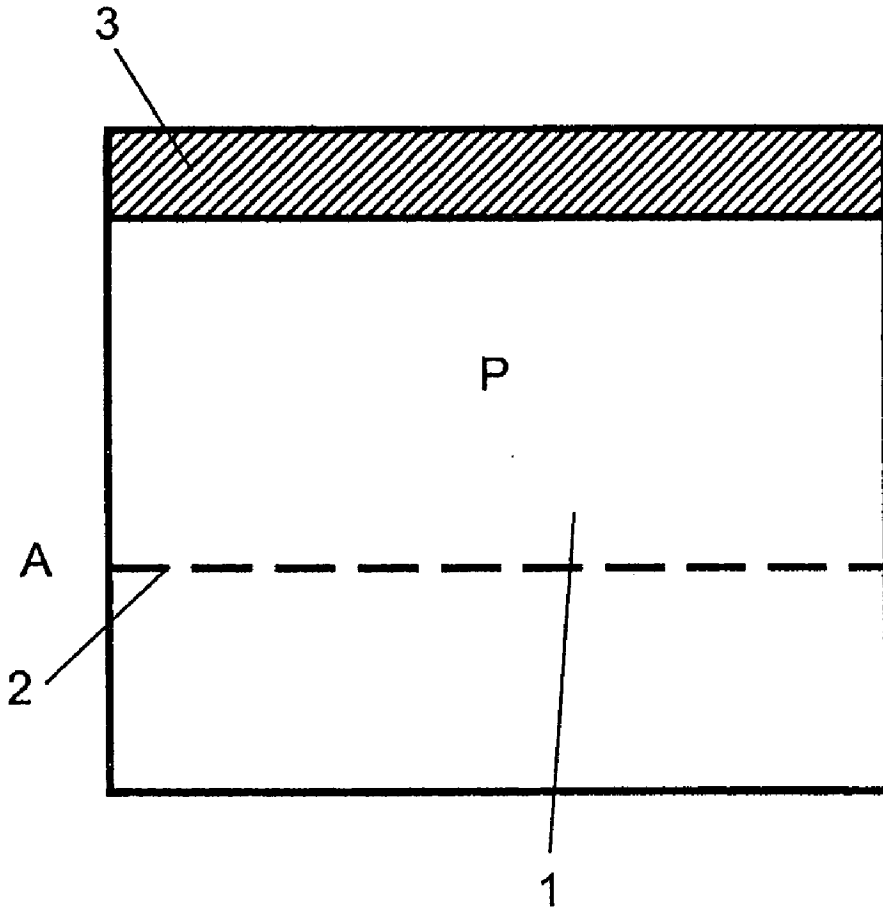
(54) 名稱

半導體裝置的製造方法及半導體裝置

METHOD FOR PRODUCING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

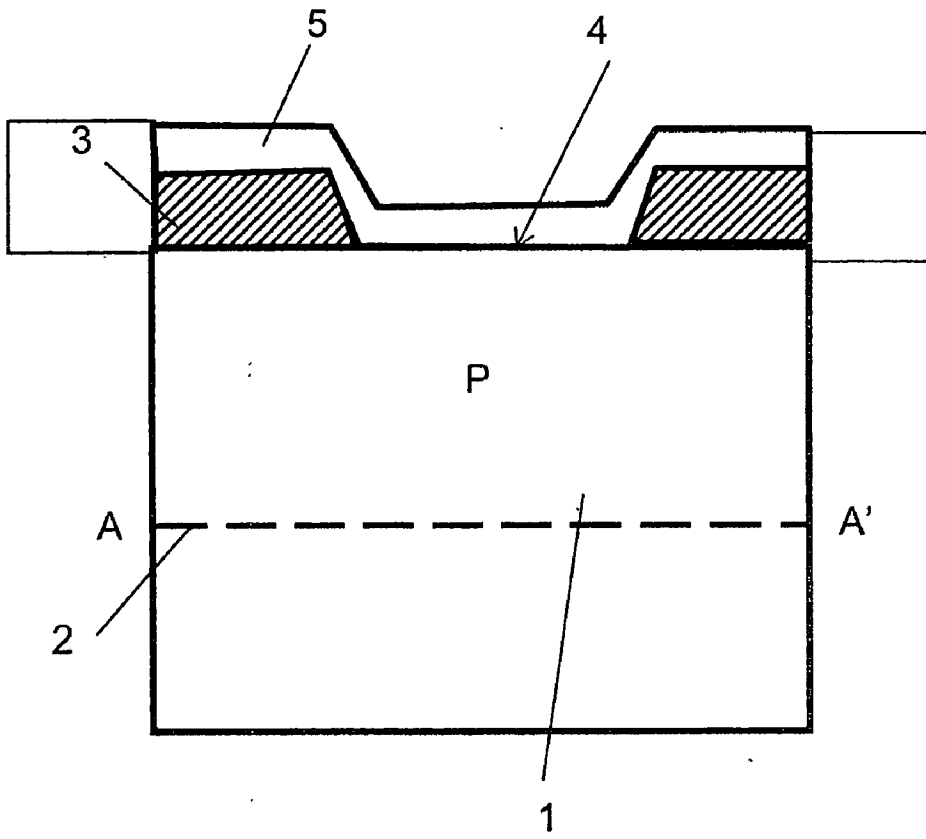
(57) 摘要

本發明係關半導體裝置的製造方法，係包含下述步驟：於第一半導體基板上，形成含有導體層(7)及施體雜質或者受體雜質之第一半導體層(5a)之步驟；以覆蓋第一半導體層(5a)之方式形成第二絕緣層(8)之步驟；將第一半導體基板(9)的厚度薄化至預定厚度之步驟；從第一半導體基板將具有柱狀構造之柱狀半導體(1a)形成於第一半導體層(5a)上之步驟；藉由從第一半導體層(5a)使雜質擴散而於柱狀半導體(1a)形成第一半導體區域(6a)之步驟；以及使用使雜質擴散後之柱狀半導體(1a)，而將固態影像感測裝置予以形成之步驟。

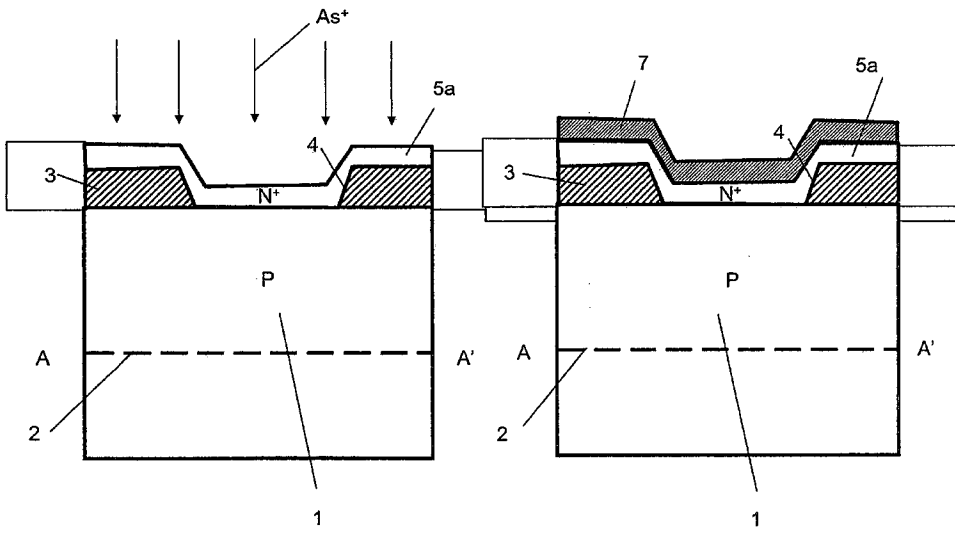


第1A圖

- 1：第一半導體基板
- 1a：矽柱
- 1b：矽柱
- 2：分離層
- 3：第一氧化矽層
- 4：孔
- 5：多結晶矽層
- 5a：N⁺多結晶矽層
- 6a：N⁺擴散層
- 6ab：N⁺擴散層
- 7：金屬層
- 8：第二氧化矽層
- 9：第二半導體基板
- 10a：第三氧化矽層
- 10b：第三氧化矽層
- 10c：第三氧化矽層
- 10d：第三氧化矽層
- 11a：閘極導體層
- 11b：閘極導體層
- 11c：閘極導體層
- 11d：閘極導體層
- 12a：N型矽層
- 12b：N型矽層
- 12c：N型矽層
- 12d：N型矽層
- 13a：P⁺型矽層
- 13b：P⁺型矽層
- 14a：畫素選擇金屬配線層
- 14b：畫素選擇金屬配線層
- 14c：畫素選擇金屬配線層
- 14d：畫素選擇金屬配線層
- 30：P型矽層

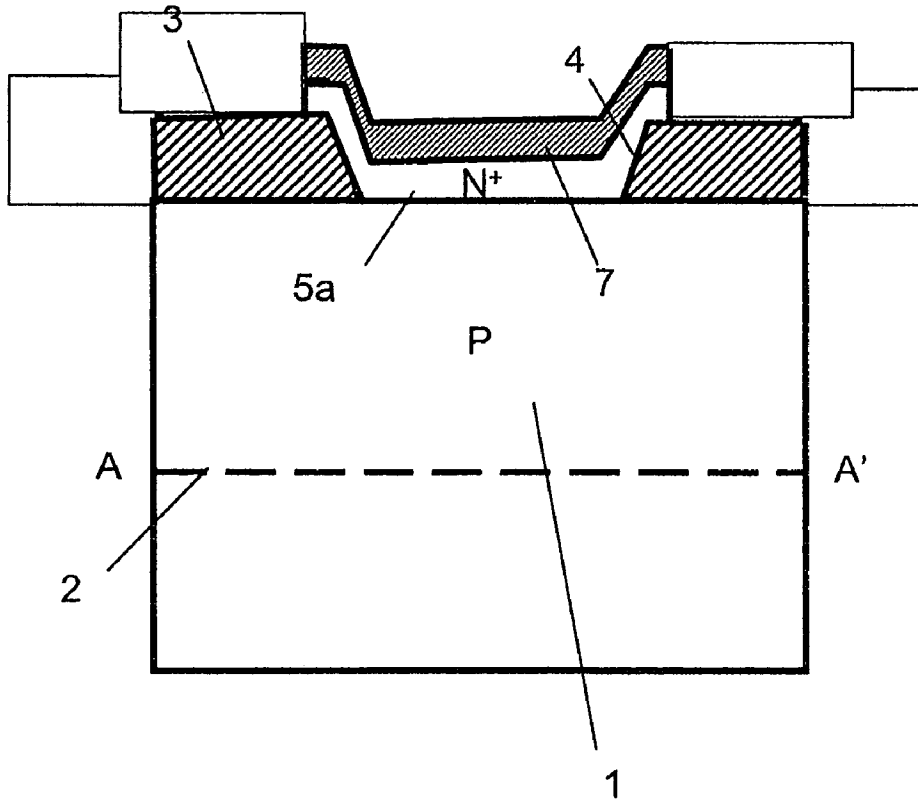


第1B圖

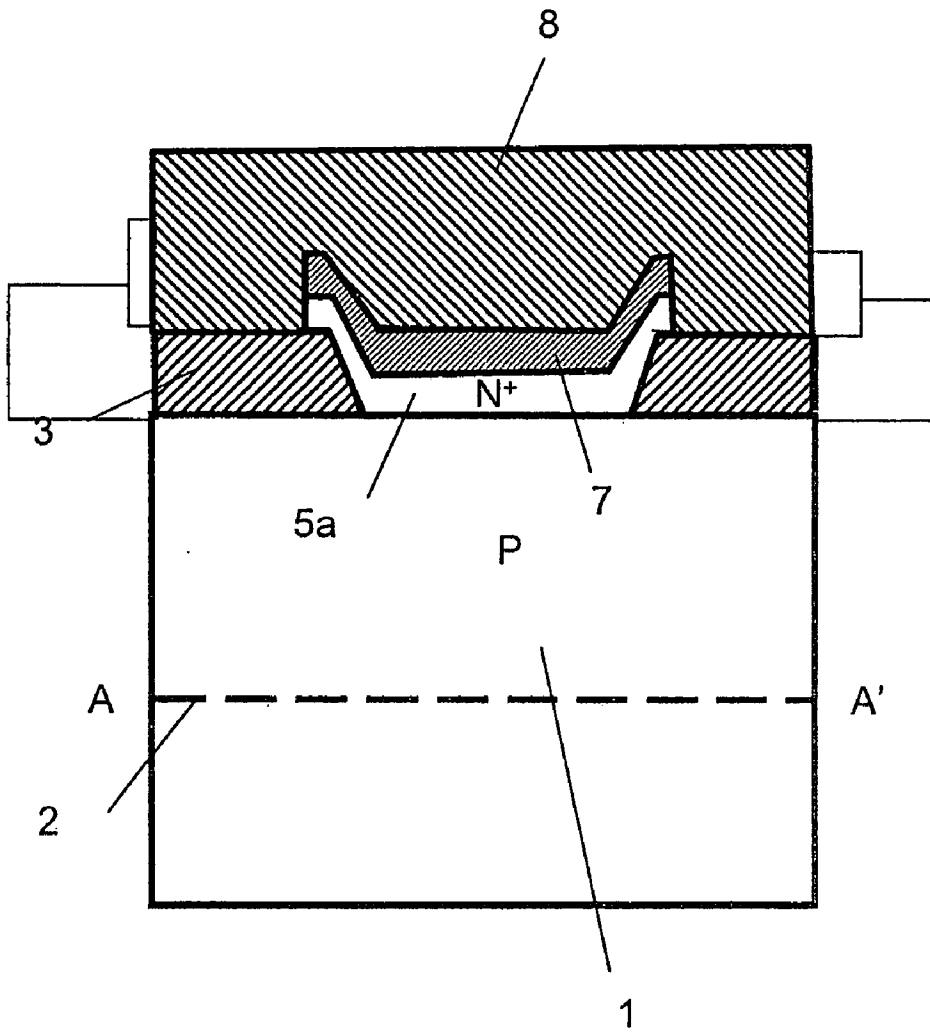


第1C圖

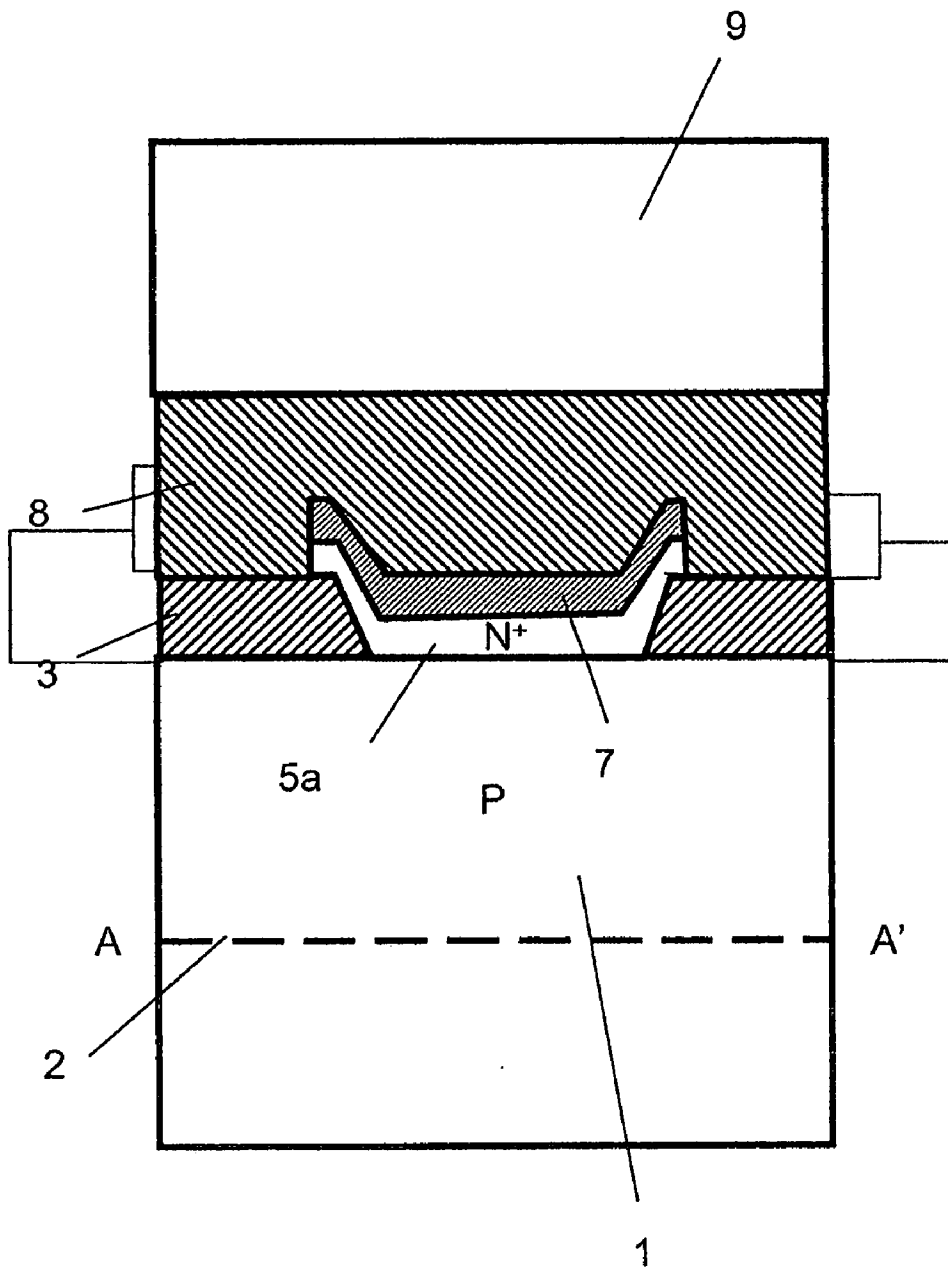
第1D圖



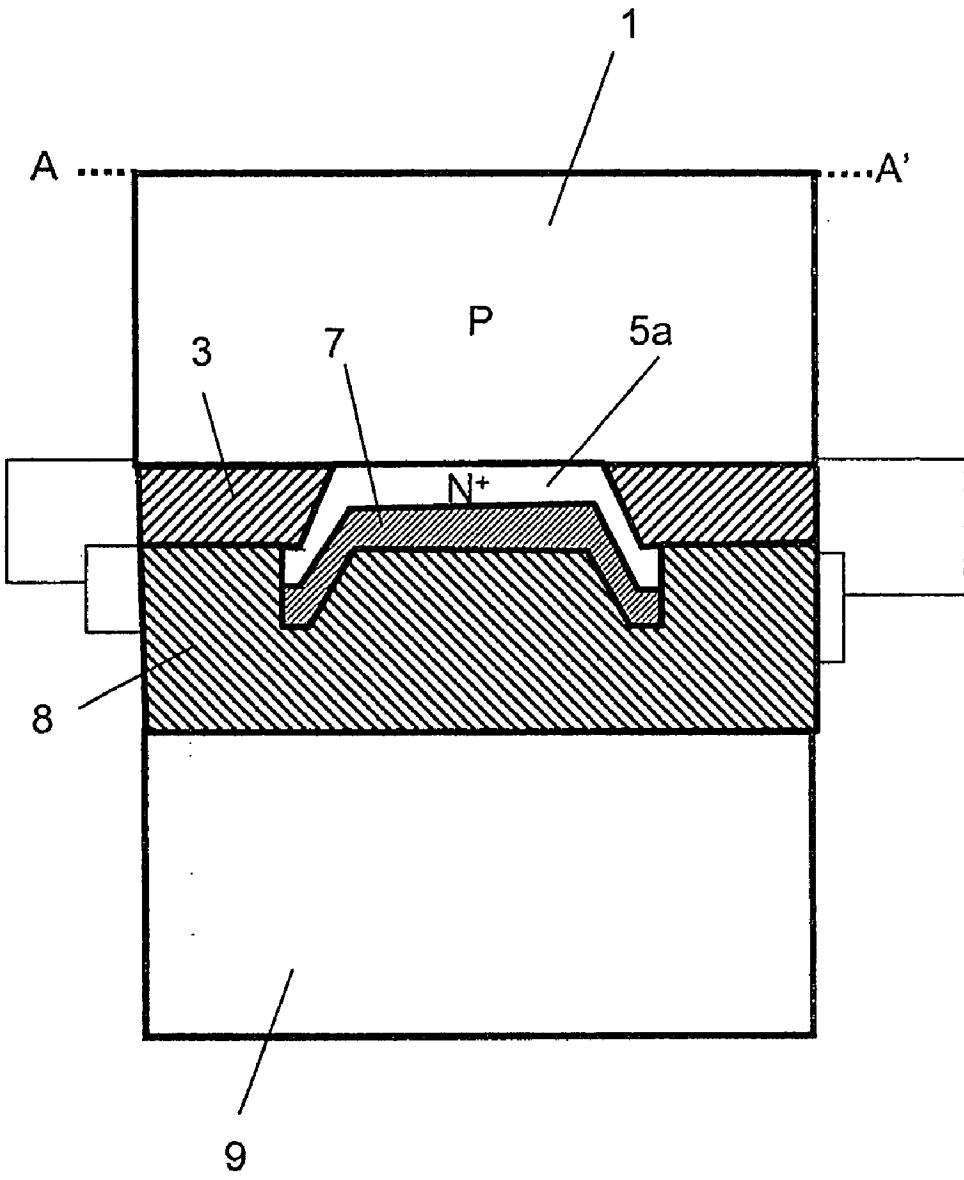
第1E圖



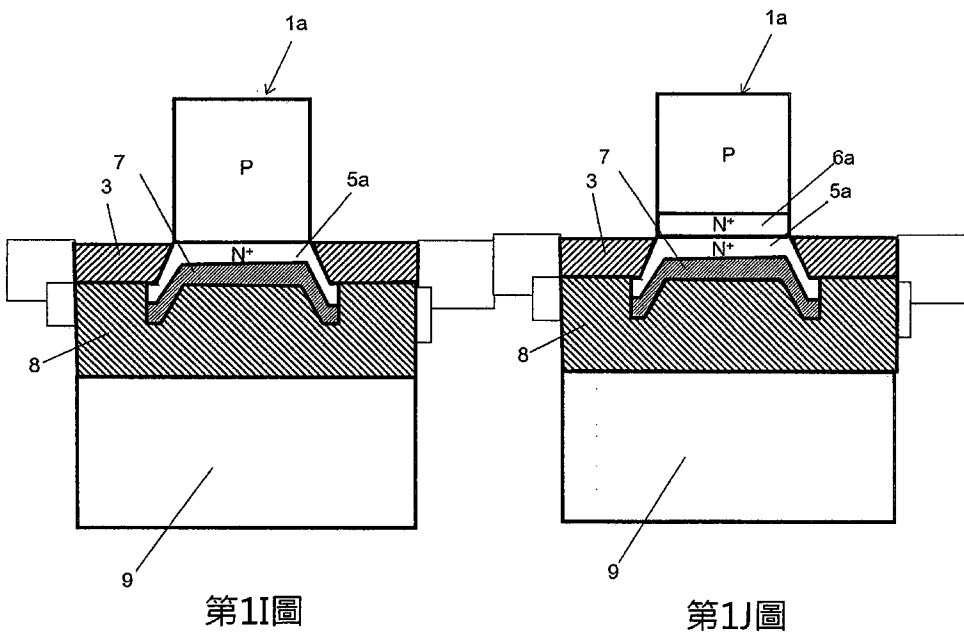
第1F圖



第1G圖



第1H圖



第1I圖

第1J圖



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201242003 A1

(43) 公開日：中華民國 101 (2012) 年 10 月 16 日

(21) 申請案號：101107287

(22) 申請日：中華民國 101 (2012) 年 03 月 05 日

(51) Int. Cl. : *H01L27/146 (2006.01)*

(30) 優先權：2011/03/08 世界智慧財產權組織 PCT/JP2011/055408

2012/02/07 世界智慧財產權組織 PCT/JP2012/052777

(71) 申請人：新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS
SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：舛岡富士雄 MASUOKA, FUJIO (JP)；原田望 HARADA, NOZOMU (JP)

(74) 代理人：洪武雄；陳昭誠

申請實體審查：有 申請專利範圍項數：20 項 圖式數：19 共 121 頁

(54) 名稱

半導體裝置的製造方法及半導體裝置

METHOD FOR PRODUCING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57) 摘要

本發明係關半導體裝置的製造方法，係包含下述步驟：於第一半導體基板上，形成含有導體層(7)及施體雜質或者受體雜質之第一半導體層(5a)之步驟；以覆蓋第一半導體層(5a)之方式形成第二絕緣層(8)之步驟；將第一半導體基板(9)的厚度薄化至預定厚度之步驟；從第一半導體基板將具有柱狀構造之柱狀半導體(1a)形成於第一半導體層(5a)上之步驟；藉由從第一半導體層(5a)使雜質擴散而於柱狀半導體(1a)形成第一半導體區域(6a)之步驟；以及使用使雜質擴散後之柱狀半導體(1a)，而將固態影像感測裝置予以形成之步驟。

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置的製造方法及半導體裝置，尤其係關於具備有在具有柱狀構造之半導體內形成有通道(channel)區域之電晶體(transistor)之半導體裝置的製造方法及半導體裝置。

【先前技術】

CCD及CMOS型等之固態影像感測裝置係廣為用於視訊攝影機(video camera)、斯脫攝影機(stere camera)等。並且，係要求有固態影像感測裝置的高解析度化、高速動作化、及高靈敏度化等之性能提升。

如第17圖所示，已知有一個畫素構成於一個柱狀半導體110內之固態影像感測裝置(例如，參照專利文獻1)。

在此畫素構造中，係在半導體基板上形成有作為固態影像感測裝置的訊號線發揮功能之 N^+ 型矽(silicon)層51。再者，於 N^+ 型矽層51係連接有柱狀半導體110。於該柱狀半導體110係形成有由P型矽層52、絕緣膜53a、53b、閘極導體層54a、54b所構成之用以去除儲存電荷之MOS電晶體。再者，於柱狀半導體110係形成有連接於此MOS電晶體，並儲存藉由光束(電磁能量波)照射而產生之電荷之光電二極體(photodiode)。此光電二極體係由P型矽層52、及N型矽層58a、58b所構成。再者，係形成有將以此光電二極體所圍繞之P型半導體52設為通道(channel)、將光電二極體設為閘極(gate)、以及將形成於光電二極體

上且連接於畫素選擇線 57a、57b 之 P⁺型矽層 56，及 N⁺型矽層 51 附近之 P 型矽層 52 分別設為源極(source)、汲極(drain)之接面電場效果電晶體(接面電晶體)。

此固態影像感測裝置的基本動作係構成有：將由光束照射所產生之訊號電荷(此時係為電子)儲存於光電二極體之訊號電荷儲存動作；將流動於 N⁺型矽層 51 附近之 P 型矽層 52 與 P⁺型矽層 56 之間之源極／汲極電流，藉由由因應前述之儲存訊號電荷之光電二極體電壓而來之閘極電壓進行調變，並將該者作為訊號電流讀出之訊號讀出動作；以及在此訊號讀出動作結束後，施加導通(ON)電壓於 MOS 電晶體的閘極導體層 54a、54b，而將儲存於光電二極體之訊號電荷去除於 N⁺型矽層 51 之重設(reset)動作。

在二維固態影像感測裝置中，第 17 圖所示的畫素係二維狀地排列於感光區域。並且，係藉由畫素訊號(訊號電流)經由 N⁺型矽層 51 傳達至設於感光區域周邊之輸出電路而進行訊號讀取動作。再者，亦經由畫素與感光區域的周邊電路之電性傳送而進行重設動作。並且，為了使固態影像感測裝置的畫素數，或者每單位時間之讀出畫面數增加，係須要訊號讀出動作之高速動作化。因此，係要求有減低屬於訊號線之 N⁺型矽層 51 的電阻。

為了實現如此之 N⁺型矽層 51 之低電阻化，係如第 18A 圖所示，可考慮使在矽基板 60 上形成之金屬層 59 接合於 N⁺型矽層 51 的背面之構造。藉此，訊號線的電阻係幾乎由金屬層 59 所決定，故可實現前述訊號讀出動作之高速動作

化。然而，就金屬材料與矽材料接合之親和性的觀點來看，係難以形成接合於 N^+ 型矽層 51 之金屬層 59。

再者，為了將金屬層 59 形成於矽基板 60 上，可考慮下述方法。亦即，如第 18B 圖所示，於半導體基板上形成氧化矽層 62，並於該氧化矽層 62 上形成金屬層 59。並且，將形成有金屬層 59 之半導體基板 61 與半導體基板 64 接著。之後，在半導體基板 64 中，將畫素形成於第 18B 圖中虛線所示之部分。第 18B 圖所示之一點鏈線 D-D' 係顯示藉由半導體基板 64 之研磨、蝕刻、或者其他分離方法，而將半導體基板 64 成形為預定的高度之狀態。

然而，就如此的製造方法而言，金屬層 59 與半導體基板 64 係直接接著，故由於金屬層 59 與半導體基板 64 的熱膨脹係數不同，而會在半導體基板 61、64 產生彎曲、裂縫 (crack)、或者剝離。如第 18A 圖所示，為了訊號讀出動作之高速動作化，在開發不產生彎曲、裂縫、或者剝離而將金屬層 59 直接貼合在 N^+ 型矽層 51 的背面之方法上係有重大的技術性的意義。

並且，係強烈的要求有藉由解決如此之課題，以實現固態影像感測裝置以外之半導體裝置，或者設於半導體裝置之電路元件之高集積化、高性能化。

再者，為了訊號讀出動作之高速動作化，係有將具有柱狀構造之柱狀半導體的側面設為通道區域，並具有閘極電極圍繞該通道區域的構造之屬於縱型 MOS 電晶體之 SGT (Surrounding Gate Transistor, 環繞式閘極電晶體)(於

下述係簡單省略為「SGT」)(例如，參照專利文獻 2)。

就如此之 SGT 而言，係如第 19 圖所示，在埋入氧化膜基板 66 上形成有平面狀矽膜 67，且藉由平面狀矽膜 67 及柱狀矽層 68 而形成柱狀構造。於平面狀矽膜 67 係形成有作為汲極發揮功能之 P⁺型矽擴散層 69。於柱狀矽層 68 的上部係形成有作為源極發揮功能之 P⁺型矽擴散層 70，且於柱狀矽層 68 的外周部係形成有閘極絕緣層 71。此閘極絕緣層 71 的外周部係形成有閘極電極 72。藉此，係形成將 P⁺型矽擴散層 69 與 P⁺型矽擴散層 70 之間之柱狀矽層 68 作為通道之 P 型通道 SGT。

再者，係以圍繞閘極電極 72、P⁺型矽擴散層 70、以及 P⁺矽擴散層 69 之方式，而形成有氮化矽(SiN)膜 73 及氧化矽(SiO₂)膜 74。於氧化矽膜 74 內係形成有接觸孔(contact hole)75，且 P⁺型矽擴散層 70 經由此接觸孔 75 而連接於源極金屬配線 76。藉此形成一個 P 型通道 SGT。

第 19 圖所示之 P⁺型矽擴散層 69 係在平面狀矽膜 67 延長在同一平面上的預定部位與未圖示之金屬配線連接。在具有 SGT 之半導體裝置中，為了實現更進一步之訊號讀出動作之高速動作化，此 P⁺型矽擴散層 69 與上述金屬配線之連接係被要求以 P⁺型矽擴散層 70 之方式，在較短的距離下進行。

然而，就第 19 圖所示之 SGT 而言，在上述金屬配線與 P⁺型矽擴散層 69 之間，或者在 P⁺型矽擴散層 69 之中會存在有相當於到 SGT 通道的汲極端為止的距離之電阻。因

此，即便在具有 SGT 之半導體裝置中，亦與固態影像感測裝置同樣地為了實現訊號讀出動作之高速動作化，而必須將金屬層直接地接合於 P⁺型矽擴散層 69 的背面以謀求電阻的下降。

(先前技術文獻)

(專利文獻)

專利文獻 1：國際公開第 2009/034623 號

專利文獻 2：美國專利申請公開第 2010/0213539(A1)

號說明書

(非專利文獻)

非專利文獻 1：Hidekazu Takahashi, Masakuni Kinoshita, Kazumichi Morita, Takahiro Shirai, Tosiaki Sato, Takayuki Kimura, Hiroshi Yuzurihara, Shunsuke Inoue, Member, IEEE, and Shigeyuki Matsumoto: “A 3.9- μ m Pixel Pitch VGA Format 10-b Digital Output CMOS Image Sensor With 1.5 Transistor/Pixel”, IEEE Journal of Solid-State Circuits, Vol.39, No.12, pp.2417-2425(December 2004)

非專利文獻 2：M. Bruel： “Silicon on Insulator material technology”, Electronics Letters Vol.31, No.14, pp.1201-1202(6th July, 1995)

非專利文獻 3：Takao Yonehara, Kiyofumi Sakaguchi, and Nobuhiko Sato： “Epitaxial layer transfer by bond and etch back of porous Si”, Appl. Phys. Lett. Vol.64,

No. 16, pp. 2108-2110(18 April, 1994)

【發明內容】

(發明所欲解決之課題)

在二維固態影像感測裝置中，係如上述，藉由畫素訊號(訊號電流)經由作為訊號線發揮功能的 N^+ 型矽層 51 傳達至設於感光區域周邊之外部電路而進行訊號讀出動作。再者，重設動作亦經由畫素與感光區域的外部電路之電性傳送而進行。此電性傳送之回應性係極為受到連接畫素及周邊電路間之配線的電阻及寄生電容之影響。為了增加固態影像感測裝置的畫素數，或者每單位時間之讀出畫面數，係要求有減低該配線的電阻。

第 17 圖所示之固態影像感測裝置中，該電阻係幾乎由 N^+ 型矽層 51 的電阻而決定。 N^+ 型矽層 51 係藉由將磷(P)或砷素(As)等施體(donor)雜質離子摻雜(ion doping)(離子注入)至於矽(Si)半導體而予以形成，故無法使此 N^+ 型矽層 51 的電阻值比鋁(aluminum)(Al)、銅(Cu)、鎢(tungsten)(W)、鎳(nickel)(Ni)等使用於一般半導體裝置之金屬的電阻值更小。因此，就第 17 圖所示之固態影像感測裝置而言，與藉由金屬配線進行畫素與周邊電路之間之電性連接之固態影像感測裝置比較，係有在高速動作特性上較差之問題。

再者，就在畫素內將 N^+ 型矽層朝橫方向擴張，並藉由經由形成於此擴張區域之接觸孔進行連接之金屬配線，而進行畫素與周邊電路之電性連接的畫素構造而言，係會降

低畫素的積體度。

再者，如同上述，於第 19 圖所示之 SGT 中，P⁺型矽擴散層 69 亦在平面狀矽膜 67 之延長部位與金屬配線連接。就如此之由 P⁺型矽擴散層 69 與金屬配線連接而來之手段而言，係無法以 P⁺型矽擴散層 70 之方式以較短的距離與金屬配線連接，故會存在有相當於至與金屬配線及 SGT 的通道最接近之 P⁺型矽擴散層 69 的端部為止之電阻。因此，為了實現在具有 SGT 之半導體裝置中更進一步之高速動作化，係必須減低此電阻。

本發明為有鑑於上述情事而完成者，目的係為提供實現高積體、高速動作之半導體裝置。

(解決課題之手段)

為了達成上述目的，本發明之第 1 觀點之半導體裝置的製造方法之特徵在於：將第一絕緣層形成於半導體基板上之預定區域，並藉由去除前述預定區域上之第一絕緣層從而形成絕緣層去除區域之第一絕緣層形成／去除步驟，或於前述預定區域之周邊朝厚度方向去除前述半導體基板之一部份，而於去除該半導體基板之半導體基板去除區域形成第一絕緣層之第二絕緣層形成／去除步驟；第一半導體層形成步驟，係以至少覆蓋前述預定區域的方式，於前述半導體基板上形成包含施體雜質或受體雜質之第一半導體層；導體層形成步驟，係於前述第一半導體層上形成導體層；成形步驟，將前述導體層以及前述第一半導體層成形為預定形狀；第二絕緣層形成步驟，以覆蓋形成為前述

預定形狀之導體層以及第一半導體層的方式，形成第二絕緣層；平坦化步驟，係將前述第二絕緣層之表面予以平坦化；接著步驟，係於前述經平坦化之前述第二絕緣層之表面接著基板；薄膜化步驟，係將前述半導體基板薄化至預定之厚度；柱狀半導體形成步驟，係於前述第一半導體層上，自前述半導體基板形成具有柱狀構造之柱狀半導體；以及電路元件形成步驟，係於前述柱狀半導體形成前述電路元件；且，復具備：第一半導體區域形成步驟，係至少於前述第一半導體層形成步驟之後，自包含前述施體雜質或受體雜質之前述第一半導體層使該雜質擴散，從而於前述柱狀半導體形成第一半導體區域。

前述電路元件形成步驟較佳係包含：在前述柱狀半導體之外周部形成第三絕緣層，並於前述第三絕緣層之外周部形成閘極導體層之步驟；於前述閘極導體層之上方部位且為前述柱狀半導體之表層部，形成與前述第一半導體區域為相同導電型之第四半導體區域之步驟；以及於前述柱狀半導體中，在前述第三絕緣層之上方部位形成與前述第一半導體區域為相反導電型之第三半導體區域之步驟。

前述電路元件形成步驟較佳係包含：在前述柱狀半導體之外周部形成第三絕緣層，並於前述第三絕緣層之外周部形成閘極導體層之步驟；以及於前述柱狀半導體之前述第三絕緣層之上方部位形成與前述第一半導體區域為相同導電型之第五半導體區域之步驟。

前述電路元件形成步驟較佳係包含：於前述柱狀半導

體之上方部位，形成與前述第一半導體區域為相反導電型之第六半導體區域之步驟。

前述第一半導體層形成步驟較佳係包含：在與前述第一半導體之同層，形成作為電阻發揮功能之第二半導體層之步驟。

係以下述步驟為佳：前述第一半導體層形成步驟係包含，於作為電容電極發揮功能之前述第一半導體層上之預定區域形成作為電容絕緣膜發揮功能之絕緣膜之步驟；前述導體層形成步驟係包含，於前述絕緣膜上形成與前述第一半導體層一同作為電容電極發揮功能之導體層之步驟。

係以下述步驟為佳：前述第一絕緣層形成步驟係包含，於前述半導體基板上與第一絕緣層一同形成第四絕緣層，並於預先設定之電容形成區域，形成較前述第四絕緣層的厚度為薄，並作為電容絕緣膜發揮功能之第五絕緣層之步驟；前述導體層形成步驟係包含，於前述第五絕緣層上形成作為電容電極發揮功能之導體層之步驟；前述第一或第二絕緣層形成／去除步驟係包含，於前述電容形成區域形成具有施體雜質或受體雜質並作為電容電極發揮功能之雜質層之電容形成步驟。

係以復具備下述步驟為佳：於前述半導體基板上設定遮罩對準標記形成區域之遮罩對準標記形成區域設定步驟；於前述遮罩對準標記形成區域形成遮罩對準孔，並使前述絕緣層去除區域、前述第一絕緣層以及前述導體層其中至少一者露出之步驟；透過前述遮罩對準孔，而形成由

前述絕緣層去除區域、前述第一絕緣層以及前述導電層中之至少一者所構成之遮罩對準標記之遮罩對準標記形成步驟；以及以前述遮罩對準標記為基準進行光罩之遮罩對準之遮罩對準步驟。

係以下述方式為佳：復具備於前述遮罩對準孔埋入透明絕緣體之步驟；且於前述遮罩對準標記形成步驟中，係透過前述透明絕緣體而形成由前述絕緣層去除區域、前述第一之絕緣層以及前述導體層中之至少一者所構成之遮罩對準標記；於前述遮罩對準步驟中，係以前述遮罩對準標記為基準進行光罩之遮罩對準。

係復具備下述步驟為佳：於前述第一或第二絕緣層形成／去除步驟與前述第一半導體層形成步驟之間，以覆蓋前述絕緣層去除區域之方式形成未摻雜有施體雜質及受體雜質之第二半導體層之步驟。

前述第二絕緣層形成／去除步驟較佳係包含：將形成前述柱狀半導體之區域之周邊的前述半導體基板進行蝕刻之半導體基板蝕刻步驟；在經過前述蝕刻之區域之前述半導體基板上形成前述第一絕緣層之步驟；以及在由於前述蝕刻而露出之前述半導體基板與位於該露出之半導體基板周邊的前述第一絕緣層上，形成前述第一半導體層之步驟。

前述第2絕緣層形成／去除步驟較佳係包含：將形成前述柱狀半導體之區域之前述半導體基板之周邊的區域選擇性氧化而形成作為前述第一絕緣層的選擇氧化層之步驟。

係以包含下述步驟為佳：將形成至少兩個以上之互相分離的前述第一絕緣層之區域，於形成前述柱狀半導體之區域之前述半導體基板上形成之步驟；以及形成：由前述互相分離的區域之前述第一絕緣層所圍繞，且在露出之前述半導體基板的表面上互相分離並摻雜有施體或受體之複數個前述第一半導體層，以及連接於前述第一半導體層之前述半導體層之步驟。

本發明之第二觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：前述柱狀半導體係具備，由形成於前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵半導體所構成之第二半導體區域；由前述第二半導體區域與前述第四半導體區域形成用以儲存藉由照射電磁能量波而產生的訊號電荷之二極體；形成有接面電場效果電晶體，其係以前述二極體作為閘極發揮功能，並以前述第一半導體區域與前述第三半導體區域之任一方作為源極，另一方作為汲極各自發揮功能，且設成可藉由訊號取出手段取出流通於形成在前述第二半導體區域之通道並因應儲存於前述二極體之訊號電荷量而變化的電流；以及形成訊號電荷去除手段，其係藉由以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第四半導體區域之一方作為源極發揮功能而另一方作為汲極發揮功能之 MOS 電晶體，於前述閘極導體層施加電壓，藉此將儲存於前述二極體之訊號電荷自前述第一半導體區域去除。

本發明之第三觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：前述柱狀半導體係具備，由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型或本徵半導體所構成之第二半導體區域；且形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而另一方作為汲極發揮功能。

本發明之第四觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：前述柱狀半導體係於前述第一半導體區域與第六半導體區域之間具備有，由與前述第一半導體區域為相反導電型或本徵半導體所構成之第二半導體區域；且由前述第二半導體區域與前述第六半導體區域形成有二極體。

本發明之第五觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：於前述第一半導體層上形成有複數個前述柱狀半導體；且前述複數個柱狀半導體係由在前述第一半導體區域摻雜有受體雜質之複數個第一柱狀半導體，以及在前述第一半導體區域摻雜有施體雜質之複數個第二柱狀半導體所構成。

本發明之第六觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，

其特徵在於：於前述第一半導體層上形成有複數個前述柱狀半導體；且於前述複數個柱狀半導體中，複數個前述第一半導體區域以及複數個前述導電層內之兩方或一方係互相連接。

本發明之第七觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：於前述第一半導體層上形成有複數個前述柱狀半導體；前述各柱狀半導體係具備：第二半導體區域，由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵半導體所構成；第五半導體區域，係形成於前述第二半導體區域上；第三絕緣層，係形成於前述第二半導體的外周部；以及閘極導體層，係形成於前述第三絕緣層之外周部；且係形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而另一方作為汲極發揮功能；而前述第一半導體層係以遍及前述複數個柱狀半導體而連續連接的方式形成，並且前述以連接之方式所形成的前述第一半導體層係經由形成於絕緣層之接觸孔，來連結於用以連接至外部電路之配線層。

本發明之第八觀點之半導體裝置，係為依據本發明之第一觀點之半導體裝置的製造方法所製造之半導體裝置，其特徵在於：於前述第一半導體層上形成有複數個前述柱狀半導體；前述各柱狀半導體係具備：第二半導體區域，

由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵半導體所構成；第五半導體區域，係形成於前述第二半導體區域上；第三絕緣層，係形成於前述第二半導體區域之外周部；以及，閘極導體層，係形成於前述第三絕緣層之外周部；且係形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而以另一方作為汲極發揮功能；而前述第一半導體層係以遍及前述複數個柱狀半導體而連續連接的方式形成，並且前述第一半導體層係經由形成於絕緣層之接觸孔來連接於用以連接至預定電晶體的閘極之配線層。

(發明之效果)

依據本發明，可提供實現高積體化、高速動作化之半導體裝置。

【實施方式】

於下述，係針對本發明實施形態之半導體裝置的製造方法，一面參照第 1 圖至第 16 圖一面進行說明。

(第 1 實施形態)

於第 1A 圖至第 1L 圖係顯示本發明第 1 實施形態之固態影像感測裝置的製造方法。

於本實施形態之固態影像感測裝置的製造方法中，如第 1A 圖所示，藉由將高濃度氫離子(H^+)離子摻雜至由 P 型矽所構成之第一半導體基板 1 的預定深度，從而形成用以將第一半導體基板 1 分離為上下二個部分之分離層 2(參照

非專利文獻 2)。再者，於第一半導體基板 1 上，藉由熱氧化或者 CVD (Chemical Vapor Deposition, 化學氣相沉積) 法而形成屬於絕緣膜之第一氧化矽層 3。並且，第一半導體基板 1 係可以實質上不含有雜質之本徵半導體 (i 型矽) 來替代 P 型矽。

接著，如第 1B 圖所示，於第一氧化矽層 3 中，係藉由去除相當於形成固態影像感測裝置的訊號線用汲極之部分之氧化矽 (SiO_2)，而形成屬於氧化矽去除區域 48 (參照第 11A 圖、第 13A 圖) 之孔 4。

接著，如第 1B 圖所示，以覆蓋此孔 4 之方式，藉由 CVD 法將多結晶矽層 5 形成於第一氧化矽層 3 及第一半導體基板 1 之上。

接著，如第 1C 圖所示，藉由將磷 (P) 或者砷 (As) 等施體雜質離子摻雜至此多結晶矽層 5，而於第一半導體基板 1 及第一氧化矽層 3 上形成成為固態影像感測裝置的訊號線之 N^+ 多結晶矽層 5a。

接著，如第 1D 圖所示，於 N^+ 多結晶矽層 5a 上藉由氣相沉積法或者 CVD 法，而形成由鎢 (W)、矽化 (silicide) 鎢 (WSi)、鎳 (Ni)、矽化鎳 (NiSi) 等所構成之單層，或者積層複數此等層所構成之金屬層 7。

接著，如第 1E 圖所示，藉由使用遮罩 (mask) 之蝕刻 (etching) 處理，以於 N^+ 多結晶矽層 5a 及金屬層 7 中殘存有埋入孔 4 之部分之方式，而將 N^+ 多結晶矽層 5a 及金屬層 7 成形為預定之形狀。在此 N^+ 多結晶矽層 5a 上係形成

有固態影像感測裝置的畫素之接面電場效果電晶體的源極或者汲極。

接著，如第 1F 圖所示，以覆蓋 N^+ 多結晶矽層 5a、金屬層 7 及第一氧化矽層 3 之方式，藉由 CVD 法形成屬於絕緣膜之第二氧化矽層 8。並且，將該第二氧化矽層 8 的表面藉由 CMP (Chemical Mechanical Polishing; 化學機械研磨) 予以平坦化。

接著，如第 1G 圖所示，準備由矽 (Si) 所構成且表面經過平坦化之第二半導體基板 9，並將該第二半導體基板 9 的經過平坦化之表面與第二氧化矽層 8 的經過平坦化之表面彼此藉由壓接予以接著。就此接著處理而言，彼此的熱膨脹率的差異較小，且第二半導體基板 9 之矽層與第二氧化矽層 8 之矽層係互相接著，故可得到不容易因兩接著構件的熱膨脹係數不同而導致產生彎曲、裂縫、剝離之積層構造。

接著，如第 1H 圖所示，藉由 400°C 至 600°C 之熱處理，於第一半導體基板 1 中，去除以分離層 2 為邊界之下方部分而將第一半導體基板 1 薄化至預定的厚度 (就第 1H 圖而言，係將第 1A 圖至第 1G 圖之圖式的上下關係反轉顯示)。
於此， N^+ 多結晶矽層 5a 係為對應於第 14 圖所示之 N^+ 型矽層 51 者，就本實施形態而言，於 N^+ 多結晶矽層 5a 係遍及其全部的形成區域而接合有金屬層 7。

接著，如第 1I 圖所示，於第一半導體基板 1 中，係以 N^+ 多結晶矽層 5a 的正上方區域之矽層會殘留之方式，而藉

由蝕刻去除該正上方區域之矽層以外的區域之矽層。藉此形成具有柱狀構造之矽(Si)柱 1a。此矽柱 1a 係成為第 1K 圖、第 1L 圖等所示之 P 型矽層 30。

接著，如第 1J 圖所示，係進行熱處理而使施體雜質從 N^+ 多結晶矽層 5a 熱擴散至矽柱 1a，並於矽柱 1a 下方部分形成 N^+ 擴散層 6a。

接著，如第 1K 圖所示，進行熱氧化而於矽柱 1a 之外周部形成屬於絕緣體之第三氧化矽層 10a、10b。再者，藉由氣相沉積法或 CVD 法而於第三氧化矽層 10a、10b 之外周部形成閘極導體層 11a、11b。

接著，如第 1K 圖所示，藉由將磷(P)或砷(As)等施體雜質離子摻雜至閘極導體層 11a、11b 的上方部位且為矽柱 1a 的表層部，而形成 N 型矽層 12a、12b。由此 N 型矽層 12a、12b、及矽柱 1a 的 P 型矽層 30，係形成光電二極體作為儲存因應入射光之訊號電荷(此時係為電子)之訊號電荷儲存手段。訊號電荷係儲存於 N^+ 擴散層 6a 與 P^+ 型矽層 13a 之間之矽柱 1a(P 型矽層 30)。

接著，如第 1K 圖所示，於矽柱 1a 中，藉由將硼(boron)(B)等受體(acceptor)雜質離子摻雜至第 3 氧化矽層 10a、10b 的上方部位，而形成 P^+ 型矽層 13a。並且，將此 P^+ 型矽層 13a 電性連接於畫素選擇金屬配線 14a、14b。

再者，如第 1L 圖所示，係鄰接於構成固態影像感測裝置的畫素之矽柱 1a，且於構成另外的畫素之矽柱 1b 的外周部，藉由熱氧化而形成屬於絕緣體之第三氧化矽層 10c、

10d。此矽柱 1b 係與矽柱 1a 同樣地為藉由第 1A 圖至第 1K 圖所示之步驟所形成者。

接著，如第 1L 圖所示，於第 3 氧化矽層 10c、10d 的外周部，藉由氣相沉積法或 CVD 法而形成閘極導體層 11c、11d。

接著，如第 1L 圖所示，藉由將磷(P)或砷(As)等施體雜質離子摻雜至閘極導體層 11c、11d 的上方部位且為矽柱 1a 的表層部，而形成 N 型矽層 12c、12d。由此 N 型矽層 12c、12d、及矽柱 1b，形成光電二極體作為儲存因應入射光之訊號電荷(此時係為電子)之訊號電荷儲存手段。訊號電荷係儲存於 N⁺擴散層 6ab 與 P⁺型矽層 13b 之間之矽柱 1b(P 型矽層 30)。

接著，如第 1L 圖所示，於矽柱 1a 中，於第 3 氧化矽層 10c、10d 的上方部位，藉由將硼(B)等受體雜質離子摻雜至矽柱 1b 而形成 P⁺型矽層 13b。

並且，將此 P⁺型矽層 13a、13b 電性連接於畫素選擇金屬配線 14c、14d。藉由以上步驟而形成固態影像感測裝置之複數個畫素。

並且，就本實施形態而言，於第 1J 圖所示之步驟中，藉由熱處理使施體雜質從 N⁺多結晶層 5a 熱擴散至矽柱 1a 而形成矽柱 1a 內之 N⁺擴散層 6a。不限於此，亦可藉由在形成第 1C 圖所示之 N⁺多結晶矽層 5a 後之任意的階段之熱處理，使施體雜質從 N⁺多結晶矽層 5a 擴散至第一半導體基板 1 內而形成 N⁺擴散層 6a。亦即，亦可於第 1C 圖所示

之形成 N^+ 多結晶矽層 5a 之步驟以後，藉由從含有施體雜質之 N^+ 多結晶矽層 5a 使該雜質擴散而於矽柱 1a 形成 N^+ 擴散層 6a。例如，亦可在第 1K 圖所示之階段中，在形成矽柱 1a(P 型矽層 30) 之後形成 N^+ 擴散層 6a。再者，用以形成如此之 N^+ 擴散層 6a 之熱處理係可僅進行一次，亦可分為複數次進行。

依據上述第 1A 圖至第 1L 圖所示之步驟，而形成本實施形態之固態影像感測裝置。再者，於各矽柱 1a、1b 係形成有固態影像感測裝置的畫素。

就本實施形態而言，係參照第 1L 圖，形成於矽柱 1a、1b 之下方，且互相接合之 N^+ 多結晶矽層 5a 及金屬層 7 係構成固態影像感測裝置的訊號線，並將二個矽柱 1a、1b 之 N^+ 擴散層 6a、6ab 互相電性連接。據此，由 N^+ 多結晶矽層 5a 及金屬層 7 所構成之訊號線被予以低電阻化，而實現固態影像感測裝置之高速驅動化。

就本實施形態，於矽柱 1a、1b 內之中，係形成有接面電場效果電晶體。就此接面電場效果電晶體而言，由 N 型矽層 12a、12b(12c、12d) 以及 P 型矽層 30 所構成之光電二極體係作為閘極，且 P^+ 型矽層 13a、13b 作為汲極，而 N^+ 擴散層 6a、6b 作為源極分別發揮功能。並且，於矽柱 1a、1b 內，係形成有此接面電場效果電晶體之通道。

再者，就本實施形態而言，係設有將藉由接面電場效果電晶體而流動於矽柱 1a、1b 內的通道，並因應儲存於上述光電二極體之訊號電荷量而變化之電流作為電訊號取出

之外部電路，而作為訊號取出手段。

再者，第 1L 圖所示之矽柱 1a、1b 係形成有將儲存於上述光電二極體之訊號電荷於 N^+ 擴散層 6a、6ab 予以去除之 MOS 電晶體，而作為訊號電荷去除手段。

就此 MOS 電晶體而言，係以圍繞矽柱 1a、1b 之方式，而形成於第 3 氧化矽層 10a、10b、10c、10d 的外周面之間極導體層 11a、11b、11c、11d 作為閘極， N^+ 擴散層 6a、6ab 作為汲極，且 N 型矽層 12a、12b、12c、12d 作為源極分別發揮功能。並且，於 P 型矽層 30 內係形成有此 MOS 電晶體之通道。

就本實施形態而言，係如第 1G 圖所示，第 2 半導體基板 9 的矽層與第 1 半導體基板 1 上的第 2 氧化矽層 8 係在經過平坦化之彼此的表面之間予以接著。就如此之本實施形態而言，係在第一半導體基板 1 及第二半導體基板 9 的全面中，接著親和性較高之 Si(矽)面與 SiO_2 (氧化矽)面之間進行第一半導體基板 1(第二氧化矽層 8)與第二半導體基板 9 的接著，故可得到不容易產生彎曲、裂縫、剝離之積層構造。

再者，就本實施形態而言，於固態影像感測裝置的畫素中構成訊號線之 N^+ 多結晶矽層 5a 係接合有金屬層 7。此 N^+ 多結晶矽層 5a 與金屬層 7 亦可藉由在到達第 1K 圖之步驟之熱處理或者追加的熱處理，而藉由 N^+ 多結晶矽層 5a 與金屬層 7 之反應形成矽化層。不論此等之任意情形， N^+ 多結晶矽層 5a 及金屬層 7、或者此等之矽化層皆被予以低

電阻化，故可降低畫素與該畫素的周邊電路之間之電阻。據此，與以往例之固態影像感測裝置比較，即便於畫素數增加、或者於每單位時間之讀出畫面數增加時，亦可實現固態影像感測裝置之高速動作化。

再者，就本實施形態而言，係參照第 1K 圖，由 P 型矽層 30 與 N 型矽層 12a、12b 所構成之 PN 接合部(光電二極體)、及由 P 型矽層 30 與 N⁺擴散層 6a 所構成之 PN 接合部，皆形成於由單結晶矽所構成之矽柱 1a 內。由於 PN 接合部係以此方式於單結晶矽內形成，故可構成洩漏(leak)電流較低之固態攝影感測裝置的畫素。

再者，就本實施形態而言，從構成畫素之矽柱 1a、1b(參照第 1L 圖)的上方部射入之光束係到達屬於光電變換區域之矽柱 1a，且被金屬層 7 所反射，故矽柱 1a 內之光路徑長係增加，而實現固態影像感測裝置之靈敏度提升。再者，就本實施形態而言，即便降低矽柱 1a、1b 之高度，亦可得到與以往例相同之靈敏度，故可得到一面獲致與以往例相同之靈敏度一面使固態影像感測裝置的製造變得容易之功效。

並且，於本實施形態中，如第 1B 圖所示，係以填埋(覆蓋)孔 4 之方式，藉由 CVD 法而在第一氧化矽層 3 及第一半導體基板 1 上形成成為 N⁺多結晶矽層 5a 之多結晶矽層 5。亦可藉由磊晶(epitaxial)成長形成單結晶矽層來替代如此之藉由 CVD 法形成多結晶矽層 5。於使用磊晶成長之情形時，亦可於第一氧化矽層 3 上形成單結晶矽層，故可於

之後與第 1C 圖至第 1K 圖所示之步驟同樣地形成固態影像感測裝置。

再者，於第 1H 圖中，於第一半導體基板 1 中，係以分離層 2 為邊界，藉由 400 至 600°C 之熱處理將下方部分予以去除，而藉此將第一半導體基板 1 薄化至預定的厚度。係不限於此，亦可將使用由 P⁺型基板及於此 P⁺型基板藉由磊晶成長而形成之 P 型矽層所構成之基板作為第一半導體基板 1，並藉由蝕刻及 CMP 來進行第一半導體 1 的薄膜化。

(第 2 實施形態)

於下述，係參照第 2 圖說明本發明之第 2 實施形態之具有 SGT(Surrounding Gate Transistor)之半導體裝置的製造方法。

就本實施形態而言，於第 1 實施形態之第 1A 圖至第 1L 圖所示之步驟中，至第 1A 圖至第 1J 圖所示之步驟為止，係設為將於第 1J 圖中構成訊號線之 N⁺多結晶矽層 5a 置換為於 SGT 中作為汲極發揮功能之 N⁺多結晶矽層 55a 者。與第 1 實施形態(參照第 1J 圖)相同地，於 N⁺多結晶矽層 55a 係接合有金屬層 7，且藉由來自 N⁺多結晶矽層 55a 的施體雜質之熱擴散而於矽柱 1a 內形成有 N⁺擴散層 6a。

就本實施形態而言，係接著第 1J 圖，於第 2 圖所示之步驟中，藉由氧化法或者 CVD 法而於矽柱 1a 的外周部形成閘極絕緣層 15a、15b，並於閘極絕緣層 15a、15b 的外周部形成作為 SGT 的閘極發揮功能之閘極導體層 16a、16b。

接著，於矽柱 1a 中，係藉由將磷(P)或砷(As)等施體雜質藉由離子摻雜，而在閘極導體層 16a, 16b 的上方部位形成作為 SGT 的源極發揮功能之 N^+ 型矽層 17a。

接著，於該 N^+ 型矽層 17a 上係藉由氣相沉積法及圖案蝕刻(pattern etching)而形成金屬配線層 18a。

依據上述，N 通道型 SGT 係形成於第二半導體基板 9 上。於此， N^+ 擴散層 6a、 N^+ 多結晶矽層 55a 係於 N 通道型 SGT 中作為源極或者汲極發揮功能。

依據本實施形態，於 SGT(N 通道型 SGT) 中，金屬層 7 係接合於作為汲極發揮功能之 N^+ 多結晶矽層 55a 的背面整體。藉由此構成，係減低從金屬層 7 至 N^+ 擴散層 6a 為止之電阻，故可得到實現高速動作化之 SGT。

(第 3 實施形態)

於下述，係參照第 3A 圖、第 3B 圖說明本發明之第 3 實施形態之具有 SGT 之半導體裝置的製造方法。就本實施形態而言，係將 N 通道型 SGT 及 P 通道型 SGT 形成於同一個半導體基板上。本實施形態及其變形例之半導體裝置的製造步驟，除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係參照第 3A 圖、第 3B 圖，於第 1 半導體基板 1 上，係將 N 通道型 SGT、P 通道型 SGT 分別形成於 N 通道型 SGT 形成區域 1n、P 通道型 SGT 形成區域 1p。

係與第 1 實施形態之第 1A 圖至第 1J 圖、第 2 實施形

態之第 2 圖所示之步驟同樣地形成 N 通道型 SGT 形成區域 1n 之 N 通道型 SGT。

另一方面，係與第 1 實施形態之第 1A 圖至第 1J 圖、第 2 實施形態之第 2 圖所示之步驟大致相同地形成 P 通道型 SGT 形成區域 1p 之 P 通道型 SGT。然而，就對應於第 1C 圖之步驟而言，係藉由離子摻雜硼(B)等受體雜質，而於 P 通道型 SGT 形成區域 1p 之多結晶層 5 形成作為 P 通道型 SGT 的源極發揮功能之 P⁺擴散層 6a、P⁺多結晶矽層 55b，來替代形成作為 N 通道型 SGT 的汲極發揮功能之 N⁺多結晶矽層 55a。

接著，經過對應於第 1D 圖至第 1J 圖之步驟、對應於第 2 圖之步驟，係如第 3B 圖所示，形成有由矽柱 1a 所構成之 N 通道型 SGT、及由矽柱 1b 所構成之 P 通道型 SGT。並且，就矽柱 1b 而言，於 P 通道型 SGT 之矽柱 1b(P 型矽)，係藉由離子摻雜磷(P)或砷(As)等施體雜質而形成 N 型矽層 30a。

於此，就對應於第 1J 圖之步驟而言，係藉由熱處理而從 N⁺多結晶矽層 55a、P⁺多結晶層 55b 分別使施體雜質、受體雜質熱擴散至矽柱 1a、1b 中，而形成 N⁺擴散層 6a、P⁺擴散層 6b。

再者，就對應於第 2 圖之步驟而言，係藉由熱氧化或者 CVD 法而在矽柱 1a、1b 的外周部形成閘極絕緣層 15a、15b、15c、15d，並在閘極絕緣層 15a、15b、15c、15d 的外周部，藉由 CVD 法形成閘極導體層 16a、16b、16c、16d(參

照第 3B 圖)。

並且，就第 3B 圖所示之步驟而言，於矽柱 1a、1b 中，在閘極導體層 16a、16b、16c、16d 的上方部位，藉由分別離子摻雜施體雜質、受體雜質，而形成作為 N 通道型 SGT 的源極或者汲極發揮功能之 N^+ 型矽層 17a、及作為 P 通道型 SGT 的源極或者汲極發揮功能之 P^+ 型矽層 17b。

接著，於第 3B 圖所示之步驟中，係以電性連接於 N 通道型 SGT 之 N^+ 型矽層 17a、P 通道型 SGT 之 P^+ 型矽層 17b 之方式，藉由例如氣相沉積法及蝕刻而形成金屬配線層 18a、18b。

依據上述，係將 N 通道型 SGT 及 P 通道型 SGT 形成於第二半導體基板 9 上。

就本實施形態而言，N 通道型 SGT 之矽柱 1a 內之 N^+ 多結晶矽層 55a 及 N^+ 擴散層 6a、與 N^+ 型矽層 17a 係若有一方為汲極，則另一方會作為源極發揮功能。再者，P 通道型 SGT 之矽柱 1b 內之 P^+ 多結晶矽層 55b 及 P^+ 擴散層 6b、與 P^+ 型矽層 17b 係若有一方為汲極，則另一方會作為源極發揮功能。

依據本實施形態，可容易地於第二半導體基板 9 上形成 N 通道型 SGT 及 P 通道型 SGT。

就本實施形態而言，於形成 N 通道型 SGT 的矽柱 1a (P 型矽層 30) 之後，係於 P 通道型 SGT 的矽柱 1b (P 型矽柱)，藉由離子摻雜磷 (P) 或砷 (As) 等施體雜質而形成 N 型矽層 30a。係不限於此，可將第 1A 圖之第一半導體基板 1 設為

屬於未摻雜雜質之本徵半導體之 i 型矽來取代 P 型矽，且於對應於第 1I 圖之步驟中，於 N 通道型 SGT 之矽柱 1a 係離子摻雜硼(B)等受體雜質而形成 P 型矽層 30，並於 P 通道型 SGT 之矽柱 1a，藉由離子摻雜磷(P)或砷(As)等施體雜質而形成 N 型矽層 30a 來作為本實施形態之變形例。

再者，就本實施形態而言，亦可對矽柱 1a、1b 兩者皆使用本徵半導體，並將矽柱 1a、1b 內部之本徵半導體設為 N 通道型、P 通道型 SGT 之通道。

(第 4 實施形態)

於下述，係參照第 4 圖說明本發明之第 4 實施形態之具有複數個 SGT 之半導體裝置的製造方法。

就本實施形態而言，係與第 3 實施形態相同地將 N 通道型 SGT、P 通道型 SGT 分別形成於 N 通道型 SGT 形成區域 1n、P 通道型 SGT 形成區域 1p(參照第 3A 圖、第 3B 圖)。

就本實施形態而言，係與第 1 及第 3 實施形態大致相同地將 N 通道型 SGT 及 P 通道型 SGT 形成於屬於同一個半導體基板之第 2 半導體基板 9 上(參照第 1A 至第 1J 圖、第 3A 圖、第 3B 圖)。然而，就對應於第 1E 圖之步驟而言，係如第 4 圖所示，於複數個 N 通道型 SGT、P 通道型 SGT 中，將作為源極發揮功能之 N^+ 多結晶矽層 55a、作為汲極發揮功能之 P^+ 多結晶矽層 55b 彼此藉由延長金屬層 7aa、7bb 而電性連接。

亦即，就本實施形態而言，於對應於第 1D 圖之步驟中，以覆蓋會成為 N^+ 多結晶矽層 55a、 P^+ 多結晶矽層 55b

的矽層之方式，藉由氣相沉積法及蝕刻而形成金屬層 7。並且，係藉由蝕刻而將金屬層 7、 N^+ 多結晶矽層 55a、及 P^+ 多結晶矽層 55b 成形為預定之形狀。藉此，係如第 4 圖所示，分別形成 N^+ 多結晶矽層 55a、 P^+ 多結晶矽層 55b、及第一連接用金屬層 7a、7b。

就本實施形態而言，係接著對應於第 3B 圖之步驟，且參照第 4 圖，而於第一連接用金屬層 7a 上形成氧化矽層 20，並在該氧化矽層 20 形成接觸孔 21c。接著，係經由接觸孔 21c 及第一連接用金屬層 7a，將 N^+ 多結晶矽層 55a 及 P^+ 多結晶矽層 55b 與形成於氧化層 20 的上部之外部金屬配線層 22c 連接。

再者，就本實施形態的第 4 圖而言，於 N 通道型 SGT 之 N^+ 多結晶矽層 55a、P 通道型 SGT 之 P^+ 多結晶矽層 55b 之背面整體，係分別接合有金屬層 77aa、77bb。並且，於複數個矽柱 1a、1b 中， N^+ 擴散層 6a、6b 以及複數個金屬層 7aa、7bb 係互相連接。

並且，於本實施形態中，就第 4 圖而言， N^+ 擴散層 6a、 N^+ 多結晶矽層 55a 係作為 N 通道型 SGT 的源極或者汲極， P^+ 多結晶矽層 55b 係作為 P 通道型 SGT 的源極或者汲極而分別發揮功能。

如上述，依據本實施形態，於複數個 SGT 中，由 N^+ 多結晶矽層 55a、 P^+ 多結晶矽層 55b 所構成之源極、汲極彼此係並非於在氧化矽層 20 的上表面中形成有金屬配線 22a、22b、22c 之區域經由接觸孔等而被拉出之狀態下互

相連接，而為藉由延長第一連接用金屬層 7a 而互相電性連接。據此，可提高具有 SGT 之電路元件之積體度。

再者，本實施形態之半導體裝置的製造方法係可適用於固態影像感測裝置的製造方法。此時，在例如非專利文獻 1 所記載之將複數個畫素訊號藉由一個放大用 MOS 電晶體而讀出之構成之固態影像感測裝置中，係將各畫素之汲極彼此互相藉由第一連接用金屬層 7a 予以連接。此時，各畫素之汲極、源極係無須在經由接觸孔等而與上層部的其他金屬配線連接之狀態下互相連接。因此，可實現固態攝影裝置的畫素之更進一步之高積體化。

(第 5 實施形態)

於下述，係參照第 5A 圖至第 5C 圖說明本發明之第 5 實施形態之於半導體裝置形成電阻之方法。本實施形態及其變形例之半導體裝置的製造步驟，除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係藉由使用第 1B 圖所示之在第一半導體基板 1 上所形成之多結晶矽層 5，來形成屬於半導體裝置的電路元件之電阻。

就本實施形態而言，就第 1A 圖所示之步驟而言，於第一半導體基板 1 的預定之深度，係形成用以將此第一半導體基板 1 分離為上下二個部分之分離層 2，並於第一半導體基板 1 上形成屬於絕緣體之第一氧化矽層 3。

接著，就第 1B 圖所示之步驟而言，係於該第一氧化矽層 3 上形成多結晶矽層 5，且就第 1C 圖所示之步驟而言，

於此多結晶矽層 5，係藉由離子摻雜磷(P)或砷(As)等施體雜質而形成 N^+ 多結晶矽層 5a。

就本實施形態而言，於第 1B 圖、第 1C 圖所示之步驟中，係如第 5A 圖所示，於第一氧化矽層 3 上之多結晶矽層 5 的預定區域，藉由以預定之濃度離子摻雜磷(P)或砷(As)等施體雜質而形成 N^+ 多結晶矽層 23a、23b。藉由此 N^+ 多結晶矽層 23a、23b、未離子摻雜有施體雜質之多結晶矽層 23、或者摻雜有預定之雜質之多結晶矽層 23，多結晶矽層 5 的預定區域(多結晶矽層 23)之電阻值係下降，從而形成電阻。如此， N^+ 多結晶矽層 23a、23b、及多結晶矽層 23 係與 N^+ 多結晶矽層 5a(參照第 1C 圖)相同地由多結晶矽層 5(參照第 1B 圖)而形成，故位於與 N^+ 多結晶矽層 5a 同層之位置。

接著，就第 1D 圖所示之步驟而言，係將位於與金屬層 7 同層之金屬配線層 24a、24b 與金屬層 7 相同地形成於 N^+ 多結晶矽層 23a、23b 上。

依據本實施形態，係於多結晶矽層 5 的預定區域，形成藉由離子摻雜預定濃度之施體雜質而具有預定電阻值之 N^+ 多結晶矽層 23a、23b、及多結晶矽層 23。再者， N^+ 多結晶矽層 23a、23b、及多結晶矽層 23 係形成於與 N^+ 多結晶矽層 5a 同層。據此，於同一個半導體基板上，係不僅可與固態影像感測裝置、SGT 等半導體裝置一起製作電阻(電路元件)，亦可將製造步驟簡略化。

再者，就本實施形態而言，係參照第 5B 圖，藉由第

1B 圖所示之步驟形成多結晶矽層 25，且藉由蝕刻形成為預定之形狀後，藉由氣相沉積法或 CVD 法而形成連接於該多結晶矽層 25 之金屬配線層 26a、26b。以如此方式，亦可藉由多結晶矽層 25 形成半導體裝置之電阻。

再者，就本實施形態之變形例而言，係參照第 5C 圖，於第二半導體基板 9 上形成第二氧化矽層 8，且在該第二氧化矽層 8 上，藉由上述方法形成 N^+ 多結晶矽層 23a、23b 及多結晶矽層 23。之後，亦可於 N^+ 多結晶矽層 23a、23b 及多結晶矽層 23 上形成第一氧化矽層 3，且於該第一氧化矽層 3 上形成氧化矽層 20(參照第 4 圖)。並且，就第 5C 圖而言，係由 N^+ 多結晶矽層 23a、23b 及多結晶矽層 23 形成第 5A 圖所示之電阻。

再者，就本實施形態及第 5C 圖所示之變形例而言，係參照第 4 圖，於第一氧化矽層 3 上係形成有具有 SGT 之電路元件或者金屬配線。

再者，就第 5C 圖所示之變形例而言，構成電阻之多結晶矽層 23 係形成於屬於絕緣體之第一氧化矽層 3 的下方。

依據本變形例，如第 5C 圖所示，於 SiO_2 層(第一氧化矽層 3)之上下，可以與構成電阻之多結晶矽層 23 重疊之方式，而形成第 4 圖所示之電路元件的金屬配線層 22a、22b、22c。據此，可實現具有電阻之半導體裝置(電路元件)之更進一步的高積體化。

(第 6 實施形態)

於下述，係參照第 6A 圖至第 6C 圖，說明本發明第 6

實施形態之將電容形成於半導體裝置之方法。本實施形態之半導體裝置的製造步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係藉由使用第 1B 圖所示之形成於第一半導體基板 1 上之多結晶矽層 5，而形成屬於半導體裝置的電路元件之電容。

於本實施形態中，就第 1A 圖所示之步驟而言，係於第一半導體基板 1 的預定深度，形成用以將此第一半導體基板 1 分離為上下二個部分之分離層 2，並在第一半導體基板 1 上形成屬於絕緣體之第一氧化矽層 3。

接著，就第 1B 圖所示之步驟而言，係在該第一氧化矽層 3 上形成多結晶矽層 5，且就第 1C 圖所示之步驟而言，係於此多結晶矽層 5，藉由離子摻雜磷(P)或者砷(As)等施體雜質而形成 N^+ 多結晶矽層 5a。

於此，接著第 1C 圖所示之步驟，係參照第 6A 圖，藉由熱氧化法或者 CVD 法而於 N^+ 多結晶矽層 5a 的表層部形成電容氧化矽層 27。

接著，參照第 6B 圖，藉由使用遮罩(mask)之蝕刻，而於形成電容之電容區域中，將作為電容絕緣膜發揮功能之電容氧化矽層 27 成形為預定之形狀。

並且，就第 1D 圖所示之步驟而言，係藉由氣相沉積法或者 CVD 法，而於成形為預定形狀之電容氧化矽層 27 上形成作為電容電極發揮功能之金屬層 28。此金屬層 28 係形成於與第 1 實施形態之金屬層 7 同層。

接著，藉由經過第 1E 圖至第 1H 圖、第 4 圖所示之各步驟，從而形成如第 6C 圖所示之積層構造。亦即，第二氧化矽層 8 形成於第二半導體基板 9 上，且於此第二氧化矽層 8 之內部中，在形成電容之電容區域係積層有做為電容電極發揮功能之金屬層 28、及積層於金屬層 28 作為電容絕緣膜發揮功能之電容氧化矽層 27。並且，於電容氧化矽層 27 及第二氧化矽層 8 上，可得到依序積層有 N⁺多結晶矽層 5a、第一氧化矽層 3 及氧化矽層 29(氧化矽層 20)之構造。就此構造而言，係形成金屬層 28 及 N⁺多結晶矽層 5a 作為電容電極發揮功能，並且電容氧化矽層 27 係作為電容絕緣膜發揮功能之電容。

就本實施形態而言，係於第 1 實施形態之固態影像感測裝置的製造方法之第 1D 圖至第 1H 圖所示之步驟中，追加於 N⁺多結晶矽層 5a 的表層形成絕緣層 27 之步驟(第 6A 圖)、及形成電容氧化矽層 27、金屬層 28 之步驟(參照第 6B 圖)。據此，係不僅於同一個半導體基板上形成固態影像感測裝置的畫素、SGT 等半導體裝置並形成電容(電路元件)，亦會將製造步驟簡略化。

(第 7 實施形態)

於下述，係參照第 7A 圖、第 7B 圖說明本發明第 7 實施形態之將電容形成於半導體裝置之方法。本實施形態之半導體裝置的製造步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係藉由使用第 1B 圖所示之形成於

第一半導體基板 1 上之多結晶矽層 5，而形成屬於半導體裝置的電路元件之電容。

於本實施形態中，就第 1A 圖所示之步驟而言，係於第一半導體基板 1 的預定深度，形成用以將此第一半導體基板 1 分離為上下二個部分之分離層 2，並在第一半導體基板 1 上形成屬於絕緣體之第一氧化矽層 3。

接著，就第 1B 圖所示之步驟而言，在形成多結晶矽層 5 之前，係於第一氧化矽層 3 上設定第 7A 圖所示之電容形成區域 100，並藉由蝕刻將此電容形成區域 100 之氧化矽予以去除，而藉此形成凹形狀之氧化矽層去除區域。亦即，就第 1B 圖所示之步驟而言，如第 7A 圖所示，係使氧化矽層 101a、101b 殘留於該氧化矽層去除區域的周圍，並使比氧化矽層 101a、101b 厚度更薄之氧化矽層 103 殘留於此氧化矽層去除區域。並且，將此氧化矽層 101a、101b 作為遮罩使用，且藉由將硼(B)等受體雜質予以離子摻雜或者熱擴散，而通過氧化矽層 103 將 P⁺擴散層 102 形成於電容形成區域 100 之第一半導體基板 1 的表層。並且，係參照第 1B 圖，於該第一氧化矽層 3 上以填埋氧化矽層去除區域之方式形成多結晶矽層 5。

接著，就第 1C 圖所示之步驟而言，於此多結晶矽層 5，藉由離子摻雜磷(P)或者砷素(As)等之施體雜質而形成 N⁺多結晶矽層 104(參照第 7A 圖)。

接著，就第 1D 圖所示之步驟而言，係藉由氣相沉積法或者 CVD 法於 N⁺多結晶矽層 104 上形成金屬層 105(參照第

7A 圖)。此金屬層 105 係形成於與第 1 實施形態之金屬層 7 同層。

接著，係與第 1E 圖所示之步驟同樣地，於形成電容之電容形成區域 100 中，將 N^+ 多結晶矽層 104、及形成於 N^+ 多結晶矽層 104 上且作為電容電極發揮功能之金屬層 105 成形為預定之形狀。

接著，於經過第 1 實施形態之第 1F 圖至第 1I 圖所示之步驟後，係參照第 7B 圖，使 P^+ 擴散層 102 殘留於矽柱 1a 中，並以覆蓋該 P^+ 擴散層 102 及氧化矽層 101a、101b 之方式形成氧化矽層 107。

接著，係參照第 7B 圖，於氧化矽層 107 形成接觸孔 108，且經由該接觸孔 108，將氧化矽層 107 上之金屬配線層 109 與 P^+ 擴散層 102 電性連接。

依據上述，係如第 7B 圖所示，於電容形成區域 100(參照第 7A 圖)形成有 N^+ 多結晶矽層 104、金屬層 105、及 P^+ 擴散層 102 係作為電容電極發揮功能，且氧化矽層 101a、101b 間之氧化矽層 103 係作為電容絕緣膜發揮功能之電容。

就本實施形態而言，係藉由將氧化矽層 101a、101b 作為遮罩使用，而將硼(B)等受體雜質予以離子摻雜或者熱擴散至第一半導體基板 1 而形成 P^+ 擴散層 102。係不限於此，亦可在形成氧化矽層 101a、101b 之前，藉由從均勻厚度之第一氧化矽層 3(參照第 1A 圖)上進行來自高加速電壓之離子摻雜，而於電容形成區域 100 以外之預定區域內形

成 P⁺擴散層 102。

依據本實施形態，根據第 7B 圖所示之構造，藉由接觸孔 108，而可從半導體裝置的任意場所進行各電容間之連接及取出往外部電路之電訊號。據此，可實現電路元件之更進一步之高積體化。

(第 8 實施形態)

於下述，係參照第 8A 圖至第 8C 圖說明本發明第 8 實施形態之將二極體形成於半導體裝置之方法。本實施形態及其變形例之半導體裝置的製造步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係藉由使用第 1B 圖所示之形成於第一半導體基板 1 上之多結晶矽層 5，而形成屬於半導體裝置的電路元件之二極體。

就本實施形態而言，藉由經過第 1 實施形態第 1A 圖至第 1I 圖所示之步驟，而如第 8A 圖所示於第二半導體基板 9 上形成第二氧化矽層 8，並於二極體形成區域 100a 從下方依序形成有金屬層 7、N⁺多結晶矽層 5a、矽柱 1a。再者，於第二氧化矽層 8 上，在 N⁺多結晶矽層 5a 之周圍形成有第一氧化矽層 3。

接著，在第 8A 圖所示之構造中，於藉由本微矽形成矽柱 1a 之情形時，係藉由離子摻雜硼(B)等受體雜質，而形成第 8B 圖所示之 P 型矽層 30。並且，於矽柱 1a 以第 1 實施形態之方式而形成為 P 型時，係不需要受體雜質之離子摻雜。

接著，係參照第 8B 圖，進行熱處理使施體雜質從 N^+ 多結晶矽層 5a 熱擴散至 P 型矽層 30 中，而將 N^+ 擴散層 6a 形成於 P 型矽層 30(矽柱 1a)之下方部。

接著，係參照第 8B 圖，於 P 型矽層 30(矽柱 1a)之上 方部位藉由離子摻雜硼(B)等受體雜質，而形成 P^+ 型矽層 31，並藉由氣相沉積法及蝕刻而於 P^+ 型矽層 31 上形成金屬層 32。

接著，係參照第 8B 圖，以覆蓋 P 型矽層 30 及金屬層 32 之方式形成氧化矽層 33，且於該氧化矽層 33 中在金屬層 32 上依序形成接觸孔 34、金屬配線層 35。據此，係經由接觸孔 34 電性連接金屬配線層 35 與金屬層 32。

就本實施形態而言，係藉由 P^+ 型矽層 31 及 P 型矽層 30 形成 pn 接合二極體。

依據本實施形態，於同一個半導體基板上，係不僅可形成固態影像感測裝置的畫素、SGT 等半導體裝置並形成二極體(電路元件)，亦可將製造步驟簡略化。

於第 8C 圖，係顯示於矽柱 1a 形成 PIN 光電二極體之本實施形態之變形例。就此變形例而言，於第 8 實施形態所示之矽柱 1a 形成有屬於本徵半導體之 i 型矽層 30b 以替代 P 型矽層 30。並且，於 i 型矽層 30b 上係形成有 P^+ 型矽層 31。並且，係藉由 i 型矽層 30b 及 P^+ 型矽層 31 形成 PIN 光電二極體。

於此 PIN 光電二極體中，係參照第 8C 圖，光束係從 P^+ 型矽層 31 的上部射入。因此，係以不妨礙該光束射入之

方式，於 P⁺型矽層 31 的外周區域形成用以連接 P⁺型矽層 31 與外部電路之金屬層 32。

依據本變形例之 PIN 光電二極體，係於 i 型矽層 30b 之整體或者廣範圍之區域形成空乏層，故可確保較廣之光電變換區域，並由於相當於電容形成區域的厚度之空乏層的厚度係變得較大，故可謀求低電容化。並且，此 PIN 光電二極體係作為光束連接(connection)檢光器，而形成於與半導體裝置的電路元件同一個半導體基板上。

由於本變形例之 PIN 光電二極體係作為光束開關(switch)發揮功能，故無輸入電路配線的電阻／電容所導致之 RC 延遲，而可實現電路輸入部之高速化、及電路整體之高速化。

依據本變形例，於同一個半導體基板上，係不僅可形成固態影像感測裝置的畫素、SGT 等半導體裝置且能形成 PIN 二極體(電路元件)，亦可將製造步驟簡略化。

(第 9 實施形態)

於下述，係參照第 9A 圖至第 9C 圖，說明關於本發明第 9 實施形態之使用 SGT 之 CMOS 反相器(invertor)電路。

於第 9A 圖係顯示本實施形態之使用 SGT 之 CMOS 反相器電路。如第 9A 圖所示，P 通道型 MOS 電晶體 37a 與 N 通道型 MOS 電晶體 37b 係串聯連接。P 通道型 MOS 電晶體 37a 與 N 通道型 MOS 電晶體 37b 的閘極彼此係經由閘極連接配線 38 而連接，且閘極連接配線 38 係連接於輸入端子配線 Vi。P 通道型 MOS 電晶體 37a 的源極係連接於電源端子配

線 Vdd·P 通道型 MOS 電晶體 37a 的汲極及 N 通道型電晶體 37b 的汲極係經由汲極連接配線 39 而連接於輸出端子配線 Vo，並連接於 N 通道型 MOS 電晶體 37b 之源極成為接地 (ground) 電位之接地端子配線 Vss。

於第 9B 圖係顯示使用此 SGT 之 CMOS 反相器電路之平面配置圖。

如第 9B 圖所示，以直線狀排列配置有接觸孔 41c、矽柱 40a、接觸孔 41a、接觸孔 41b、以及接觸孔 41d。

輸入端子配線 Vi 係為用以從接觸孔 41c 輸入電訊號 (閘極電壓) 者。電源端子配線 Vdd 係為用以從接觸孔 41a 供給電源電壓者。接地端子配線 Vss 係為用以經由接觸孔 41b 而進行接地連接者。輸出端子配線 Vo 係為用以從連接孔 41d 輸出電訊號者。

接觸孔 41c 係形成於將 P 通道型 MOS 電晶體 37a 與 N 通道型 MOS 電晶體 37b 之閘極彼此連接之閘極連接配線 38 上。矽柱 40a 係構成 P 通道型 MOS 電晶體 37a。接觸孔 41a 係形成於矽柱 40a 上。矽柱 40b 係構成 N 通道型 MOS 電晶體 37b。接觸孔 41b 係形成於矽柱 40b 上。接觸孔 41d 係形成於將 P 通道型 MOS 電晶體 37a 的汲極與 N 通道型 MOS 電晶體 37b 的汲極互相連接之汲極連接配線 39 上。

並且，以朝向與此接觸孔 41b 及接觸孔 41d 的行方向正交之列方向而延伸之方式，分別配置有輸入端子配線 Vi、電源端子配線 Vdd、接地端子配線 Vss、以及輸出端子配線 Vo (參照第 9A 圖)。

第 9C 圖係為第 9B 圖之在 B-B' 線之剖面構造圖。於下述，係參照第 9C 圖說明上述之形成 CMOS 反相器電路之方法。於本實施形態中，CMOS 反相器電路之形成步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

於本實施形態中，第 9C 圖所示之具有 P 通道型 MOS 電晶體 37a、N 通道型 MOS 電晶體 37b 之 CMOS 反相器電路，係將第 3B 圖所示電路之 N 通道型 MOS 電晶體與 P 通道型 MOS 電晶體的左右位置關係交換，惟係與第 3A 圖、第 3B 圖所示之第 3 實施形態同樣地予以形成。於下述，與上述實施形態共通或者對應之符號所示之部分係省略說明。

如第 9C 圖所示，於 P 通道型 MOS 電晶體 37a 中作為汲極發揮功能之 P⁺擴散層 6b、P⁺多結晶矽層 55b，及於 N 通道型 MOS 電晶體 37b 中作為汲極發揮功能之 N⁺擴散層 6a、N⁺多結晶矽層 55a 之下方形成有汲極連接配線 39。N⁺多結晶矽層 55a 及 P⁺多結晶矽層 55b 之下表面係接合有汲極連接配線 39。N⁺多結晶矽層 55a 及 P⁺多結晶矽層 55b 係經由汲極連接配線 39 而予以連接。並且，汲極連接配線 39 係經由形成於絕緣層 43b 上，且貫通氧化矽層 45 之接觸孔 41d 而連接於輸出端子配線層 Vo。

再者，P 通道型 MOS 電晶體 37a 的閘極導體層 16ba、16bb，與 N 通道型 MOS 電晶體 37b 的閘極導體層 16aa、16ab，係經由形成於絕緣層 43a 上之閘極連接配線 38 而予以連接。

再者，於成為閘極連接配線 38、及 P 通道型 MOS 電晶

體 37a 的汲極之 N^+ 擴散層 6a、 P^+ 型矽層 17b 上形成之金屬配線層 18b、成為 N 通道型 MOS 電晶體 37b 的汲極之 N^+ 擴散層 6a、形成於 N^+ 型矽層 17a 上之金屬配線 18a、汲極連接配線 39 係分別經由貫通氧化矽層 45 之接觸孔 41c、41a、41b、41d，而連接於形成在氧化矽層 45 上之輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、輸出端子配線層 Vo。輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、與輸出端子配線層 Vo 係互相平行地予以配線(參照第 9C 圖)。

依據本實施形態，於 P 通道型 MOS 電晶體 37a 中作為汲極發揮功能之 P^+ 擴散層 6a、 P^+ 多結晶矽層 55b，與 N 通道型 MOS 電晶體 37b 中作為汲極發揮功能之 N^+ 擴散層 6a、 N^+ 多結晶矽層 55a 係在互相接近之狀態下連接，並藉由具有低電阻之汲極連接配線 39 予以電性連接。依據此構造，可得到實現高速且高積體度之具有 CMOS 反相器電路之積體電路。

(第 10 實施形態)

於下述，係參照第 10A 至第 10D 圖，說明有關本發明第 10 實施形態之二段構造之 CMOS 反相器電路。於下述，與上述第 9 實施形態共通或者對應之符號所示之部分及構造係省略說明。

於第 10A 圖，係顯示本實施形態所使用之二段構造 CMOS 反相器電路。

如第 10A 圖所示，P 通道型 MOS 電晶體 37a、37c 與 N

通道型 MOS 電晶體 37b、37d 係分別於第一段、第二段串聯連接。第一段 P 通道型 MOS 電晶體 37a 及 N 通道型 MOS 電晶體 37b 的各閘極，係經由閘極連接配線 38a 而連接於輸入端子配線 V_i 。第二段 P 通道型 MOS 電晶體 37c 及 N 通道型 MOS 電晶體 37d 的各閘極，係經由閘極連接配線 38b 而連接於第一段的輸出端子配線 V_o 。第一段及第二段之 P 通道型 MOS 電晶體 37a、37c 的各汲極係連接於電源端子配線 V_{dd} 。第一段及第二段之 P 通道型 MOS 電晶體 37b、37d 的各源極係連接於接地端子配線 V_{ss} 。

於第一段中，P 通道型 MOS 電晶體 37a 的汲極及 N 通道型電晶體 37b 的汲極，係經由汲極連接配線 39a 而連接於第一段的輸出端子配線 V_o 。

於第二段中，P 通道型電晶體 37c 的汲極及 N 通道型電晶體 37d 的汲極，係經由汲極連接配線 39b 而連接於輸出端子配線 V_{out} 。

於第 10B 圖顯示此 CMOS 反相器電路之平面配置圖。

如第 10B 圖所示，形成於構成第一段 P 通道型 MOS 電晶體 37a 之矽柱 40a，及構成 N 通道型 MOS 電晶體 37b 之矽柱 40b 之閘極連接配線 38a 上係形成有接觸孔 41c，且接觸孔 41c 係與輸入端子配線 V_i 連接。閘極連接配線 38a 係將 P 通道型 MOS 電晶體 37a 及 N 通道型 MOS 電晶體 37b 的閘極彼此予以連接。

於第一段中，P 通道型 MOS 電晶體 37a 的汲極與 N 通道型 MOS 電晶體 37b 的汲極，係經由第一段的汲極連接配

線 39a 而連接。

形成於構成第二段 P 通道型 MOS 電晶體 37c 之矽柱 40c，及構成 N 通道型 MOS 電晶體 37d 之矽柱 40d 之閘極連接配線 38b 上係形成有接觸孔 41e，且接觸孔 41e 係連接於第一段的輸出端子配線 V_o (參照第 10A 圖)。

第一段的汲極連接配線 39a 係經由接觸孔 41e (參照第 10C 圖) 而與閘極連接配線 38b 連接。閘極連接配線 38b 係將第二段的 P 通道型 MOS 電晶體 37c 與 N 通道型 MOS 電晶體 37d 的閘極彼此予以連接。

於第一段及第二段的 P 通道型 MOS 電晶體 37a、37c 的矽柱 40a、40c 上係分別形成有接觸孔 41a、41c。接觸孔 41a、41c 係皆連接於電源端子配線層 V_{dd} 。

於第一段及第二段的 P 通道型 MOS 電晶體 37b、37d 的矽柱 40b、40d 上係分別形成有接觸孔 41b、41d。接觸孔 41b、41d 係皆連接於接地端子配線層 V_{ss} 。

於第二段的汲極連接配線 39b 上形成有接觸孔 41f，且接觸孔 41f 係連接於輸出端子配線層 V_{out} 。

再者，輸入端子配線層 V_i 、電源端子配線層 V_{dd} 、接地端子配線層 V_{ss} 、輸出端子配線層 V_{out} 係互相平行地予以配線。

第 10C 圖係為於第 10B 圖的 C-C' 線之剖面構造圖，於下述，係參照第 10C 圖說明有關上述之二段構造之 CMOS 反相器電路。於本實施形態中，二段構造之 CMOS 反相器電路係為與第 1 實施形態以相同方式而形成者。

如第 10C 圖所示，具有 P 通道型 MOS 電晶體 37a、N 通道型 MOS 電晶體 37b 之 CMOS 反相器電路，係為於第 3B 圖所示之 CMOS 反相器電路之 N 通道型 MOS 電晶體與 P 通道型 MOS 電晶體之左右位置關係予以交換，惟係與第 3A 圖、第 3B 圖所示之第 3 實施形態以相同方式而形成。

如第 10C 圖所示，於第一段中，圍繞於 P 通道型 MOS 電晶體 37a 的矽柱 40a 的外周之閘極導體層 16ba、16bb，與圍繞於 N 通道型 MOS 電晶體 37b 的矽柱 40b 的外周之閘極導體層 16aa、16ab 係經由閘極連接配線 38a 而連接。於形成於閘極連接配線 38a 上之氧化矽層 45，係形成有與 N 通道型 MOS 電晶體 37b 上的金屬配線層 18a 連接之接觸孔 41b。接觸孔 41b 係連接於 N 通道型 MOS 電晶體 37b 的接地端子配線 Vss。並且，就第 10C 圖而言，於第一氧化矽層 3 與閘極連接配線 38a 之間係形成有氧化矽層 43。

於第一段中，形成於 P 通道型 MOS 電晶體 37a 的矽柱 40a 的下端部且作為汲極發揮功能之 P⁺多結晶矽層 55b、與形成於 N 通道型 MOS 電晶體 37b 的矽柱 40b 的下端部且作為汲極發揮功能之 N⁺多結晶矽層 55a，係經由屬於第一段的汲極連接配線 39a 之金屬配線層 42 而互相電性連接。

並且，金屬配線層 42 和將第二段 P 通道型 MOS 電晶體 37c 與 N 通道型 MOS 電晶體 37d 的閘極彼此連接之閘極連接配線 38b，係經由形成於氧化矽層 45 之接觸孔 41e 而連接(參照第 10A 圖、第 10B 圖)。

於第一段的 P 通道型 MOS 電晶體 37a 的矽柱 40a 上係

形成有接觸孔 41a，且接觸孔 41a 係連接於電源端子配線層 Vdd。於第一段的 N 通道型 MOS 電晶體 37b 的矽柱 40b 上係形成有接觸孔 41b，且接觸孔 41b 係連接於接地端子配線層 Vss。

於第二段的汲極連接配線 39b 上係形成有接觸孔 41f，且於氧化矽層 45 上，於接觸孔 41f 係連接有輸出端子配線層 Vout(參照第 10A 圖、第 10B 圖)。

再者，輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、輸出端子配線層 Vout 係互相平行地予以配線(參照第 10B 圖)。

依據本實施形態，作為第一段 P 通道型 MOS 電晶體 37a 及 N 通道型 MOS 電晶體 37b 的汲極連接配線 39a 發揮功能之金屬配線層 42，係經由接觸孔 41e 而直接連接於第二段 P 通道型 MOS 電晶體 37c 及 N 通道型 MOS 電晶體 37d 的閘極連接配線 38b。就此構成而言，係無須經由形成於氧化矽層 45 之接觸孔而將金屬配線層 42(39a)拉高至與輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、輸出端子配線層 Vout(參照第 10B 圖)同層，故可實現電路元件之高積體度化。

(第 11 實施形態)

於下述，係參照第 11A 圖、第 11B 圖說明本發明第 11 實施形態之將遮罩對準標記形成於半導體基板之方法。

第 11A 圖所示之步驟係為對應於第 1 實施形態之第 1H 圖所示之步驟者。其他步驟除了於下述特別說明之情形

外，係與第 1 實施形態相同。

如第 11A 圖所示，於第二半導體基板 9 上係形成有第二氧化矽層 8。於第二氧化矽層 8 上係依序形成有第一氧化矽層 3、第一半導體基板 1。

如第 11A 圖所示，於第一半導體基板 1 上的預定位置，係設定用於遮罩對準之遮罩對準標記形成區域 47a、及為了形成電路之電路形成區域 47b。

於第 11A 圖所示之遮罩對準標記形成區域 47a 中，於第一氧化矽層 3 係形成有氧化矽層去除區域 48(參照第 1B 圖)。於氧化矽層去除區域 48 的中央部係以積層狀態形成有標記金屬層 49a、標記多結晶矽層 49b。

氧化矽層去除區域 48 係如第 1B 圖所示，係與形成有固態影像感測裝置的畫素之接面電場效果電晶體的源極或者汲極之孔 4 同時形成。

另一方面，如第 11A 圖所示，於電路形成區域 47b 的中央部係以積層狀態形成有金屬層 7、 N^+ 多結晶矽層 5a(參照第 1H 圖)。

由第 11A 圖所示之狀態，藉由對遮罩對準標記形成區域 47a 之第一半導體基板 1 進行蝕刻，而如第 11B 圖所示於預定之位置形成遮罩對準孔 50。藉此，標記金屬層 49a、標記多結晶矽層 49b 及氧化矽層去除區域 48 係通過遮罩對準孔 50 而露出。

接著，將於遮罩對準孔 50 內之標記金屬層 49a、標記多結晶矽層 49b 及氧化矽層去除區域 48 內中之任一者，作

為成為基準之遮罩對準標記，並進行光遮罩之遮罩對準。

接著，將光遮罩重疊於形成有光阻劑(photoresist)之區域並照射光束，從而轉錄電路。

相對於此，於未存在有遮罩對準孔 50 時，係會於第一半導體基板 1 上被覆光阻劑，且將位於第一半導體基板 1 的下方之標記金屬層 49a、標記多結晶矽層 49b、氧化矽層去除區域 48 之任一者作為標記而進行遮罩對準。此情形時，由於第一半導體基板 1 係由矽所構成而對於藍光、紫外線光之吸收較大，故在遮罩對準上係使用穿透率較高之紅色波長光或者紅外線光。因此，標記像之解析度係下降，並使遮罩對準精度下降。

相對於此，依據本實施形態，於遮罩對準標記形成區域 47a 並未存在有對於藍光、紫外線光之吸收較大之矽層，故可於標記金屬層 49a、標記多結晶矽層 49b、氧化矽層去除區域 48 上直接形成光阻劑。因此，可得到高解析度之標記像，而可提高遮罩對準精度。

再者，依據本實施形態，係於氧化矽層去除區域 48 上直接形成光阻劑，故可提高第 11 圖所示之 N^+ 多結晶矽層 5a 及矽柱 1a 之定位精度。

於下述，係參照第 12 圖，並與第 11A 圖至第 11B 圖所示之態樣比較，而針對使光罩的遮罩對準精度更進一步提升之本實施形態之變形例進行說明。於下述除了特別說明之情形以外，係與第 11 實施形態相同。

如第 12 圖所示，係將藍光或者紫外線光可穿透之透明

絕緣層 50a 埋入第 11B 圖所示之遮罩對準孔 50 內。於此透明絕緣層 50a 係使用 SiO_2 膜。

之後，係藉由 CMP 而將該 SiO_2 膜及第一半導體基板 1 的表面予以平坦化。由此遮罩對準孔 50 的 SiO_2 膜而來之埋入步驟，係參照第 11 圖，而在形成有接面電場效果電晶體之矽柱 1a 形成之前予以進行。

依據此變形例，藉由遮罩對準孔 50 內之透明絕緣層 50a，係可將被覆遮罩對準標記形成區域 47a 及電路形成區域 47b 之光阻劑薄化且均勻地予以形成，故與第 11 實施形態比較，可使遮罩對準精度更進一步提升。

(第 12 實施形態)

於下述，係參照第 13A 圖、第 13B 圖說明本發明第 12 實施形態之半導體裝置的製造方法。

第 13A 圖係為對應於第 1 實施形態之第 1B 圖所示之步驟者。其他步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

於本實施形態中，就第 13A 圖所示之步驟而言，係於第一半導體基板 1 的預定深度，形成用以將此第一半導體基板 1 分離為上下二個部分之分離層 2，並在第一半導體基板 1 上形成屬於絕緣體之第一氧化矽層 3。

接著，如第 13A 圖所示，係於第一氧化矽層 3 中，藉由去除預定區域之氧化矽 (SiO_2) 而形成孔 4。

接著，如第 13A 圖所示，以填埋此孔 4 (氧化矽層去除區域 48) 之方式，於第一氧化矽層 3 及第一半導體基板 1

上，藉由 CVD 法而形成多結晶矽層 111。此多結晶矽層 111 並未摻雜有施體雜質或者受體雜質。

接著，如第 13B 圖所示，於多結晶矽層 111 上，藉由 CVD 法及施體雜質之離子摻雜而形成摻雜有施體雜質之 N^+ 多結晶矽層 106。

接著，係於此 N^+ 多結晶矽層 106 上與第 1D 圖所示之步驟相同地形成金屬層 7。再者，與第 1E 圖至第 1L 圖所示之步驟相同地形成半導體裝置。

依據本實施形態，於第一半導體基板 1 與 N^+ 多結晶矽層 106 之間，係形成有未摻雜有雜質之多結晶矽層 111。由於存在有此多結晶矽層 111，而於藉由第 1J 圖所示之步驟之熱處理將 N^+ 多結晶矽層 106 作為擴散源之情形下，可調整朝向矽柱 1a 之施體雜質之擴散深度。

例如，於第 1G 圖所示之步驟中，在第一半導體基板 1 上，預想有由於接著第二半導體基板 9 及第二氧化矽層 8 之後之熱處理的條件，而使 N^+ 擴散層 6a 擴散成超過所期望之深度之情形，為了抑制該擴散之深度係為有效。

另一方面，使受體雜質擴散時，亦可使用 P^+ 多結晶矽層替代 N^+ 多結晶矽層 106。於未摻雜有施體雜質或者受體雜質之多結晶矽層 111 中，即便未積極地摻雜雜質而含有微量的雜質，亦不會影響本實施形態之效果。

(第 13 實施形態)

於下述，係參照第 14A 圖、第 14B 圖、第 15A 圖、第 15B 圖，說明本發明第 13 實施形態之半導體裝置之製造方法。

第 14A 圖係為對應於第 1 實施形態之第 1C 圖所示之步驟者，第 14B 圖係為對應於第 1K 圖所示之步驟者。其他步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係如第 14A 圖所示，於第一半導體基板 1 的表面對應於第 1B 圖的孔 4 之區域 4a 的周邊，藉由 STI(Shallow Trench Isolation, 淺溝渠分離)法形成氧化矽層 3a。具體而言，例如，首先，對區域 4a 的周邊之矽半導體基板 1 進行蝕刻。接著，藉由 CVD(Chemical Vapor Deposition)法堆積氧化矽層，並進行 CMP(Chemical Mechanical Polishing)將表面予以平滑化而形成第一氧化矽層 3a。此矽半導體基板 1 之蝕刻，比起將氮化矽層作為遮罩並朝向垂直方向進行，係以形成錐形(taper)之方式進行較佳。藉此，可使第一氧化矽層 3a 的底部比起區域 4a 之矽半導體基板 1 的表面更位於矽半導體基板 1 的內側之位置。之後，形成含有施體雜質之多結晶矽層 5aa(對應於第 1C 圖的多結晶矽層 5a)。

之後，藉由經過與第 1D 圖至第 1K 圖所示之步驟相同之步驟，而形成第 14B 圖所示之畫素構造。若將第 1K 圖與第 14B 圖進行比較，則第 14B 圖與第 1K 圖係有以下三點不同。

(1) 相對於在第 14B 圖中， N^+ 多結晶矽層 5aa、金屬層 7aa 係形成為平坦狀，在第 1K 圖中， N^+ 多結晶矽層 5a、金屬層 7 係形成為朝上方之凸狀。

(2) 相對於在第 14B 圖中，第一氧化矽層 3a 所圍繞之 N^+

擴散層 6aa 係形成為逆梯形，於第 1K 圖中， N^+ 擴散層 5a 係沿著第一氧化矽層 3 的側面而形成為梯形。

- (3) 相對於在第 14B 圖中，閘極導體層 11aa、11bb 係與第一氧化矽層 3a 接觸，於第 1K 圖中，閘極導體層 11a、11b 係與第一氧化矽層 3 分離。

藉由(1)至(3)之不同點，依據本實施形態係可得到下述優點。亦即，

- (1) N^+ 擴散層 6aa 係為藉由來自 N^+ 多結晶矽層 5aa 之熱擴散而形成，且於熱擴散的熱處理之前為未存在有施體雜質之層，並可使其具有與第 12 實施形態的第 13B 圖之多結晶矽層 111 相同之功能。因此，即便未使用多結晶矽層 111，亦可形成擴散層端位於閘極導體層 11aa、11bb 的下部位置之 N^+ 擴散層 6aa。
- (2) 對齊於 N^+ 擴散層 6aa 之位置而以蝕刻形成矽柱 1a 時，即便矽柱 1a 的側面係偏向 N^+ 擴散層 6aa 的內側，亦由於第一氧化矽層 3a 係屬於具有厚度之 N^+ 擴散層，或者朝內側萎縮而形成，故矽蝕刻會難以到達金屬層 7aa(就第 1K 圖而言，於矽柱 1a 從 N^+ 多結晶矽層 5a 偏離位置時，由於 N^+ 多結晶矽層 5a 係直接露出，故容易地蝕刻至 N^+ 多結晶矽層 5a 與存在於其下方之金屬層 7)。
- (3) 由於在閘極導體層 11aa、11bb 與第一氧化矽層 3a 之間無須形成間隙，故會容易地在閘極導體層 11aa、11bb 及第一氧化矽層 3a 上形成閘極導體配線層。亦

即，就第 1K 圖而言，為了減低洩漏電流，而必須將 N^+ 擴散層 6a 與 P 層矽層 30 之 PN 接合之邊界面的位置形成於矽柱 1a 之內部，故必須使第一氧化矽層 3 與閘極導體層 11a、11b 分離。

茲一面參照第 15A 圖、第 15B 圖，一面說明第 13 實施形態之半導體裝置的別的製造方法。第 15A 圖係為對應於第 1 實施形態之第 1C 圖所示之步驟者，而第 15B 圖係為對應於第 1K 圖所示之步驟者。其他步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係如第 15A 圖所示，藉由 LOCOS (Local Oxidation of Silicon, 矽局部氧化) 法而於區域 4a 的周邊區域形成第一氧化層 3b。就此 LOCOS 法而言，係於區域 4a 上形成較薄之氧化矽層與氮化矽層，接著藉由進行氧化處理，而形成氧化矽層 3b。之後，經過與第 1C 圖相同之步驟而形成 N^+ 多結晶矽層 5bb。

之後藉由經過第 1D 圖至第 1K 圖所示之步驟，可得到第 15B 圖所示之畫素構造。若將第 1K 圖與第 15B 圖進行比較，則第 15B 圖與第 1K 圖係有以下二點不同。

- (1) 相對於在第 15B 圖中，第一氧化矽層 3a 所圍繞之 N^+ 擴散層 6aa 係與第 14B 圖相同形成為逆梯形，於第 1K 圖中， N^+ 擴散層 5a 係沿著第一氧化矽層 3 的側面而形成為梯形。
- (2) 相對於在第 15B 圖中，閘極導體層 11aa、11bb 係與第一氧化矽層 3b 接觸，於第 1K 圖中，閘極導體層 11a、

11b 係與第一氧化矽層 3 分離。

藉由此(1)至(3)之不同點，依據本實施形態，係有如下述之優點。亦即，

- (1) 與第 14B 圖相同， N^+ 擴散層 6bb 係為藉由來自 N^+ 多結晶矽層 5bb 之熱擴散而形成，且於熱擴散的熱處理之前為未存在有施體雜質之層，並可使其具有與說明第 12 實施形態之第 13B 圖之多結晶矽層 111 相同之功能。因此，即便未使用多結晶矽層 111，亦可形成擴散層端部位於閘極導體層 11aa、11bb 的下方位置之 N^+ 擴散層 6bb。
- (2) 與第 14B 圖相同，對齊於 N^+ 擴散層 6bb 之位置而以蝕刻形成矽柱 1a 時，即便矽柱 1a 的側面係偏向 N^+ 擴散層 6bb 的內側，亦由於第一氧化矽層 3b 係屬於具有厚度之 N^+ 擴散層 6bb，或者朝內側萎縮而形成，故矽蝕刻會難以到達金屬層 7aa。
- (3) 與第 14B 圖相同，由於在閘極導體層 11aa、11bb 與第一氧化矽層 3a 之間無須形成間隙，故在閘極導體層 11aa、11bb 及第一氧化矽 3b 的上方形成閘極導體層配線係容易化。

(第 14 實施形態)

於下述，係參照第 16A、第 16B 圖，說明本發明第 14 實施形態之半導體裝置的製造方法。本實施形態之特徵點在於，在矽柱 1a 的底部形成二個部位以上之雜質區域。

於第 16A 圖係顯示相當於第 1C 圖之剖面構造圖。將第

一孔 4b1、第二孔 4b2 形成於第一氧化矽層 3b 之相當於第 1B 圖的孔 4 之區域，而使 P 型矽半導體基板 1 表面露出。之後，將受體離子(acceptor ion)(此時為硼 B 離子)摻雜至含有第一孔 4b1 之第一區域 B1 而形成 P^+ 多結晶矽層 5b1，並形成將施體離子(donor ion)(此時為砷(As)離子)摻雜至含有第二孔之第二區域 B2 之 N^+ 多結晶矽層 5b。此受體離子及施體離子之摻雜，係以在其中一方的離子摻雜結束後進行另一方之離子摻雜之方式進行。

接著，如第 16B 圖所示，形成在 P^+ 多結晶矽層 5b1、 N^+ 多結晶矽層 5b2 上被覆金屬層，且圍繞孔 4b1、4b2 的周邊之第一氧化矽層 3b 之 P^+ 多結晶矽層 5bb1、金屬層 7b1 與 N^+ 多結晶矽層 5bb2、金屬層 7b2。

接著，藉由經過與第 1F 圖至第 1K 圖相同之步驟，如第 16C 圖所示從 P^+ 多結晶矽層 5bb1 熱擴散而形成之 P^+ 擴散層 6b1，及從 N^+ 多結晶矽層 5bb2 熱擴散而形成之 N^+ 擴散層 6b2 係形成於矽柱 1a 之底部。

於如此之固態影像感測裝置中， P^+ 擴散層 6b1、 P^+ 多結晶矽層 5bb1 係作為訊號讀出用接面電場效果電晶體的汲極發揮功能，且 N^+ 擴散層 6b2、 N^+ 多結晶矽層 5bb2 係作為用以去除儲存於由 N 型矽層 12a、12b 及 P 型矽層 30 所構成的光電二極體之電訊號之汲極發揮功能。並且， P^+ 多結晶矽層 5bb1、 N^+ 多結晶矽層 5bb2 係連接於金屬層 7b1、7b2，並配線至外部電路。據此，係減低形成於矽柱 1a 之從畫素至外部電路為止之訊號讀出線及訊號電荷去除線的

電阻，而實現固態影像感測裝置的高速驅動。

再者，依據本實施形態，係與上述步驟同樣地，可於矽柱 1a 的底部形成二個部位以上之雜質區域。再者，本實施形態當然可適用於本實施形態以外之實施形態，例如，將固態影像感測裝置以外之電路元件形成於矽柱 1a 之半導體裝置的製造方法。

並且，就第 1 實施形態及與第 1 實施形態關聯之實施形態而言，係藉由熱氧化、正極氧化、或者 CVD (Chemical Vapor Deposition) 等形成第 1 氧化矽層 3，第 1 氧化矽層。係不限於此，亦可藉由與氮化矽 (SiN) 膜等其他絕緣膜之多層構造予以構成。

並且，本發明係不受在上述第 1 至第 12 實施形態說明之實施形態所限定，而可有各種變形。

就上述實施形態而言，第一半導體基板 1 係設為 P 型導電型。係不限於此，第一半導體基板 1 亦可為屬於本徵半導體之 i 型 (本徵 (intrinsic) 型)。再者，亦可因應形成於第一半導體基板 1 之電路元件，而設為 N 型導電型。

同樣地，就使用第 3B 圖、第 4 圖、第 9C 圖、第 10C 圖之實施形態而言，係設為 P 通道型 MOS 電晶體的通道係形成為 N 型矽層 30a，而 N 通道型 MOS 電晶體的通道係形成為 P 型矽層 30，惟係皆可形成為屬於本徵半導體之 i 型矽。

就上述實施形態而言，於第 1K 圖中，在形成於矽柱 1a 之固態影像感測裝置的畫素中，雖將 N^+ 多結晶矽層 5a、金

屬層 7、 N^+ 擴散層 6a 設為個別的材料層，惟亦可根據第 1D 圖至第 1K 圖之間之步驟所進行之熱處理，藉由金屬層 7 的金屬材料(Ni、W 等)與 N^+ 多結晶矽層 5a 或者與 N^+ 擴散層 6a 的一部分之反應，而將金屬層 7、 N^+ 多結晶矽層 5a、或者 N^+ 擴散層 6a 的全部或者一部分變化為矽化層(NiSi、WSi 等)。再者，亦可根據第 1L 圖、第 2 圖、第 3B 圖、第 4 圖、第 8A 圖、第 8B 圖、第 8C 圖、第 9C 圖、第 10C 圖、第 11B 圖、第 12 圖所示之各步驟所進行之熱處理，藉由金屬層 7 的金屬材料與 N^+ 多結晶矽層 5a 或者與 N^+ 擴散層 6a 的一部分之反應，而將金屬層 7、 N^+ 多結晶矽層 5a、或者 N^+ 擴散層 6a 的全部或者一部分變化為矽化層(NiSi、WSi 等)。根據此等，亦可得到成為訊號線(電性配線)之部分的電阻值下降之功效。

就上述實施形態而言，如第 1H 圖所示，從將高濃度氫離子(H^+)離子注入至第 1 半導體基板 1 的預定深度而形成之分離層 2，藉由 400 至 600°C 之熱處理而將第一半導體基板 1 分離為上下，並將第一半導體基板 1 薄化至預定厚度。係不限於此，亦可採用例如非專利文獻 3 所示之在分離層 2 形成多孔質層之方法，而將第一半導體基板 1 薄化至預定厚度。其他，亦可採用將第一半導體基板 1 分離為上下之方法。

再者，第二半導體基板 9 係可為與矽不同種之半導體，例如，碳化矽(SiC)等化合物半導體、絕緣體或者有機樹脂體。依據此構成，亦可保持形成於第一半導體基板 1 之電路元件。

再者，第二氧化矽層 8、氧化矽層 20、29、45 亦可為與氮化矽(SiN)膜等其他絕緣膜之多層構成。

再者， N^+ 多結晶矽層 5a、55a、 P^+ 多結晶矽層 55b 係藉由離子摻雜予以形成。係不限於此，亦可藉由雜質之熱擴散、混入雜質之經摻雜多結晶矽層而形成。如此之經摻雜多結晶矽層亦同樣可適用於本說明書之其他實施形態。

再者，於第 1B 圖中，多結晶矽層 5 係藉由 CVD 法予以形成。係不限於此，多結晶矽層 5 亦可藉由磊晶成長而形成。此時，單結晶矽層係成長於第一半導體基板 1 上，並依據其成長條件使於第一氧化矽層 3 上形成有多結晶矽層。此時，單結晶矽層係成為朝向施體或者受體的矽柱 1a 之擴散源。再者，亦可以依據單結晶矽層的成長條件(溫度等)而使矽層不形成於第一氧化矽層 3 上之方式進行。以此方式使矽層不形成於第一氧化矽層 3 上之方式，亦同樣可適用於本說明書之其他實施形態。

再者，於第 1G 圖中，係將由矽構成之第二半導體基板 9，與藉由 CMP 予以平坦化之第二氧化矽層 8 貼合，惟亦可藉由氧化或者 CVD 法將氧化層或者絕緣層形成於第二半導體基板 9 的表面之後，再將第二半導體基板 9 與第二氧化矽層 8 貼合。

再者，於第 9C 圖中，汲極連接配線 39 與輸出端子配線 V_0 係經由接觸孔 41d 而連接。係不限於此，汲極連接配線 39 與輸出端子配線 V_0 亦可以接觸孔 41d 的底部與汲極連接配線 39 上的 N^+ 多結晶矽層 55a 接觸之方式而予以連

接。依據此構成，由於 N^+ 多結晶矽層 55a 的電阻係充分的小，故亦可實現電路元件之高速動作。

再者，於第 10C 圖中，作為汲極連接配線發揮功能之金屬配線層 42(39a)與第二段的閘極連接配線 38b 係經由接觸孔 41e 而予以連接。係不限於此，亦可以接觸孔 41e 的底部與金屬配線層 42 上的 N^+ 多結晶矽層 55a 接觸之方式而予以連接。依據此構成，由於 N^+ 多結晶矽層 55a 的電阻係充分的小，故亦可實現電路元件之高速動作。

再者，如第 1L 圖、第 2 圖、第 3B 圖所示的閘極導體層 11a、11b、11c、11d、16a、16b、16c、16d，而如第 10C 圖所示的閘極連接配線 38、38a、38b，為藉由氣相沉積法或者 CVD 法而形成。係不限於此，亦可由單層或者不同種類之複數個金屬層而構成，或者設為摻雜有雜質之多結晶矽層或者該多結晶層與金屬層之多層構成。再者，閘極連接配線 38、38a、38b 亦可因應 N 通道型與 P 通道型而使用不同之材料。於閘極連接配線 38、38a、38b 因應 N 通道型與 P 通道型而使用不同之材料之方式，亦同樣可適用於本說明書之其他實施形態。

再者，第 10B 圖、第 10C 圖所示之二段 CMOS 反相器電路，係亦可以下述之方式構成。亦即，將 P 通道型 MOS 電晶體 37a 的矽柱 40a，與 N 通道型 MOS 電晶體 37b 的矽柱 40b 的各個上方部位之 P^+ 型矽層 17b、 N^+ 型矽層 17a，經由形成於氧化矽層 45 之接觸孔 41a、41b 而連接於第一段之輸出端子配線層 V_{out} 。並且，將與 P 通道型 MOS 電晶體 37a

的矽柱 40a 的下方部位之 P^+ 多結晶矽層 55b、及 P^+ 擴散層 6b 連接之金屬層 46b，設為電源端子配線層 Vdd，並將與 N 通道型 MOS 電晶體 37b 的矽柱 40b 的下方部位之 N^+ 多結晶矽層 55a、及 N^+ 擴散層 6a 連接之金屬層 46a，設為接地端子配線層 Vss。於此構造中，亦可得到與第 10C 圖所示之構造相同的效果。

再者，於第 1K 圖所示之畫素構造中，為了進行閘極導體層 11a、11b 及成為訊號線之 N^+ 擴散層 6a 之自我整合，而在形成閘極導體層 11a、11b 之後，可以砷(As)的離子摻雜，或者將堆積 As 摻雜氧化矽層作為擴散源，而於閘極導體層 11a、11b 與 N^+ 擴散層 6a 間之矽柱 1a 內形成 N^+ 型矽層。

再者，於第 1I 圖之第 1 實施形態中，係將第一半導體基板 1 蝕刻至第一氧化矽層 3 的表面而形成矽柱 1a，惟此蝕刻處理係可以在到達第一氧化矽層 3 的表面之前停止之方式進行。例如，如第 14A 圖所示，可藉由摻雜施體雜質而將 N^+ 型矽層形成於未蝕刻而殘留之矽層。

再者，於第 2 圖所示之 SGT 中，為了進行閘極導體層 16a、16b 與成為汲極或者源極之 N^+ 擴散層 6a 之自我整合，可藉由砷(As)的離子摻雜，或者將堆積 As 摻雜氧化矽層作為擴散源，而於閘極導體層 16a、16b 與 N^+ 擴散層 6a 間之矽柱 1a 內形成 N^+ 型矽層。

再者，於藉由第 1K 圖所示之第 1 實施形態的製造方法所形成之固態影像感測裝置的畫素，係可在構成光電二極體之 N 型矽層 12a、12b 的外周部，形成透過第三氧化矽層

10a、10b 而將光束反射之導體層。藉此可防止混色。再者，亦可設為藉由將與 P⁺型矽層 13a 連接之 P⁺型矽層形成於 N 型矽層 12a、12b 的外周部的矽柱 1a 內，而實現低殘像／低雜訊(noise)之構造。如此，可將固態影像感測裝置的功能更加提升之構造適當地形成於矽柱 1a。

再者，本發明之技術性的思維，當然不僅適用於在同一基板上之一個實施形態之電路元件，亦可適用於形成有複數個實施形態之電路元件者。再者，各實施形態之各製造步驟，係在製造同一個構成時，可將順序適當地變更。

再者，本發明在不脫離本發明廣義的精神與範圍內，可有各種實施形態及變形。再者，上述實施形態係為用以說明本發明的一個實施例者，並非將本發明之範圍限定者。(產業上之利用可能性)

本發明係可適用於具備在具有柱狀構造之半導體內形成有通道區域之電晶體之半導體裝置。

【圖式簡單說明】

第 1A 圖係為用以說明本發明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1B 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1C 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1D 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1E 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1F 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1G 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1H 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1I 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1J 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1K 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 1L 圖係為用以說明第 1 實施形態之固態影像感測裝置的製造方法之剖面圖。

第 2 圖係為顯示本發明第 2 實施形態之 N 通道型 SGT 的構造之剖面圖。

第 3A 圖係為用以說明本發明第 3 實施形態之將 N 通道型 SGT 及 P 通道型 SGT 形成於同一基板上之方法之剖面圖。

第 3B 圖係為用以說明第 3 實施形態之將 N 通道型 SGT 及 P 通道型 SGT 形成於同一基板上之方法之剖面圖。

第 4 圖係為用以說明本發明第 4 實施形態之具有以金屬配線層連接複數個 SGT 之構造之半導體裝置的製造方法

之剖面圖。

第 5A 圖係為用以說明本發明第 5 實施形態之將電阻形成於半導體裝置之方法之剖面圖。

第 5B 圖係為用以說明第 5 實施形態之將電阻形成於半導體裝置之方法之剖面圖。

第 5C 圖係為用以說明第 5 實施形態之將電阻形成於半導體裝置之方法之剖面圖。

第 6A 圖係為用以說明本發明第 6 實施形態之將電容形成於半導體裝置之方法之剖面圖。

第 6B 圖係為用以說明第 6 實施形態之將電容形成於半導體裝置之方法之剖面圖。

第 6C 圖係為用以說明第 6 實施形態之將電容形成於半導體裝置之方法之剖面圖。

第 7A 圖係為用以說明本發明第 7 實施形態之將電容形成於半導體裝置之方法之剖面圖。

第 7B 圖係為用以說明第 7 實施形態之將電容形成於半導體裝置之方法之剖面圖。

第 8A 圖係為用以說明本發明第 8 實施形態之將二極體形成於半導體裝置之方法之剖面圖。

第 8B 圖係為用以說明第 8 實施形態之將二極體形成於半導體裝置之方法之剖面圖。

第 8C 圖係為用以說明第 8 實施形態的變形例之將 PIN 二極體形成於半導體裝置之方法之剖面圖。

第 9A 圖係為用以說明本發明第 9 實施形態之 CMOS 反

相器電路之電路圖。

第 9B 圖係為用以說明第 9 實施形態之 CMOS 反相器電路之電路平面配置圖。

第 9C 圖係為用以說明第 9 實施形態之將 CMOS 反相器電路形成於半導體裝置之方法之剖面圖。

第 10A 圖係為用以說明本發明第 10 實施形態之二段構造的 CMOS 反相器電路之電路圖。

第 10B 圖係為用以說明第 10 實施形態之二段構造的 CMOS 反相器電路之電路平面配置圖。

第 10C 圖係為用以說明第 10 實施形態之形成二段構造的 CMOS 反相器電路之方法之剖面圖。

第 11A 圖係為用以說明本發明第 11 實施形態之提高矽柱的位置精度之方法之剖面圖。

第 11B 圖係為用以說明第 11 實施形態之將遮罩對準標記形成於半導體基板之方法之剖面圖。

第 12 圖係為用以說明第 11 實施形態之變形例之提高矽柱的位置精度之製造方法之剖面圖。

第 13A 圖係為用以說明本發明第 12 實施形態之半導體裝置的製造方法之剖面圖。

第 13B 圖係為用以說明第 12 實施形態之半導體裝置的製造方法之剖面圖。

第 14A 圖係為用以說明本發明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 14B 圖係為用以說明第 13 實施形態之半導體裝置的

製造方法之剖面圖。

第 15A 圖係為用以說明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 15B 圖係為用以說明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 16A 圖係為用以說明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 16B 圖係為用以說明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 16C 圖係為用以說明第 13 實施形態之半導體裝置的製造方法之剖面圖。

第 17 圖係為顯示習知例之固態影像感測裝置的畫素的構造之剖面圖。

第 18A 圖係為使習知例之固態影像感測裝置進行高速動作的畫素的剖面圖。

第 18B 圖係為用以說明為了獲得使習知例之固態影像感測裝置進行高速動作的畫素之半導體基板的接著步驟之圖。

第 19 圖係為具有習知例之 SGT 的畫素的剖面圖。

【主要元件符號說明】

- | | |
|-----------------------|----------------|
| 1 | 第一半導體基板 |
| 1a、1b、40a、40b、40c、40d | 矽柱 |
| 1n | N 通道型 SGT 形成區域 |
| 1p | P 通道型 SGT 形成區域 |

2 分離層

3、3a、3b、29、101a、101b 第一氧化矽層

4 孔 5、23 多結晶矽層

5a、5b、5aa、5b2、5bb2、23a、23b、51、55a、104

N⁺多結晶矽層

5b1、5bb1、55b P⁺多結晶矽層

6a、6aa、6ab、6b2、6bb N⁺擴散層

6b、6b1、102 P⁺擴散層

7、7a、7b、7b1、7b2、7aa、7bb、26a、26b、28、32、46a、

59、105 金屬層

7a、7b、7aa、7bb 第一連接用金屬層

8 第二氧化矽層 9 第二半導體基板

10a、10b、10c、10d 第三氧化矽層

11a、11b、11c、11d、11aa、11bb、16a、16b、16c、16d、

16aa、16ab、16ba、16bb、54a、54b 閘極導體層

12a、12b、12c、12d N型矽層

13a、13b、17b、31、56 P⁺型矽層

14a、14b、14c、14d 畫素選擇金屬配線層

15a、15b、15c、15d、71 閘極絕緣層

17a、51 N⁺型矽層

18a、18b、22a、22b、22c、24a、24b、26a、26b、35、42、

109 金屬配線層

20、29、33、43、45、62、101a、101b、103、107 氧化矽層

21c、34、41a、41b、41c、41d、41e、41f、75、108 接觸孔

27	電容氧化矽層		
30、52	P 型矽層	30a、58a、58b	N 型矽層
30b	i 型矽層	37a、37c	P 通道型 MOS 電晶體
37b、37d			N 通道型 MOS 電晶體
38、38a、38b	閘極連接配線		
39、39a、39b	汲極連接配線		
47a	遮罩對準標記形成區域		
47b	電路形成區域	48	氧化矽層去除區域
49a	標記金屬層	49b	標記多結晶矽層
50	遮罩對準孔	50a	透明絕緣層
53a、53b	絕緣膜	57a、57b	畫素選擇線
60	基板	61、64	半導體基板
66	埋入氧化膜基板	67	平面狀矽膜
68	PMOS 柱狀矽層	69、70	P ⁺ 型矽擴散層
72	閘極電極	73	氮化矽(SiN)膜
74	氧化矽(SiO ₂)膜	76	源極金屬配線
100	電容形成區域		
106	(摻雜施體雜質之)N ⁺ 多結晶矽層		
110	柱狀半導體		
111	(未摻雜施體雜質或者受體雜質之)多結晶係層		
Vi	輸入端子配線(層)		
Vdd	電源端子配線(層)		
Vss	接地端子配線(層)		
Vo、Vout	輸出端子配線(層)		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101107287

※申請日：101.3.5 ※IPC分類：H01L27/146 2006.01

一、發明名稱：(中文/英文)

半導體裝置的製造方法及半導體裝置

METHOD FOR PRODUCING SEMICONDUCTOR DEVICE AND
SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明係關半導體裝置的製造方法，係包含下述步驟：於第一半導體基板上，形成含有導體層(7)及施體雜質或者受體雜質之第一半導體層(5a)之步驟；以覆蓋第一半導體層(5a)之方式形成第二絕緣層(8)之步驟；將第一半導體基板(9)的厚度薄化至預定厚度之步驟；從第一半導體基板將具有柱狀構造之柱狀半導體(1a)形成於第一半導體層(5a)上之步驟；藉由從第一半導體層(5a)使雜質擴散而於柱狀半導體(1a)形成第一半導體區域(6a)之步驟；以及使用使雜質擴散後之柱狀半導體(1a)，而將固態影像感測裝置予以形成之步驟。

三、英文發明摘要：

A method for producing semiconductor device of this invention includes a step of forming a conductive layer (7) and a first semiconductor layer (5a) containing a donor impurity or an acceptor impurity on a first semiconductor substrate, a step of reducing a second insulating layer (8) so as to cover the first semiconductor layer (5a), a step of reducing the thickness of the first semiconductor substrate (9) to a predetermined thickness, a step of forming a pillar-shaped semiconductor (1a) having a pillar-shaped structure on the first semiconductor layer (5a) from the first semiconductor substrate, a step of forming a first semiconductor area (6a) in the pillar-shaped semiconductor (1a) by diffusing an impurity from the first semiconductor layer (5a), and a step of forming pixels of a solid imaging device by using the pillar-shaped semiconductor (1a) in which the impurity has been diffused.

七、申請專利範圍：

1. 一種半導體裝置的製造方法，係具備：

將第一絕緣層形成於半導體基板上之預定區域，並藉由去除前述預定區域上之第一絕緣層從而形成絕緣層去除區域之第一絕緣層形成／去除步驟，或於前述預定區域之周邊朝厚度方向去除前述半導體基板之一部份，而於去除該半導體基板之半導體基板去除區域形成第一絕緣層之第二絕緣層形成／去除步驟；

第一半導體層形成步驟，係以至少覆蓋前述預定區域的方式，於前述半導體基板上形成包含施體雜質或受體雜質之第一半導體層；

導體層形成步驟，係於前述第一半導體層上形成導體層；

成形步驟，將前述導體層以及前述第一半導體層成形為預定形狀；

第二絕緣層形成步驟，以覆蓋形成為前述預定形狀之導體層以及第一半導體層的方式，形成第二絕緣層；

平坦化步驟，係將前述第二絕緣層之表面予以平坦化；

接著步驟，係於前述經平坦化之前述第二絕緣層之表面接著基板；

薄膜化步驟，係將前述半導體基板薄化至預定之厚度；

柱狀半導體形成步驟，係於前述第一半導體層上，

自前述半導體基板形成具有柱狀構造之柱狀半導體；以及

電路元件形成步驟，係於前述柱狀半導體形成前述電路元件；且，復具備：

第一半導體區域形成步驟，係至少於前述第一半導體層形成步驟之後，自包含前述施體雜質或受體雜質之前述第一半導體層使該雜質擴散，從而於前述柱狀半導體形成第一半導體區域。

2. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，

前述電路元件形成步驟係包含：

在前述柱狀半導體之外周部形成第三絕緣層，並於前述第三絕緣層之外周部形成閘極導體層之步驟；

於前述閘極導體層之上方部位且為前述柱狀半導體之表層部，形成與前述第一半導體區域為相同導電型之第四半導體區域之步驟；以及，

於前述柱狀半導體中，在前述第三絕緣層之上方部位形成與前述第一半導體區域為相反導電型之第三半導體區域之步驟。

3. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，

前述電路元件形成步驟係包含：

在前述柱狀半導體之外周部形成第三絕緣層，並於前述第三絕緣層之外周部形成閘極導體層之步驟；以

及，

於前述柱狀半導體之前述第三絕緣層之上方部位形成與前述第一半導體區域為相同導電型之第五半導體區域之步驟。

4. 如申請專利範圍第1項所述之半導體裝置的製造方法，其中，

前述電路元件形成步驟係包含：

於前述柱狀半導體之上方部位，形成與前述第一半導體區域為相反導電型之第六半導體區域之步驟。

5. 如申請專利範圍第1項至第4項中任一項所述之半導體裝置的製造方法，其中，

前述第一半導體層形成步驟係包含：

在與前述第一半導體之同層，形成作為電阻發揮功能之第二半導體層之步驟。

6. 如申請專利範圍第1項至第5項中任一項所述之半導體裝置的製造方法，其中，

前述第一半導體層形成步驟係包含，於作為電容電極發揮功能之前述第一半導體層上之預定區域形成作為電容絕緣膜發揮功能之絕緣膜之步驟；

前述導體層形成步驟係包含，於前述絕緣膜上形成與前述第一半導體層一同作為電容電極發揮功能之導體層之步驟。

7. 如申請專利範圍第1項至第6項中任一項所述之半導體裝置的製造方法，其中，

前述第一絕緣層形成／去除步驟係包含，於前述半導體基板上與第一絕緣層一同形成第四絕緣層，並於預先設定之電容形成區域，形成較前述第四絕緣層的厚度為薄，並作為電容絕緣膜發揮功能之第五絕緣層之步驟；

前述導體層形成步驟係包含，於前述第五絕緣層上形成作為電容電極發揮功能之導體層之步驟；

前述第一或第二絕緣層形成／去除步驟係包含，於前述電容形成區域形成具有施體雜質或受體雜質並作為電容電極發揮功能之雜質層之電容形成步驟。

8. 如申請專利範圍第1項至第7項中任一項所述之半導體裝置的製造方法，復具備：

於前述半導體基板上設定遮罩對準標記形成區域之遮罩對準標記形成區域設定步驟；

於前述遮罩對準標記形成區域形成遮罩對準孔，並使前述絕緣層去除區域、前述第一絕緣層以及前述導體層其中至少一者露出之步驟；

係透過前述遮罩對準孔，而形成由前述絕緣層去除區域、前述第一絕緣層以及前述導電層中之至少一者所構成之遮罩對準標記之遮罩對準標記形成步驟；以及，

係以前述遮罩對準標記為基準進行光罩之遮罩對準之遮罩對準步驟。

9. 如申請專利範圍第8項所述之半導體裝置的製造方法，復具備，

於前述遮罩對準孔埋入透明絕緣體之步驟；

且於前述遮罩對準標記形成步驟中，係透過前述透明絕緣體而形成由前述絕緣層去除區域、前述第一之絕緣層以及前述導體層中之至少一者所構成之遮罩對準標記；

於前述遮罩對準步驟中，係以前述遮罩對準標記為基準進行光罩之遮罩對準。

10. 如申請專利範圍第1項至第9項中任一項所述之半導體裝置的製造方法，復具備，

於前述第一或第二絕緣層形成／去除步驟與前述第一半導體層形成步驟之間，以覆蓋前述絕緣層去除區域之方式形成未摻雜有施體雜質及受體雜質之第二半導體層之步驟。

11. 一種半導體裝置，係藉由申請專利範圍第2項所述之半導體裝置的製造方法所製成者，其中，

前述柱狀半導體係具備，由形成於前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵半導體所構成之第二半導體區域；

由前述第二半導體區域與前述第四半導體區域形成用以儲存藉由照射電磁能量波而產生的訊號電荷之二極體；

形成有接面電場效果電晶體，其係以前述二極體作為閘極發揮功能，並以前述第一半導體區域與前述第三半導體區域之任一方作為源極，另一方作為汲極各自發

揮功能，且設成可藉由訊號取出手段取出流通於形成在前述第二半導體區域之通道並因應儲存於前述二極體之訊號電荷量而變化的電流；以及，

形成訊號電荷去除手段，其係藉由以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第四半導體區域之一方作為源極發揮功能而另一方作為汲極發揮功能之 MOS 電晶體，於前述閘極導體層施加電壓，藉此將儲存於前述二極體之訊號電荷自前述第一半導體區域去除。

12. 一種半導體裝置，係藉由申請專利範圍第 3 項所述之半導體裝置的製造方法所製成者，其中：

前述柱狀半導體係具備，由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型或本徵半導體所構成之第二半導體區域；

且形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而另一方作為汲極發揮功能。

13. 一種半導體裝置，係藉由申請專利範圍第 4 項所述之半導體裝置的製造方法所製成者，其中：

前述柱狀半導體係於前述第一半導體區域與第六半導體區域之間具備有，由與前述第一半導體區域為相反導電型或本徵半導體所構成之第二半導體區域；

且由前述第二半導體區域與前述第六半導體區域

形成有二極體。

14. 一種半導體裝置，係藉由申請專利範圍第 1 項或第 3 項所述之半導體裝置的製造方法所製成者，其中：

於前述第一半導體層上形成有複數個前述柱狀半導體；

且前述複數個柱狀半導體係由在前述第一半導體區域摻雜有受體雜質之複數個第一柱狀半導體，以及在前述第一半導體區域摻雜有施體雜質之複數個第二柱狀半導體所構成。

15. 一種半導體裝置，係藉由申請專利範圍第 1 項至第 3 項中任一項所述之半導體裝置的製造方法所製成者，其中：

於前述第一半導體層上形成有複數個前述柱狀半導體；

且於前述複數個柱狀半導體中之，複數個前述第一半導體區域以及複數個前述導電層內之兩方或一方係互相連接。

16. 一種半導體裝置，係藉由申請專利範圍第 3 項所述之半導體裝置的製造方法所製成者，其中：

於前述第一半導體層上形成有複數個前述柱狀半導體；

前述各柱狀半導體係具備：

第二半導體區域，由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵

半導體所構成；

第五半導體區域，係形成於前述第二半導體區域上；

第三絕緣層，係形成於前述第二半導體的外周部；
以及

閘極導體層，係形成於前述第三絕緣層之外周部；

且係形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而另一方作為汲極發揮功能；以及，

前述第一半導體層係以遍及前述複數個柱狀半導體而連續連接的方式形成，並且前述以連接之方式所形成的前述第一半導體層係經由形成於絕緣層之接觸孔，來連結於用以連接至外部電路之配線層。

17. 一種半導體裝置，係藉由申請專利範圍第 3 項所述之半導體裝置的製造方法所製成者，其中，

於前述第一半導體層上形成有複數個前述柱狀半導體；

前述各柱狀半導體係具備：

第二半導體區域，由形成在前述第一半導體區域上的與該第一半導體區域為相反導電型之半導體或本徵半導體所構成；

第五半導體區域，係形成於前述第二半導體區域上；

第三絕緣層，係形成於前述第二半導體區域之外周部；以及，

閘極導體層，係形成於前述第三絕緣層之外周部；

且係形成有 MOS 電晶體，其係以前述閘極導體層作為閘極發揮功能，並以前述第一半導體區域以及前述第五半導體區域之一方作為源極發揮功能，而以另一方作為汲極發揮功能；以及，

前述第一半導體層係以遍及前述複數個柱狀半導體而連續連接的方式形成，並且前述第一半導體層係經由形成於絕緣層之接觸孔來連接於用以連接至預定電晶體的閘極之配線層。

18. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，

前述第二絕緣層形成／去除步驟係包含：

將形成前述柱狀半導體之區域之周邊的前述半導體基板進行蝕刻之半導體基板蝕刻步驟；

在經過前述蝕刻之區域之前述半導體基板上形成前述第一絕緣層之步驟；以及

在由於前述蝕刻而露出之前述半導體基板與位於該露出之半導體基板周邊的前述第一絕緣層上，形成前述第一半導體層之步驟。

19. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，

前述第 2 絕緣層形成／去除步驟係包含：

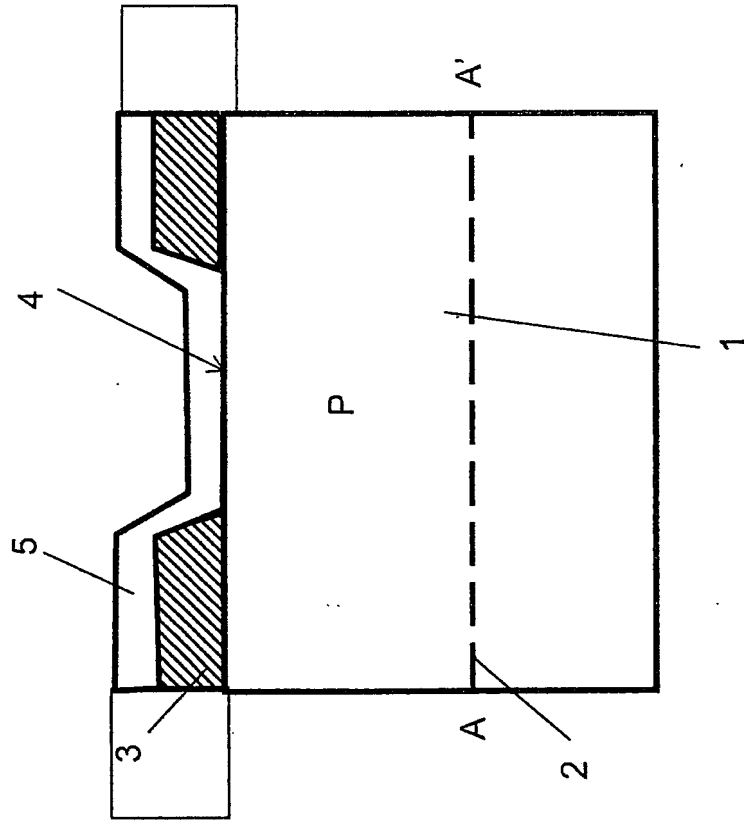
將形成前述柱狀半導體之區域之前述半導體基板之周邊的區域選擇性氧化而形成作為前述第一絕緣層的選擇氧化層之步驟。

20. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，復包含：

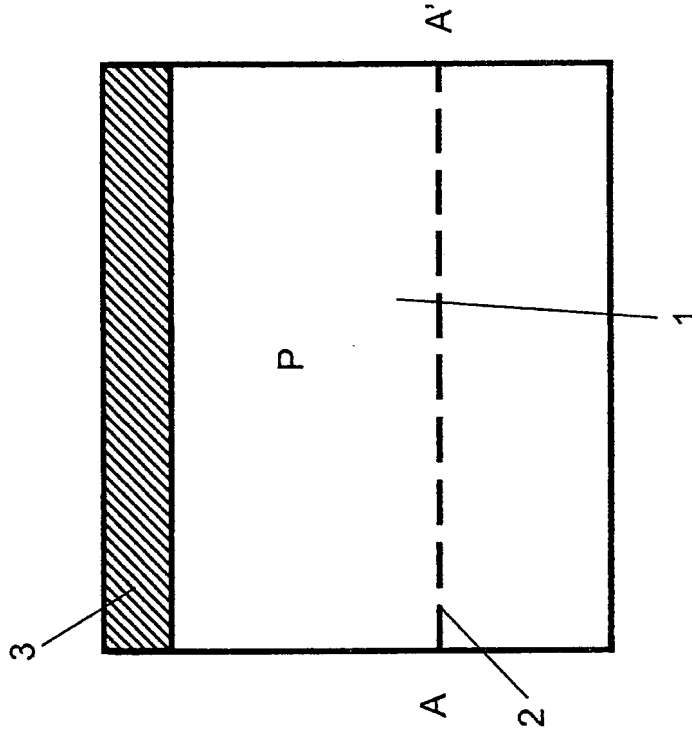
將形成至少兩個以上之互相分離的前述第一絕緣層之區域，於形成前述柱狀半導體之區域之前述半導體基板上形成之步驟；以及

形成：由前述互相分離的區域之前述第一絕緣層所圍繞，且在露出之前述半導體基板的表面上互相分離並摻雜有施體或受體之複數個前述第一半導體層，以及連接於前述第一半導體層之前述半導體層之步驟。

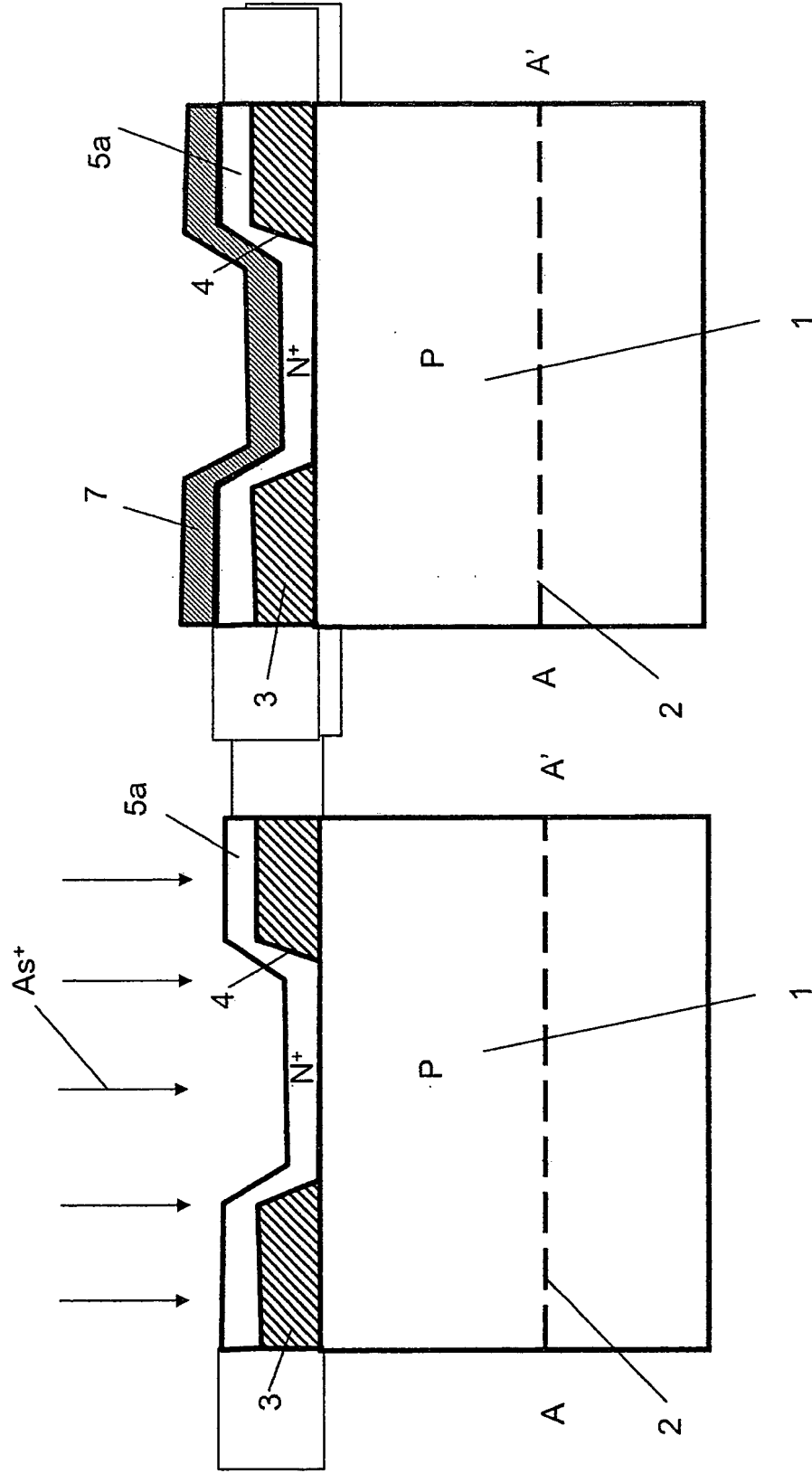
八、圖式：



第1B圖

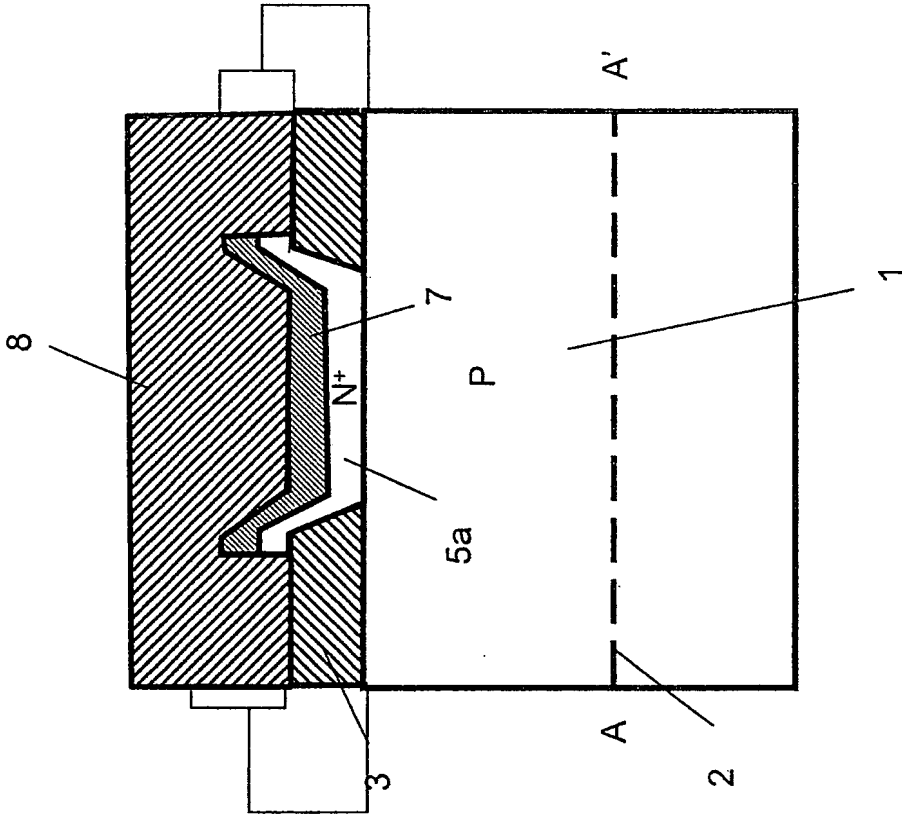


第1A圖

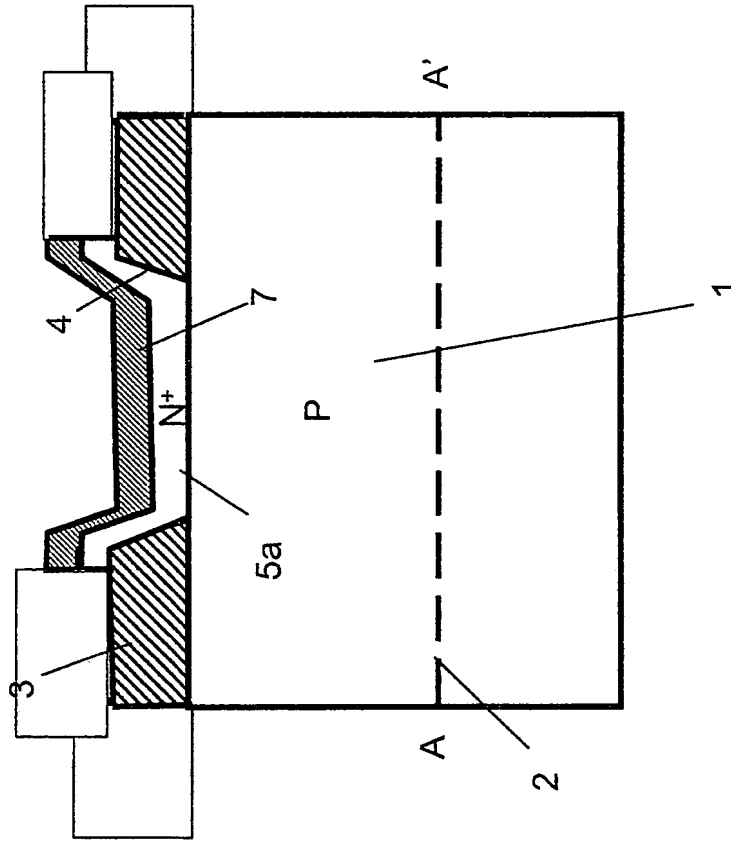


第1D圖

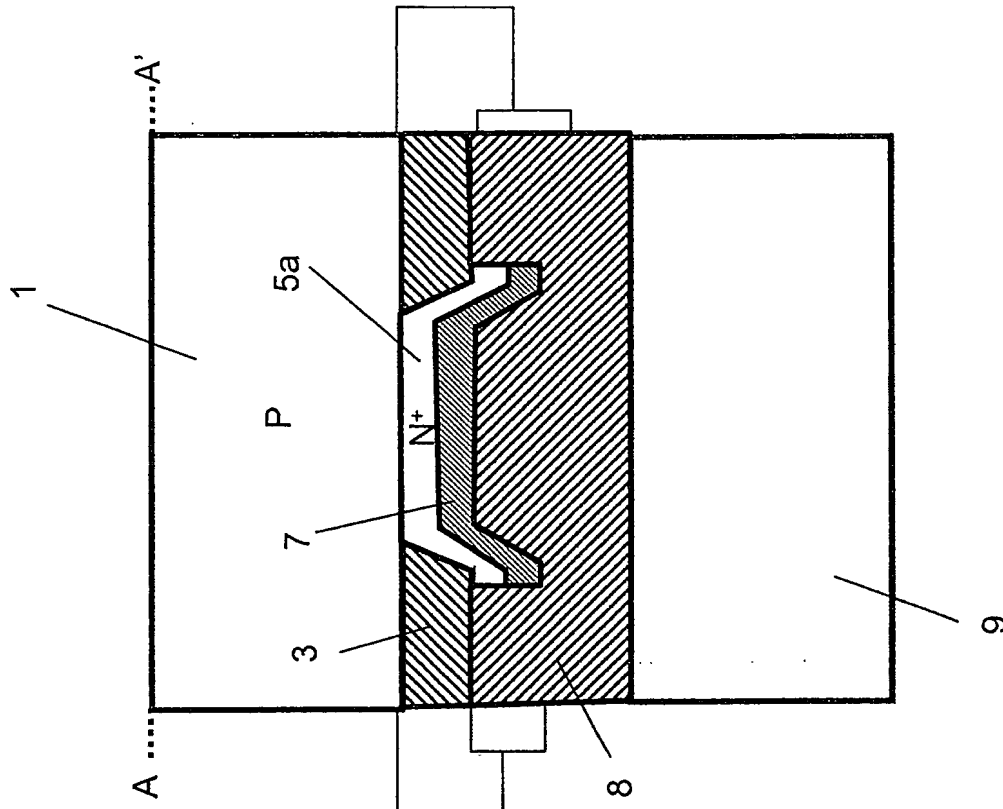
第1C圖



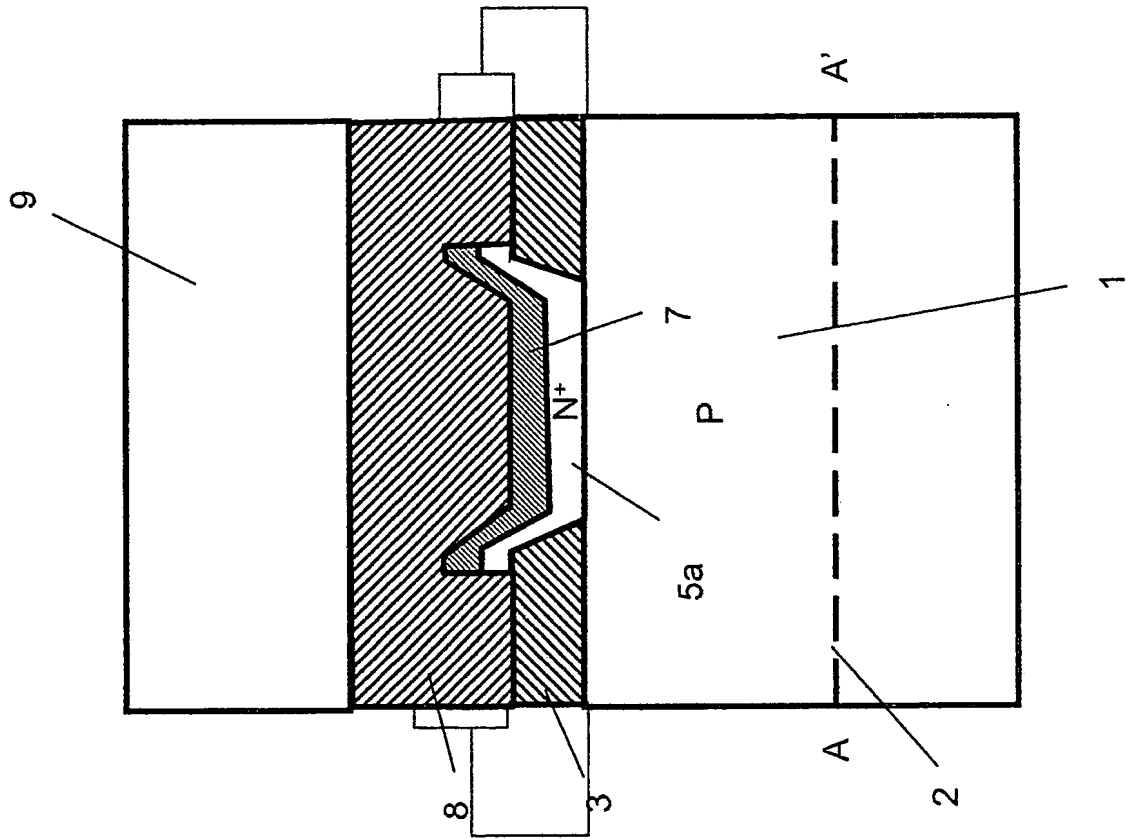
第1F圖



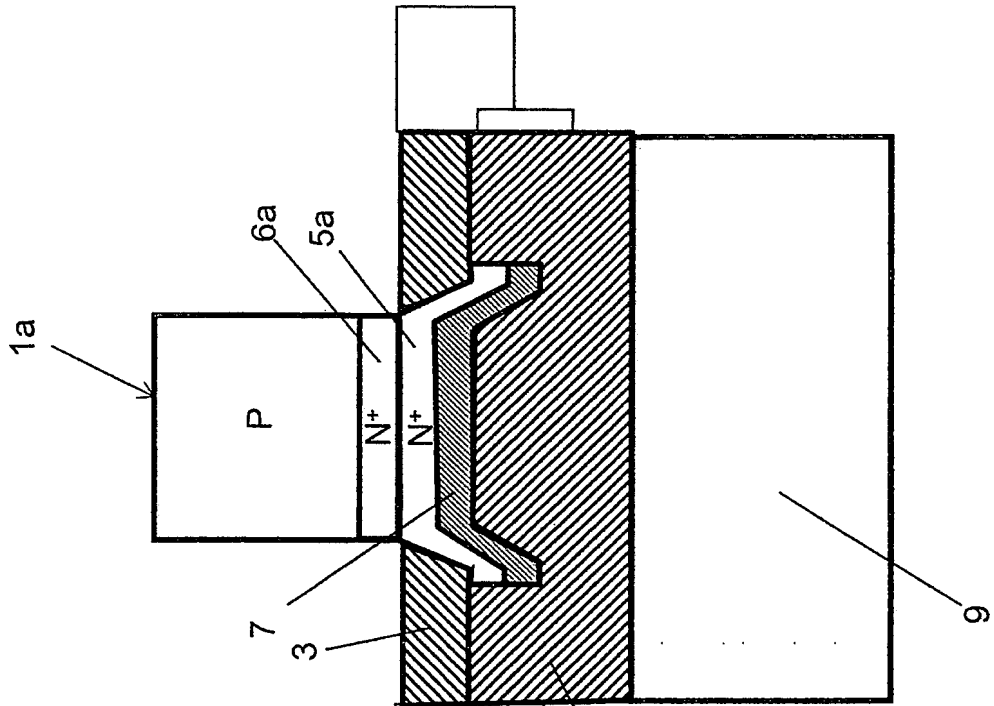
第1E圖



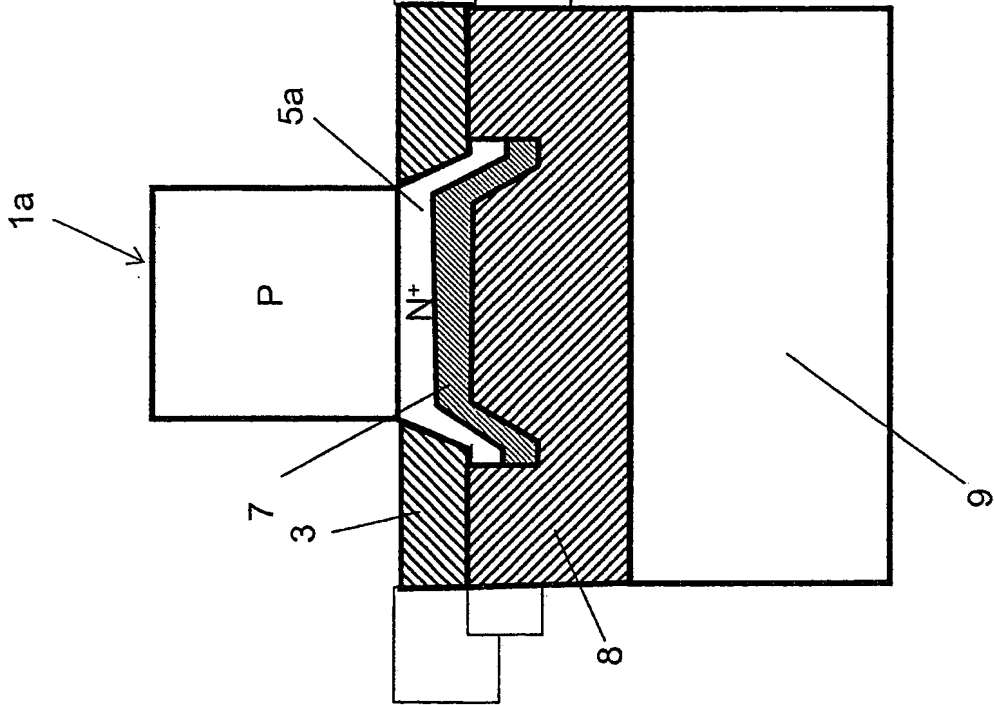
第1H圖



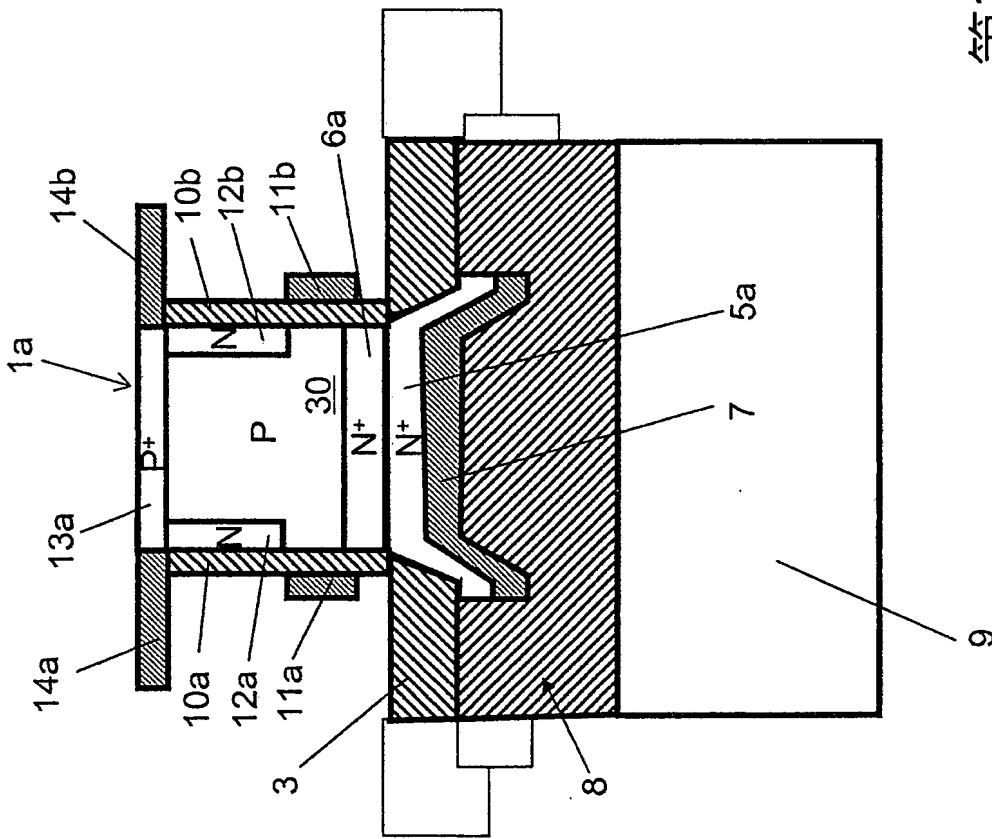
第1G圖



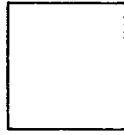
第1J圖

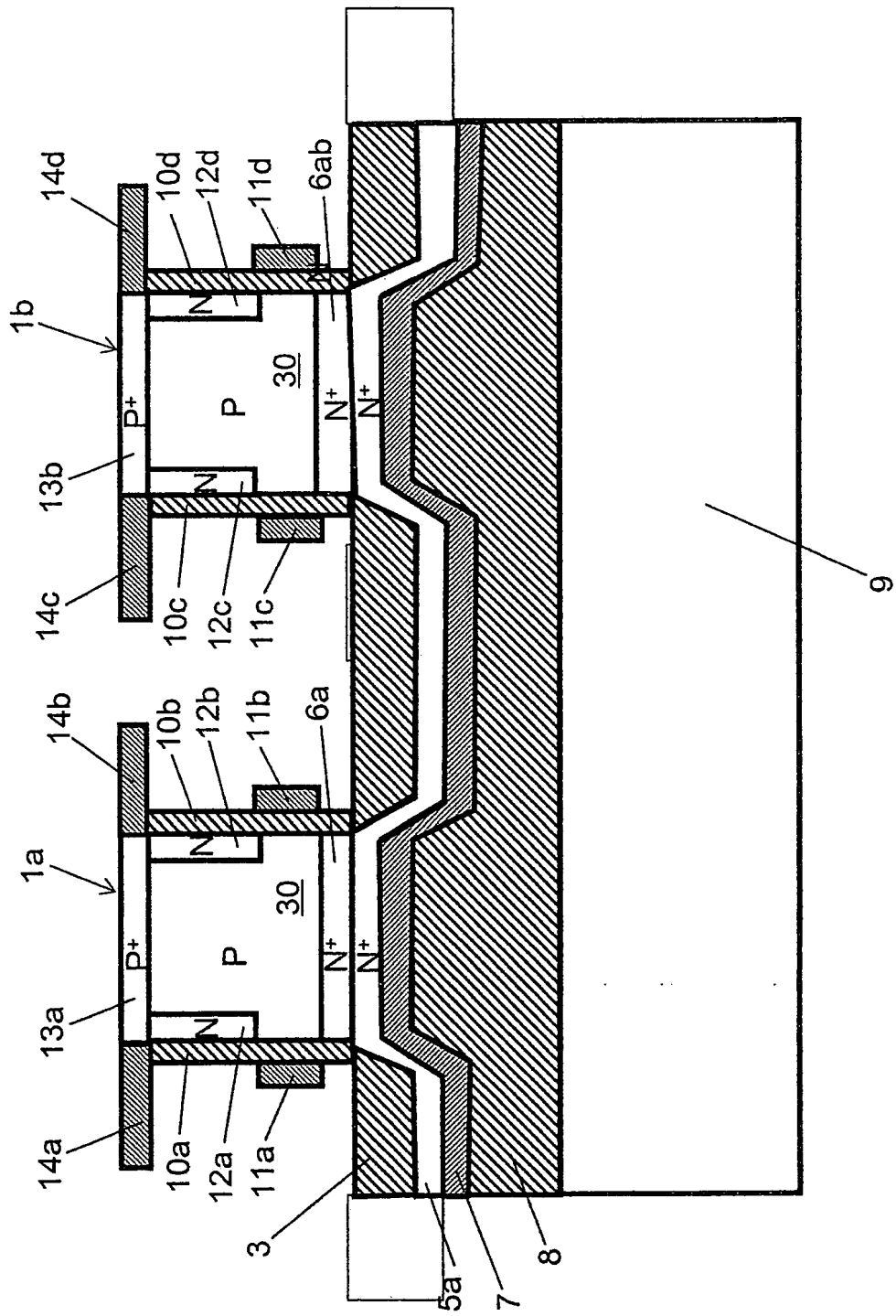


第1I圖

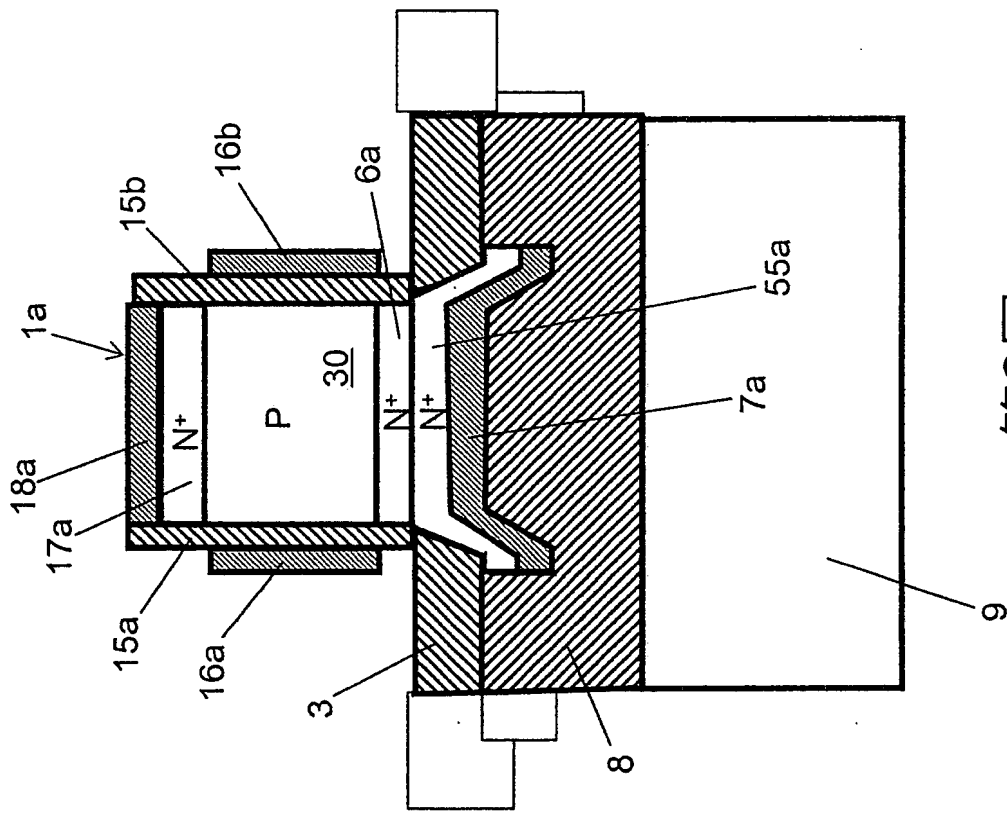


第1K圖

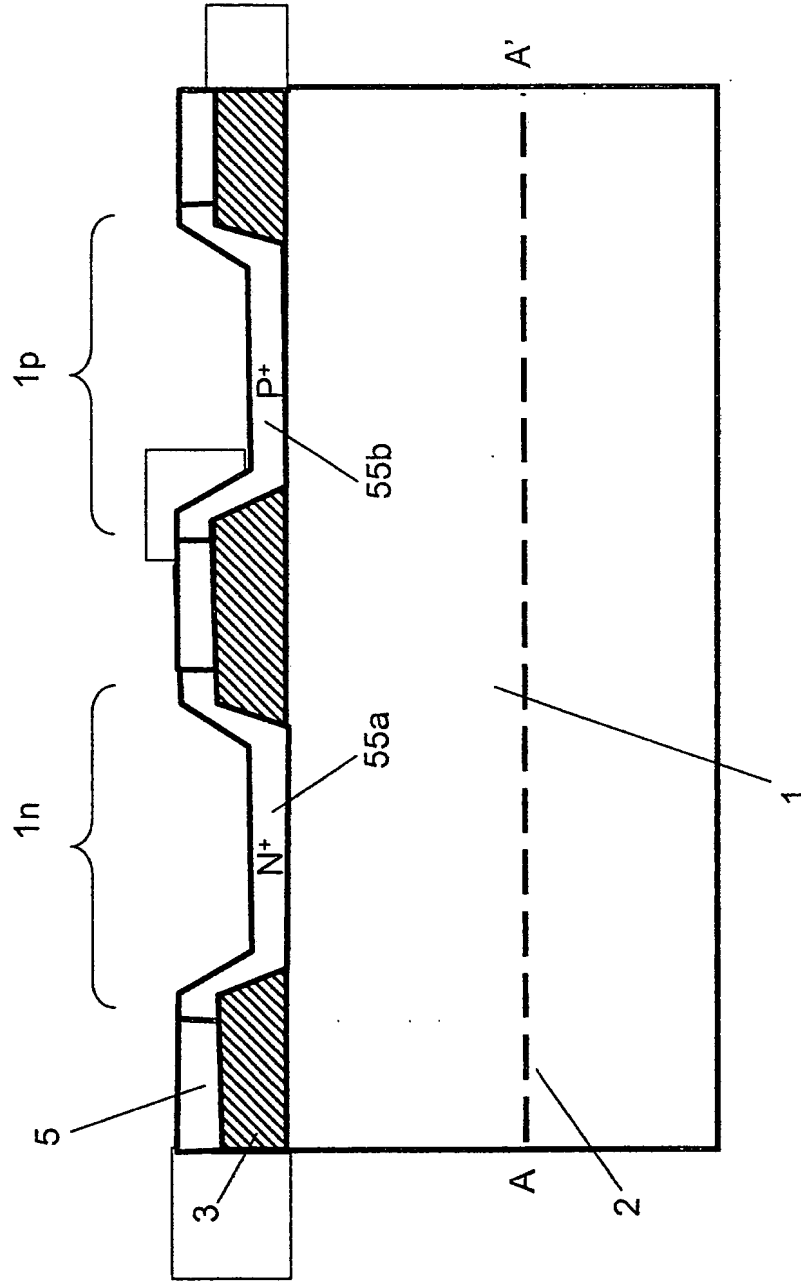




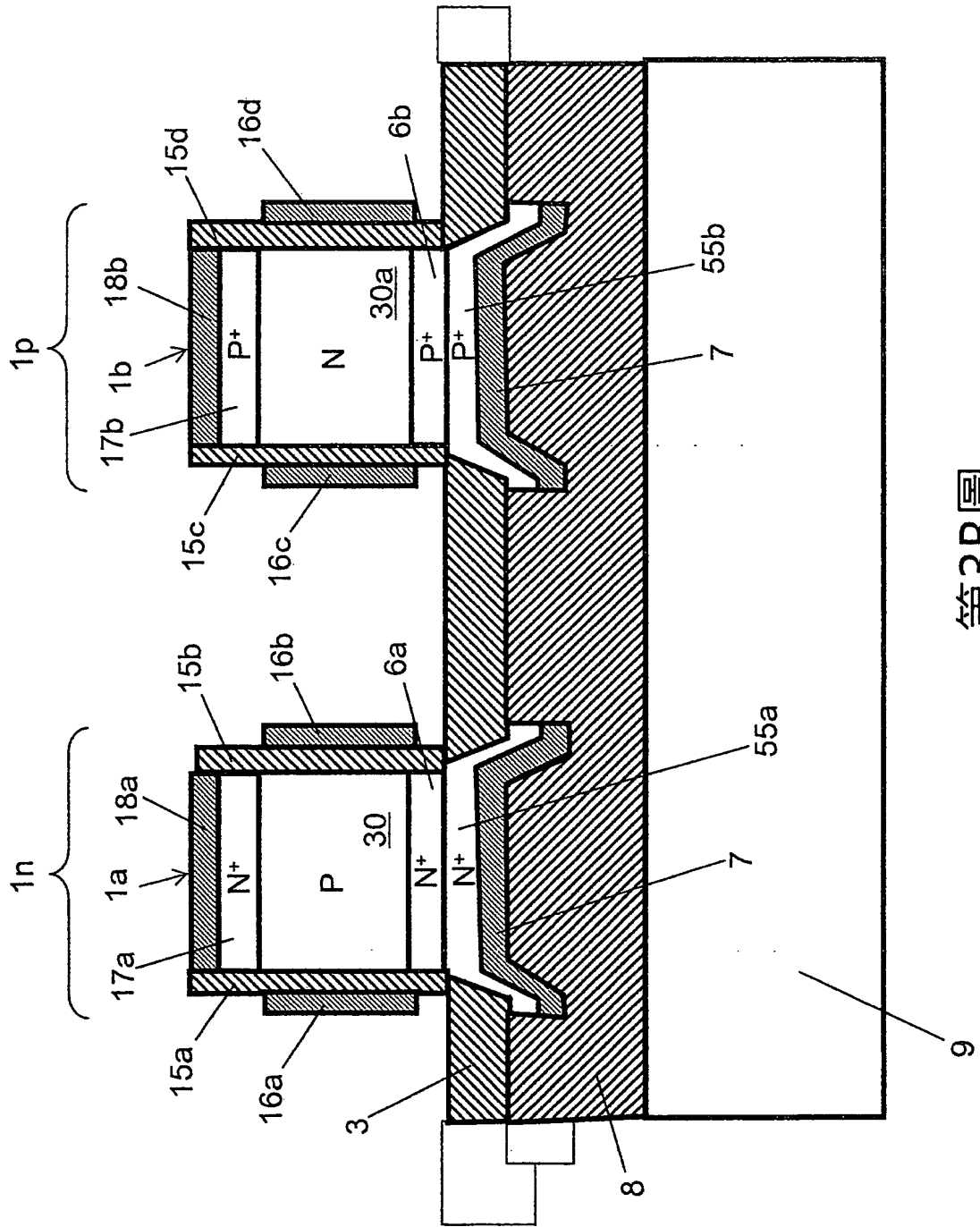
第1L圖



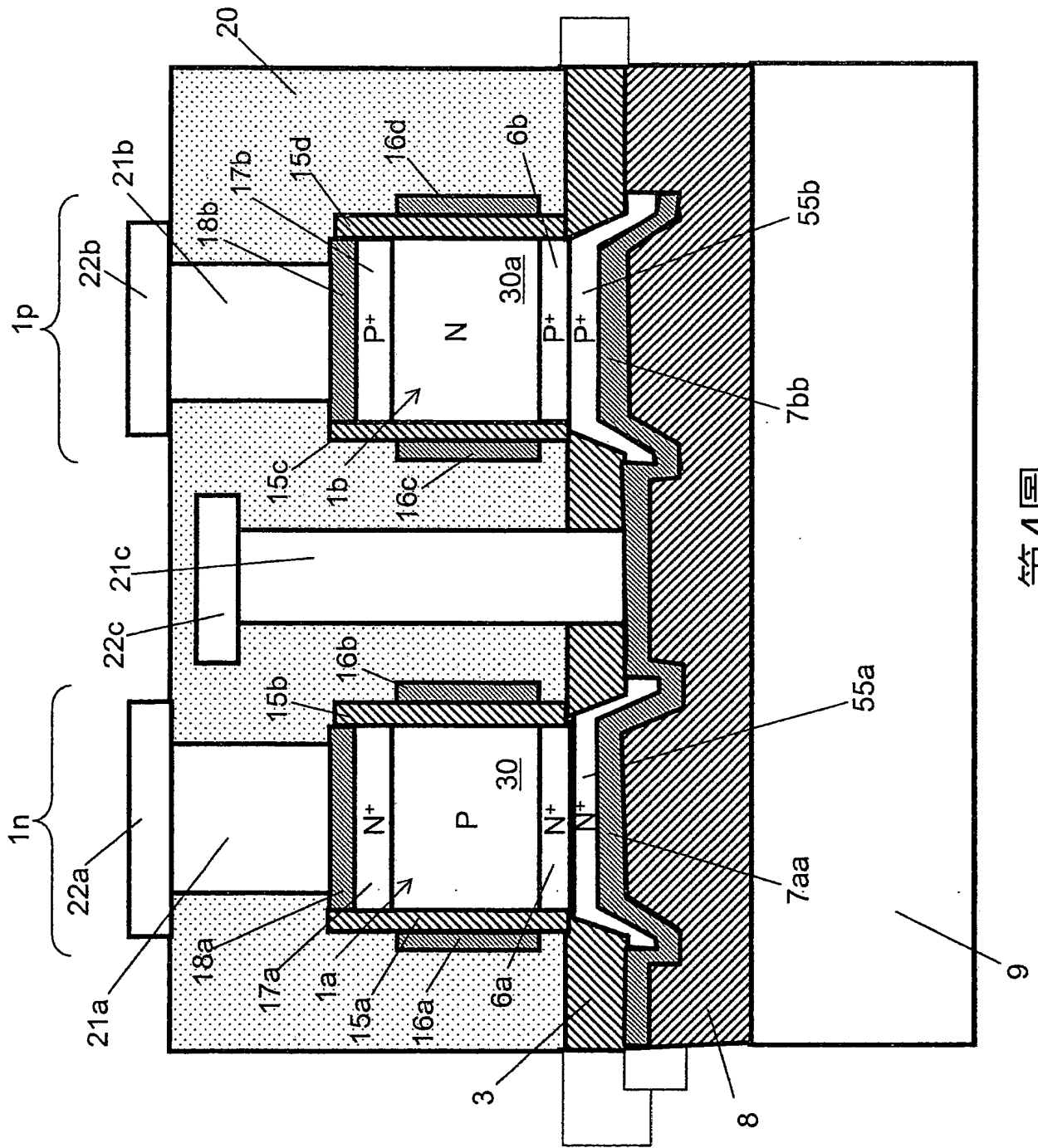
第2圖



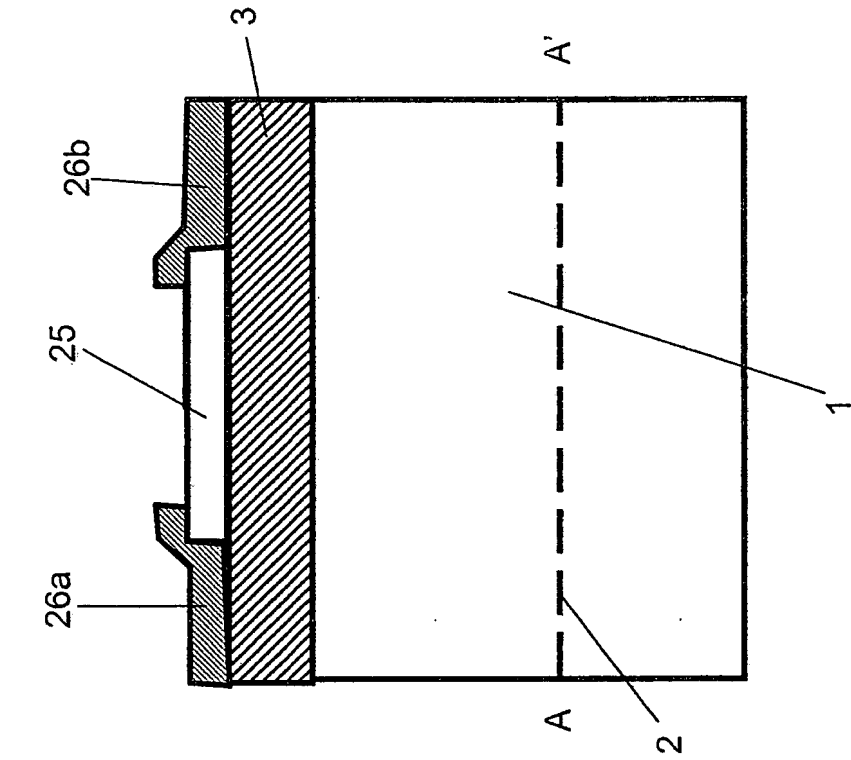
第3A圖



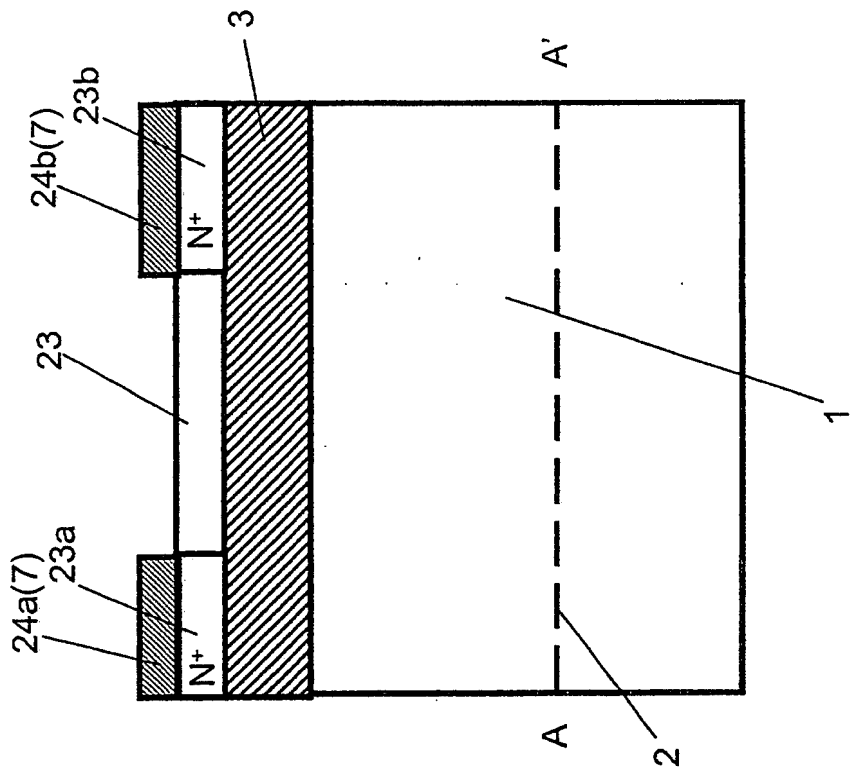
第3B圖



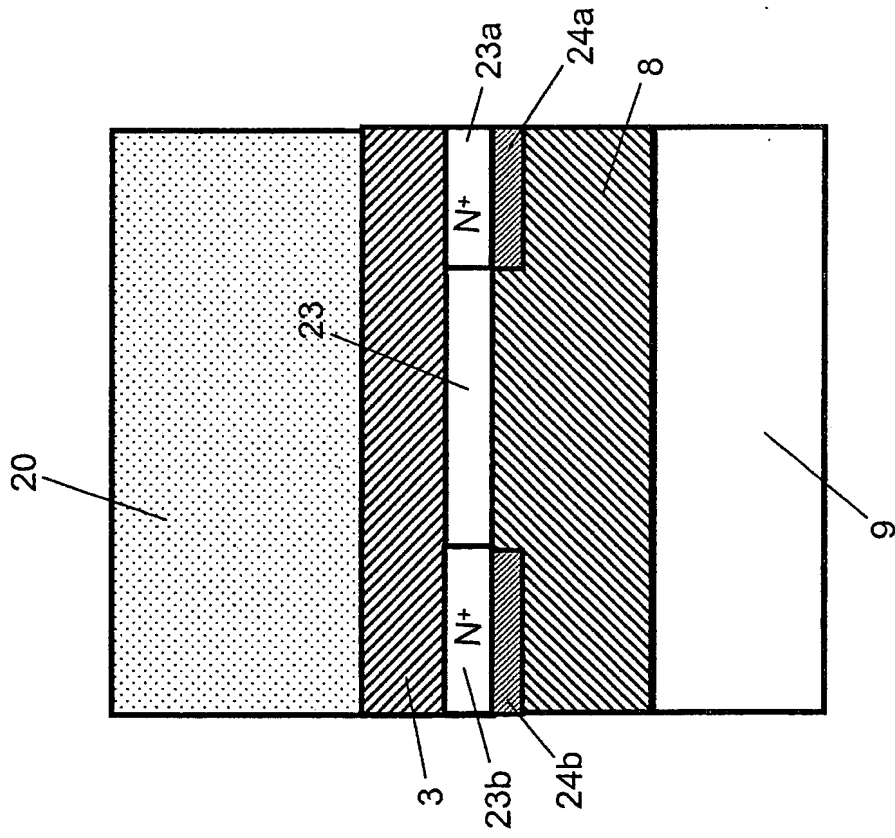
第4圖



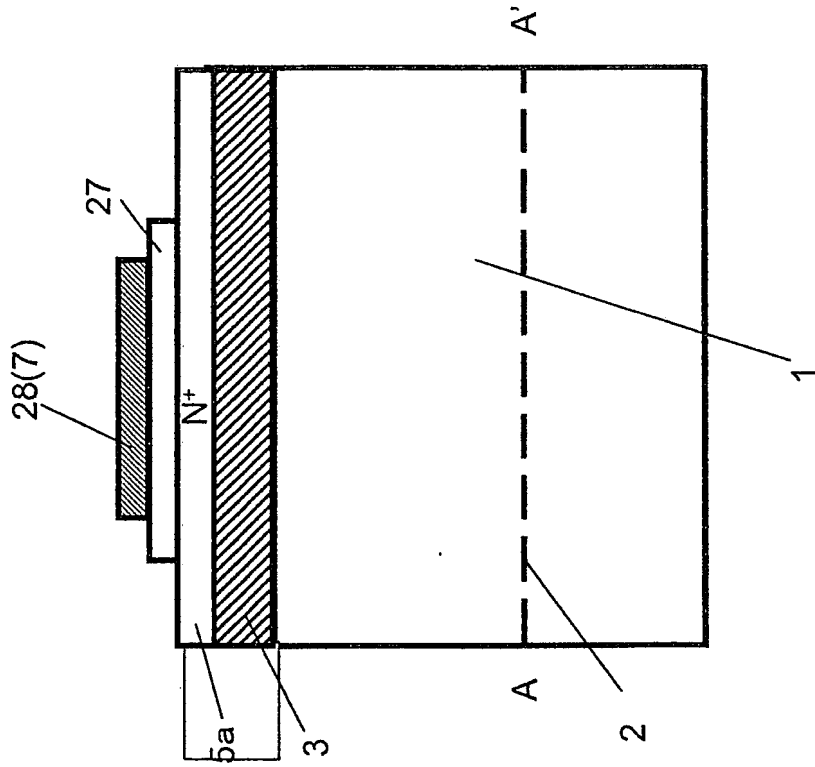
第5B圖



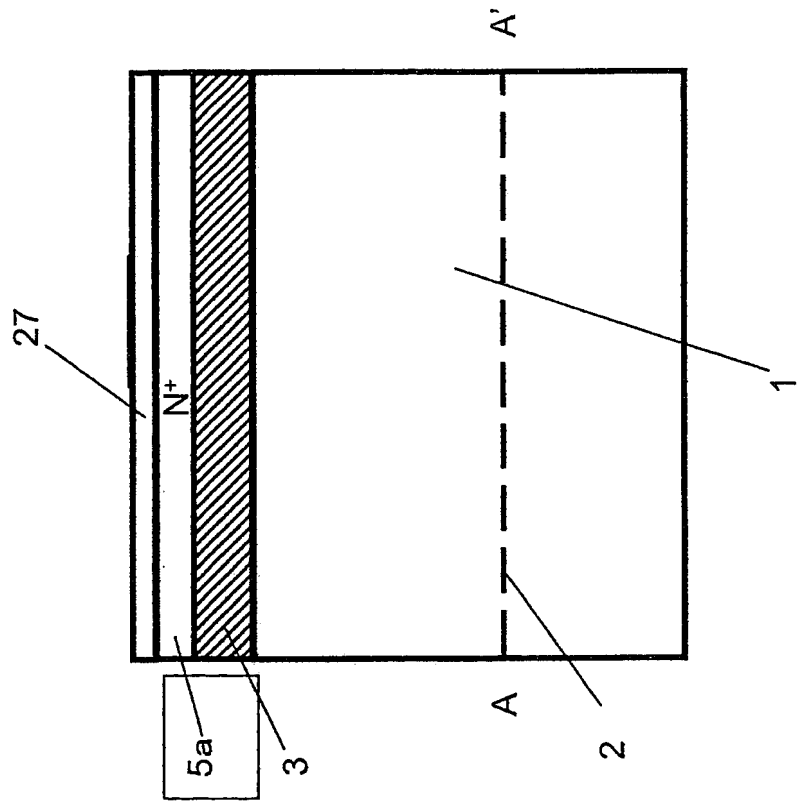
第5A圖



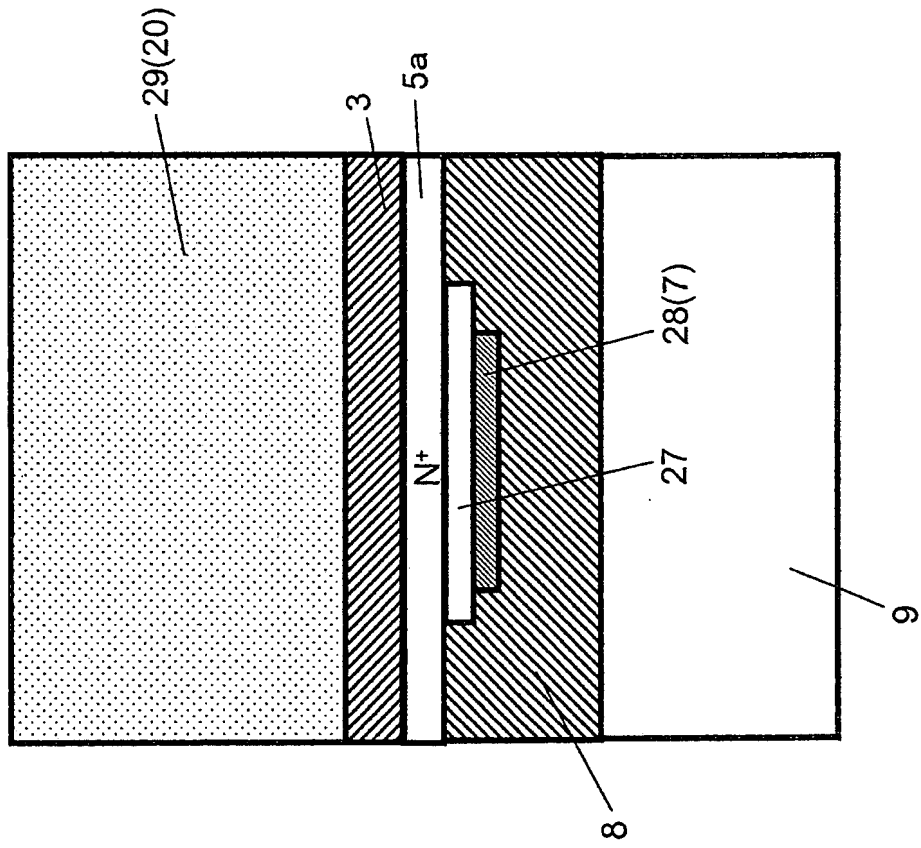
第5C圖



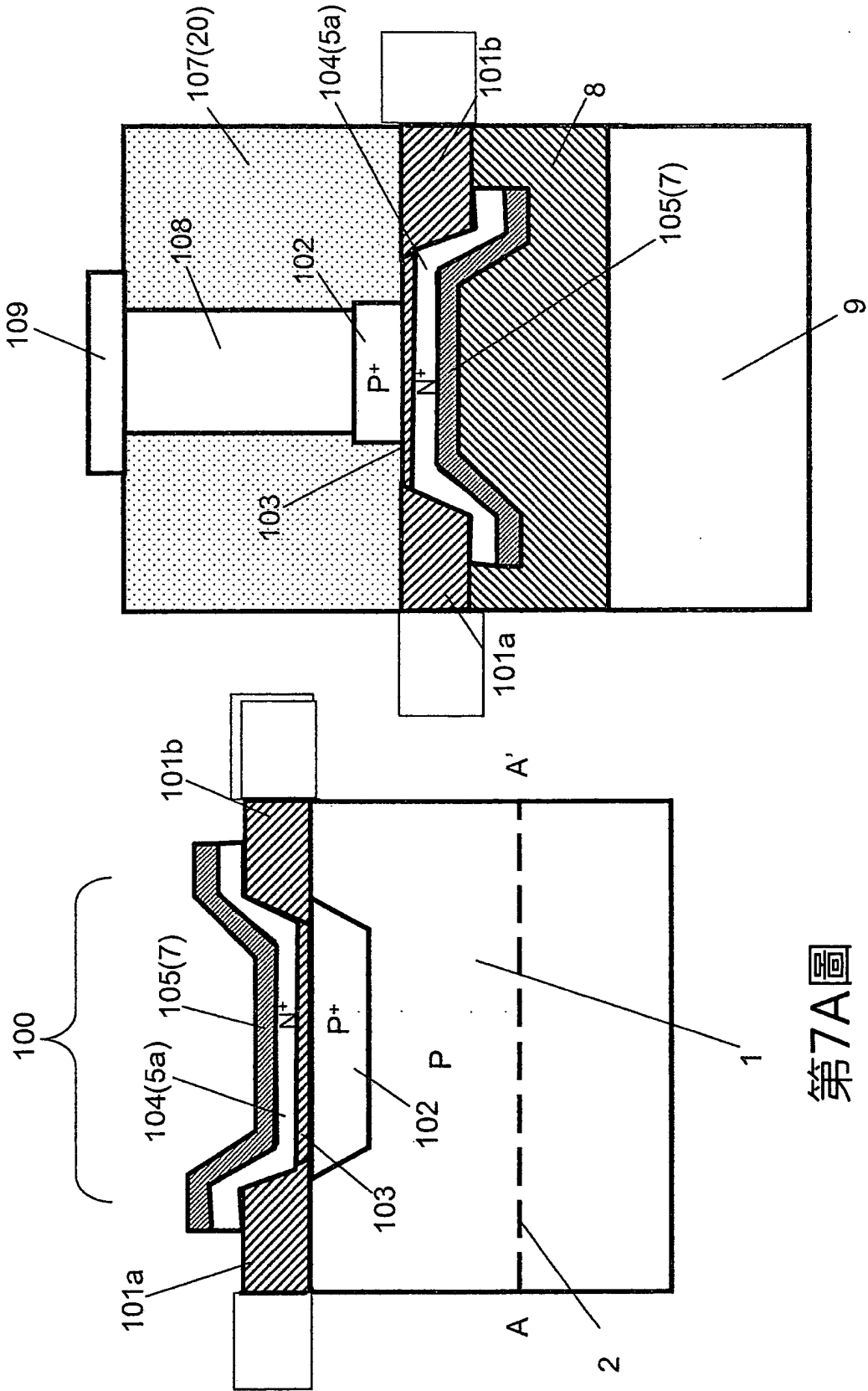
第6B圖



第6A圖

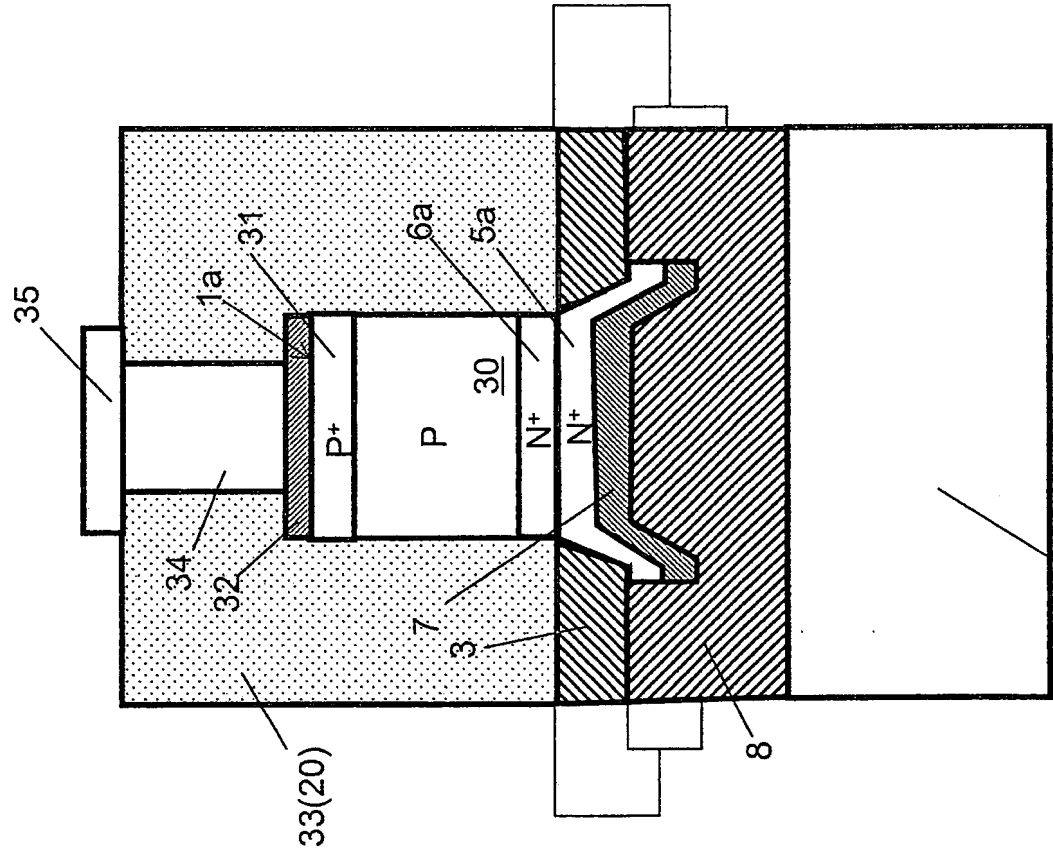


第6C圖

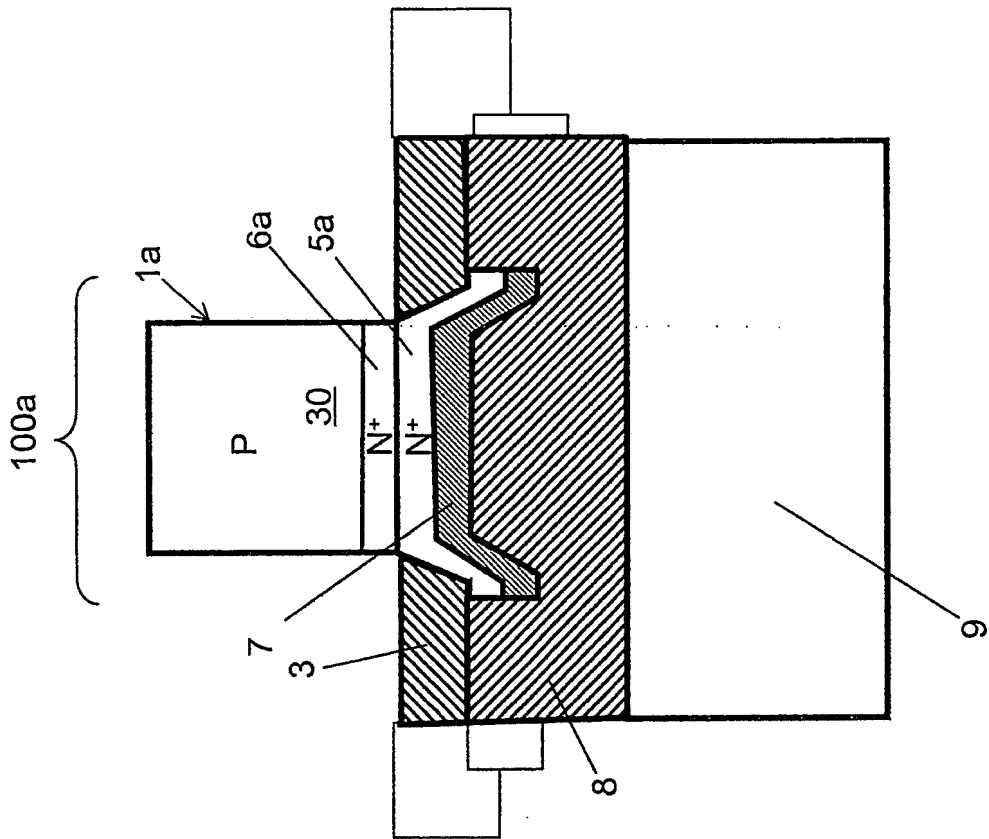


第7A圖

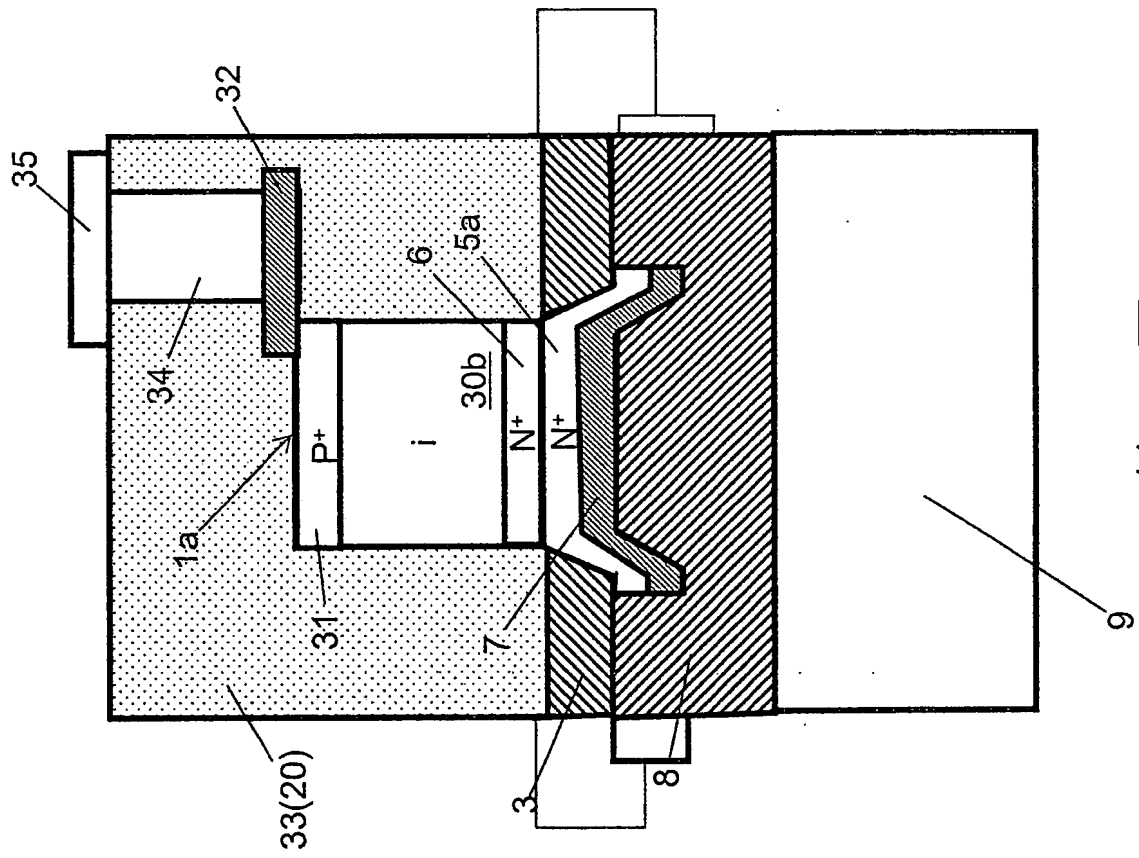
第7B圖



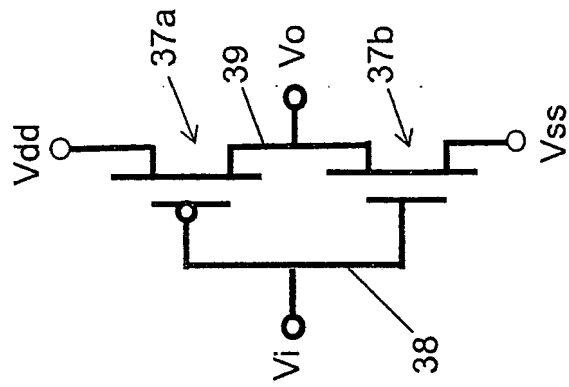
第8B圖



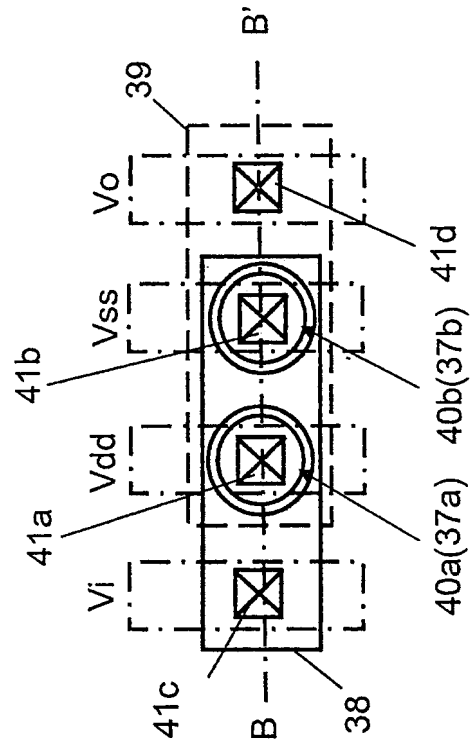
第8A圖



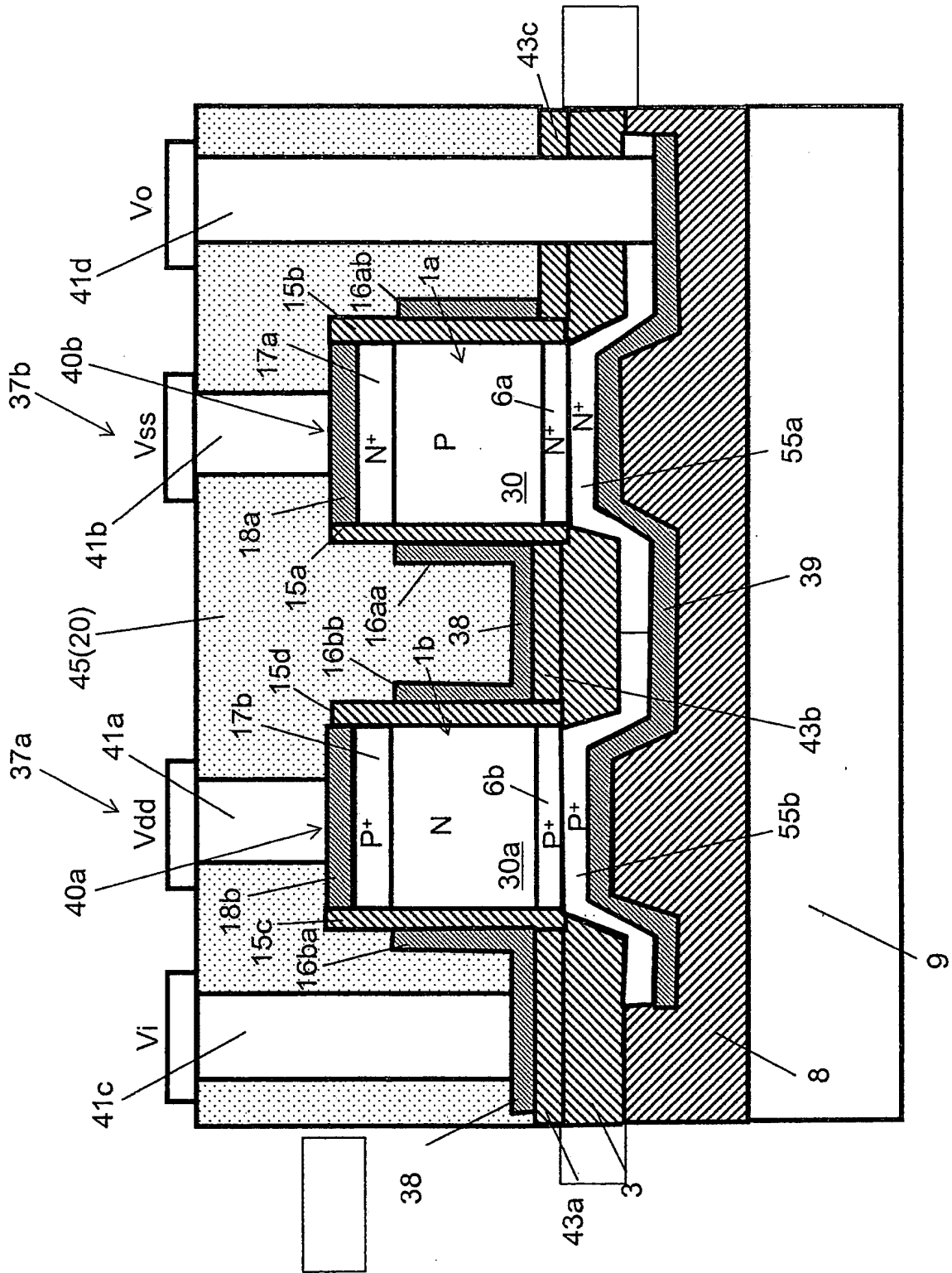
第8C圖



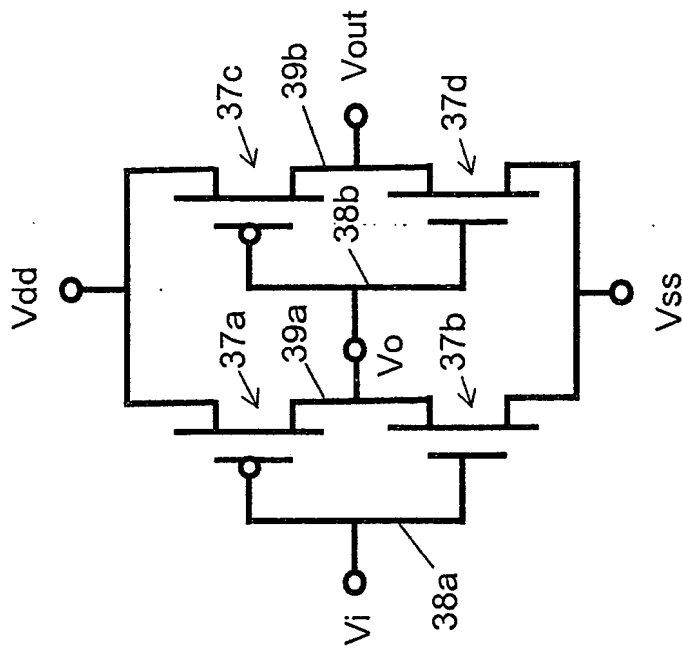
第9A圖



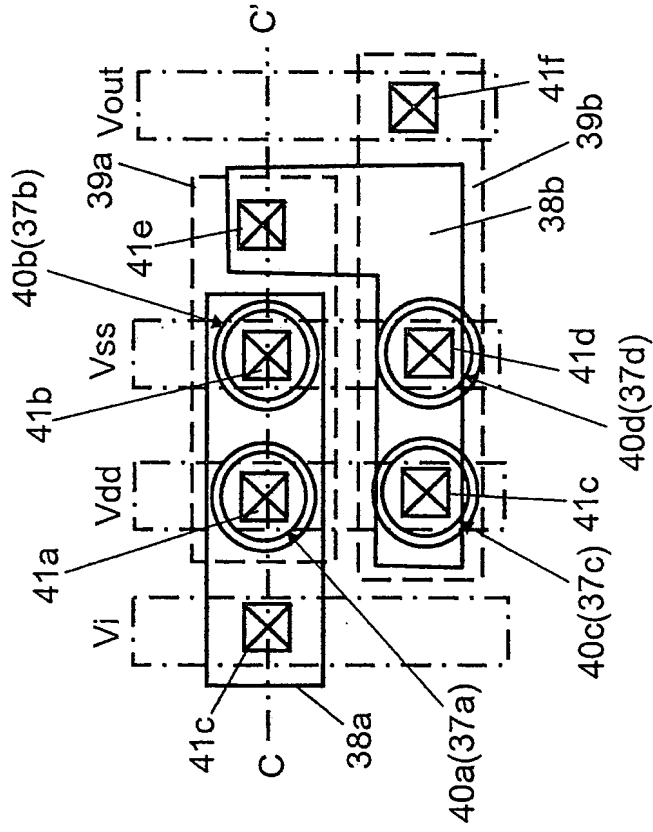
第9B圖



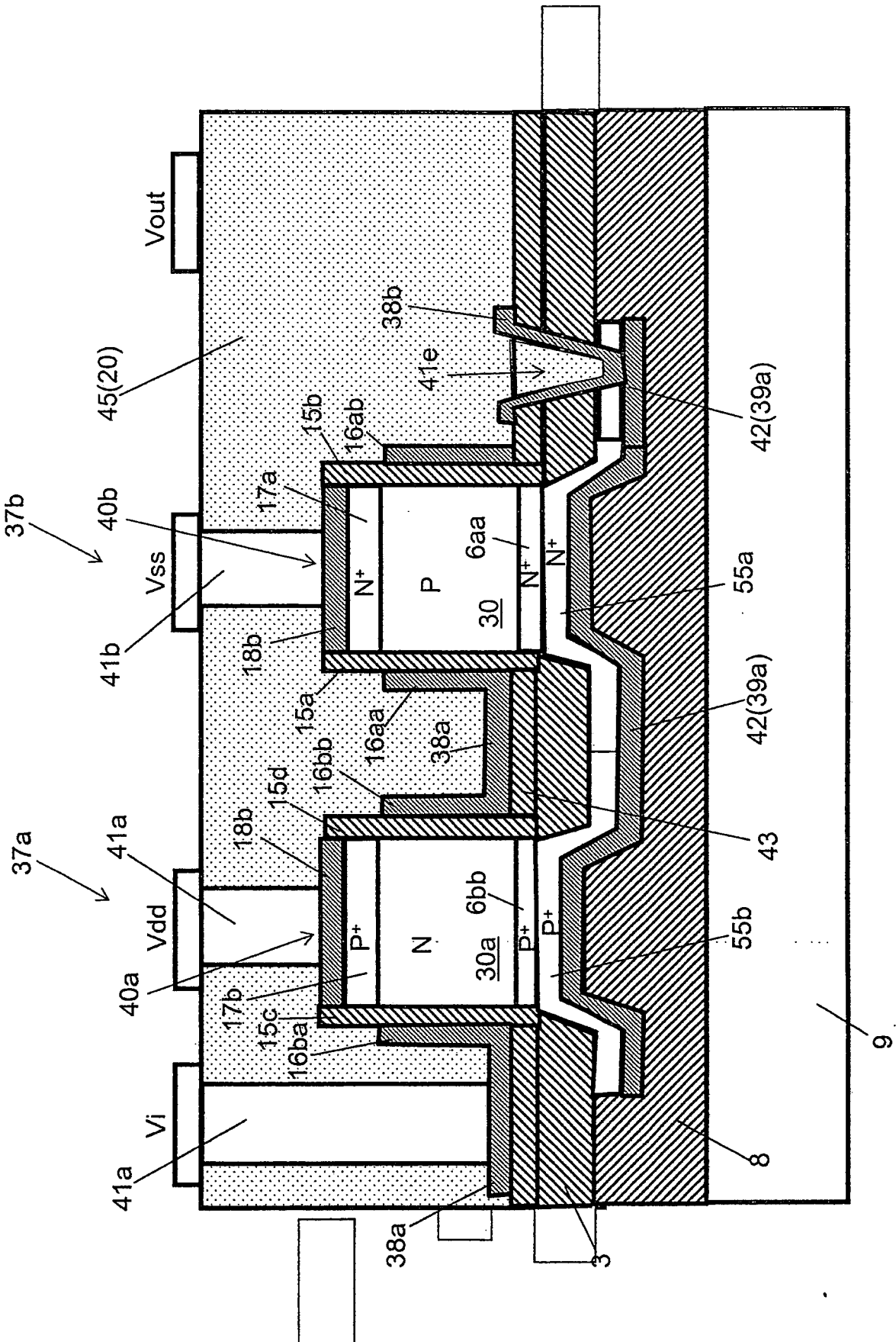
第9C圖



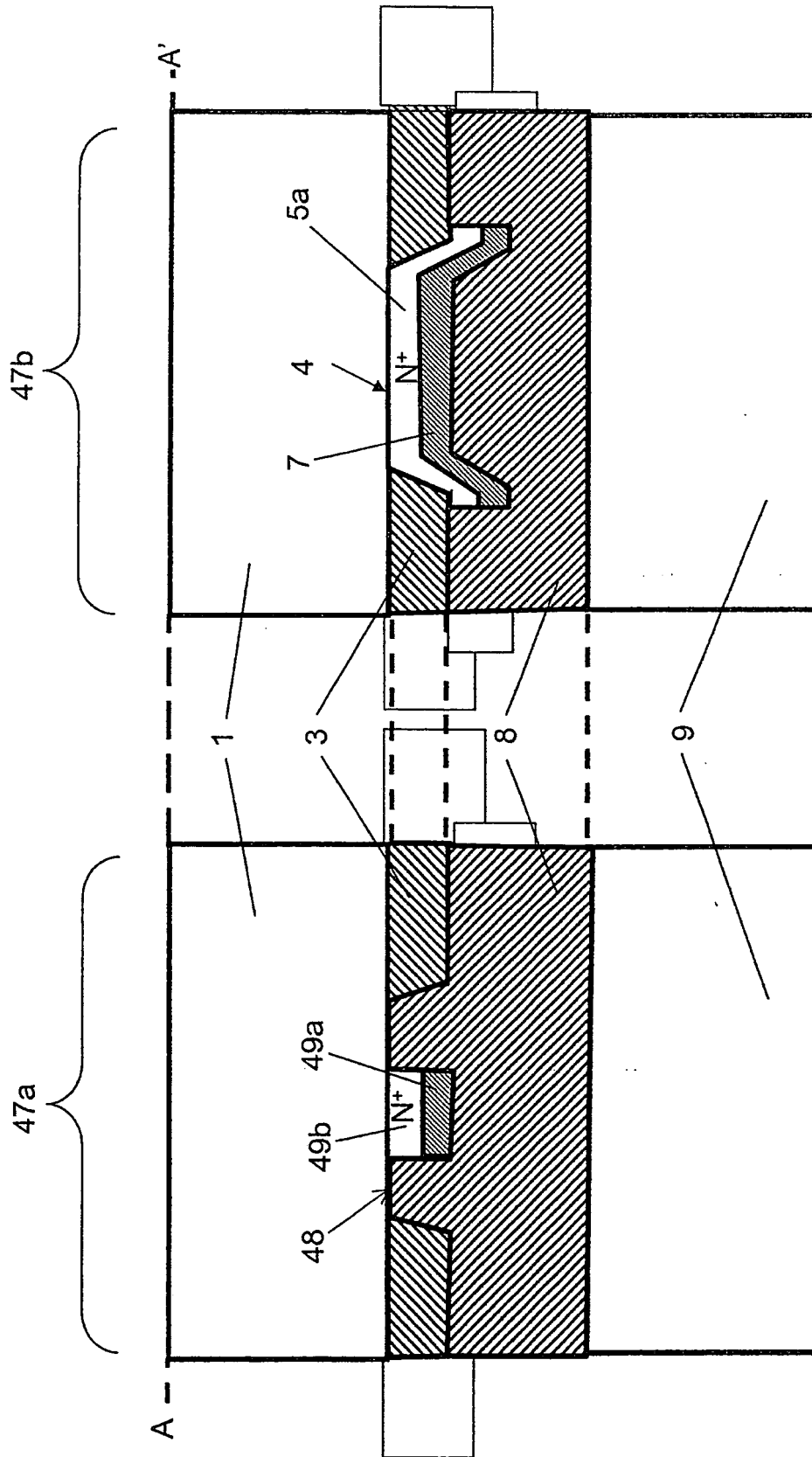
第10A圖



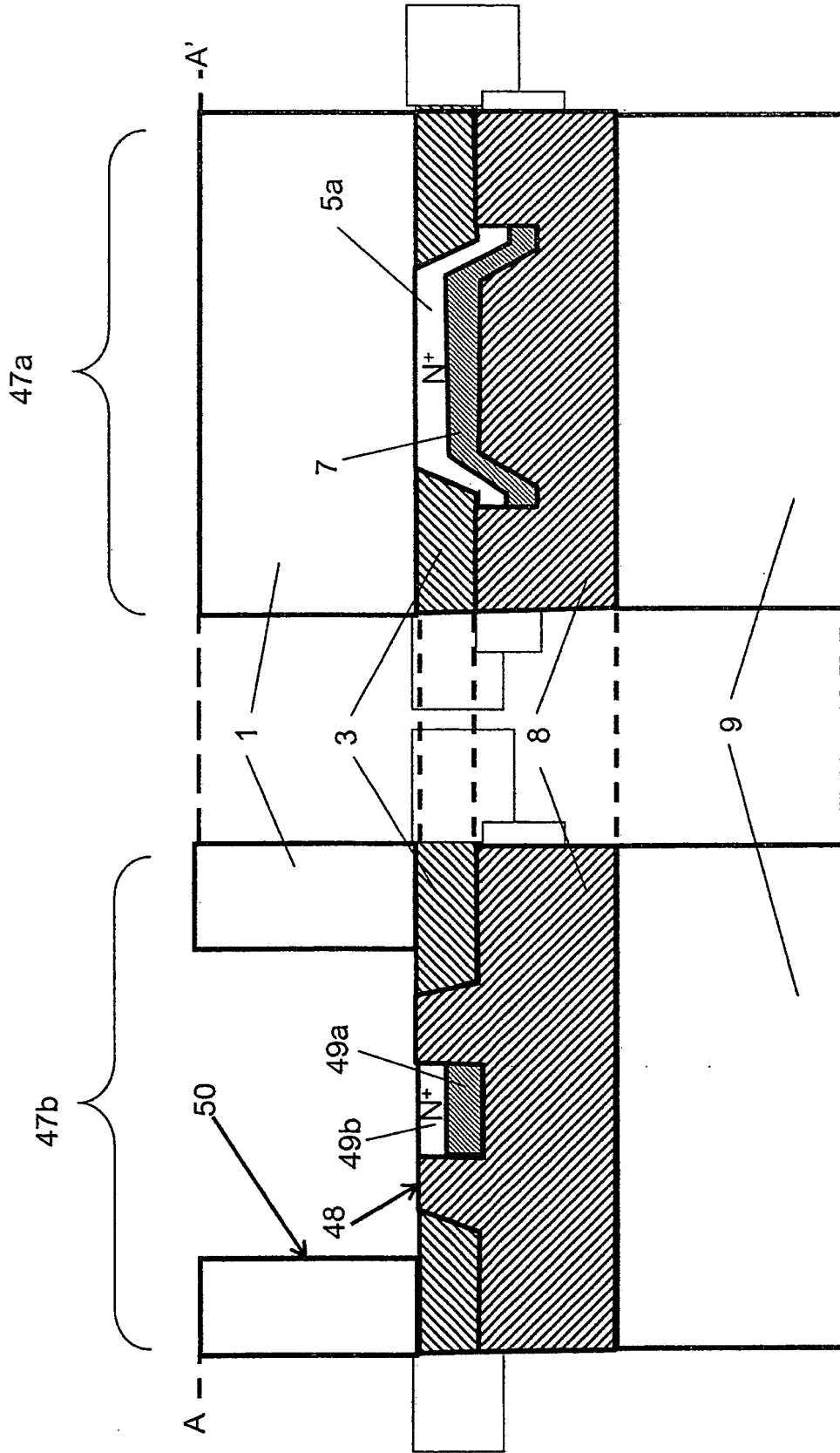
第10B圖



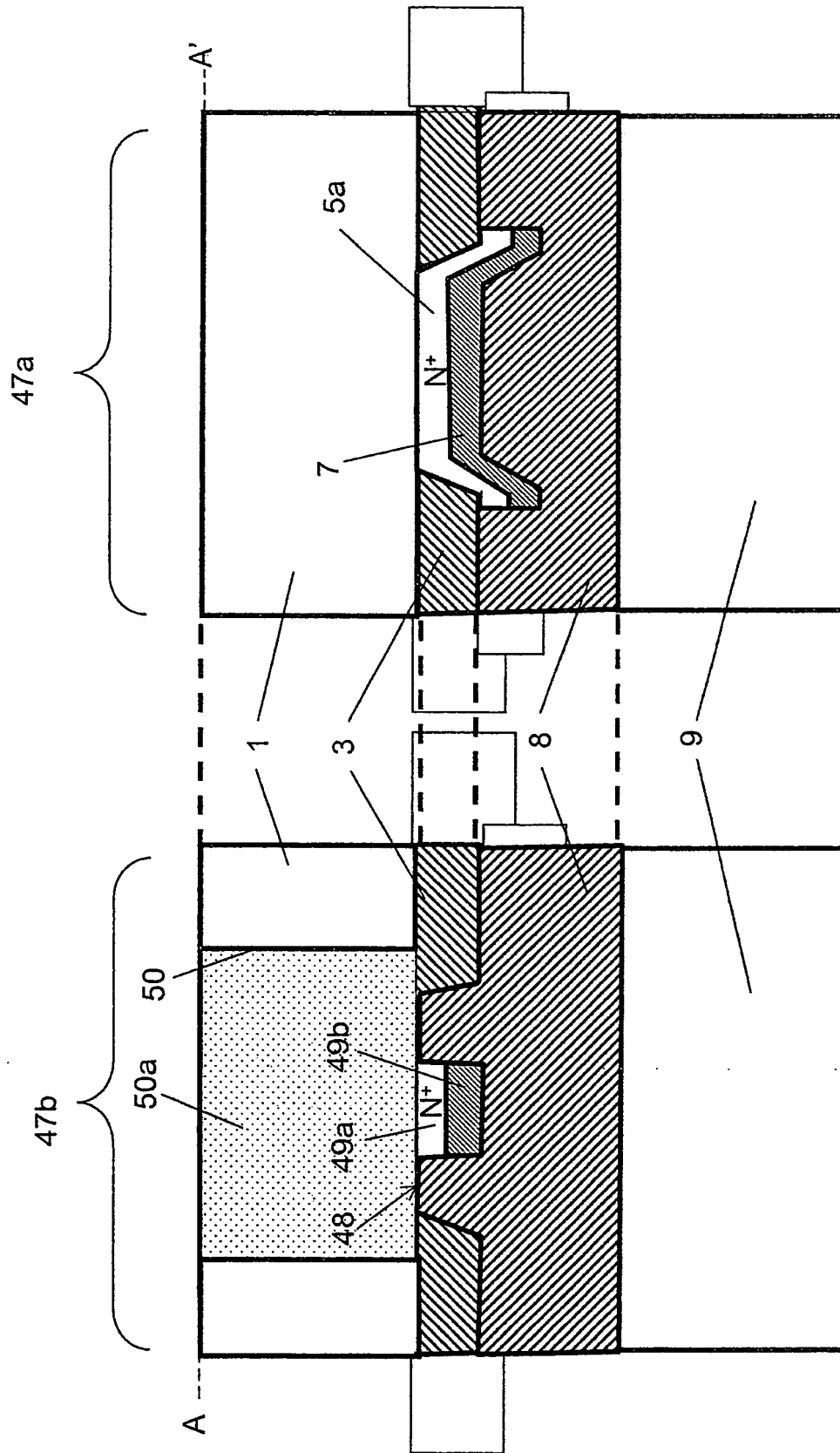
第10C圖



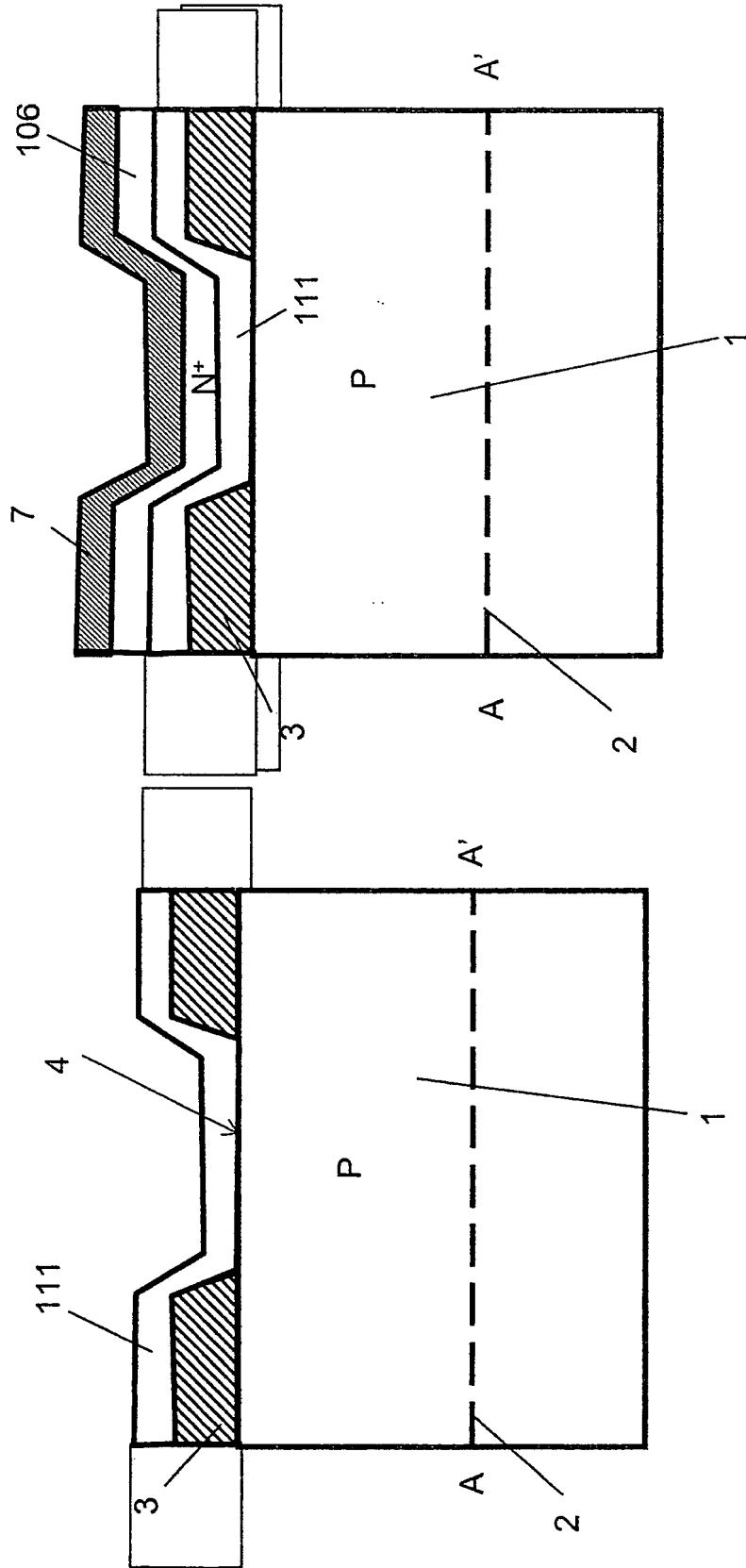
第11A圖



第11B圖

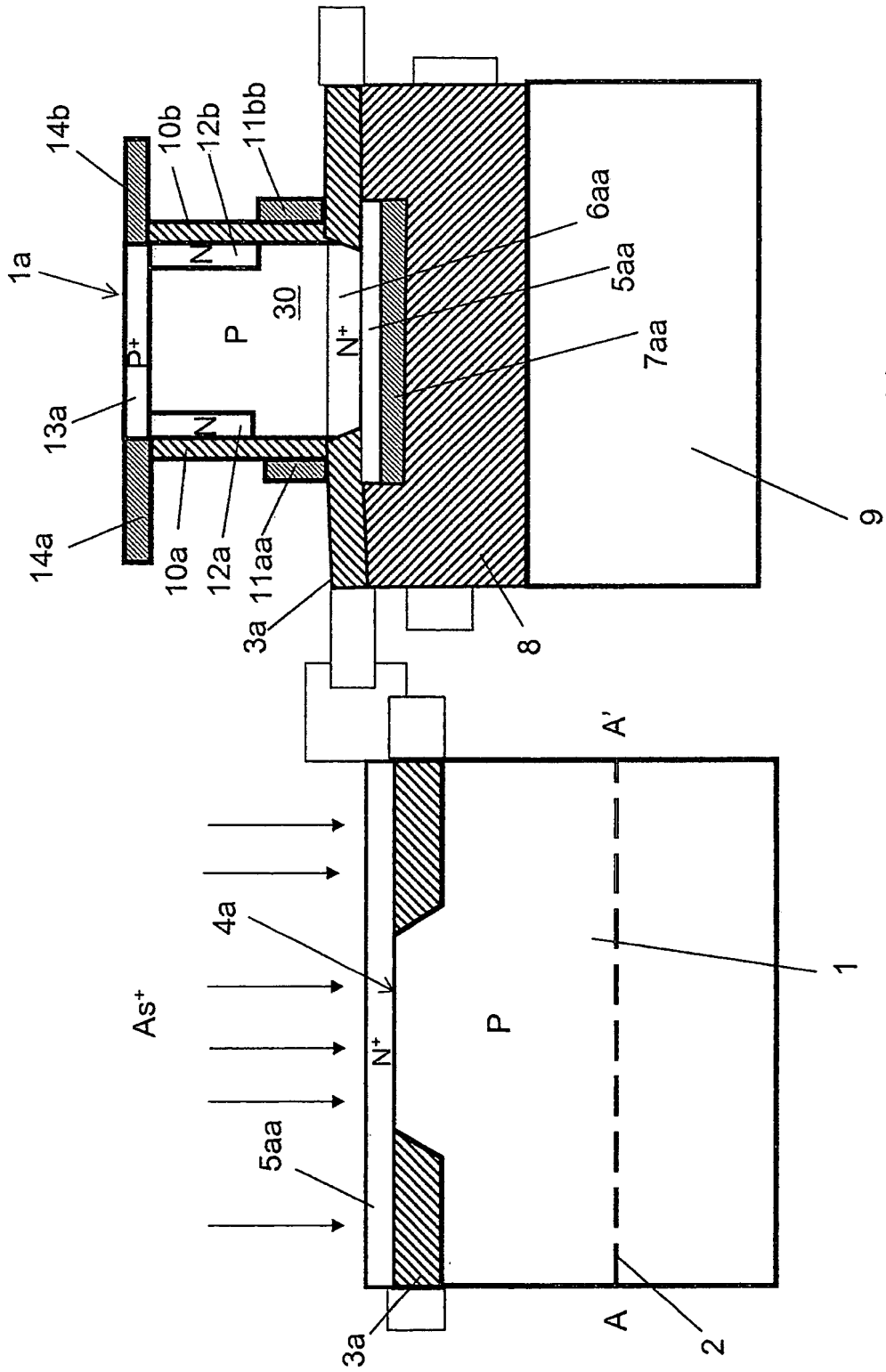


第12圖



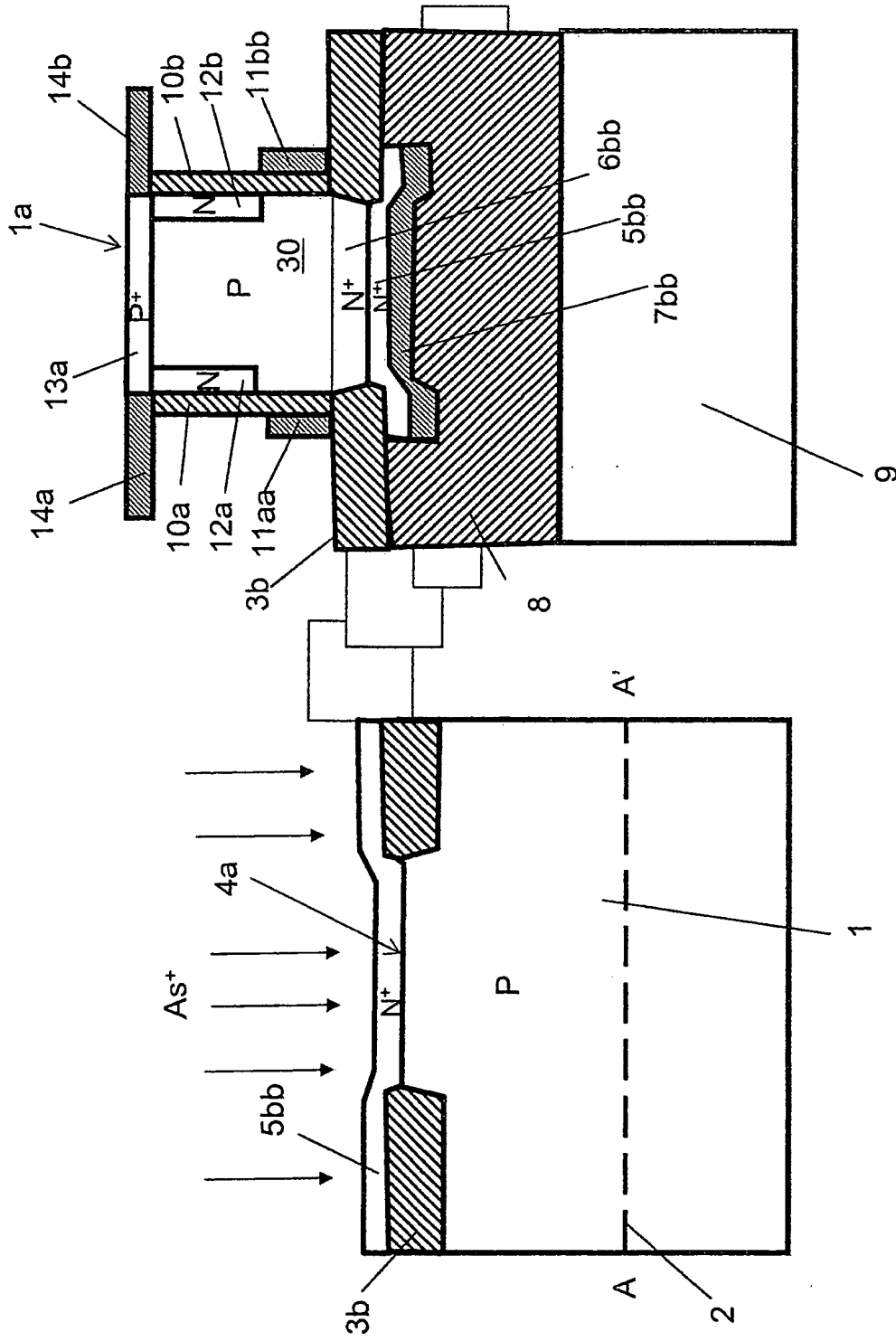
第13B圖

第13A圖



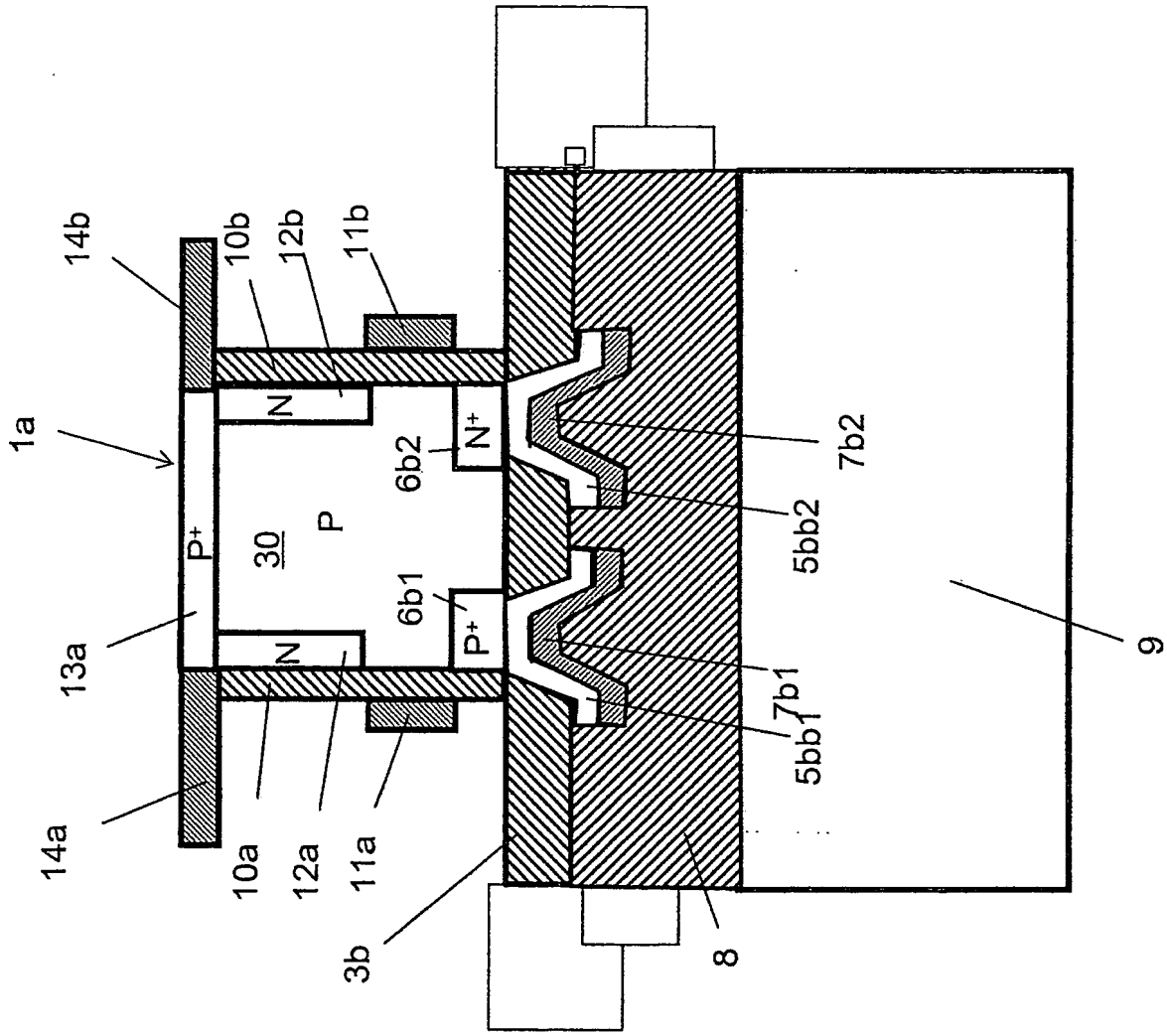
第14B圖

第14A圖

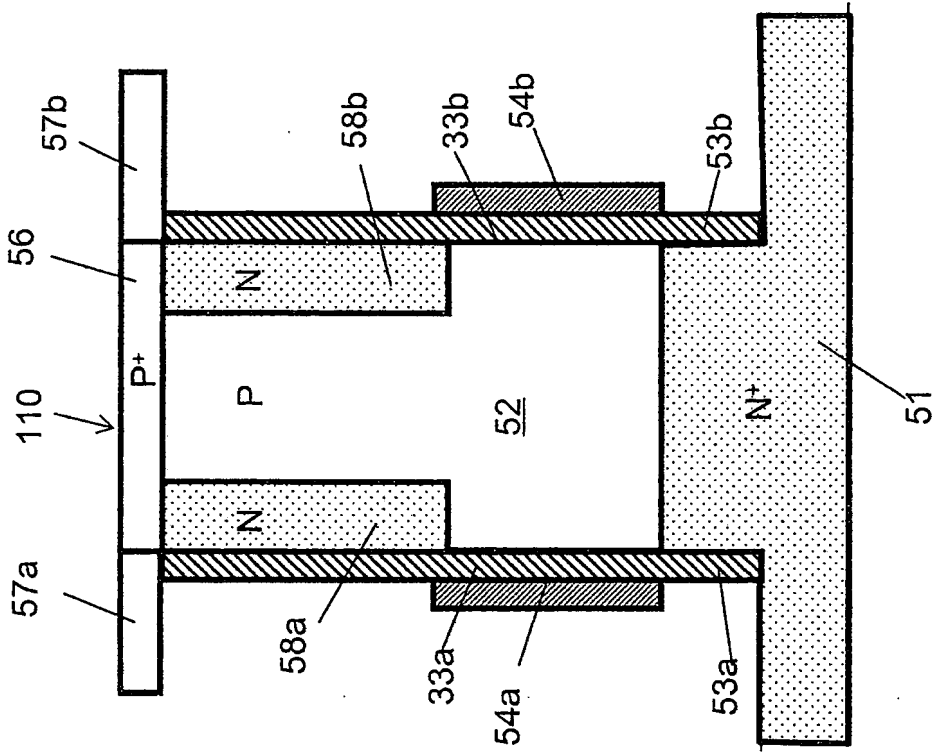


第15A圖

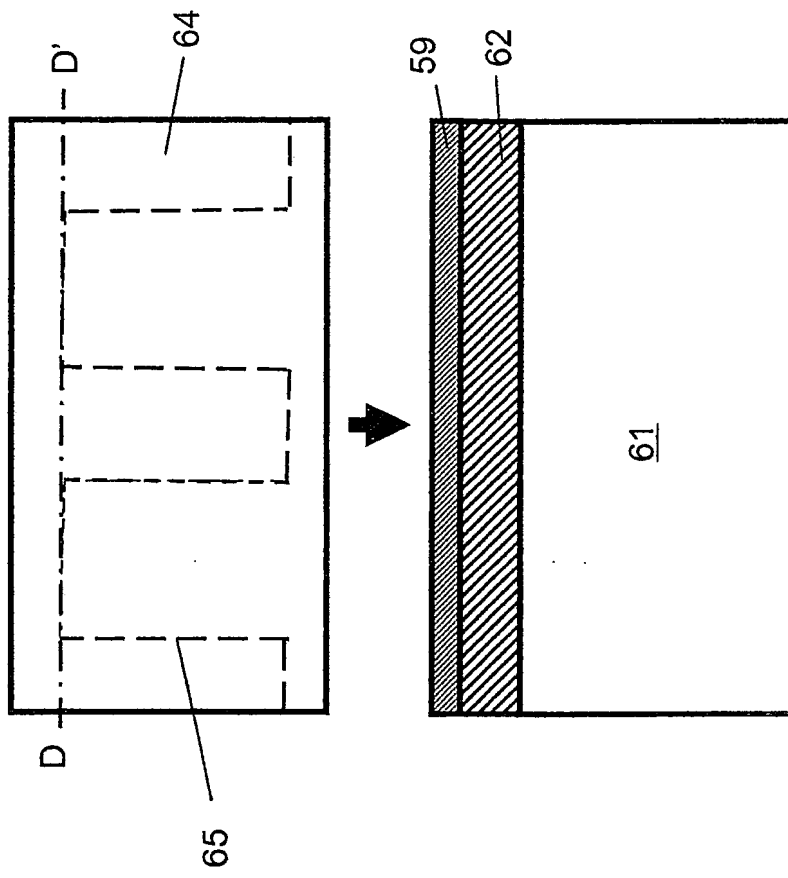
第15B圖



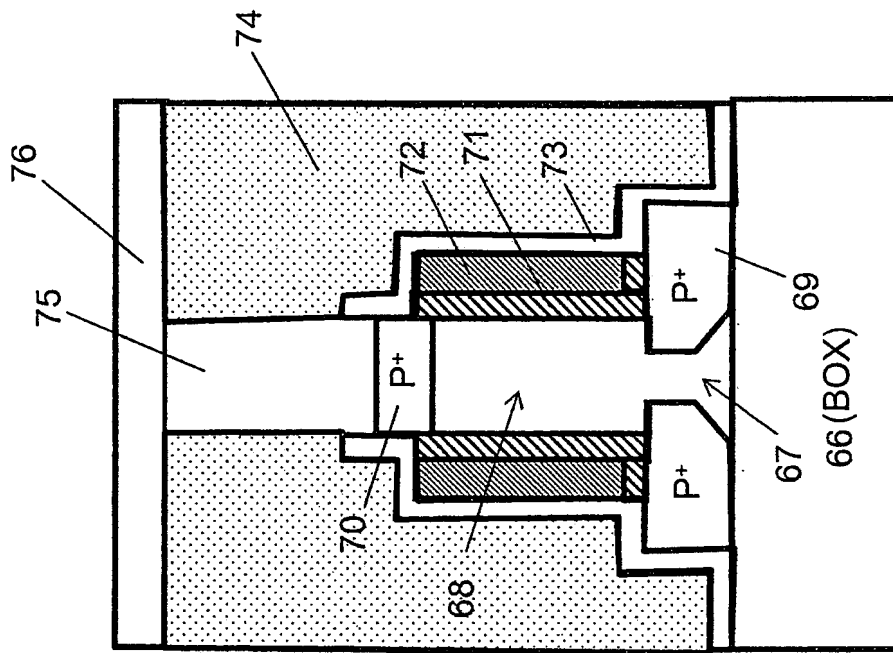
第16C圖



第17圖



第18B圖



第19圖

四、指定代表圖：

(一)本案指定代表圖為：第(1A至1L)圖。

(二)本代表圖之元件符號簡單說明：

1	第一半導體基板	1a、1b	矽柱
2	分離層	3	第一氧化矽層
4	孔	5	多結晶矽層
5a	N ⁺ 多結晶矽層	6a、6ab	N ⁺ 擴散層
7	金屬層	8	第二氧化矽層
9	第二半導體基板		
10a、10b、10c、10d	第三氧化矽層		
11a、11b、11c、11d	閘極導體層		
12a、12b、12c、12d	N型矽層		
13a、13b	P ⁺ 型矽層		
14a、14b、14c、14d	畫素選擇金屬配線層		
30	P型矽層		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置的製造方法及半導體裝置，尤其係關於具備有在具有柱狀構造之半導體內形成有通道(channel)區域之電晶體(transistor)之半導體裝置的製造方法及半導體裝置。

【先前技術】

CCD 及 CMOS 型等之固態影像感測裝置係廣為用於視訊攝影機(video camera)、靜物攝影機(still camera)等。並且，係要求有固態影像感測裝置的高解析度化、高速動作化、及高靈敏度化等之性能提升。

如第 17 圖所示，已知有一個畫素構成於一個柱狀半導體 110 內之固態影像感測裝置(例如，參照專利文獻 1)。

在此畫素構造中，係在半導體基板上形成有作為固態影像感測裝置的訊號線發揮功能之 N⁺型矽(silicon)層 51。再者，於 N⁺型矽層 51 係連接有柱狀半導體 110。於該柱狀半導體 110 係形成有由 P 型矽層 52、絕緣膜 53a、53b、閘極導體層 54a、54b 所構成之用以去除儲存電荷之 MOS 電晶體。再者，於柱狀半導體 110 係形成有連接於此 MOS 電晶體，並儲存藉由光束(電磁能量波)照射而產生之電荷之光電二極體(photodiode)。此光電二極體係由 P 型矽層 52、及 N 型矽層 58a、58b 所構成。再者，係形成有將以此光電二極體所圍繞之 P 型半導體 52 設為通道(channel)、將光電二極體設為閘極(gate)、以及將形成於光電二極體

10d。此矽柱 1b 係與矽柱 1a 同樣地為藉由第 1A 圖至第 1K 圖所示之步驟所形成者。

接著，如第 1L 圖所示，於第 3 氧化矽層 10c、10d 的外周部，藉由氣相沉積法或 CVD 法而形成閘極導體層 11c、11d。

接著，如第 1L 圖所示，藉由將磷(P)或砷(As)等施體雜質離子摻雜至閘極導體層 11c、11d 的上方部位且為矽柱 1b 的表層部，而形成 N 型矽層 12c、12d。由此 N 型矽層 12c、12d、及矽柱 1b，形成光電二極體作為儲存因應入射光之訊號電荷(此時係為電子)之訊號電荷儲存手段。訊號電荷係儲存於 N⁺擴散層 6ab 與 P⁺型矽層 13b 之間之矽柱 1b(P 型矽層 30)。

接著，如第 1L 圖所示，於矽柱 1b 中，於第 3 氧化矽層 10c、10d 的上方部位，藉由將硼(B)等受體雜質離子摻雜至矽柱 1b 而形成 P⁺型矽層 13b。

並且，將此 P⁺型矽層 13a、13b 電性連接於畫素選擇金屬配線 14c、14d。藉由以上步驟而形成固態影像感測裝置之複數個畫素。

並且，就本實施形態而言，於第 1J 圖所示之步驟中，藉由熱處理使施體雜質從 N⁺多結晶層 5a 熱擴散至矽柱 1a 而形成矽柱 1a 內之 N⁺擴散層 6a。不限於此，亦可藉由在形成第 1C 圖所示之 N⁺多結晶矽層 5a 後之任意的階段之熱處理，使施體雜質從 N⁺多結晶矽層 5a 擴散至第一半導體基板 1 內而形成 N⁺擴散層 6a。亦即，亦可於第 1C 圖所示

屬於未摻雜雜質之本徵半導體之 i 型矽來取代 P 型矽，且於對應於第 1I 圖之步驟中，於 N 通道型 SGT 之矽柱 1a 係離子摻雜硼(B)等受體雜質而形成 P 型矽層 30，並於 P 通道型 SGT 之矽柱 1b，藉由離子摻雜磷(P)或砷(As)等施體雜質而形成 N 型矽層 30a 來作為本實施形態之變形例。

再者，就本實施形態而言，亦可對矽柱 1a、1b 兩者皆使用本徵半導體，並將矽柱 1a、1b 內部之本徵半導體設為 N 通道型、P 通道型 SGT 之通道。

○ (第 4 實施形態)

於下述，係參照第 4 圖說明本發明之第 4 實施形態之具有複數個 SGT 之半導體裝置的製造方法。

就本實施形態而言，係與第 3 實施形態相同地將 N 通道型 SGT、P 通道型 SGT 分別形成於 N 通道型 SGT 形成區域 1n、P 通道型 SGT 形成區域 1p(參照第 3A 圖、第 3B 圖)。

就本實施形態而言，係與第 1 及第 3 實施形態大致相同地將 N 通道型 SGT 及 P 通道型 SGT 形成於屬於同一個半導體基板之第 2 半導體基板 9 上(參照第 1A 至第 1J 圖、第 3A 圖、第 3B 圖)。然而，就對應於第 1E 圖之步驟而言，係如第 4 圖所示，於複數個 N 通道型 SGT、P 通道型 SGT 中，將作為源極發揮功能之 N^+ 多結晶矽層 55a、作為汲極發揮功能之 P^+ 多結晶矽層 55b 彼此藉由延長金屬層 7aa、7bb 而電性連接。

亦即，就本實施形態而言，於對應於第 1D 圖之步驟中，以覆蓋會成為 N^+ 多結晶矽層 55a、 P^+ 多結晶矽層 55b

的矽層之方式，藉由氣相沉積法及蝕刻而形成金屬層 7。
並且，係藉由蝕刻而將金屬層 7、 N^+ 多結晶矽層 55a、及
 P^+ 多結晶矽層 55b 成形為預定之形狀。藉此，係如第 4 圖
所示，分別形成 N^+ 多結晶矽層 55a、 P^+ 多結晶矽層 55b、及
第一連接用金屬層 7a、7b。

就本實施形態而言，係接著對應於第 3B 圖之步驟，且
參照第 4 圖，而於第一連接用金屬層 7a 上形成氧化矽層
20，並在該氧化矽層 20 形成接觸孔 21c。接著，係經由接
觸孔 21c 及第一連接用金屬層 7a，將 N^+ 多結晶矽層 55a 及
 P^+ 多結晶矽層 55b 與形成於氧化層 20 的上部之外部金屬配
線層 22c 連接。

再者，就本實施形態的第 4 圖而言，於 N 通道型 SGT
之 N^+ 多結晶矽層 55a、P 通道型 SGT 之 P^+ 多結晶矽層 55b
之背面整體，係分別接合有金屬層 77aa、77bb。並且，於
複數個矽柱 1a、1b 中， N^+ 擴散層 6a、 P^+ 擴散層 6b 以及複
數個金屬層 7aa、7bb 係互相連接。

並且，於本實施形態中，就第 4 圖而言， N^+ 擴散層 6a、
 N^+ 多結晶矽層 55a 係作為 N 通道型 SGT 的源極或者汲極，
 P^+ 多結晶矽層 55b 係作為 P 通道型 SGT 的源極或者汲極而
分別發揮功能。

如上述，依據本實施形態，於複數個 SGT 中，由 N^+ 多
結晶矽層 55a、 P^+ 多結晶矽層 55b 所構成之源極、汲極彼
此係並非於在氧化矽層 20 的上表面中形成有金屬配線
22a、22b、22c 之區域經由接觸孔等而被拉出之狀態下互

體 37a 的汲極之 P⁺擴散層 6b、P⁺型矽層 17b 上形成之金屬配線層 18b、成為 N 通道型 MOS 電晶體 37b 的汲極之 N⁺擴散層 6a、形成於 N⁺型矽層 17a 上之金屬配線 18a、汲極連接配線 39 係分別經由貫通氧化矽層 45 之接觸孔 41c、41a、41b、41d，而連接於形成在氧化矽層 45 上之輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、輸出端子配線層 Vo。輸入端子配線層 Vi、電源端子配線層 Vdd、接地端子配線層 Vss、與輸出端子配線層 Vo 係互相平行地予以配線(參照第 9C 圖)。

依據本實施形態，於 P 通道型 MOS 電晶體 37a 中作為汲極發揮功能之 P⁺擴散層 6b、P⁺多結晶矽層 55b，與 N 通道型 MOS 電晶體 37b 中作為汲極發揮功能之 N⁺擴散層 6a、N⁺多結晶矽層 55a 係在互相接近之狀態下連接，並藉由具有低電阻之汲極連接配線 39 予以電性連接。依據此構造，可得到實現高速且高積體度之具有 CMOS 反相器電路之積體電路。

(第 10 實施形態)

於下述，係參照第 10A 至第 10D 圖，說明有關本發明第 10 實施形態之二段構造之 CMOS 反相器電路。於下述，與上述第 9 實施形態共通或者對應之符號所示之部分及構造係省略說明。

於第 10A 圖，係顯示本實施形態所使用之二段構造 CMOS 反相器電路。

如第 10A 圖所示，P 通道型 MOS 電晶體 37a、37c 與 N

即，就第 1K 圖而言，為了減低洩漏電流，而必須將 N^+ 擴散層 6a 與 P 型矽層 30 之 PN 接合之邊界面的位置形成於矽柱 1a 之內部，故必須使第一氧化矽層 3 與閘極導體層 11a、11b 分離。

茲一面參照第 15A 圖、第 15B 圖，一面說明第 13 實施形態之半導體裝置的別的製造方法。第 15A 圖係為對應於第 1 實施形態之第 1C 圖所示之步驟者，而第 15B 圖係為對應於第 1K 圖所示之步驟者。其他步驟除了於下述特別說明之情形以外，係與第 1 實施形態相同。

就本實施形態而言，係如第 15A 圖所示，藉由 LOCOS (Local Oxidation of Silicon, 矽局部氧化) 法而於區域 4a 的周邊區域形成第一氧化層 3b。就此 LOCOS 法而言，係於區域 4a 上形成較薄之氧化矽層與氮化矽層，接著藉由進行氧化處理，而形成氧化矽層 3b。之後，經過與第 1C 圖相同之步驟而形成 N^+ 多結晶矽層 5bb。

之後藉由經過第 1D 圖至第 1K 圖所示之步驟，可得到第 15B 圖所示之畫素構造。若將第 1K 圖與第 15B 圖進行比較，則第 15B 圖與第 1K 圖係有以下二點不同。

- (1) 相對於在第 15B 圖中，第一氧化矽層 3a 所圍繞之 N^+ 擴散層 6aa 係與第 14B 圖相同形成為逆梯形，於第 1K 圖中， N^+ 多結晶矽層 5a 係沿著第一氧化矽層 3 的側面而形成為梯形。
- (2) 相對於在第 15B 圖中，閘極導體層 11aa、11bb 係與第一氧化矽層 3b 接觸，於第 1K 圖中，閘極導體層 11a、

11b 係與第一氧化矽層 3 分離。

藉由此(1)至(2)之不同點，依據本實施形態，係有如下述之優點。亦即，

(1) 與第 14B 圖相同， N^+ 擴散層 6bb 係為藉由來自 N^+ 多結晶矽層 5bb 之熱擴散而形成，且於熱擴散的熱處理之前為未存在有施體雜質之層，並可使其具有與說明第 12 實施形態之第 13B 圖之多結晶矽層 111 相同之功能。因此，即便未使用多結晶矽層 111，亦可形成擴散層端部位於閘極導體層 11aa、11bb 的下方位置之 N^+ 擴散層 6bb。

(2) 與第 14B 圖相同，對齊於 N^+ 擴散層 6bb 之位置而以蝕刻形成矽柱 1a 時，即便矽柱 1a 的側面係偏向 N^+ 擴散層 6bb 的內側，亦由於第一氧化矽層 3b 係屬於具有厚度之 N^+ 擴散層 6bb，或者朝內側萎縮而形成，故矽蝕刻會難以到達金屬層 7aa。

(3) 與第 14B 圖相同，由於在閘極導體層 11aa、11bb 與第一氧化矽層 3a 之間無須形成間隙，故在閘極導體層 11aa、11bb 及第一氧化矽層 3b 的上方形成閘極導體層配線係容易化。

(第 14 實施形態)

於下述，係參照第 16A、第 16B 圖，說明本發明第 14 實施形態之半導體裝置的製造方法。本實施形態之特徵點在於，在矽柱 1a 的底部形成二個部位以上之雜質區域。

於第 16A 圖係顯示相當於第 1C 圖之剖面構造圖。將第

電阻，而實現固態影像感測裝置的高速驅動。

再者，依據本實施形態，係與上述步驟同樣地，可於矽柱 1a 的底部形成二個部位以上之雜質區域。再者，本實施形態當然可適用於本實施形態以外之實施形態，例如，將固態影像感測裝置以外之電路元件形成於矽柱 1a 之半導體裝置的製造方法。

並且，就第 1 實施形態及與第 1 實施形態關聯之實施形態而言，係藉由熱氧化、正極氧化、或者 CVD (Chemical Vapor Deposition) 等形成第 1 氧化矽層 3。係不限於此，亦可藉由與氮化矽 (SiN) 膜等其他絕緣膜之多層構造予以構成。

並且，本發明係不受在上述第 1 至第 12 實施形態說明之實施形態所限定，而可有各種變形。

就上述實施形態而言，第一半導體基板 1 係設為 P 型導電型。係不限於此，第一半導體基板 1 亦可為屬於本徵半導體之 i 型 (本徵 (intrinsic) 型)。再者，亦可因應形成於第一半導體基板 1 之電路元件，而設為 N 型導電型。

同樣地，就使用第 3B 圖、第 4 圖、第 9C 圖、第 10C 圖之實施形態而言，係設為 P 通道型 MOS 電晶體的通道係形成為 N 型矽層 30a，而 N 通道型 MOS 電晶體的通道係形成為 P 型矽層 30，惟係皆可形成為屬於本徵半導體之 i 型矽。

就上述實施形態而言，於第 1K 圖中，在形成於矽柱 1a 之固態影像感測裝置的畫素中，雖將 N^+ 多結晶矽層 5a、金