

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-9687

(P2010-9687A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.

G11C 11/22 (2006.01)

F I

G11C 11/22 501H

G11C 11/22 501F

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2008-168781 (P2008-168781)  
 (22) 出願日 平成20年6月27日 (2008. 6. 27)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100075812  
 弁理士 吉武 賢次  
 (74) 代理人 100082991  
 弁理士 佐藤 泰和  
 (74) 代理人 100096921  
 弁理士 吉元 弘  
 (74) 代理人 100103263  
 弁理士 川崎 康  
 (74) 代理人 100118843  
 弁理士 赤岡 明

最終頁に続く

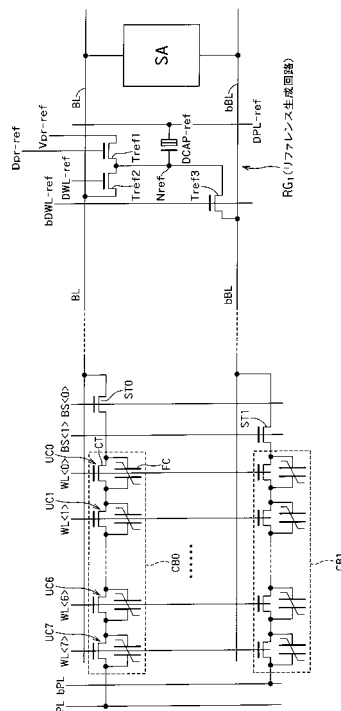
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ビット線容量の変動を抑制し、データを正確に読み出すことができる半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、強誘電体キャパシタとセルトランジスタとから成る複数のユニットセルを直列に接続して構成されたセルブロックと、選択トランジスタを介してセルブロックの一端に接続されたビット線と、複数のダミートランジスタを直列に接続した複数のダミーブロックの一端を共通に接続して構成されたダミーブロックと、ダミーブロックとビット線との間に接続されたダミーブロック選択トランジスタと、ビット線に接続されたセンスアンプと、ワード線に接続されたワード線ドライバと、ダミーワード線に接続されたダミーワード線ドライバとを備え、データ読み出し動作において、ダミーワード線ドライバは、読み出し対象のユニットセルとビット線との間に介在するセルトランジスタの個数に応じた個数のダミートランジスタをビット線に対して導通状態にする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 の電極と該第 2 の電極との間に設けられた強誘電体膜を含む複数の強誘電体キャパシタと、複数の前記強誘電体キャパシタのそれぞれに対応して設けられた複数のセルトランジスタとを含み、各前記強誘電体キャパシタおよび各前記セルトランジスタを並列に接続することによってユニットセルを成し、複数の該ユニットセルを直列に接続して構成されたセルブロックと、

前記複数のセルトランジスタのゲートに接続された複数のワード線と、

前記セルブロックの一端に接続された選択トランジスタと、

前記選択トランジスタを介して前記セルブロックの一端に接続されたビット線と、

前記セルブロックの他端に接続されたプレート線と、

複数のダミートランジスタを直列に接続することによってダミーリングを成し、複数の該ダミーリングの一端を共通に接続して構成されたダミーブロックと、

前記複数のダミートランジスタのゲートに接続された複数のダミーワード線と、

前記ダミーブロックと前記ビット線との間に接続されたダミーブロック選択トランジスタと、

前記ビット線に接続されたセンスアンプと、

前記ワード線に接続されたワード線ドライバと、

前記ダミーワード線に接続されたダミーワード線ドライバとを備え、

データ読出し動作において、前記ダミーワード線ドライバは、読出し対象の前記ユニットセルと前記ビット線との間に介在する前記セルトランジスタの個数に応じた個数の前記ダミートランジスタを前記ビット線に対して導通状態にすることを特徴とする半導体記憶装置。

## 【請求項 2】

データ読出し動作において、読出し対象の前記ユニットセルおよび前記ビット線の間に介在する前記セルトランジスタの容量と前記ビット線に対して導通状態となる前記ダミートランジスタの容量との和が一定値近傍で維持されるように、前記ダミーワード線ドライバは、前記ビット線に対して導通状態となる前記ダミートランジスタの個数を制御することを特徴とする請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記ダミートランジスタのサイズ（ゲート幅 / ゲート長）は、前記セルトランジスタのサイズ（ゲート幅 / ゲート長）とほぼ等しく、

データ読出し動作において、読出し対象の前記ユニットセルおよび前記ビット線の間に介在する前記セルトランジスタの個数と前記ビット線に対して導通状態となる前記ダミートランジスタの個数との和が一定値近傍に維持されるように、前記ダミーワード線ドライバは、前記ビット線に対して導通状態となる前記ダミートランジスタの個数を制御することを特徴とする請求項 1 または請求項 2 に記載の半導体記憶装置。

## 【請求項 4】

同一の前記ダミーブロック内にある複数の前記ダミーリングは、前記複数のダミーワード線を共有しており、

前記ダミーワード線ドライバが前記ダミーワード線のいずれかを選択することによって、該ダミーブロック内の複数のダミートランジスタが駆動されることを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体記憶装置

## 【請求項 5】

第 1 の電極と該第 2 の電極との間に設けられた強誘電体膜を含む複数の強誘電体キャパシタと、複数の前記強誘電体キャパシタのそれぞれに対応して設けられた複数のセルトランジスタとを含み、各前記強誘電体キャパシタおよび各前記セルトランジスタを並列に接続することによってユニットセルを成し、複数の該ユニットセルを直列に接続して構成されたセルブロックと、

前記複数のセルトランジスタのゲートに接続された複数のワード線と、

前記セルブロックの一端に接続された選択トランジスタと、  
 前記選択トランジスタを介して前記セルブロックの一端に接続されたビット線と、  
 前記セルブロックの他端に接続されたプレート線と、  
 複数のダミートランジスタを直列に接続することによってストリングを成し、複数の該  
 ダミーストリングで構成されたダミーブロックと、  
 前記複数のダミートランジスタのゲートに接続された複数のダミーワード線と、  
 前記ビット線に接続されたセンスアンプと、  
 前記ワード線に接続されたワード線ドライバと、  
 前記ダミーワード線に接続されたダミーワード線ドライバとを備え、  
 情報データおよびリファレンスデータをそれぞれ伝達する2本の前記ビット線の対が前  
 記センスアンプに接続されており、  
 前記センスアンプは、前記リファレンスデータに基づいて前記情報データの論理値を検  
 出し、

前記ダミーブロックは、前記2本のビット線対の間に接続され、  
 データ読出し動作において、前記ダミーワード線ドライバは、読出し対象の前記ユニ  
 ットセルと前記ビット線との間に介在する前記セルトランジスタの個数に応じた個数の前記  
 ダミートランジスタを前記ビット線に対して導通状態にすることを特徴とする半導体記憶  
 装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係わり、例えば、強誘電体キャパシタの極性によって論理  
 データを記憶する強誘電体メモリに関する。

【背景技術】

【0002】

セルトランジスタ(T)のソースドレイン間にキャパシタ(C)の両端をそれぞれ接続  
 し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニ  
 ット直列接続型強誘電体メモリ」(Memory which consists of series connected memory c  
 ells each having a transistor having a source terminal and a drain terminal and  
 a ferroelectric capacitor inbetween said two terminals, hereafter named "Series  
 connected TC unit type ferroelectric RAM")が開発されている(非特許文献1参照)  
 。

【0003】

TC並列ユニット直列接続型強誘電体メモリ(以下、単に、強誘電体メモリともいう)  
 において、センスアンプは、直列に接続された複数のユニットセルからなるセルブロッ  
 クのうち或るユニットセルからデータを読み出す。このとき、読出し対象のユニットセルと  
 ビット線との間には、非選択ユニットセルが介在する場合がある。介在する非選択ユニ  
 ットセルの個数は、読出し対象のユニットセルの位置によって異なる。データ読出し時に非  
 選択ユニットの容量がビット線容量に付加するため、読出し対象のユニットセルの位置に  
 よって、ビット線容量が変動する。

【0004】

読出し対象のユニットセルの位置に応じてビット線容量が変動すると、データ読出し時  
 における動作点が読出し対象のユニットセルの位置に応じて異なる。これは、センスマ  
 ジンを低下させる原因となる。

【非特許文献1】D.Takashima et al., "High-density chain Ferroelectric random m  
 emory (CFeRAM)" in proc.VLSI Symp. June 1997,pp.83-84

【発明の開示】

【発明が解決しようとする課題】

【0005】

読出し対象のユニットセルの位置に応じたビット線容量の変動を抑制し、データを正確

10

20

30

40

50

に読み出すことができる半導体記憶装置を提供する。

【課題を解決するための手段】

【0006】

本発明に係る実施形態に従った半導体記憶装置は、第1の電極と該第2の電極との間に設けられた強誘電体膜を含む複数の強誘電体キャパシタと、複数の前記強誘電体キャパシタのそれぞれに対応して設けられた複数のセルトランジスタとを含み、各前記強誘電体キャパシタおよび各前記セルトランジスタを並列に接続することによってユニットセルを成し、複数の該ユニットセルを直列に接続して構成されたセルブロックと、前記複数のセルトランジスタのゲートに接続された複数のワード線と、前記セルブロックの一端に接続された選択トランジスタと、前記選択トランジスタを介して前記セルブロックの一端に接続されたビット線と、前記セルブロックの他端に接続されたプレート線と、複数のダミートランジスタを直列に接続することによってダミーリングを成し、複数の該ダミーリングの一端を共通に接続して構成されたダミーブロックと、前記複数のダミートランジスタのゲートに接続された複数のダミーワード線と、前記ダミーブロックと前記ビット線との間に接続されたダミーブロック選択トランジスタと、前記ビット線に接続されたセンスアンプと、前記ワード線に接続されたワード線ドライバと、前記ダミーワード線に接続されたダミーワード線ドライバとを備え、

10

データ読出し動作において、前記ダミーワード線ドライバは、読出し対象の前記ユニットセルと前記ビット線との間に介在する前記セルトランジスタの個数に応じた個数の前記ダミートランジスタを前記ビット線に対して導通状態にすることを特徴とする。

20

【0007】

本発明に係る実施形態に従った半導体記憶装置は、第1の電極と該第2の電極との間に設けられた強誘電体膜を含む複数の強誘電体キャパシタと、複数の前記強誘電体キャパシタのそれぞれに対応して設けられた複数のセルトランジスタとを含み、各前記強誘電体キャパシタおよび各前記セルトランジスタを並列に接続することによってユニットセルを成し、複数の該ユニットセルを直列に接続して構成されたセルブロックと、前記複数のセルトランジスタのゲートに接続された複数のワード線と、前記セルブロックの一端に接続された選択トランジスタと、前記選択トランジスタを介して前記セルブロックの一端に接続されたビット線と、前記セルブロックの他端に接続されたプレート線と、複数のダミートランジスタを直列に接続することによってダミーリングを成し、複数の該ダミーリングで構成されたダミーブロックと、前記複数のダミートランジスタのゲートに接続された複数のダミーワード線と、前記ビット線に接続されたセンスアンプと、前記ワード線に接続されたワード線ドライバと、前記ダミーワード線に接続されたダミーワード線ドライバとを備え、

30

情報データおよびリファレンスデータをそれぞれ伝達する2本の前記ビット線の対が前記センスアンプに接続されており、前記センスアンプは、前記リファレンスデータに基づいて前記情報データの論理値を検出し、前記ダミーブロックは、前記2本のビット線対の間に接続され、データ読出し動作において、前記ダミーワード線ドライバは、読出し対象の前記ユニットセルと前記ビット線との間に介在する前記セルトランジスタの個数に応じた個数の前記ダミートランジスタを前記ビット線に対して導通状態にすることを特徴とする。

40

【発明の効果】

【0008】

本発明による半導体記憶装置は、読出し対象のユニットセルの位置に応じたビット線容量の変動を抑制し、データを正確に読み出すことができる。

【発明を実施するための最良の形態】

【0009】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【0010】

50

## (第1の実施形態)

図1は、本発明に係る実施形態に従った強誘電体メモリの一例を示す構成図である。本実施形態による強誘電体メモリは、ロウ方向へ延伸する複数のワード線WLと、ロウ方向に対して直交するカラム方向へ延伸する複数のビット線BL、bBLと、ロウ方向へ延伸する複数のプレート線PL、bPLとを備える。尚、図1では、プレート線PL、bPLは、ワード線WLと区別するために破線で示されている。ビット線BLおよびbBLは対を成しており、互いに相補のデータを伝達する。プレート線PLおよびbPLもまた対を成しており、互いに相補の信号を伝達する。

## 【0011】

複数のユニットセルから成るセルブロックCBが4×4のマトリクス状に配置されている。セルブロックCBは、ビット線BLとプレート線PLとの間、あるいは、ビット線bBLとプレート線bPLとの間に接続されている。

10

## 【0012】

ワード線駆動回路WLDがワード線WLに接続されている。ワード線駆動回路WLDは、ロウデコーダRDから受け取ったアドレスに従って、一部の(単数または複数の)ワード線WLを選択し、選択されたワード線WLに電圧を印加する。センスアンプS/Aがビット線BLおよびbBLに接続されている。センスアンプS/Aは、データ読出し時に、ビット線対BL、bBLに伝播するユニットセルからのデータを検出する。また、センスアンプS/Aは、データ書込み時に、一部の(単数または複数の)ビット線BL、bBLを選択し、選択されたビット線BL、bBLに電圧を印加する。これによって、センスアンプS/Aは、選択ワード線に接続されたビット線BL、bBLを介してデータを書き込むことができる。このように、ワード線WLとビット線BLとに電圧を印加することによって、それらの交点に位置するユニットセルにデータを書込み、あるいは、該ユニットセルからデータを読み出すことができる。プレート線駆動回路PLDは、データの読出しあるいは書込み時に、プレート線PL、bPLに電圧を印加するように構成されている。

20

## 【0013】

図1は、4×4のマトリクス状に配置されたセルブロックCBを示している。しかし、セルブロックの個数はこれに限定されない。これに伴い、ワード線WL、ビット線BL、bBLおよびプレート線PL、bPLの各本数も限定しない。

## 【0014】

30

本実施形態による強誘電体メモリは、ビット線対BLとbBLとの間に接続されたダミーブロックDBと、ロウ方向に延伸する複数のダミーワード線DWLと、ダミーブロックデコーダDBDと、ダミーワード線DWLを駆動するダミーワード線ドライバDWLDと、をさらに備えている。ダミーワード線ドライバDWLDは、ダミーブロックデコーダDBDから受け取ったアドレスに従って、一部の(単数または複数の)ダミーワード線DWLを選択し、選択されたダミーワード線DWLに電圧を印加する。ダミーブロックDBは、読出し時において、読出し対象のユニットセルの位置に応じたビット線容量の変動を抑制するために設けられている。

## 【0015】

図2は、本実施形態によるセルブロックCBおよびリファレンス生成回路RGを示す回路図である。尚、図1においては、リファレンス生成回路RGは、省略されている。

40

## 【0016】

セルブロックCB0、CB1は、第1の電極と該第2の電極との間に設けられた強誘電体膜を含む複数の強誘電体キャパシタFCと、複数の強誘電体キャパシタCFのそれぞれに対応して設けられた複数のセルトランジスタCTとを含む。各々の強誘電体キャパシタFCおよび対応する各々のセルトランジスタCTは互いに並列に接続されており、それぞれユニットセルUC0~UC7を構成している。さらに、複数のユニットセルUC0~UC7を直列に接続することによってセルブロックCB0、CB1が構成されている。本実施形態では、各セルブロックCB0、CB1は、8個のユニットセルUC0~UC7を直列に接続することによって構成されている。しかし、セルブロックは、9個以上、あるい

50

は、7個以下のユニットセルで構成されていてもよい。図1に示す他のセルブロックCBの内部構成は、セルブロックCB0およびCB1の内部構成と同様である。ユニットセルUC0~UC7は、それぞれバイナリデータあるいはマルチビットデータを強誘電体キャパシタに記憶するメモリセルである。

【0017】

セルブロックCB0の一端は、選択トランジスタST0を介してビット線BLに接続されている。セルブロックCB0の他端は、プレート線PLに接続されている。セルブロックCB1の一端は、選択トランジスタST1を介してビット線bBLに接続されている。セルブロックCB1の他端は、プレート線bPLに接続されている。

【0018】

ユニットセルUC0~UC7の各セルトランジスタのゲートは、それぞれワード線WL<0>~WL<7>に接続されている。選択トランジスタST0およびST1のゲートは、それぞれビット選択信号BS0およびBS1によって制御されている。セルブロック選択信号BS0およびBS1は、図1に示すブロックセクタ回路BSCによって生成される。

【0019】

リファレンス生成回路RGは、リファレンスデータを生成するために設けられている。リファレンス生成回路RGは、リファレンスデータが生成されるリファレンスノードNrefと、リファレンスノードNrefの電圧を昇圧するリファレンスキャパシタDCAP-refと、リファレンスノードNrefをプリチャージするプリチャージ電圧Vpr-refと、プリチャージ電圧Vpr-refとリファレンスノードNrefとの間に接続されたトランジスタTref1と、ビット線BLとリファレンスノードNrefとの間に接続されたトランジスタTref2と、ビット線bBLとリファレンスノードNrefとの間に接続されたトランジスタTref3とを備えている。

【0020】

リファレンスキャパシタDCAP-refの一端は、リファレンスノードNrefに接続され、その他端はリファレンスプレート線DPL-refに接続されている。

【0021】

トランジスタTref1は、信号Dpr-refによって制御され、読出し動作前にリファレンスノードNrefをプリチャージ電圧Vpr-refに充電するためにオン状態(導通状態)となっている。読出し動作中において、トランジスタTref1は、オフ状態(非導通状態)となる。

【0022】

トランジスタTref2は、信号DWL-refによって制御され、読出し動作においてビット線BLにリファレンスデータを転送する場合にオン状態となる。このとき、セルブロックCB1からビット線bBLに情報データが伝達される。トランジスタTref3は、信号bDWL-refによって制御され、読出し動作においてビット線bBLにリファレンスデータを転送する場合にオン状態となる。このとき、セルブロックCB0からビット線bBLに情報データが伝達される。即ち、センスアンプS/Aがビット線bBLに伝達される情報データを検出する際には、リファレンスノードNrefがビット線BLに接続され、リファレンスデータはビット線BLに転送される。逆に、センスアンプS/Aがビット線BLに伝達される情報データを検出する際には、リファレンスノードNrefがビット線bBLに接続され、リファレンスデータはビット線bBLに転送される。

【0023】

図3は、本実施形態によるダミーブロックDBおよびダミーブロック選択トランジスタSTdb0、STdb1を示す回路図である。尚、図1においては、ダミーブロック選択トランジスタSTdb0、STdb1は省略されている。

【0024】

ダミーブロックDBは、複数のダミートランジスタDT00、DT10、DT20、DT30を直列に接続することによって構成されたダミーistringDS0と、複数のダミ

10

20

30

40

50

ートランジスタDT01、DT11、DT21、DT31を直列に接続することによって構成されたダミーストリングDS0とを備えている。これらのダミーストリングDS0およびDS1の一端は、共通にノードNdbに接続されている。ダミーストリングDS0およびDS1の他端は、フローティング状態となっている。

#### 【0025】

ダミートランジスタDT00、DT10、DT20、DT30のゲートは、それぞれダミーワード線DWL<0>~DWL<3>に接続されている。ダミートランジスタDT01、DT11、DT21、DT31のゲートも、それぞれダミーワード線DWL<0>~DWL<3>に接続されている。即ち、ダミーストリングDS0およびDS1に含まれるダミートランジスタDTi0およびDTi1の各ゲートは、共通にダミーワード線DWL<i>に接続されている。ここで、iは、0、1、2、3のいずれかである。

10

#### 【0026】

ダミートランジスタDT00~DT31の各サイズ(ゲート幅/ゲート長)は、それぞれセルトランジスタCTのサイズ(ゲート幅/ゲート長)とほぼ等しいことが好ましい。これにより、ダミートランジスタDT00~DT31のソースおよびドレインの寄生容量が、それぞれセルトランジスタCTのソースおよびドレインの寄生容量と等しくなる。ソースおよびドレインの寄生容量を等しくする理由は後述する。

#### 【0027】

ダミーブロックDBの一端(ノードNdb)は、ダミーブロック選択トランジスタSTdb0を介してビット線BLに接続されており、ダミーブロック選択トランジスタSTdb1を介してビット線bBLに接続されている。ダミーブロック選択トランジスタSTdb0は、ノードNdbとビット線BLとの間に接続され、ダミーブロック選択信号DBSの制御を受けてノードNdbをビット線BLに接続する。ダミーブロック選択トランジスタSTdb1は、ノードNdbとビット線bBLとの間に接続され、信号DBSの反転信号であるダミーブロック選択信号bDBSの制御を受けてノードNdbをビット線bBLに接続する。ダミーブロック選択信号DBSおよびbDBSは、ビット選択信号BS0およびBS1と同様に、図1に示すブロックセクタ回路BSCによって生成される。例えば、ブロックセクタ回路BSCは、ビット選択信号BS0を活性化した場合、ダミーブロック選択信号DBSを活性化し、逆に、ビット選択信号BS1を活性化した場合、ダミーブロック選択信号bDBSを活性化する。

20

30

#### 【0028】

ここで、活性化とは素子または回路をオンまたは駆動させることを意味し、不活性化とは素子または回路をオフまたは停止させることを意味する。従って、HIGH(高電位レベル)の信号が活性化信号である場合もあり、LOW(低電位レベル)の信号が活性化信号である場合もあることに注意されたい。例えば、NMOSトランジスタは、ゲートをHIGHにすることによって活性化する。一方、PMOSトランジスタは、ゲートをLOWにすることによって活性化する。

#### 【0029】

図4は、ダミーブロックデコーダDBDおよびダミーワード線ドライバDWLD(以下、単にダミーワード線ドライバDWLDという)の内部構成を示す回路図である。ダミーワード線ドライバDWLDは、ワード線WL<0>~WL<7>の駆動信号の論理値に基づいてダミーワード線DWL<0>~DWL<3>の駆動信号を生成するロジック回路である。尚、TC並列ユニット直列接続型強誘電体メモリでは、メモリセルMCを選択する際に、選択ワード線の電位のみが論理ロウに設定され、他の非選択ワード線の電位は論理ハイに設定される。

40

#### 【0030】

NORゲートG0は、ワード線WL<0>およびWL<1>の駆動信号の反転信号を入力し、これらの反転信号をNOR演算する。NORゲートG0は、その結果をダミーワード線DWL<0>の駆動信号として出力する。NORゲートG1は、ワード線WL<2>およびWL<3>の駆動信号の反転信号を入力し、これらの反転信号をNOR演算する。

50

NORゲートG1は、その結果をダミーワード線DWL<1>の駆動信号として出力する。NORゲートG2は、ワード線WL<4>およびWL<5>の駆動信号の反転信号を入力し、これらの反転信号をNOR演算する。NORゲートG2は、その結果をダミーワード線DWL<2>の駆動信号として出力する。NORゲートG3は、ワード線WL<6>およびWL<7>の駆動信号の反転信号を入力し、これらの反転信号をNOR演算する。NORゲートG3は、その結果をダミーワード線DWL<3>の駆動信号として出力する。

【0031】

これにより、論理ロウへ不活性化された選択ワード線WL<j>(j=0~7のいずれか)に対応するダミーワード線DWL<m>(m=0~3のいずれか)が論理ロウに不活性化される。このとき、他のダミーワード線DWL<n>(n=0~3、n≠m)は、論理ハイのままである。

10

【0032】

図5は、第1の実施形態による強誘電体メモリのデータ読出し動作の一例を示すタイミング図である。尚、ここでは、センスアンプS/Aは、ビット線BLを介してセルブロックCB0からの情報データを検出する動作を説明する。この場合、ビット線bBLにリファレンスデータが伝達される。センスアンプS/Aがビット線bBLを介して情報データを検出する動作は、以下の具体例から容易に推測可能であるので、その説明を省略する。

【0033】

読出し動作前の初期状態(~t1)では、全ワード線WL<0>~WL<7>が活性状態(ハイレベル)となっており、セルトランジスタCT0~CT7がオンしている。全ダミーワード線DWL<0>~DWL<3>が活性状態(ハイレベル)となっており、ダミートランジスタDT00~DT31がオンしている。ビット選択信号BS0、BS1、ダミービット選択信号DBS0、CBS1は、全て不活性状態(ロウレベル)である。よって、セルブロックCB0、CB1およびダミーブロックDBは、ビット線BL、bBLから切断されている。

20

【0034】

プレート線PL、bPLは、所定の電位VPLLに設定されている。これにより、セルブロックCB0、CB1は、電位VPLLにプリチャージされている。所定の電位VPLLはVSSまたはVPLに等しい場合がある。この場合であっても、本実施形態の効果は失われない。

30

【0035】

信号DWL-refおよびbDWL-refは、不活性状態である。よって、リファレンス生成回路RGもビット線BL、bBLから切断されている。図5に示されていないが、信号Dpr-refは、活性状態(ハイレベル)であり、ノードNrefは、電位Vpr-refにプリチャージされている。

【0036】

プリチャージ状態において、ビット線BL、bBLは、センスアンプS/Aによってロウレベル電位VSSにプリチャージされている。また、ユニットセルUC0~UC7はそれぞれセルトランジスタCTの寄生容量にプレート電圧VPLLによるプリチャージ電荷を蓄積している。セルトランジスタCTのプリチャージ電荷もビット線の容量の変化に影響を与える。

40

【0037】

次に、t1において、図1に示すワード線ドライバWLDは、或るワード線WL<j>(j=0~7のいずれか)を選択し、この選択されたワード線WL<j>を不活性状態にする。その他のワード線WL<k>(k=0~7、k≠j)は、活性状態を維持する。これにより、選択ワード線WL<j>に接続されたユニットセルUCjのセルトランジスタCTがオフになる。その他のユニットセルUCkのセルトランジスタCTはオン状態のままである。

【0038】

50



これと同時に、図 1 に示すダミーワード線ドライバ  $DWL D$  がダミーワード線  $DWL < m >$  ( $m = 0 \sim 3$  のいずれか) を選択し、この選択されたダミーワード線  $DWL < m >$  を不活性状態にする。選択ダミーワード線  $DWL < m >$  は、選択ワード線  $WL < j >$  に基づいて選択される。その他のダミーワード線  $DWL < n >$  ( $n = 0 \sim 3$ 、 $n \neq m$ ) は、活性状態を維持する。これにより、選択ダミーワード線  $DWL < m >$  に接続されたダミートランジスタ  $DT m 0$ 、 $DT m 1$  がオフになる。その他のダミートランジスタ  $DT n 0$ 、 $DT n 1$  はオン状態のままである。

【0039】

$t 2$  において、ビット選択信号  $BS 0$  が活性化され、ビット選択信号  $BS 1$  は不活性状態のままである。これにより、セルブロック  $CB 0$  が選択トランジスタ  $ST$  を介してビット線  $BL$  に接続される。セルブロック  $CB 1$  は、ビット線  $bBL$  から分離された状態を維持する。

10

【0040】

これと同時に、信号  $bDWL - ref$  が活性化される。これにより、図 2 に示すトランジスタ  $Tref 3$  がオンし、リファレンスノード  $Nref$  がトランジスタ  $Tref 3$  を介してビット線  $bBL$  に接続される。信号  $DWL - ref$  は不活性状態のままであるので、ビット線  $BL$  は、リファレンスノード  $Nref$  から分離されている。

【0041】

さらにこの時、信号  $DBS$  が活性化される。これにより、図 3 に示すダミーブロック選択トランジスタ  $STdb 0$  がオンし、ダミーブロック  $DB$  がダミーブロック選択トランジスタ  $STdb 0$  を介してビット線  $BL$  に接続される。信号  $bDBS$  は不活性状態であるので、ダミーブロック  $DB$  は、ビット線  $bBL$  には接続されない。

20

【0042】

$t 2$  の直後の  $t 3$  において、プレート線  $PL$  が  $VAA$  に活性化される。これにより、セルブロック  $CB 0$  内のユニットセル  $UC j$  に含まれる強誘電体キャパシタ  $FC$  の極性状態 (データ "0" またはデータ "1") に基づいてビット線  $BL$  の電位が変化する。これと同時に、図 2 に示す信号  $DPL - ref$  を立ち上げる。信号  $DPL - ref$  の信号線とノード  $Nref$  とは、リファレンスキャパシタ  $DCAP - ref$  によって容量カップリングされているので、信号  $DPL - ref$  の電位を立ち上げることによって、ノード  $Nref$  の電位が昇圧される。ノード  $Nref$  において昇圧された電位がリファレンスデータとしてビット線  $bBL$  に伝達される。

30

【0043】

センスアンプ  $S/A$  は、図 5 に示すように、ビット線  $bBL$  に伝達されるリファレンスデータ  $Vref$  とビット線  $BL$  に伝達される情報データ  $V 1$  または  $V 0$  との電位差を検出し、増幅する。

【0044】

ダミーブロック  $DB$  の役割をより詳細に説明する。例えば、通常、ユニットセル  $UC 0$  の情報データを読み出す場合 ( $j = 0$ )、ユニットセル  $UC 0$  とビット線  $BL$  との間には、ユニットセルが介在していない。即ち、ユニットセル  $UC 0$  とビット線  $BL$  との間に介在するセルトランジスタの個数は、ゼロ個である。ユニットセル  $UC 1$  の情報データを読み出す場合 ( $j = 1$ )、ユニットセル  $UC 1$  とビット線  $BL$  との間には、ユニットセル  $UC 1$  が介在する。即ち、ユニットセル  $UC 1$  とビット線  $BL$  との間に介在するセルトランジスタの個数は、1個である。同様にして、ユニットセル  $UC 2$  の情報データを読み出す場合 ( $j = 2$ )、ユニットセル  $UC 2$  とビット線  $BL$  との間に介在するセルトランジスタの個数は、2個である。ユニットセル  $UC j$  の情報データを読み出す場合、ユニットセル  $UC j$  とビット線  $BL$  との間に介在するセルトランジスタの個数は、 $j$  個である。従って、ユニットセル  $UC 0$  の情報データを読み出す場合 ( $j = 0$ )、ビット線容量に付加されるセルトランジスタの容量はほぼゼロである。一方、ユニットセル  $UC 7$  の情報データを読み出す場合 ( $j = 7$ )、ビット線容量に付加されるセルトランジスタの容量は  $7 \times Ct$  である。尚、 $Ct$  は、1つのセルトランジスタのソースおよびドレインの寄生容量である

40

50

。これは、読出し対象となるユニットセルの位置によって、ビット線容量が変動することを意味する。

【 0 0 4 5 】

本実施形態では、ダミーワード線ドライバ D W L D が読出し対象のユニットセルとビット線 B L との間に介在するセルトランジスタの個数に応じた個数のダミートランジスタをビット線 B L に対して導通状態にする。例えば、ユニットセル U C 0 または U C 1 の情報データを伝達する場合 (  $j = 0$  or  $1$  )、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > ~ D W L < 3 > を活性状態のまま維持し、ダミーワード線 D W L < 0 > を不活性状態にする。これにより、D T 1 0 ~ D T 3 1 の計 6 個のダミートランジスタが情報データを伝達するビット線 B L に接続される。つまり、ユニットセル U C 0 の情報データを読み出す場合 (  $j = 0$  )、ビット線に接続されるセルトランジスタの個数が 0 であり、ビット線に接続されるダミートランジスタの個数が 6 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $6 \times C t$  である。尚、上述の通り、ダミートランジスタのソースおよびドレインの寄生容量は、セルトランジスタのそれとほぼ同じ C t である。ユニットセル U C 1 の情報データを読み出す場合 (  $j = 1$  )、ビット線に接続されるセルトランジスタの個数が 1 であり、ビット線に接続されるダミートランジスタの個数が 6 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $7 \times C t$  である。

10

【 0 0 4 6 】

例えば、ユニットセル U C 2 または U C 3 の情報データを伝達する場合 (  $j = 2$  or  $3$  )、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 0 >、D W L < 2 > および D W L < 3 > を活性状態に維持し、ダミーワード線 D W L < 1 > を不活性状態にする。これにより、D T 2 0 ~ D T 3 1 の計 4 個のダミートランジスタが情報データを伝達するビット線 B L に接続される。つまり、ユニットセル U C 2 の情報データを読み出す場合 (  $j = 2$  )、ビット線に接続されるセルトランジスタの個数が 2 であり、ビット線に接続されるダミートランジスタの個数が 4 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $6 \times C t$  である。ユニットセル U C 3 の情報データを読み出す場合 (  $j = 3$  )、ビット線に接続されるセルトランジスタの個数が 3 であり、ビット線に接続されるダミートランジスタの個数が 4 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $7 \times C t$  である。

20

30

【 0 0 4 7 】

例えば、ユニットセル U C 4 または U C 5 の情報データを伝達する場合 (  $j = 4$  or  $5$  )、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 0 >、D W L < 1 > および D W L < 3 > を活性状態のまま維持し、ダミーワード線 D W L < 2 > を不活性状態にする。これにより、D T 3 0 および D T 3 1 の計 2 個のダミートランジスタが情報データを伝達するビット線 B L に接続される。つまり、本実施形態では、ユニットセル U C 4 の情報データを読み出す場合 (  $j = 4$  )、ビット線に接続されるセルトランジスタの個数が 4 であり、ビット線に接続されるダミートランジスタの個数が 2 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $6 \times C t$  である。ユニットセル U C 5 の情報データを読み出す場合 (  $j = 5$  )、ビット線に接続されるセルトランジスタの個数が 5 であり、ビット線に接続されるダミートランジスタの個数が 2 である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $7 \times C t$  である。

40

【 0 0 4 8 】

例えば、ユニットセル U C 6 または U C 7 の情報データを伝達する場合 (  $j = 6$  or  $7$  )、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 0 > ~ D W L < 2 > を活性状態のまま維持し、ダミーワード線 D W L < 3 > を不活性状態にする。これにより、ダミートランジスタは情報データを伝達するビット線 B L に接続されない。つまり、本実施形態では、ユニットセル U C 6 の情報データを読み出す場合 (  $j = 6$  )、ビット線に接

50

続されるセルトランジスタの個数が6であり、ビット線に接続されるダミートランジスタの個数が0である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は $6 \times C_t$ である。ユニットセルUC7の情報データを読み出す場合 ( $j = 7$ )、ビット線に接続されるセルトランジスタの個数が7であり、ビット線に接続されるダミートランジスタの個数が0である。よって、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は $7 \times C_t$ である。

**【0049】**

このように、本実施形態では、情報データを伝達するビット線BLに付加されるトランジスタ容量は、 $6 \times C_t$ または $7 \times C_t$ のいずれかであり、ほぼ一定値に近い状態に維持することができる。即ち、本実施形態では、読出し対象のユニットセルUCjとビット線BLとの間に介在するセルトランジスタの容量と、ビット線BLに対して導通状態となるダミートランジスタの容量との和が一定値の近傍に維持されるように、ダミーワード線ドライバDWLDは、ビット線BLに接続されるダミートランジスタの個数を制御する。

10

**【0050】**

本実施形態では、ダミートランジスタDT00~DT31のそれぞれのサイズがセルトランジスタCTのサイズとほぼ等しい。従って、ダミーワード線ドライバDWLDは、読出し対象のユニットセルUCjとビット線BLとの間に介在するセルトランジスタCTの個数とビット線BLに対して導通状態となるダミートランジスタの個数との和が一定値近傍に維持されるように、ビット線BLに接続されるダミートランジスタの個数を制御すればよい。

20

**【0051】**

このように制御することによって、ビット線BLの容量が、読出し対象のユニットセルUCjの位置に関わらず、一定値の近傍に維持され得る。その結果、一定の論理値を伝達するビット線BLのばらつきが小さくなり、センスアンプS/Aが情報データを誤検出することが抑制されるので、データを正確に検出することができる。

**【0052】**

図3に示すように、ダミーブロックDBは、並列に接続された複数のダミーストリングDS0、DS1を有し、ダミーストリングDS0、DS1は、ダミーワード線DWL<0>~DWL<3>を共有している。よって、ダミーワード線ドライバDWLDがダミーワード線DWL<0>~DWL<3>のいずれかを選択することによって複数のダミートランジスタが駆動される。例えば、ダミーワード線DWL<0>が選択された場合、ダミートランジスタDT00およびDT01が駆動される。ダミーワード線DWL<m> ( $m = 0 \sim 3$ ) が選択された場合、ダミートランジスタDTm0およびDTm1が駆動される。ダミーワード線DWL<m>の選択によって複数のダミートランジスタが駆動されるので、ダミートランジスタのプロセスばらつきが緩和される。

30

**【0053】**

例えば、もし、1つのダミーブロックDBにおいて全ダミートランジスタが直列に接続されていた場合、1本のダミーワード線の選択によって単一のダミートランジスタが駆動される。この場合、ダミートランジスタの寄生容量がプロセスばらつきによってセルトランジスタの寄生容量から大きくずれていると、読出し時におけるビット線容量を補正することができない。よって、ビット線に伝達される情報データの電圧がばらついてしまい、センスアンプS/Aがデータを誤検出する虞がある。

40

**【0054】**

これに対し、本実施形態のようにダミーワード線DWL<m>の選択によって複数のダミートランジスタが駆動される場合、その一方のダミートランジスタの特性(サイズ、電流駆動能力等)がばらついていても、他方のダミートランジスタの特性がばらついていなければ、読出し時におけるビット線容量のばらつきが緩和される。よって、ビット線に伝達される情報データの電圧が安定し、センスアンプS/Aがデータを誤検出する危険性が少なくなる。

**【0055】**

50

尚、ダミーワード線  $DWL < m >$  の選択によって複数のダミートランジスタが駆動される場合、読出し時のビット線容量は、完全に一定値にならず、上述のように或る程度のずれが生じる。例えば、本実施形態においては、8本のワード線  $WL < 0 > \sim WL < 7 >$  に対して4本のダミーワード線  $DWL < 0 > \sim DWL < 3 >$  を設けることによって、ビット線容量に付加されるダミートランジスタの容量を4段階 ( $0$ 、 $2Ct$ 、 $4Ct$ 、 $6Ct$ ) 設けている。従って、読出し時のビット線容量は、完全に一定値ではなく、上述のように或る程度のずれ  $Ct$  ( $Ct = 7Ct - 6Ct$ ) が生じる。しかし、ビット線容量のこのずれ  $Ct$  は計算により予測可能なものであり、このずれ  $Ct$  によるビット線容量が規定の範囲内に充分に入っていれば問題はない。むしろ、1本のダミーワード線  $DWL$  に対して複数のダミートランジスタを対応させれば、プロセスばらつきによって或るダミートランジスタの特性がばらついたとしても、ビット線容量を安定に維持することができる。このため、予測不可能なプロセスばらつきが緩和されること無く、そのままビット線容量に影響を与える形態よりも、1本のダミーワード線  $DWL$  に対して複数のダミートランジスタを対応させる形態が好ましいと言える。

10

## 【0056】

さらに、ダミースtring  $DS$  を2つに分割して並列に接続することによって、ダミーブロック  $DB$  を小さくすることができる。

## 【0057】

本実施形態におけるダミーブロック  $DB$  に含まれるダミースtringの本数は2本である。しかし、ダミーブロック  $DB$  に含まれるダミースtringの本数は3本以上であってもよい。この場合、読出し時にビット線  $BL$  に接続されるダミートランジスタ  $DT$  の個数は、 $0$ 、 $3$ 、 $6$  の3段階のいずれかとしてよい。例えば、読出し対象のユニットセルが  $UC0$  または  $UC1$  である場合、読出し時にビット線  $BL$  に接続されるダミートランジスタ  $DT$  の個数は6とする。読出し対象のユニットセルが  $UC2 \sim UC4$  のいずれかである場合、読出し時にビット線  $BL$  に接続されるダミートランジスタ  $DT$  の個数は3個とする。読出し対象のユニットセルが  $UC5 \sim UC7$  のいずれかである場合、読出し時にビット線  $BL$  に接続されるダミートランジスタ  $DT$  の個数は0個とする。この場合、ビット線容量に付加されるセルトランジスタおよびダミートランジスタの総容量は  $5Ct \sim 7Ct$  である。このようにダミーブロック  $DB$  を駆動すれば、情報データを伝達するビット線  $BL$  の容量が比較的安定する。また、この場合、ダミーワード線  $DWL$  の本数は3本で足りる。さらに、ダミーワード線ドライバ  $DWLD$  の回路規模を小さくすることができる。

20

30

## 【0058】

代替的に、ダミーブロック  $DB$  に含まれるダミースtringの本数を増大させた場合に、各ダミートランジスタのサイズ (ゲート幅/ゲート長) を小さくしてもよい。例えば、ダミーブロック  $DB$  に含まれるダミースtringの本数が4本である場合に、各ダミートランジスタのゲート幅をセルトランジスタ  $CT$  のゲート幅の  $1/2$  とする。これにより、並列に接続された4本のダミースtring  $DS$  を含むダミーブロック  $DB$  は、実質的に図3に示すダミーブロック  $DB$  と同じ機能を有する。この場合、さらに、1本のダミーワード線  $DWL$  に接続されたダミートランジスタ  $DT$  が4個であるので、プロセスばらつきが生じたとしても、ビット線容量をより安定に維持することができる。

40

## 【0059】

(第1の実施形態の変形例)

本実施形態は、情報データを伝達するビット線  $BL$  の容量を補正する。しかし、リファレンスデータを伝達するビット線  $bBL$  の容量を補正してもよい。この場合、図3に示す信号  $bDBS$  を活性化することによって、ダミーブロック  $DB$  をビット線  $bBL$  に接続する。ダミー部  $DB$  において活性化されるダミートランジスタ  $DT$  の個数は、読出し対象のユニットセル  $UCi$  とビット線  $BL$  との間に介在するセルトランジスタ  $CT$  の個数に一致させる、あるいは、接近させる。例えば、読出し対象のユニットセルが  $UC0$  である場合、ダミーワード線  $DWL < 0 > \sim DWL < 3 >$  は不活性状態を維持する。このとき、ビット線  $BL$  に付加されるセルトランジスタ  $CT$  の個数はゼロであり、ビット線  $bBL$  に付加

50

されるダミートランジスタDTの個数もゼロである。読出し対象のユニットセルがUC1またはUC2である場合、ダミーワード線DWL<0>のみが活性化される。このとき、ビット線BLに付加されるセルトランジスタCTの個数は1個または2個であり、ビット線bBLに付加されるダミートランジスタDTの個数は2個である。読出し対象のユニットセルがUC3またはUC4である場合、ダミーワード線DWL<0>およびDWL<1>が活性化される。このとき、ビット線BLに付加されるセルトランジスタCTの個数は3個または4個であり、ビット線bBLに付加されるダミートランジスタDTの個数は4個である。読出し対象のユニットセルがUC5またはUC6である場合、ダミーワード線DWL<0>~DWL<2>が活性化される。このとき、ビット線BLに付加されるセルトランジスタCTの個数は5個または6個であり、ビット線bBLに付加されるダミートランジスタDTの個数は6個である。読出し対象のユニットセルがUC7またはUC8である場合、ダミーワード線DWL<0>~DWL<3>が活性化される。このとき、ビット線BLに付加されるセルトランジスタCTの個数は7個または8個であり、ビット線bBLに付加されるダミートランジスタDTの個数は8個である。尚、ダミーワード線ドライバDWLDのロジック構成は、上記動作を実現するように適宜変更すればよい。

10

20

30

40

50

#### 【0060】

このように、ダミー部DBにおいて活性化されるダミートランジスタDTの個数は、読出し対象のユニットセルUCiとビット線BLとの間に介在するセルトランジスタCTの個数に一致し、あるいは、これに近い。これにより、情報データを伝達するビット線BLの容量とリファレンスデータを伝達するビット線bBLの容量とがほぼ一致、あるいは、接近する。つまり、読出し対象のユニットセルの位置に関わらず、ビット線容量がほぼ一定に維持され得る。従って、本実施形態は、データ読出し時における動作点が安定するので、センスアンプS/Aによる情報データの誤検出を抑制することができる。

#### 【0061】

(第2の実施形態)

図6は、第2の実施形態によるダミーブロックDBを示す回路図である。第2の実施形態の他の構成は、第1の実施形態と同様でよい。第2の実施形態によるダミーブロックDBは、第1の実施形態のそれと同様に、ダミートランジスタDT00、DT10、DT20、DT30からなるダミーストリングDS0と、ダミートランジスタDT01、DT11、DT21、DT31からなるダミーストリングDS1とを含む。

#### 【0062】

第2の実施形態によるダミーブロックDBは、ビット線BLとbBLとの間に接続されている。より詳細には、ダミーブロックDBの一端のノードNdb0はビット線BLに接続され、他端のノードNdb1はビット線bBLに接続されている。第2の実施形態によるダミーブロックDBのその他の構成は、第1の実施形態によるダミーブロックDBの構成と同様でよい。ダミーワード線DWL<0>~DWL<3>とダミートランジスタDT00~DT31との接続関係も、第1の実施形態のそれと同様でよい。

#### 【0063】

第2の実施形態では、ダミーブロック選択トランジスタが設けられていない。このため、ダミーブロックDBをビット線BLに接続する場合(ビット線BLが情報データを伝達する場合)には、ダミーワード線DWL<0>を不活性化し、ダミーブロックDBをビット線bBLから分離する。

#### 【0064】

図7は、第2の実施形態に従ったダミーワード線ドライバDWLDの内部構成を示す回路図である。信号SBLは、ビット線選択信号である。ビット線BLが選択されビット線bBLが非選択である場合、信号SBLは論理ロウであり、ビット線bBLが選択されビット線BLが非選択である場合、信号SBLは論理ハイであるとする。図7に示す回路構成により、ダミーワード線ドライバDWLDは、次のように動作する。

#### 【0065】

選択ワード線がBLである場合、非選択ビット線bBL側にあるダミーワード線DWL

< 0 > は、常時、不活性状態である。選択ワード線が b B L である場合、非選択ビット線 B L 側にあるダミーワード線 D W L < 3 > が、常時、不活性状態である。

【 0 0 6 6 】

[ 選択ワード線が B L である場合 ( D W L 0 = L O W ) ]

ワード線 W L < 0 > または W L < 1 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > ~ D W L < 3 > を総て活性状態にする。これにより、6 個のダミートランジスタ D T 1 0 ~ D T 3 1 がビット線 B L に接続される。

【 0 0 6 7 】

ワード線 W L < 2 > または W L < 3 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > を不活性状態にし、ダミーワード線 D W L < 2 > および D W L < 3 > を活性状態にする。これにより、4 個のダミートランジスタ D T 2 0 ~ D T 3 1 がビット線 B L に接続される。

【 0 0 6 8 】

ワード線 W L < 4 > または W L < 5 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 2 > を不活性状態にし、ダミーワード線 D W L < 1 > および D W L < 3 > を活性状態にする。これにより、2 個のダミートランジスタ D T 3 0 および D T 3 1 がビット線 B L に接続される。

【 0 0 6 9 】

ワード線 W L < 6 > または W L < 7 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 3 > を不活性状態にし、ダミーワード線 D W L < 1 > および D W L < 2 > を活性状態にする。これにより、ダミートランジスタ D T 1 0 ~ D T 3 1 はいずれもビット線 B L に接続されない。

【 0 0 7 0 】

[ 選択ワード線が b B L である場合 ( D W L 3 = L O W ) ]

ワード線 W L < 0 > または W L < 1 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 0 > ~ D W L < 2 > を総て活性状態にする。これにより、6 個のダミートランジスタ D T 0 0 ~ D T 2 1 がビット線 B L に接続される。

【 0 0 7 1 】

ワード線 W L < 2 > または W L < 3 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L 2 を不活性状態にし、ダミーワード線 D W L 0 および D W L 1 を活性状態にする。これにより、4 個のダミートランジスタ D T 0 0 ~ D T 1 1 がビット線 B L に接続される。

【 0 0 7 2 】

ワード線 W L < 4 > または W L < 5 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > を不活性状態にし、ダミーワード線 D W L < 0 > および D W L < 2 > を活性状態にする。これにより、2 個のダミートランジスタ D T 0 0 ~ D T 0 1 がビット線 B L に接続される。

【 0 0 7 3 】

ワード線 W L < 6 > または W L < 7 > が選択的に論理ロウにされた場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 0 > を不活性状態にし、ダミーワード線 D W L < 1 > および D W L < 2 > を活性状態にする。これにより、ダミートランジスタ D T 1 0 ~ D T 3 1 はいずれもビット線 B L に接続されない。

【 0 0 7 4 】

このような構成により、ダミーワード線ドライバ D W L D は、読出し対象のユニットセル U C と選択ビット線 B L との間に介在するセルトランジスタの個数に応じた個数のダミートランジスタ D T をビット線 B L に対して導通状態にすることができる。

【 0 0 7 5 】

図 5 を再度参照して、第 2 の実施形態による強誘電体メモリのより詳細な読出し動作を

10

20

30

40

50

説明する。尚、ここでは、センスアンプ S/A は、ビット線 B L を介してセルブロック C B 0 からの情報データを検出する動作を説明する。この場合、ビット線 b B L にリファレンスデータが伝達される。センスアンプ S/A がビット線 b B L を介して情報データを検出する動作は、以下の具体例から容易に推測可能であるので、その説明を省略する。

【 0 0 7 6 】

第 2 の実施形態におけるプリチャージ状態は、第 1 の実施形態におけるプリチャージ状態と同様である。

【 0 0 7 7 】

t 1 において、ダミーワード線ドライバ D W L D がダミーワード線 D W L < 0 > を不活性化する。これにより、ダミーワード線 D W L < 0 > がオフになり、ダミーワード線 D W L < 0 > がビット線 b B L から切断される。ビット線 B L から情報データを読み出す動作期間では、ダミーワード線 D W L < 0 > は不活性化状態を維持する。

10

【 0 0 7 8 】

これと同時に、読出し対象のユニットセル U C j とビット線 B L との間に介在する前記セルトランジスタの容量とビット線 B L に対して導通状態となるダミーワード線 D W L < 0 > の容量との和が一定値近傍で維持されるように、ダミーワード線ドライバ D W L D は、ビット線 B L に対して導通状態となるダミーワード線の個数を制御する。

【 0 0 7 9 】

例えば、ユニットセル U C 0 または U C 1 が読出し対象のユニットセルである場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > ~ D W L < 3 > を活性化し、これにより、ビット線 B L に付加されるダミーワード線の容量は  $6 \times C t$  となる。このとき、ビット線容量に付加されるセルトランジスタおよびダミーワード線の総容量は、 $6 \times C t$  または  $7 \times C t$  となる。

20

【 0 0 8 0 】

ユニットセル U C 2 または U C 3 が読出し対象のユニットセルである場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 1 > を不活性化状態のままとし、ダミーワード線 D W L < 2 > および D W L < 3 > を活性化状態にする。これにより、ビット線 B L に付加されるダミーワード線の容量は  $4 \times C t$  となる。このとき、ビット線容量に付加されるセルトランジスタおよびダミーワード線の総容量は、 $6 \times C t$  または  $7 \times C t$  となる。

30

【 0 0 8 1 】

ユニットセル U C 4 または U C 5 が読出し対象のユニットセルである場合、ダミーワード線ドライバ D W L D は、ダミーワード線 D W L < 2 > を不活性化状態とし、ダミーワード線 D W L < 1 > および < 3 > を活性化状態にする。これにより、ビット線 B L に付加されるダミーワード線の容量は  $2 \times C t$  となる。このとき、ビット線容量に付加されるセルトランジスタおよびダミーワード線の総容量は、 $6 \times C t$  または  $7 \times C t$  となる。

【 0 0 8 2 】

ユニットセル U C 6 または U C 7 が読出し対象のユニットセルである場合、ダミーワード線ドライバ D W L D は、全ダミーワード線 D W L < 3 > を不活性化状態とし、ダミーワード線 D W L < 1 > および < 2 > を活性化状態にする。これにより、ビット線 B L に付加されるダミーワード線の容量は 0 となる。このとき、ビット線容量に付加されるセルトランジスタおよびダミーワード線の総容量は、 $6 \times C t$  または  $7 \times C t$  となる。

40

【 0 0 8 3 】

このように、読出し対象のユニットセル U C j とビット線 B L との間に介在するセルトランジスタ C T の個数とビット線 B L に対して導通状態となるダミーワード線の個数との和が 6 または 7 に維持される。これにより、読出し時におけるビット線 B L の容量が一定値近傍に維持される。従って、第 2 の実施形態は、第 1 の実施形態と同様の効果を得ることができる。

50

## 【 0 0 8 4 】

第 2 の実施形態によるダミーブロック D B に含まれるダミーストリングの本数は、第 1 の実施形態と同様に、3 本以上であってもよい。このとき、第 1 の実施形態と同様に、各ダミートランジスタのサイズ（ゲート幅 / ゲート長）を小さくしてもよい。さらに、第 1 の実施形態の変形例を第 2 の実施形態に適用することもできる。

## 【 図面の簡単な説明 】

## 【 0 0 8 5 】

【 図 1 】 本発明に係る実施形態に従った強誘電体メモリの一例を示す構成図。

【 図 2 】 本実施形態によるセルブロック C B およびリファレンス生成回路 R G を示す回路図。

10

【 図 3 】 本実施形態によるダミーブロック D B およびダミーブロック選択トランジスタ S T d b 0、S T d b 1 を示す回路図。

【 図 4 】 ダミーブロックデコーダ D B D およびダミーワード線ドライバ D W L D の内部構成を示す回路図。

【 図 5 】 第 1 の実施形態による強誘電体メモリのデータ読出し動作の一例を示すタイミング図。

【 図 6 】 第 2 の実施形態によるダミーブロック D B を示す回路図。

【 図 7 】 第 2 の実施形態に従ったダミーワード線ドライバ D W L D の内部構成を示す回路図。

20

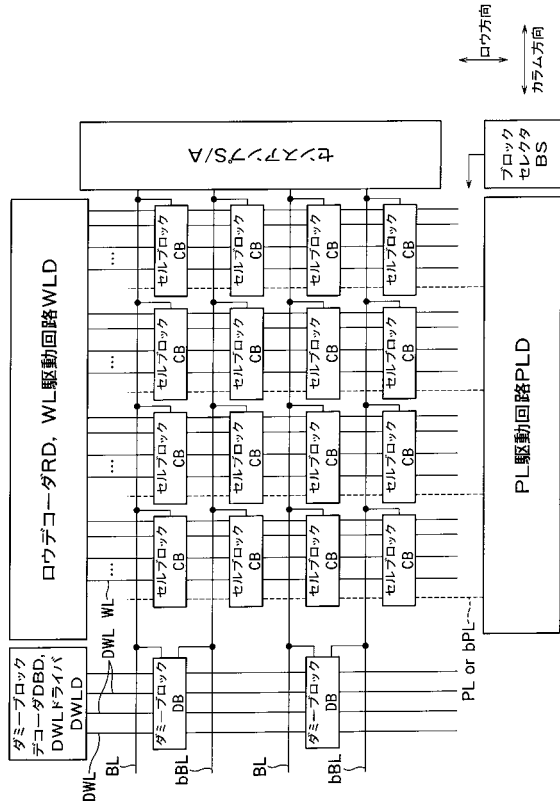
## 【 符号の説明 】

## 【 0 0 8 6 】

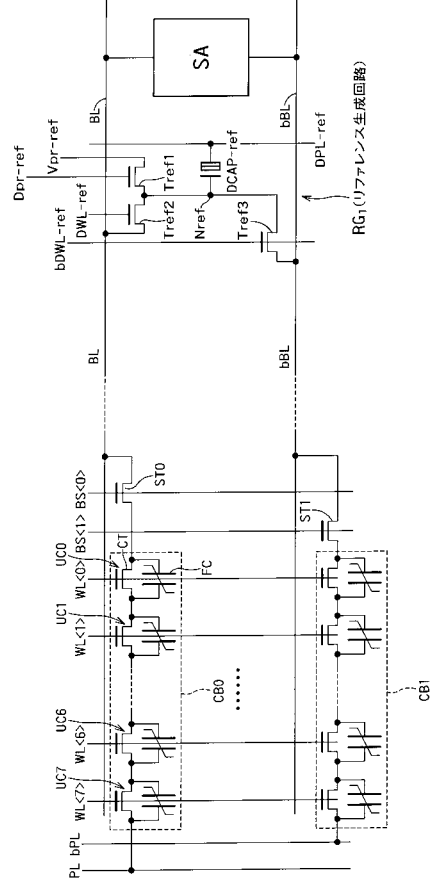
B L ... ビット線、W L ... ワード線、C B ... セルブロック、D B ... ダミーブロック、S / A ... センスアンプ、W L D ... ワード線ドライバ、D W L D ... ダミーワード線ドライバ、U C 0 ~ U C 7 ... ユニットセル、F C ... 強誘電体キャパシタ、C T ... セルトランジスタ、S T 0、S T 1 ... 選択トランジスタ、R G ... リファレンス生成回路、D T 0 0 ~ D T 3 1 ... ダミートランジスタ、D W L < 0 > ~ D W L < 3 > ... ダミーワード線、D S 0、D S 1 ... ダミーストリング



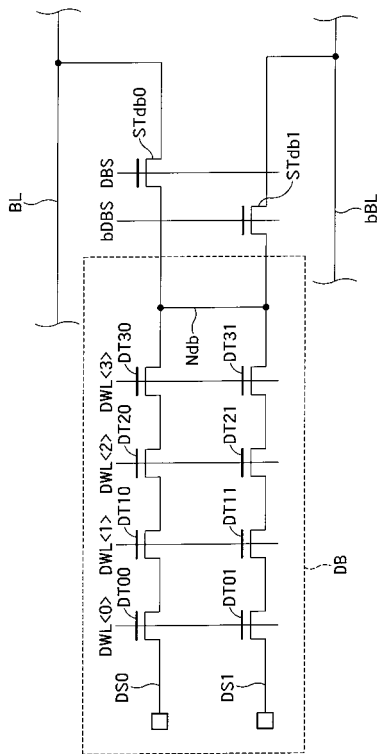
【図 1】



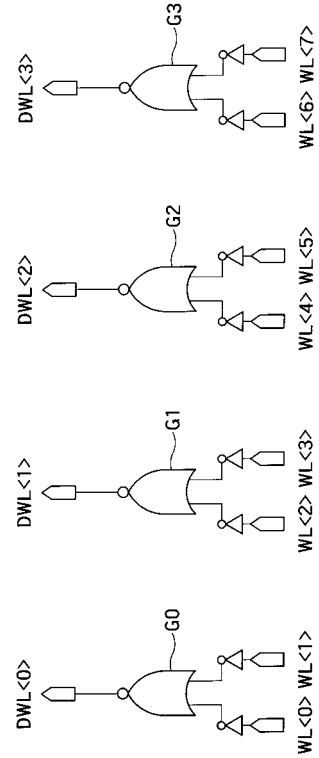
【図 2】



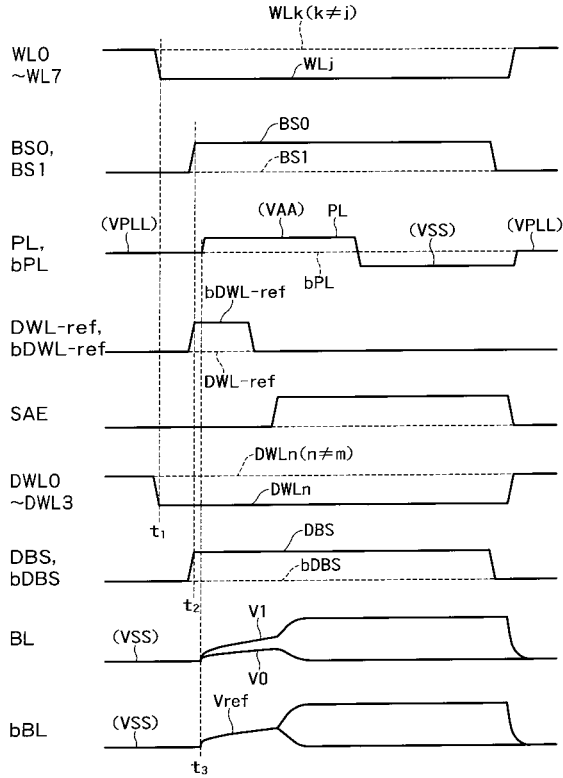
【図 3】



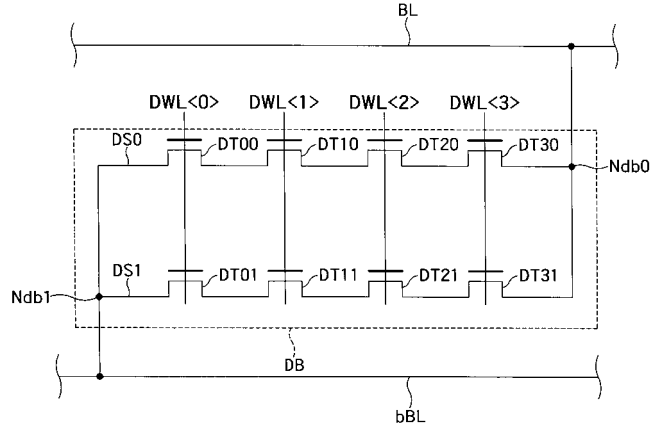
【図 4】



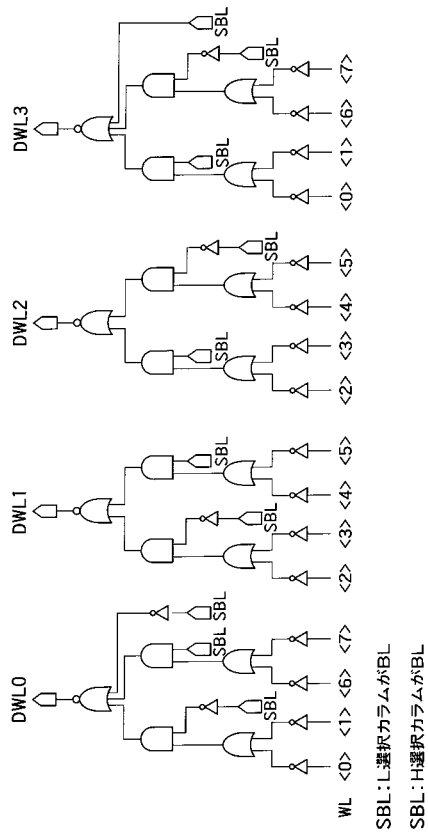
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

- (72)発明者 滝澤 亮介  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 白武 慎一郎  
東京都港区芝浦一丁目1番1号 株式会社東芝内