

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 2 月 7 日 (07.02.2019)



(10) 国际公布号
WO 2019/024906 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) **H01L 21/336** (2006.01)

(21) 国际申请号: PCT/CN2018/098447

(22) 国际申请日: 2018 年 8 月 3 日 (03.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710660988.8 2017 年 8 月 4 日 (04.08.2017) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 金华俊 (JIN, Huajun); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。孙贵鹏 (SUN, Guipeng); 中国江苏省无锡市新

区新洲路 8 号, Jiangsu 214028 (CN)。金宏峰 (JIN, Hongfeng); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LDMOS COMPONENT, MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 一种 LDMOS 器件及其制造方法和电子装置

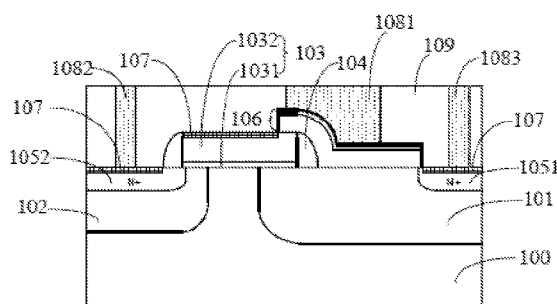


图 1G

(57) Abstract: Provided in the present invention are an LDMOS component, a manufacturing method therefor, and an electronic device, comprising: a semiconductor substrate (100); a drift area (101) provided in the semiconductor substrate; a gate electrode structure (103) provided on a part of the surface of the semiconductor substrate and covers a part of the surface of the drift area; a source electrode (1052) and a drain electrode (1051) respectively provided in the semiconductor substrate on either side of the gate electrode structure, where the drain electrode is provided in the drift area and is separated from the gate electrode structure; a metal silicide barrier layer (106) covering the surface of at least a part of the semiconductor substrate between the gate electrode structure and the drain electrode; and a first contact hole (1081) provided on the surface of at least a part of the metal silicide barrier layer.

(57) 摘要: 本发明提供一种 LDMOS 器件及其制造方法和电子装置, 包括: 半导体衬底 (100); 漂移区 (101), 设置在半导体衬底中; 栅极结构 (103), 设置在半导体衬底的部分表面上, 并覆盖部分漂移区的表面; 源极 (1052) 和漏极 (1051), 分别设置在栅极结构两侧的半导体衬底中, 其中, 漏极设置在漂移区内并与栅极结构之间存在间隔; 金属硅化物阻挡层 (106), 覆盖栅极结构和漏极之间的至少部分半导体衬底的表面; 第一接触孔 (1081), 设置在至少部分金属硅化物阻挡层的表面上。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

一种 LDMOS 器件及其制造方法和电子装置

技术领域

本发明涉及半导体技术领域，具体而言涉及一种 LDMOS 器件及其制造方法和电子装置。

5 背景技术

传统的高压器件结构通常通过调整多晶硅长度，将多晶硅扩展到漂移区的场板氧化层上面充当场板，场板对漂移区进行耗尽形成耗尽层，因此增加了横向耗尽层宽度，进而提高耐压（也即击穿电压）。同时，还需为高压器件漂移区中漏极与栅极之间选择合适的场板氧化层厚度，而所需的场板氧化层
10 厚度皆是单一厚度或者藉由寄生的氧化物（例如，设置在漏极和栅极之间的漂移区中的浅沟槽隔离结构（STI）等）来实现。然而 STI 的使用虽然能够提高器件的耐压，但是其使导通电阻增大。

因此，在保证器件耐压的前提下，如何尽可能的降低导通电阻，是亟待解决的问题。

15

发明内容

根据本申请的各种实施例提供一种 LDMOS 器件及其制造方法和电子装置。

一种 LDMOS 器件，包括：

20

半导体衬底；

漂移区，设置在所述半导体衬底中；

栅极结构，设置在所述半导体衬底的部分表面上，并覆盖部分所述漂移区的表面；

源极和漏极，分别设置在所述栅极结构两侧的半导体衬底中，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；
25

金属硅化物阻挡层，覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

第一接触孔，设置在至少部分所述金属硅化物阻挡层的表面上。

此外，还提供了一种 LDMOS 器件的制造方法，包括：

提供半导体衬底，在所述半导体衬底中形成有漂移区，在所述半导体衬底的部分表面上形成有栅极结构，所述栅极结构覆盖部分所述漂移区的表面，在所述栅极结构两侧的半导体衬底中分别形成有源极和漏极，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

形成金属硅化物阻挡层，其中，所述金属硅化物阻挡层覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

在至少部分所述金属硅化物阻挡层的表面上形成第一接触孔。

此外，还提供一种电子装置，所述电子装置包括前述的 LDMOS 器件。

本发明的一个或多个实施例的细节在下面的附图和描述中提出。本发明的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1A 至图 1G 示出了本发明一个实施方式的 LDMOS 器件的制造方法的相关步骤所获得的器件的剖面示意图；

图 2 示出了本发明一个实施方式的 LDMOS 器件的制造方法的工艺流程图；

图 3 示出了本发明一实施例中的电子装置的示意图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技

术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

5 为了彻底理解本发明，将在下列的描述中提出详细步骤以及结构，以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

为了解决前述的技术问题，本发明提供一种 LDMOS 器件，所述 LDMOS 器件主要包括：

10 半导体衬底；

漂移区，设置在所述半导体衬底中；

栅极结构，设置在所述半导体衬底的部分表面上，并覆盖部分所述漂移区的表面；

15 源极和漏极，分别设置在所述栅极结构两侧的半导体衬底中，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

金属硅化物阻挡层，覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

第一接触孔，设置在至少部分所述金属硅化物阻挡层的表面上。

综上所述，本发明的 LDMOS 器件包括金属硅化物阻挡层，其覆盖栅极20 结构和所述漏极之间的至少部分所述半导体衬底的表面，以及设置在至少部分所述金属硅化物阻挡层的表面上的第一接触孔，进而增强漂移区的耗尽来提高器件的击穿电压，进而提高器件的性能，另外本发明的 LDMOS 器件在漏端的漂移区内无需设置浅沟槽隔离结构，因此，大大降低了器件的导通电阻。

25 实施例一

下面，参考图 1G 对本发明的 LDMOS 器件做详细解释和说明。

30 作为示例，本发明的 LDMOS 器件包括：半导体衬底 100。半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。作为示例，在本实施

例中，半导体衬底 100 的构成材料选用单晶硅。

所述半导体衬底 100 还可以为 P 型半导体衬底或者 N 型半导体衬底，例如 N 型高压器件则可选择使用 P 型半导体衬底，而 P 型高压器件则可选择使用 N 型半导体衬底，本实施例中，所述半导体衬底 100 为 P 型半导体衬底。

5 示例性地，在所述半导体衬底中形成有浅沟槽隔离结构（STI），以定义有源区。

示例性地，在所述半导体衬底 100 中设置有漂移区 101。

根据具体的 LDMOS 器件的类型所述漂移区具有不同的导电类型，例如，若 LDMOS 器件为 N 型 LDMOS 器件，则漂移区 101 为 N 型漂移区，若 LDMOS
10 器件为 P 型 LDMOS 器件，则漂移区 101 为 P 型漂移区。

一般来说，漂移区的掺杂浓度较低，其低于源极和漏极的掺杂浓度，相当于在源极和漏极之间形成一个高阻层，能够提高击穿电压，并减小了源极和漏极之间的寄生电容，有利于提高频率特性。

在一个示例中，还可在半导体衬底 100 中设置有体区 102，体区 102 位
15 于所述漂移区 101 的外侧，并与漂移区间隔，其中，体区和漂移区具有相反的导电类型，也即，漂移区为 N 型时，体区为 P 型，或者，漂移区为 P 型时，体区为 N 型。

示例性地，所述半导体衬底 100 中还设置有阱区，所述体区 102 和所述漂移区 101 均设置在所述阱区中，其中，该阱区具有和所述漂移区 101 相同
20 的导电类型，并且该阱区的掺杂浓度低于所述漂移区 102 的掺杂浓度，体区外侧的该阱区和漂移区 102 构成具有渐变的掺杂浓度的漂移区。

还可在半导体衬底 100 中形成其他的阱区等，在此不做赘述。

在一个示例中，在所述半导体衬底 100 的部分表面上设置有栅极结构
103。

25 其中，所述栅极结构 103 覆盖沟道区（例如部分体区 102 的表面），进一步地，栅极结构还覆盖部分漂移区 101 的表面。示例性地，栅极结构 103 包括位于半导体衬底 100 表面上的栅极介电层 1031 以及位于栅极介电层 1031 上的栅极层 1032。

在一实施例中，栅极介电层 1031 可以包括传统的电介质材料诸如具有电
30 介质常数从大约 4 到大约 20(真空中测量)的硅的氧化物、氮化物和氮氧化物，或者，栅极介电层可以包括具有电介质常数从大约 20 到至少大约 100 的通常较高电介质常数电介质材料。这种较高电介质常数电介质材料可以包括但不

限于：氧化钪、硅酸钪、氧化钛、钛酸锶钡(BSTs)和锆钛酸铅(PZTs)。栅极层 1032 由多晶硅材料组成，一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料，本实施例中，所述栅极层 1032 的材料包括多晶硅。

5 在一个示例中，在所述栅极结构 103 的侧壁上形成间隙壁 104。所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。

 在一个示例中，在所述栅极结构 103 两侧的半导体衬底 100 中分别设置有源极 1052 和漏极 1051，其中，所述漏极 1051 形成在所述设置在所述漂移区 101 内并与所述栅极结构 103 之间存在间隔，所述源极 1052 形成在所述体区 102 中，所述源极 1052 以及所述漏极 1051 和所述漂移区 101 具有相同的导电类型，例如，所述漂移区为 N 型漂移区，所述漏极和所述源极则可以为 N 型源极和漏极，其还可以为 N 型掺杂离子重掺杂的源极和漏极。

 更进一步地，所述漏极 1051 与邻近该漏极的所述间隙壁 104 之间存在间隔。

15 在一个示例中，在体区中形成有与体区导电类型相同的体区引出区（未示出），例如，体区为 P 型，则体区引出区则也可以为 P 型，且其杂质掺杂浓度大于体区的杂质掺杂浓度，例如体区引出区为 P 型杂质重掺杂。

 示例性地，所述漂移区的表面、所述源极、所述漏极、所述体区的表面均和所述半导体衬底的表面齐平。

20 在一个示例中，所述 LDMOS 器件还包括金属硅化物阻挡层 106，其覆盖所述栅极结构 103 和所述漏极 1051 之间的至少部分所述半导体衬底 100 的表面，也即覆盖栅极结构 103 和漏极 1051 之间的漂移区 101 的表面。

 在一个示例中，所述金属硅化物阻挡层 106 覆盖部分所述栅极结构 103 的顶面以及所述栅极结构 103 和所述漏极 1051 之间的所述半导体衬底 100 的表面，也即，所述金属硅化物阻挡层 106 覆盖所述栅极结构 103 和所述漏极 1051 之间的所述半导体衬底 100 的表面并延伸到部分所述栅极结构 103 的顶面上，在所述栅极结构 103 的侧壁上形成有间隙壁 104 时，所述金属硅化物阻挡层 106 还覆盖与所述漏极邻近的栅极结构 103 一侧壁上的间隙壁 104。

30 在一个示例中，所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，所述氧化物层例如包括氧化硅、所述氮化物层例如包括氮化硅、所述氮氧化物层包括氮氧化硅。

 示例性地，金属硅化物阻挡层 106 中的所述氮化物层的厚度、所述氮氧

化物层的厚度均小于所述氧化物层的厚度，例如，所述氮化物层的厚度可以为 350~700 埃，所述氮氧化物层的厚度可以为 350~700 埃，所述氧化物层的厚度可以包括 1000~3000 埃，例如 1000 埃、1500 埃、2000 埃、2500 埃、3000 埃等。

5 值得一提的是，所述金属硅化物阻挡层 106 还可以包括其他适合的材料，例如金属硅化物阻挡层 106 还可以包括氧化硅层、氮化硅层、氮氧化硅层和掺碳的氮化硅层等中的至少一种。

在一个示例中，为了降低接触电阻，在所述源极 1052、所述漏极 1051 和所述栅极结构 103 的部分表面上形成有金属硅化物层 107，其中，所述金属硅化物层 107 可以包括 CoSi_x 、 NiSi_x 及 PtSi_x 或其组合的材料。

10 在一个示例中，在至少部分所述金属硅化物阻挡层 106 的表面上有第一接触孔 1081。其中，所述第一接触孔 1081 可以部分位于所述栅极结构上方的金属硅化物阻挡层 106 的表面上，部分位于所述间隙壁上方的金属硅化物阻挡层 106 的表面上以及部分位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上，或者，所述第一接触孔 1081 还可以仅位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上，或者，所述第一接触孔 1081 还可以部分位于所述间隙壁上方的金属硅化物阻挡层 106 的表面上以及部分位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上。

20 在一个示例中，所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，则所述第一接触孔 1081 的底部位于所述氮化物层中，例如，所述第一接触孔 1081 的底部位于所述氮化物层的表面，这样可以通过调整金属硅化物阻挡层 106 中的氮化物层下方的氧化物层的厚度来调节漂移区电场的耗尽，进而改善器件特性。

25 在一个示例中，在所述源极 1052 的部分表面上设置有第二接触孔 1082，所述第二接触孔 1082 电连接所述源极 1052，更进一步地，所述第二接触孔 1082 电连接所述源极 1052 表面的金属硅化物层 107，以实现和所述源极 1052 的电连接。

30 进一步地，所述第二接触孔 1082 和所述第一接触孔 1081 电连接在一起并接地，进而可以增强对漂移区的耗尽，进而提升器件的击穿电压。

其中，第二接触孔 1082 和第一接触孔 1081 可以通过电连接相同的金属层或者金属互连结构的方式实现两者之间的电连接，或者其他适合的方式电

连接在一起。

在一个示例中，在所述漏极 1051 的部分表面上设置有第三接触孔 1083，所述第三接触孔 1083 电连接所述漏极 1051，更进一步地，所述第三接触孔 1083 电连接所述漏极 1051 表面的金属硅化物层 107，以实现和所述漏极 1051 的电连接。

在一个示例中，所述第一接触孔 1081、第二接触孔 1082 和第三接触孔 1083 中填充有导电材料，其中，所述导电材料可以为本领域技术人员熟知的任何适合的导电材料，包括但不限于金属材料，其中，所述金属材料可以包括 Ag、Au、Cu、Pd、Pt、Cr、Mo、Ti、Ta、W 和 Al 中的一种或几种。

其中，所述第一接触孔 1081、第二接触孔 1082 和第三接触孔 1083 中填充有相同的导电材料，例如可均填充有铜金属等，也可以填充有不同的导电材料。

在一个示例中，为了增强漂移区的耗尽，第一接触孔 1081 的宽度大于所述第二接触孔 1082 和所述第三接触孔 1083 的宽度，该宽度是指第一接触孔 1081、所述第二接触孔 1082 和所述第三接触孔 1083 在源极和漏极连线及其延长线方向上的直径。

在一个示例中，LDMOS 器件还包括层间介电层 109，所述层间介电层 109 覆盖所述栅极结构 103、所述源极 1052、所述漏极 1051 以及所述金属硅化物阻挡层 106 以及露出的半导体衬底的表面，所述第一接触孔 1081 贯穿所述金属硅化物阻挡层 106 上方的所述层间介电层 109，所述第二接触孔 1082 贯穿所述源极 1052 上方的所述层间介电层 109，所述第三接触孔 1083 贯穿所述漏极 1051 上方的所述层间介电层 109。

所述层间介电层 109 可为氧化硅层，包括利用热化学气相沉积 (thermal CVD) 制造工艺或高密度等离子体 (HDP) 制造工艺形成的有掺杂或未掺杂的氧化硅的材料层，例如未经掺杂的硅玻璃 (USG)、磷硅玻璃 (PSG) 或硼磷硅玻璃 (BPSG)。此外，层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃 (spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷 (PTEOS) 或掺杂硼的四乙氧基硅烷 (BTEOS)。

至此完成了对本发明的 LDMOS 器件的关键结构的说明，对于完整的器件结构还包括其他的部件，在此不做一一赘述。

综上所述，本发明的 LDMOS 器件包括金属硅化物阻挡层，其覆盖栅极结构和所述漏极之间的至少部分所述半导体衬底的表面，以及设置在至少部

分所述金属硅化物阻挡层的表面上的第一接触孔，进而增强漂移区的耗尽来提高器件的击穿电压，进而提高器件的性能，进一步地，所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，则所述第一接触孔的底部位于所述氮化物层中，例如，所述第一接触孔的底部位于所述氮化物层的表面，这样可以通过调整金属硅化物阻挡层 106 中的氮化物层下方的氧化物层的厚度来调节漂移区电场的耗尽，进而改善器件特性，另外，本发明的 LDMOS 器件在漏端的漂移区内无需设置浅沟槽隔离结构，因此，大大降低了器件的导通电阻。

实施例二

本发明还提供一种前述实施例一中的 LDMOS 器件的制造方法，作为示例，如图 2 所示，本发明的半导体器件的制造方法主要包括以下步骤：

步骤 S1，提供半导体衬底，在所述半导体衬底中形成有漂移区，在所述半导体衬底的部分表面上形成有栅极结构，所述栅极结构覆盖部分所述漂移区的表面，在所述栅极结构两侧的半导体衬底中分别形成有源极和漏极，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

步骤 S2，形成金属硅化物阻挡层，其中，所述金属硅化物阻挡层覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

步骤 S3，在至少部分所述金属硅化物阻挡层的表面上形成第一接触孔。

下面参考图 1A 至图 1G、图 2 对本发明的 LDMOS 器件的制造方法做详细描述，其中，图 1A 至图 1G 示出了本发明一个实施方式的 LDMOS 器件的制造方法的相关步骤所获得的器件的剖面示意图；图 2 示出了本发明一个实施方式的 LDMOS 器件的制造方法的工艺流程图。

具体地，本发明的 LDMOS 器件的制造方法包括以下步骤：

首先，执行步骤一，提供半导体衬底，在所述半导体衬底中形成有漂移区，在所述半导体衬底的部分表面上形成有栅极结构，所述栅极结构覆盖部分所述漂移区的表面，在所述栅极结构两侧的半导体衬底中分别形成有源极和漏极，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔。

示例性地，如图 1A 所示，提供半导体 100，半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅

(SiGeOI) 以及绝缘体上锗 (GeOI) 等。作为示例, 在本实施例中, 半导体衬底 100 的构成材料选用单晶硅。

所述半导体衬底 100 还可以为 P 型半导体衬底或者 N 型半导体衬底, 例如 N 型高压器件则可选择使用 P 型半导体衬底, 而 P 型高压器件则可选择使用 N 型半导体衬底, 本实施例中, 所述半导体衬底 100 为 P 型半导体衬底。

示例性地, 在所述半导体衬底中形成有浅沟槽隔离结构 (STI), 以定义有源区。

示例性地, 在所述半导体衬底 100 中设置有漂移区 101。

根据具体的 LDMOS 器件的类型所述漂移区具有不同的导电类型, 例如, 若 LDMOS 器件为 N 型 LDMOS 器件, 则漂移区 101 为 N 型漂移区, 若 LDMOS 器件为 P 型 LDMOS 器件, 则漂移区 101 为 P 型漂移区。

一般来说, 漂移区的掺杂浓度较低, 其低于源极和漏极的掺杂浓度, 相当于在源极和漏极之间形成一个高阻层, 能够提高击穿电压, 并减小了源极和漏极之间的寄生电容, 有利于提高频率特性。

可以使用合适的方法形成所述漂移区 101, 例如离子注入的方法, 例如, 若制备 N 型高压器件, 则对所述半导体衬底 100 中预定形成漂移区 101 的区域进行 N 型离子掺杂, 以在衬底内形成 N 型漂移区, 若制备 P 型高压器件, 则对半导体衬底 100 进行 P 型离子掺杂, 形成 P 型漂移区。

掺杂一般是通过注入的方法实现。所需要的掺杂浓度越高, 则注入过程中的注入剂量相应地也应该越高。一般来说, 漂移区的掺杂浓度较低, 相当于在源极和漏极之间形成一个高阻层, 能够提高击穿电压, 并减小了源极和漏极之间的寄生电容, 有利于提高频率特性。例如, 在根据本发明的一个实施例中, 注入杂质为磷, 漂移区的注入剂量可以为 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 。

在一个示例中, 还可在半导体衬底 100 中设置有体区 102, 体区 102 位于所述漂移区 101 的外侧, 并与漂移区间隔, 其中, 体区和漂移区具有相反的导电类型, 也即, 漂移区为 N 型时, 体区为 P 型, 或者, 漂移区为 P 型时, 体区为 N 型。也可以使用例如离子注入的方法形成所述体区 102, 例如, 预定形成 P 型体区, 则通过离子注入向半导体衬底的预定形成体区的区域注入 P 型掺杂杂质例如硼。

示例性地, 在形成所述体区和所述漂移区之前, 在所述半导体衬底 100 中形成阱区, 所述体区 102 和所述漂移区 101 均设置在所述阱区中, 其中, 该阱区具有和所述漂移区 101 相同的导电类型, 并且该阱区的掺杂浓度低于

所述漂移区 102 的掺杂浓度，体区外侧的该阱区和漂移区 102 构成具有渐变的掺杂浓度的漂移区。

还可在半导体衬底 100 中形成其他的阱区等，在此不做赘述。

值得一提的是，可以先形成所述体区也可以先形成所述漂移区，在此不作具体限定。

在一个示例中，在所述半导体衬底 100 的部分表面上设置有栅极结构 103。

其中，所述栅极结构 103 覆盖沟道区（例如部分体区 102 的表面），进一步地，栅极结构还覆盖部分漂移区 101 的表面。示例性地，栅极结构 103 包括位于半导体衬底 100 表面上的栅极介电层 1031 以及位于栅极介电层 1031 上的栅极层 1032。

在一个示例中，形成栅极结构 103 的方法可以包括以下步骤：在半导体衬底 100 上依次形成栅极介电层和栅极层，图案化栅极介电层和所述栅极层以形成栅极结构 103。栅极介电层 1031 可以包括传统的电介质材料诸如具有电介质常数从大约 4 到大约 20(真空中测量)的硅的氧化物、氮化物和氮氧化物，或者，栅极介电层可以包括具有电介质常数从大约 20 到至少大约 100 的通常较高电介质常数电介质材料。这种较高电介质常数电介质材料可以包括但不限于：氧化铪、硅酸铪、氧化钛、钛酸锶钡(BSTs)和锆钛酸铅(PZTs)。栅极层 1032 由多晶硅材料组成，一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料，本实施例中，所述栅极层 1032 的材料包括多晶硅。

栅极层优选的形成方法包括化学气相沉积法(CVD)，如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(LTCVD)、等离子体化学气相沉积(PECVD)，也可使用例如溅镀及物理气相沉积(PVD)等一般相似方法。栅极层的厚度可以根据器件的尺寸使用适合的厚度，在此不做具体限制。

在一个示例中，在形成栅极结构之后，还可选择性地，在所述栅极结构 103 的侧壁上形成间隙壁 104。所述间隙壁 104 可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一中实施方式，所述间隙壁为氧化硅、氮化硅共同组成，具体工艺为：在半导体衬底上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层，然后采用蚀刻方法形成间隙壁。

示例性地，随后，还可以进行离子注入，在体区中形成与体区导电类型

相同的体区引出区，例如，体区为 P 型，则体区引出区则也可以为 P 型，且其杂质掺杂浓度大于体区的杂质掺杂浓度，例如体区引出区为 P 型杂质重掺杂。

在一个示例中，在所述栅极结构 103 两侧的半导体衬底 100 中分别设置
5 有源极 1052 和漏极 1051，其中，所述漏极 1051 形成在所述漂移区 101 内并与所述栅极结构 103 之间存在间隔，所述源极 1052 形成在所述体区 102 中，所述源极 1052 以及所述漏极和所述漂移区 101 具有相同的导电类型，例如，所述漂移区为 N 型漂移区，所述漏极和所述源极则可以为 N 型源极和漏极，其还可以为 N 型掺杂离子重掺杂的源极和漏极。

10 更进一步地，所述漏极 1051 与邻近该漏极的所述间隙壁 104 之间存在间隔。

其中，形成所述源极和漏极的方法包括对半导体衬底中预定形成源极和漏极的区域执行源漏离子注入，在所述栅极结构 103 两侧的半导体衬底 100 中分别设置有源极 1052 和漏极 1051，其中，可以通过利用光刻工艺首先形
15 成暴露出预定形成源极和漏极的区域的图案化的光刻胶层，再以该图案化的光刻胶层为掩膜，进行源漏离子注入，最后利用例如灰化的方法去除所述图案化的光刻胶层。

随后，还可以进行退火工艺，示例性地，退火可以使用本领域技术人员熟知的任何的退火处理方法，包括但不限于快速热退火、炉管退火、峰值退
20 火、激光退火等，例如，进行快速升温退火工艺，利用 900 至 1050℃ 的高温来活化源极/漏极区域内的掺杂质，并同时修补在各离子注入工艺中受损的半导体衬底表面的晶格结构。此外，亦可视产品需求及功能性考量，另于源极/漏极区域与各栅极之间分别形成轻掺杂漏极(LDD)。

25 接着，执行步骤二，形成金属硅化物阻挡层，其中，所述金属硅化物阻挡层覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面。

示例性地，如图 1C 所示，金属硅化物阻挡层 106 覆盖所述栅极结构 103 和所述漏极 1051 之间的至少部分所述半导体衬底 100 的表面，也即覆盖栅极结构 103 和漏极 1051 之间的漂移区 101 的表面。

30 在一个示例中，所述金属硅化物阻挡层 106 覆盖部分所述栅极结构 103 的顶面以及所述栅极结构 103 和所述漏极 1051 之间的所述半导体衬底 100 的表面，也即，所述金属硅化物阻挡层 106 覆盖所述栅极结构 103 和所述漏极

1051 之间的所述半导体衬底 100 的表面并延伸到部分所述栅极结构 103 的顶面上，在所述栅极结构 103 的侧壁上形成有间隙壁 104 时，所述金属硅化物阻挡层 106 还覆盖与所述漏极邻近的栅极结构 103 一侧壁上的间隙壁 104。

在一个示例中，所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，所述氧化物层例如包括氧化硅、所述氮化物层例如包括氮化硅、所述氮氧化物层包括氮氧化硅。

示例性地，金属硅化物阻挡层 106 中的所述氮化物层、所述氮氧化物层的厚度均小于所述氧化物层的厚度，例如，所述氮化物层的厚度可以为 350~700 埃，所述氮氧化物层的厚度可以为 350~700 埃，所述氧化物层的厚度可以包括 1000~3000 埃，例如 1000 埃、1500 埃、2000 埃、2500 埃、3000 埃等。

值得一提的是，所述金属硅化物阻挡层 106 还可以包括其他适合的材料，例如金属硅化物阻挡层 106 还可以包括氧化硅层、氮化硅层、氮氧化硅层和掺碳的氮化硅层等中的至少一种。

在一个示例中，如图 1B 和图 1C 所示，形成所述金属硅化物阻挡层 106 的方法包括以下步骤：

首先，如图 1B 所示，沉积形成金属硅化物阻挡材料层 106a，以覆盖所述栅极结构 103、所述间隙壁 104、所述源极 1052 和所述漏极 1051，进一步地，所述金属硅化物阻挡材料层 106a 覆盖整个半导体衬底的表面，可通过例如化学气相沉积、物理气相沉积或原子层沉积的方法共形沉积形成所述金属硅化物阻挡材料层 106a。

接着，如图 1C 所示，图案化所述金属硅化物阻挡材料层，以形成所述金属硅化物阻挡层 106。

具体地，可首先在所述金属硅化物阻挡材料层上形成图案化的掩膜层，例如图案化的光刻胶层，该图案化的掩膜层定义预定形成的金属硅化物阻挡层 106，然后以图案化的掩膜层为掩膜，蚀刻所述金属硅化物阻挡材料层停止于所述半导体衬底的表面，以形成所述金属硅化物阻挡层 106，该蚀刻工艺可以使用干法蚀刻或者湿法蚀刻等方法实现对金属硅化物阻挡材料层的蚀刻，最后去除图案化的掩膜层。

其中，最终形成的金属硅化物阻挡层 106 露出了部分栅极结构顶面、漏极表面以及源极表面等，以便于后续形成金属硅化物。

随后，在所述源极、所述漏极和所述栅极结构露出的表面上形成金属硅

化物层。

在一个示例中，如图 1D 所示，为了降低接触电阻，在所述源极 1052、所述漏极 1051 和所述栅极结构 103 的部分表面上形成有金属硅化物层 107，其中，所述金属硅化物层 107 可以包括 CoSi_x 、 NiSi_x 及 PtSi_x 或其组合的材料。

在一个示例中，如图 1D 至 1E 所示，形成所述金属硅化物层 107 的方法包括以下步骤：首先，如图 1D 所示，沉积金属层 107a，其可包含镍(nickel)、钴(cobalt)及铂(platinum)或其组合的材料。接着加热衬底，造成金属层与其下的硅层发生硅化作用，金属硅化物层 107 区域因而形成。接着使用可侵蚀金属层，但不致侵蚀金属硅化层区域的蚀刻剂，以将未反应的金属层除去。

随后，形成层间介电层，以覆盖所述栅极结构 103、所述源极 1052、所述漏极 1051 以及所述金属硅化物阻挡层 106。

具体地，如图 1F 所示，形成层间介电层 109，以覆盖所述栅极结构 103、所述源极 1052、所述漏极 1051 以及所述金属硅化物阻挡层 106，也即进一步地，层间介电层覆盖半导体衬底露出的所有表面、所述栅极结构 103、所述源极 1052、间隙壁 104、所述漏极 1051 以及所述金属硅化物阻挡层 106。

所述层间介电层 109 可为氧化硅层，包括利用热化学气相沉积 (thermal CVD) 制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层，例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外，层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

示例性地，还可以通过平坦化的方法（例如化学机械研磨）对沉积的层间介电层 109 进行平坦化，以使层间介电层 109 具有平坦的表面。

接着，执行步骤三，在至少部分所述金属硅化物阻挡层的表面上形成第一接触孔。

具体地，如图 1G 所示，在至少部分所述金属硅化物阻挡层 106 的表面上形成第一接触孔 1081。

在一个示例中，在形成所述第一接触孔的步骤中，还包括以下步骤：

在所述源极 1052 的部分表面上形成第二接触孔 1082，所述第二接触孔 1082 电连接所述源极 1052；

在所述漏极 1051 的部分表面上形成第三接触孔 1083，所述第三接触孔 1083 电连接所述漏极 1051。

在一个示例中，形成所述第一接触孔、所述第二接触孔和所述第三接触孔的方法包括以下步骤：

- 5 首先，在所述层间介电层 109 的表面上形成图案化的掩膜层（例如图案化的光刻胶层），该图案化的掩膜层定义预定形成的第一接触孔、第二接触孔和第三接触孔的图案化以及位置等。

10 接着，以图案化的掩膜层为掩膜，蚀刻所述层间介电层，以分别形成第一接触孔、第二接触孔和第三接触孔，其中，蚀刻形成第一接触孔时，可停止在金属硅化物阻挡层 106 中的氮化物层中，也即可以停止在氮化物层的表面，由于金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，氮化物层和氮氧化物层可以用作刻蚀阻挡层，这样能够保证在第一接触孔的刻蚀过程中不会被刻蚀到半导体衬底中，而是停止在氮化物层上。其中第二接触孔和第三接触孔的刻蚀停止在半导体衬底的表面上。

- 15 随后，去除图案化的掩膜层，可以使用本领域技术人员熟知的方法。

20 随后，形成导电材料填充所述第一接触孔、第二接触孔和第三接触孔，以形成最终的第一接触孔 1081、第二接触孔 1082 和第三接触孔 1083。其中，所述导电材料可以为本领域技术人员熟知的任何适合的导电材料，包括但不限于金属材料，其中，所述金属材料可以包括 Ag、Au、Cu、Pd、Pt、Cr、Mo、Ti、Ta、W 和 Al 中的一种或几种。

其中，所述第一接触孔 1081、第二接触孔 1082 和第三接触孔 1083 中填充有相同的导电材料，例如可均填充有铜金属等，也可以填充有不同的导电材料。

25 在一个示例中，在至少部分所述金属硅化物阻挡层 106 的表面上设置有第一接触孔 1081。其中，所述第一接触孔 1081 可以部分位于所述栅极结构上方的金属硅化物阻挡层 106 的表面上，部分位于所述间隙壁上方的金属硅化物阻挡层 106 的表面上以及部分位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上，或者，所述第一接触孔还可以仅位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上，或者，所述第一接触孔还可以部分位于所述间隙壁上方的金属硅化物阻挡层 106 的表面上以及部分位于所述间隙壁和所述漏极之间的半导体衬底表面上的金属硅化物阻挡层 106 的表面上。

在一个示例中，所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，则所述第一接触孔 1081 的底部位于所述氮化物层中，例如，所述第一接触孔 1081 的底部位于所述氮化物层的表面，这样可以通过调整金属硅化物阻挡层 106 中的氮化物层下方的氧化物层的厚度来调节漂移区电场的耗尽，进而改善器件特性。

在一个示例中，在所述源极 1052 的部分表面上设置有第二接触孔 1082，所述第二接触孔 1082 电连接所述源极 1052，更进一步地，所述第二接触孔 1082 电连接所述源极 1052 表面的金属硅化物层 107，以实现和所述源极 1052 的电连接。

进一步地，所述第二接触孔 1082 和所述第一接触孔 1081 电连接在一起并接地，进而可以增强对漂移区的耗尽，进而提升器件的击穿电压。

其中，第二接触孔 1082 和第一接触孔 1081 可以通过电连接相同的金属层或者金属互连结构的方式实现两者之间的电连接，或者其他适合的方式电连接在一起。

在一个示例中，在所述漏极 1051 的部分表面上设置有第三接触孔 1083，所述第三接触孔 1083 电连接所述漏极 1051，更进一步地，所述第三接触孔 1083 电连接所述漏极 1051 表面的金属硅化物层 107，以实现和所述漏极 1051 的电连接。

在一个示例中，为了增强漂移区的耗尽，第一接触孔 1081 的宽度大于所述第二接触孔 1082 和所述第三接触孔 1083 的宽度，该宽度是指第一接触孔 1081、所述第二接触孔 1082 和所述第三接触孔 1083 在源极和漏极连线及其延长线方向上的直径。

在一个示例中，所述第一接触孔 1081 贯穿所述金属硅化物阻挡层 106 上方的所述层间介电层 109，所述第二接触孔 1082 贯穿所述源极 1052 上方的所述层间介电层 109，所述第三接触孔 1083 贯穿所述漏极 1051 上方的所述层间介电层 109。

至此完成了对本发明的 LDMOS 器件的制造方法的关键步骤的说明，对于完整的器件结构制备还可能需要其他的步骤，在此不做一一赘述。

综上所述，通过本发明的制造方法形成的 LDMOS 器件包括金属硅化物阻挡层，其覆盖栅极结构和所述漏极之间的至少部分所述半导体衬底的表面，以及设置在至少部分所述金属硅化物阻挡层的表面上的第一接触孔，进而增强漂移区的耗尽来提高器件的击穿电压，进而提高器件的性能，进一步地，

所述金属硅化物阻挡层 106 包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，则所述第一接触孔的底部位于所述氮化物层中，例如，所述第一接触孔的底部位于所述氮化物层的表面，这样可以通过调整金属硅化物阻挡层 106 中的氮化物层下方的氧化物层的厚度来调节漂移区电场的耗尽，进而改善器件特性，另外本发明的 LDMOS 器件在漏端的漂移区内无需设置浅沟槽隔离结构，因此，大大降低了器件的导通电阻，并且本发明的方法无需增加光刻版，也不用重复利用光刻版来增加工艺步骤，工艺简单，容易控制。

实施例三

本发明还提供了一种电子装置，包括实施例一所述的 LDMOS 器件，所述 LDMOS 器件根据实施例二所述方法制备得到。

本实施例的电子装置，可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、数码相框、照相机、摄像机、录音笔、MP3、MP4、PSP 等任何电子产品或设备，也可为任何包括电路的中间产品。本发明实施例的电子装置，由于使用了上述的 LDMOS 器件，因而具有更好的性能。

其中，图 3 示出移动电话手机的示例。移动电话手机 300 被设置有包括在外壳 301 中的显示部分 302、操作按钮 303、外部连接端口 304、扬声器 305、话筒 306 等。

其中所述移动电话手机包括实施例一所述的 LDMOS 器件，所述 LDMOS 器件包括：

半导体衬底；

漂移区，设置在所述半导体衬底中；

栅极结构，设置在所述半导体衬底的部分表面上，并覆盖部分所述漂移区的表面；

源极和漏极，分别设置在所述栅极结构两侧的半导体衬底中，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

金属硅化物阻挡层，覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

第一接触孔，设置在至少部分所述金属硅化物阻挡层的表面上。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未

对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

5 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求为准。

权利要求书

1、一种 LDMOS 器件，包括：

半导体衬底；

漂移区，设置在所述半导体衬底中；

5 栅极结构，设置在所述半导体衬底的部分表面上，并覆盖部分所述漂移区的表面；

源极和漏极，分别设置在所述栅极结构两侧的半导体衬底中，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

金属硅化物阻挡层，覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

10 第一接触孔，设置在至少部分所述金属硅化物阻挡层的表面上。

2、如权利要求 1 所述的 LDMOS 器件，其中，所述金属硅化物阻挡层覆盖部分所述栅极结构的顶面以及所述栅极结构和所述漏极之间的所述半导体衬底的表面。

3、如权利要求 1 所述的 LDMOS 器件，其中，所述金属硅化物阻挡层包
15 括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，所述第一接触孔的底部位于所述氮化物层中。

4、如权利要求 3 所述的 LDMOS 器件，其中，所述氮化物层和所述氮氧化物层的厚度均小于所述氧化物层的厚度。

5、如权利要求 1 所述的 LDMOS 器件，其中，
20 在所述源极的部分表面上设置有第二接触孔，所述第二接触孔电连接所述源极；

在所述漏极的部分表面上设置有第三接触孔，所述第三接触孔电连接所述漏极。

6、如权利要求 5 所述的 LDMOS 器件，其中，所述第一接触孔的宽度大于
25 所述第二接触孔和所述第三接触孔的宽度。

7、如权利要求 5 所述的 LDMOS 器件，其中，所述第一接触孔和所述第二接触孔电连接并均接地。

8、如权利要求 5 所述的 LDMOS 器件，其中，还包括层间介电层，所述层间介电层覆盖所述栅极结构、所述源极、所述漏极以及所述金属硅化物阻

挡层，所述第一接触孔贯穿所述金属硅化物层上方的所述层间介电层，所述第二接触孔贯穿所述源极上方的所述层间介电层，所述第三接触孔贯穿所述漏极上方的所述层间介电层。

9、如权利要求 1 所述的 LDMOS 器件，其中，还包括间隙壁，所述间隙壁设置在所述栅极结构的侧壁上，所述漏极与所述间隙壁之间存在间隔。

10、一种 LDMOS 器件的制造方法，包括：

提供半导体衬底，在所述半导体衬底中形成有漂移区，在所述半导体衬底的部分表面上形成有栅极结构，所述栅极结构覆盖部分所述漂移区的表面，在所述栅极结构两侧的半导体衬底中分别形成有源极和漏极，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔；

形成金属硅化物阻挡层，其中，所述金属硅化物阻挡层覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面；

在至少部分所述金属硅化物阻挡层的表面上形成第一接触孔。

11、如权利要求 10 所述的制造方法，其中，所述金属硅化物阻挡层覆盖部分所述栅极结构的顶面以及所述栅极结构和所述漏极之间的所述半导体衬底的表面。

12、如权利要求 10 所述的制造方法，其中，所述金属硅化物阻挡层包括自下而上依次层叠的氧化物层、氮化物层和氮氧化物层，所述第一接触孔的底部位于所述氮化物层中。

13、如权利要求 12 所述的制造方法，其中，所述氮化物层和所述氮氧化物层的厚度均小于所述氧化物层的厚度。

14、如权利要求 10 所述的制造方法，其中，形成所述金属硅化物阻挡层的方法包括以下步骤：

沉积形成金属硅化物阻挡材料层，以覆盖所述栅极结构、所述源极和所述漏极；

图案化所述金属硅化物阻挡材料层，以形成所述金属硅化物阻挡层。

15、如权利要求 10 所述的制造方法，其中，在形成所述第一接触孔的步骤中，还包括以下步骤：

在所述源极的部分表面上形成第二接触孔，通过所述第二接触孔可电连接所述源极；

在所述漏极的部分表面上形成第三接触孔，通过所述第三接触孔可电连接所述漏极。

16、如权利要求 15 所述的制造方法，其中，所述第一接触孔的宽度大于所述第二接触孔和所述第三接触孔的宽度。

17、如权利要求 15 所述的制造方法，其中，所述第一接触孔和所述第二接触孔电连接并均接地。

5 18、如权利要求 15 所述的制造方法，其中，在形成所述金属硅化物阻挡层之后，形成所述第一接触孔之前，还包括以下步骤：

形成层间介电层，以覆盖所述栅极结构、所述源极、所述漏极以及所述金属硅化物阻挡层，其中，所述第一接触孔贯穿所述金属硅化物阻挡层上方的所述层间介电层，所述第二接触孔贯穿所述源极上方的所述层间介电层，
10 所述第三接触孔贯穿所述漏极上方的所述层间介电层。

19、如权利要求 10 所述的制造方法，其中，在所述半导体衬底的部分表面上形成有栅极结构之后，还包括，在所述栅极结构的侧壁上形成间隙壁，所述漏极与所属间隙壁之间存在间隔。

20、一种电子装置，所述电子装置包括如权利要求 1 至 9 之一所述的
15 LDMOS 器件。

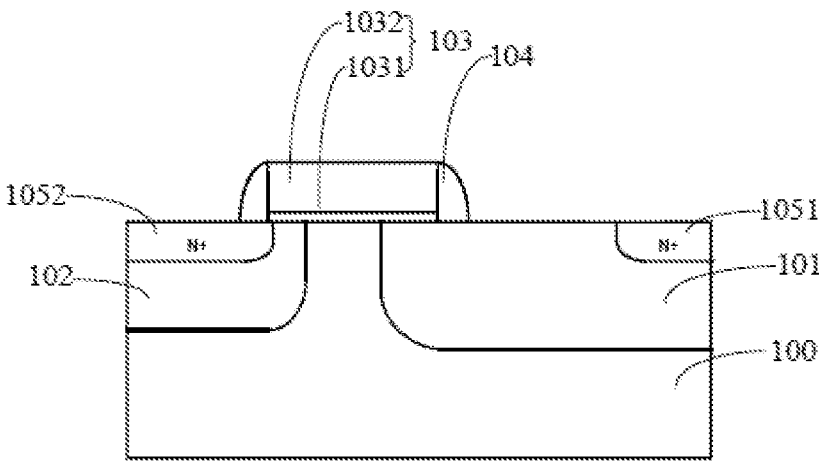


图 1A

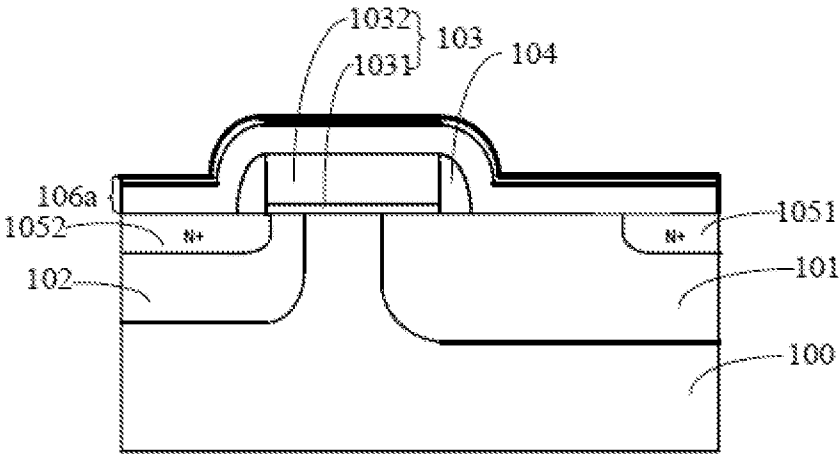


图 1B

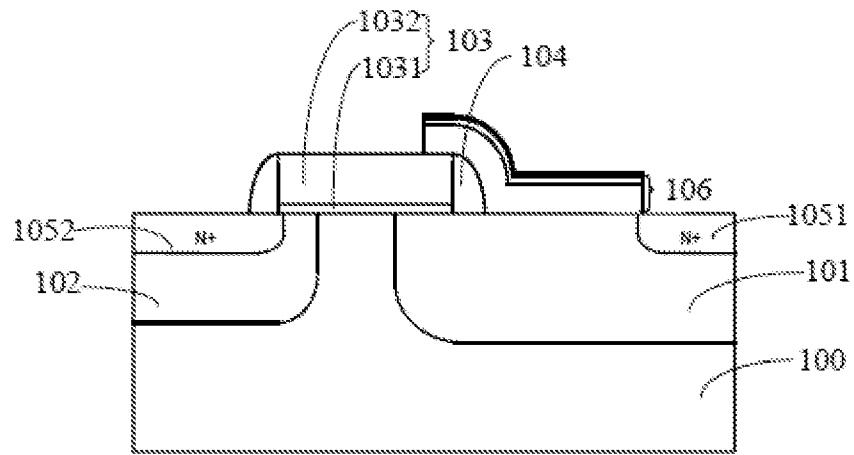


图 1C

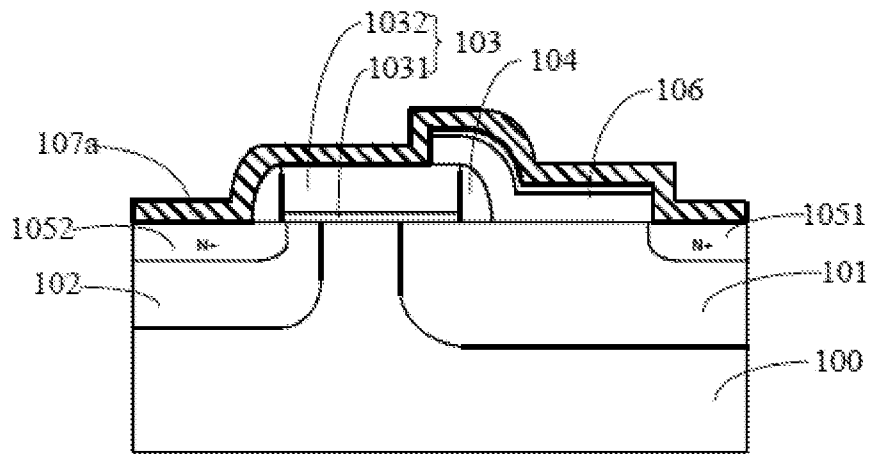


图 1D

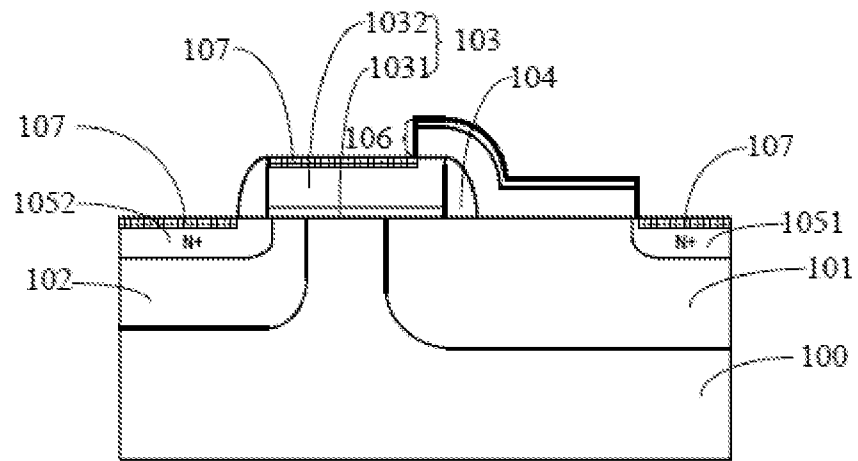


图 1E

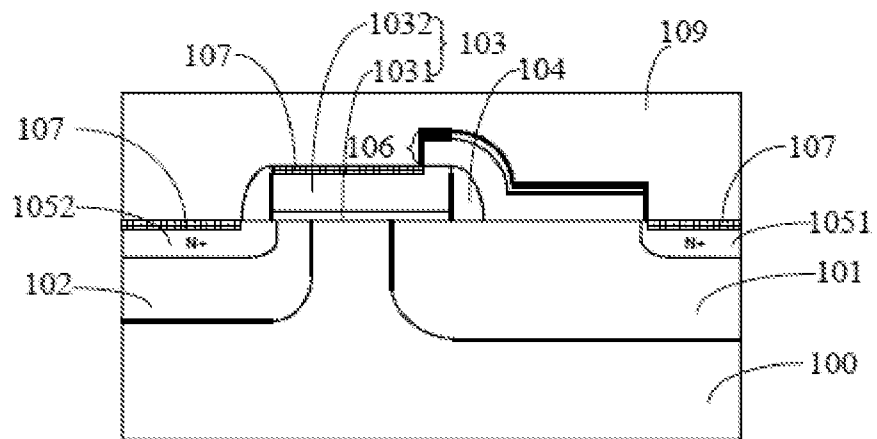


图 1F

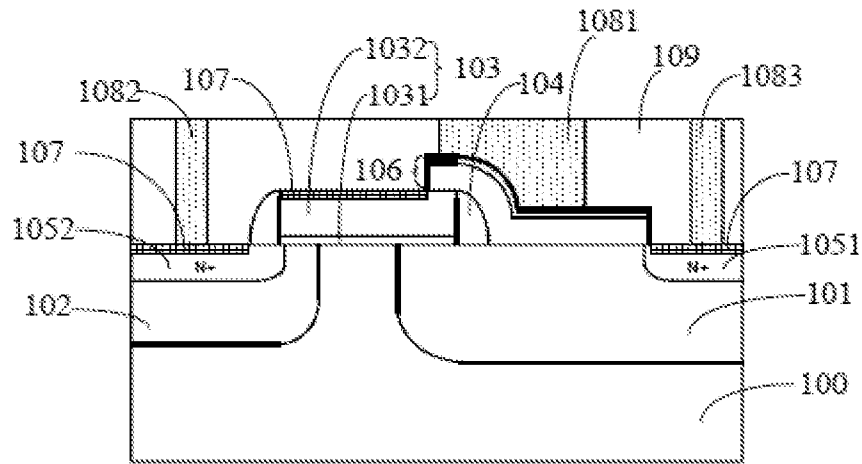


图 1G

提供半导体衬底，在所述半导体衬底中形成有漂移区，在所述半导体衬底的部分表面上形成有栅极结构，所述栅极结构覆盖部分所述漂移区的表面，在所述栅极结构两侧的半导体衬底中分别形成有源极和漏极，其中，所述漏极设置在所述漂移区内并与所述栅极结构之间存在间隔

S1

形成金属硅化物阻挡层，其中，所述金属硅化物阻挡层覆盖所述栅极结构和所述漏极之间的至少部分所述半导体衬底的表面

S2

在至少部分所述金属硅化物阻挡层的表面上形成第一接触孔

S3

图 2

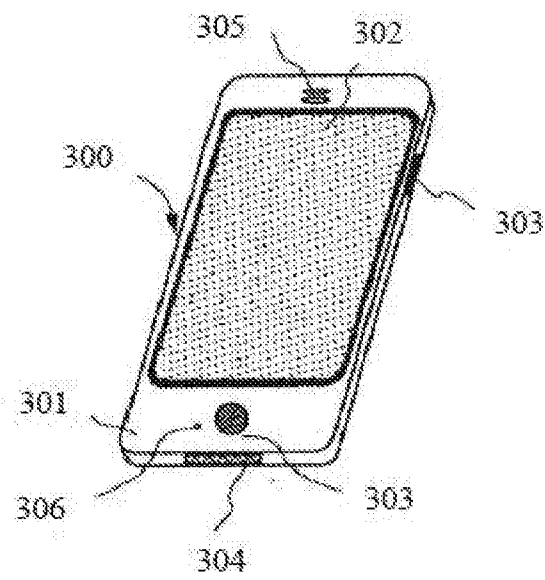


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098447

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNTXT, CNKI: LDMOS, 横向扩散金属氧化物半导体, 横向DMOS, 漂移区, 金属, 硅化物, 硅化钴, 硅化镍, 硅化铂, 阻挡, 层, 栅, 漏, Lateral?DMOS, Lateral DMOS, drift, metal, silicide, cosi, nisi, ptsi, block, SAB, barrier, layer, gate, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104867974 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 26 August 2015 (2015-08-26) description, paragraphs [002] and [0039]-[0063], and figures 2-12	1-20
A	CN 101477952 A (DONGBU HITEK CO., LTD.) 08 July 2009 (2009-07-08) entire document	1-20
A	CN 204102905 U (KUNSHAN HUATAI ELECTRONIC TECHNOLOGY CO., LTD.) 14 January 2015 (2015-01-14) entire document	1-20
A	CN 106257630 A (PEKING UNIVERSITY FOUNDER GROUP CORP. ET AL.) 28 December 2016 (2016-12-28) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 October 2018

Date of mailing of the international search report

08 November 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/098447

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104867974	A	26 August 2015	None			
CN	101477952	A	08 July 2009	DE	102008063324	A1	16 July 2009
				KR	20090073487	A	03 July 2009
				KR	100976793	B1	20 August 2010
				US	2009166765	A1	02 July 2009
CN	204102905	U	14 January 2015	None			
CN	106257630	A	28 December 2016	None			

国际检索报告

国际申请号

PCT/CN2018/098447

A. 主题的分类 H01L 29/78(2006.01)i; H01L 21/336(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, VEN, CNTXT, CNKI: LDMOS, 横向扩散金属氧化物半导体, 横向DMOS, 漂移区, 金属, 硅化物, 硅化钴, 硅化镍, 硅化铂, 阻挡, 层, 栅, 漏, Lateral?DMOS, Lateral DMOS, drift, metal, silicide, cosi, nisi, ptsi, block, SAB, barrier, layer, gate, drain																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104867974 A (中芯国际集成电路制造上海有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第[002], [0039]-[0063]段、附图2-12</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 101477952 A (东部高科股份有限公司) 2009年 7月 8日 (2009 - 07 - 08) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 204102905 U (昆山华太电子技术有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106257630 A (北大方正集团有限公司 等) 2016年 12月 28日 (2016 - 12 - 28) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104867974 A (中芯国际集成电路制造上海有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第[002], [0039]-[0063]段、附图2-12	1-20	A	CN 101477952 A (东部高科股份有限公司) 2009年 7月 8日 (2009 - 07 - 08) 全文	1-20	A	CN 204102905 U (昆山华太电子技术有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-20	A	CN 106257630 A (北大方正集团有限公司 等) 2016年 12月 28日 (2016 - 12 - 28) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 104867974 A (中芯国际集成电路制造上海有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第[002], [0039]-[0063]段、附图2-12	1-20															
A	CN 101477952 A (东部高科股份有限公司) 2009年 7月 8日 (2009 - 07 - 08) 全文	1-20															
A	CN 204102905 U (昆山华太电子技术有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-20															
A	CN 106257630 A (北大方正集团有限公司 等) 2016年 12月 28日 (2016 - 12 - 28) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2018年 10月 31日		国际检索报告邮寄日期 2018年 11月 8日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王文杰 电话号码 62412092															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/098447

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104867974	A	2015年 8月 26日	无			
CN	101477952	A	2009年 7月 8日	DE	102008063324	A1	2009年 7月 16日
				KR	20090073487	A	2009年 7月 3日
				KR	100976793	B1	2010年 8月 20日
				US	2009166765	A1	2009年 7月 2日
CN	204102905	U	2015年 1月 14日	无			
CN	106257630	A	2016年 12月 28日	无			