

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 27 年 11 月 19 日 (2015.11.19)

【公開番号】特開 2013-235576 (P2013-235576A)

【公開日】平成 25 年 11 月 21 日 (2013.11.21)

【年通号数】公開・登録公報 2013-063

【出願番号】特願 2013-89640 (P2013-89640)

【国際特許分類】

G 0 6 F 12/08 (2006.01)

【F I】

G 0 6 F 12/08 5 1 3

G 0 6 F 12/08 5 0 9 F

G 0 6 F 12/08 5 0 9 Z

G 0 6 F 12/08 5 7 9

【手続補正書】

【提出日】平成 27 年 10 月 1 日 (2015.10.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マルチ CPU プロセッサ (multi-CPU processor) を含み、
前記マルチ CPU プロセッサは、
少なくとも第 1 コア、第 1 キャッシュ、及び前記第 1 キャッシュをアクセスするための
第 1 キャッシュコントローラを含む第 1 CPU と、
少なくとも第 2 コア及び第 2 キャッシュをアクセスするための第 2 キャッシュコント
ローラを含む第 2 CPU と、を含み、前記第 1 キャッシュは、前記第 2 キャッシュの共有領
域から具現されるマルチ CPU データ処理システム。

【請求項 2】

選択信号に基づいて、前記第 1 キャッシュコントローラまたは前記第 2 キャッシュコン
トローラからデータを前記第 1 キャッシュに入力する共有回路をさらに含む請求項 1 に記
載のマルチ CPU データ処理システム。

【請求項 3】

前記第 1 CPU、前記第 2 CPU、及び前記第 1 キャッシュを独立してターンオンまた
はターンオフするための複数の制御信号を出力する電力管理ユニットをさらに含む請求
項 1 に記載のマルチ CPU データ処理システム。

【請求項 4】

前記電力管理ユニットは、前記第 1 キャッシュに電源を保持する間に、前記第 1 キャッ
シュを除いた前記第 1 CPU と前記第 2 CPU との間で選択的に電源をスイッチする請求
項 3 に記載のマルチ CPU データ処理システム。

【請求項 5】

前記第 1 キャッシュと前記共有回路は、第 1 SOC に埋設され、前記第 1 キャッシュを
除いた前記第 1 CPU は、第 2 SOC に埋設される請求項 2 に記載のマルチ CPU データ
処理システム。

【請求項 6】

前記第 1 キャッシュを除いた前記第 1 CPU は、第 1 電力領域に具現され、前記第 1 キ

キャッシュを除いた前記第 2 C P U は、第 2 電力領域に具現され、前記第 1 キャッシュは、第 3 電力領域に具現され、

前記第 1 電力領域、前記第 2 電力領域、及び前記第 3 電力領域のそれぞれは、独立して制御可能な請求項 5 に記載のマルチ C P U データ処理システム。

【請求項 7】

少なくとも第 1 コア、第 1 キャッシュ、及び前記第 1 キャッシュからデータをアクセスするための第 1 キャッシュコントローラを含む第 1 C P U と、

少なくとも第 2 コア及び第 2 キャッシュからデータをアクセスするための第 2 キャッシュコントローラを含む第 2 C P U と、を含み、

前記第 1 キャッシュは、前記第 2 キャッシュの共有領域から具現され、

前記第 1 キャッシュを除いた前記第 1 C P U は、第 1 ダイに具現され、前記第 2 C P U は、第 2 ダイに具現されるマルチ C P U データ処理システム。

【請求項 8】

選択信号に基づいて、前記第 1 キャッシュから前記第 1 キャッシュコントローラまたは前記第 2 キャッシュコントローラにデータを出力する共有回路をさらに含み、前記共有回路は、前記第 2 ダイ内に具現される請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 9】

前記共有回路のための複数の制御信号ラインは、前記第 1 ダイと前記第 2 ダイとの間に接続して連結される複数の T S V (T h r o u g h S i l i c o n V i a) を含む請求項 8 に記載のマルチ C P U データ処理システム。

【請求項 10】

L 1 キャッシュと前記第 1 キャッシュは、共通基板に具現される請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 11】

少なくとも 1 つのアドレスラインは、L 1 キャッシュと前記第 1 キャッシュとに共通する請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 12】

前記第 1 キャッシュを除いた前記第 1 C P U は、第 1 電力領域に位置し、前記第 1 キャッシュを除いた前記第 2 C P U は、第 2 電力領域に位置し、前記第 1 キャッシュは、第 3 電力領域に位置する請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 13】

前記第 3 電力領域がパワーオンを保持する間に、前記第 1 電力領域と前記第 2 電力領域とに電力を選択的に供給する電力管理ユニットをさらに含む請求項 12 に記載のマルチ C P U データ処理システム。

【請求項 14】

前記マルチ C P U データ処理システムは、スマートフォン、ラップトップ P C 、またはタブレット P C として具現される請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 15】

前記第 1 キャッシュは、L 2 キャッシュまたは L 3 キャッシュである請求項 7 に記載のマルチ C P U データ処理システム。

【請求項 16】

第 1 C P U が第 1 キャッシュコントローラを通じて第 1 キャッシュをアクセスする段階と、

第 2 C P U が第 2 キャッシュコントローラを通じて第 2 キャッシュをアクセスする段階と、

前記第 1 キャッシュのフラッシング (f l u s h i n g) なしに前記第 1 C P U から前記第 2 C P U にキャッシュアクセス動作をスイッチする段階と、を含み、

前記第 1 キャッシュは、前記第 2 キャッシュの共有領域から具現されるマルチ C P U プロセッサを利用したデータ処理方法。

【請求項 17】

選択信号に基づいて、前記第 1 C P U または前記第 2 C P U から前記第 2 キャッシュに入力されるデータをマルチプレクシング (M u l t i p l e x i n g) する段階をさらに含む請求項 1 6 に記載のマルチ C P U プロセッサを利用したデータ処理方法。

【請求項 1 8】

スヌーピング (s n o o p i n g) なしに前記第 1 C P U から前記第 2 C P U にキャッシュアクセス動作をスイッチングする段階をさらに含む請求項 1 6 に記載のマルチ C P U プロセッサを利用したデータ処理方法。

【請求項 1 9】

前記第 2 C P U から前記第 1 C P U にキャッシュアクセス動作をスイッチングし、前記第 2 キャッシュの非共有領域に対するフラッシング動作を行う段階をさらに含む請求項 1 6 に記載のマルチ C P U プロセッサを利用したデータ処理方法。

【請求項 2 0】

前記第 2 C P U から前記第 1 C P U にキャッシュアクセス動作をスイッチングし、前記第 2 キャッシュの非共有領域に対するスヌーピング動作を行う段階をさらに含む請求項 1 6 に記載のマルチ C P U プロセッサを利用したデータ処理方法。

【請求項 2 1】

少なくとも第 1 コア、第 1 キャッシュ、前記第 1 キャッシュをアクセスするための第 1 キャッシュコントローラを含む第 1 C P U と、

少なくとも第 2 コア及び前記第 1 キャッシュの保存容量よりも大きな保存容量を有する第 2 キャッシュをアクセスするための第 2 キャッシュコントローラを含む第 2 C P U と、

選択信号に基づいて、前記第 1 キャッシュコントローラを通じて前記第 1 コアまたは前記第 2 キャッシュコントローラを通じて前記第 2 コアから前記第 1 キャッシュにデータを伝送するマルチプレクサと、

前記選択信号に基づいて、前記第 1 キャッシュから前記第 1 キャッシュコントローラを通じて前記第 1 コアまたは前記第 2 キャッシュコントローラを通じて前記第 2 コアへデータを伝送するためのデマルチプレクサと、
を含むプロセッサ。

【請求項 2 2】

前記第 1 キャッシュは、前記第 2 キャッシュの共有領域から具現される請求項 2 1 に記載のプロセッサ。

【請求項 2 3】

マルチ C P U プロセッサを含み、

前記マルチ C P U プロセッサは、

少なくとも第 1 コア、第 1 キャッシュ、前記第 1 キャッシュをアクセスするための第 1 キャッシュコントローラを含む第 1 C P U と、

少なくとも第 2 コア及び第 2 キャッシュをアクセスするための第 2 キャッシュコントローラを含む第 2 C P U と、

前記第 1 C P U と前記第 2 C P U とのうち少なくとも 1 つ及び前記第 1 キャッシュに電源を選択的に供給する電力管理ユニット (P M U) と、

データバスを通じて前記マルチ C P U プロセッサへの / からのメモリアccessを制御するメモリコントローラと、を含み、前記第 1 キャッシュは、前記第 2 キャッシュの共有領域から具現されるマルチ C P U データ処理システム。

【請求項 2 4】

前記電力管理ユニットは、前記第 1 キャッシュに電源が供給される間に、前記第 1 C P U と前記第 2 C P U とのターンオンまたはターンオフを独立して制御するための複数の制御信号を出力する請求項 2 3 に記載のマルチ C P U データ処理システム。

【請求項 2 5】

前記第 1 キャッシュを除いた前記第 1 C P U は、第 1 電力領域に位置し、前記第 1 キャッシュを除いた前記第 2 C P U は、第 2 電力領域に位置し、前記第 1 キャッシュは、第 3 電力領域に位置する請求項 2 3 に記載のマルチ C P U データ処理システム。

【請求項 26】

前記電力管理ユニットは、前記第3電力領域に電源が供給される間に、前記第1電力領域と前記第2電力領域との間で電力を選択的にスイッチする請求項25に記載のマルチCPUデータ処理システム。

【請求項 27】

前記マルチCPUデータ処理システムは、スマートフォン、ラップトップPC、またはタブレットPCとして具現される請求項23に記載のマルチCPUデータ処理システム。