

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成27年11月19日(2015.11.19)

【公開番号】特開2013-235576(P2013-235576A)

【公開日】平成25年11月21日(2013.11.21)

【年通号数】公開・登録公報2013-063

【出願番号】特願2013-89640(P2013-89640)

【国際特許分類】

G 06 F 12/08 (2006.01)

【F I】

G 06 F	12/08	5 1 3
G 06 F	12/08	5 0 9 F
G 06 F	12/08	5 0 9 Z
G 06 F	12/08	5 7 9

【手続補正書】

【提出日】平成27年10月1日(2015.10.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マルチCPUプロセッサ(multi-CPU processor)を含み、前記マルチCPUプロセッサは、少なくとも第1コア、第1キャッシュ、及び前記第1キャッシュをアクセスするための第1キャッシュコントローラを含む第1CPUと、少なくとも第2コア及び第2キャッシュをアクセスするための第2キャッシュコントローラを含む第2CPUと、を含み、前記第1キャッシュは、前記第2キャッシュの共有領域から具現されるマルチCPUデータ処理システム。

【請求項2】

選択信号に基づいて、前記第1キャッシュコントローラまたは前記第2キャッシュコントローラからデータを前記第1キャッシュに入力する共有回路をさらに含む請求項1に記載のマルチCPUデータ処理システム。

【請求項3】

前記第1CPU、前記第2CPU、及び前記第1キャッシュを独立してターンオンまたはターンオフするための複数の制御信号を出力する電力管理ユニットをさらに含む請求項1に記載のマルチCPUデータ処理システム。

【請求項4】

前記電力管理ユニットは、前記第1キャッシュに電源を保持する間に、前記第1キャッシュを除いた前記第1CPUと前記第2CPUとの間で選択的に電源をスイッチする請求項3に記載のマルチCPUデータ処理システム。

【請求項5】

前記第1キャッシュと前記共有回路は、第1SOCに埋設され、前記第1キャッシュを除いた前記第1CPUは、第2SOCに埋設される請求項2に記載のマルチCPUデータ処理システム。

【請求項6】

前記第1キャッシュを除いた前記第1CPUは、第1電力領域に具現され、前記第1キ

ヤッショを除いた前記第2CPUは、第2電力領域に具現され、前記第1キャッシュは、第3電力領域に具現され、

前記第1電力領域、前記第2電力領域、及び前記第3電力領域のそれぞれは、独立して制御可能な請求項5に記載のマルチCPUデータ処理システム。

【請求項7】

少なくとも第1コア、第1キャッシュ、及び前記第1キャッシュからデータをアクセスするための第1キャッシュコントローラを含む第1CPUと、

少なくとも第2コア及び第2キャッシュからデータをアクセスするための第2キャッシュコントローラを含む第2CPUと、を含み、

前記第1キャッシュは、前記第2キャッシュの共有領域から具現され、

前記第1キャッシュを除いた前記第1CPUは、第1ダイに具現され、前記第2CPUは、第2ダイに具現されるマルチCPUデータ処理システム。

【請求項8】

選択信号に基づいて、前記第1キャッシュから前記第1キャッシュコントローラまたは前記第2キャッシュコントローラにデータを出力する共有回路をさらに含み、前記共有回路は、前記第2ダイ内に具現される請求項7に記載のマルチCPUデータ処理システム。

【請求項9】

前記共有回路のための複数の制御信号ラインは、前記第1ダイと前記第2ダイとの間に接続して連結される複数のTSV(Through Silicon Via)を含む請求項8に記載のマルチCPUデータ処理システム。

【請求項10】

L1キャッシュと前記第1キャッシュは、共通基板に具現される請求項7に記載のマルチCPUデータ処理システム。

【請求項11】

少なくとも1つのアドレスラインは、L1キャッシュと前記第1キャッシュとに共通する請求項7に記載のマルチCPUデータ処理システム。

【請求項12】

前記第1キャッシュを除いた前記第1CPUは、第1電力領域に位置し、前記第1キャッシュを除いた前記第2CPUは、第2電力領域に位置し、前記第1キャッシュは、第3電力領域に位置する請求項7に記載のマルチCPUデータ処理システム。

【請求項13】

前記第3電力領域がパワーオンを保持する間に、前記第1電力領域と前記第2電力領域とに電力を選択的に供給する電力管理ユニットをさらに含む請求項12に記載のマルチCPUデータ処理システム。

【請求項14】

前記マルチCPUデータ処理システムは、スマートフォン、ラップトップPC、またはタブレットPCとして具現される請求項7に記載のマルチCPUデータ処理システム。

【請求項15】

前記第1キャッシュは、L2キャッシュまたはL3キャッシュである請求項7に記載のマルチCPUデータ処理システム。

【請求項16】

第1CPUが第1キャッシュコントローラを通じて第1キャッシュをアクセスする段階と、

第2CPUが第2キャッシュコントローラを通じて第2キャッシュをアクセスする段階と、

前記第1キャッシュのフラッシング(flushing)なしに前記第1CPUから前記第2CPUにキャッシュアクセス動作をスイッチする段階と、を含み、

前記第1キャッシュは、前記第2キャッシュの共有領域から具現されるマルチCPUプロセッサを利用したデータ処理方法。

【請求項17】

選択信号に基づいて、前記第1CPUまたは前記第2CPUから前記第2キャッシュに入力されるデータをマルチプレクシング(Multiplexing)する段階をさらに含む請求項16に記載のマルチCPUプロセッサを利用したデータ処理方法。

【請求項18】

スヌーピング(snooping)なしに前記第1CPUから前記第2CPUにキャッシュアクセス動作をスイッチングする段階をさらに含む請求項16に記載のマルチCPUプロセッサを利用したデータ処理方法。

【請求項19】

前記第2CPUから前記第1CPUにキャッシュアクセス動作をスイッチングし、前記第2キャッシュの非共有領域に対するフラッシング動作を行う段階をさらに含む請求項16に記載のマルチCPUプロセッサを利用したデータ処理方法。

【請求項20】

前記第2CPUから前記第1CPUにキャッシュアクセス動作をスイッチングし、前記第2キャッシュの非共有領域に対するスヌーピング動作を行う段階をさらに含む請求項16に記載のマルチCPUプロセッサを利用したデータ処理方法。

【請求項21】

少なくとも第1コア、第1キャッシュ、前記第1キャッシュをアクセスするための第1キャッシュコントローラを含む第1CPUと、

少なくとも第2コア及び前記第1キャッシュの保存容量よりも大きな保存容量を有する第2キャッシュをアクセスするための第2キャッシュコントローラを含む第2CPUと、

選択信号に基づいて、前記第1キャッシュコントローラを通じて前記第1コアまたは前記第2キャッシュコントローラを通じて前記第2コアから前記第1キャッシュにデータを伝送するマルチプレクサと、

前記選択信号に基づいて、前記第1キャッシュから前記第1キャッシュコントローラを通じて前記第1コアまたは前記第2キャッシュコントローラを通じて前記第2コアへデータを伝送するためのデマルチプレクサと、
を含むプロセッサ。

【請求項22】

前記第1キャッシュは、前記第2キャッシュの共有領域から具現される請求項21に記載のプロセッサ。

【請求項23】

マルチCPUプロセッサを含み、

前記マルチCPUプロセッサは、

少なくとも第1コア、第1キャッシュ、前記第1キャッシュをアクセスするための第1キャッシュコントローラを含む第1CPUと、

少なくとも第2コア及び第2キャッシュをアクセスするための第2キャッシュコントローラを含む第2CPUと、

前記第1CPUと前記第2CPUとのうち少なくとも1つ及び前記第1キャッシュに電源を選択的に供給する電力管理ユニット(PMU)と、

データバスを通じて前記マルチCPUプロセッサへの/からのメモリアクセスを制御するメモリコントローラと、を含み、前記第1キャッシュは、前記第2キャッシュの共有領域から具現されるマルチCPUデータ処理システム。

【請求項24】

前記電力管理ユニットは、前記第1キャッシュに電源が供給される間に、前記第1CPUと前記第2CPUとのターンオンまたはターンオフを独立して制御するための複数の制御信号を出力する請求項23に記載のマルチCPUデータ処理システム。

【請求項25】

前記第1キャッシュを除いた前記第1CPUは、第1電力領域に位置し、前記第1キャッシュを除いた前記第2CPUは、第2電力領域に位置し、前記第1キャッシュは、第3電力領域に位置する請求項23に記載のマルチCPUデータ処理システム。

【請求項 2 6】

前記電力管理ユニットは、前記第3電力領域に電源が供給される間に、前記第1電力領域と前記第2電力領域との間で電力を選択的にスイッチする請求項25に記載のマルチCPUデータ処理システム。

【請求項 2 7】

前記マルチCPUデータ処理システムは、スマートフォン、ラップトップPC、またはタブレットPCとして具現される請求項23に記載のマルチCPUデータ処理システム。