

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成31年4月4日 (2019.4.4)

【公表番号】特表2018-512812(P2018-512812A)  
 【公表日】平成30年5月17日 (2018.5.17)  
 【年通号数】公開・登録公報2018-018  
 【出願番号】特願2017-550205(P2017-550205)  
 【国際特許分類】

H 0 3 K 17/10 (2006.01)

H 0 2 M 1/08 (2006.01)

H 0 2 M 3/155 (2006.01)

【F I】

H 0 3 K 17/10

H 0 2 M 1/08 A

H 0 2 M 3/155 T

【手続補正書】

【提出日】平成31年2月22日 (2019.2.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路であって、

入力電圧への接続のために構成される入力端子を有する第1のトランジスタデバイスと

、  
固定電圧においてバイアスされたゲートを有する第2のトランジスタデバイスであって、  
前記第1のトランジスタデバイスのカスコードである、第2のトランジスタデバイスと、  
第2のトランジスタデバイスのカスコードとして接続される出力トランジスタデバイス  
であって、出力端子および制御端子を有する、出力トランジスタデバイスと、

前記出力端子上的出力信号を継続的に追跡する結合信号により前記制御端子を駆動するように構成される、前記制御端子と前記出力端子との間の容量結合と、

前記制御端子に接続されるバイアス回路であって、前記制御端子上に駆動信号を提供するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、前記DCバイアス電圧を第1の電圧レベルと第2の電圧レベルとの間に維持することによって、前記バイアス回路内の1つまたは複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化に応答するようにさらに構成される、バイアス回路と

を備える、回路。

【請求項 2】

前記容量結合が、

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の第1のキャパシタンスと、

前記第1のトランジスタデバイスの前記入力端子と前記出力トランジスタデバイスの前記制御端子との間の第2のキャパシタンスと

を備える、請求項1に記載の回路。

【請求項 3】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記

出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間の寄生容量を備える、請求項1に記載の回路。

【請求項4】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間に接続されるキャパシタを備える、請求項1に記載の回路。

【請求項5】

第4のトランジスタデバイスと、

第2の固定電圧においてバイアスされたゲートを有する第5のトランジスタデバイスであって、前記第4のトランジスタデバイスのカスコードである、第5のトランジスタデバイスと、

前記第5のトランジスタデバイスのカスコードとして接続される第2の出力トランジスタデバイスであって、第2の出力端子および第2の制御端子を有する、第2の出力トランジスタデバイスと、

前記第2の出力端子上の第2の出力信号を継続的に追跡する第2の結合信号により前記第2の制御端子を駆動するように構成される、前記第2の制御端子と前記第2の出力端子との間の第2の容量結合と、

前記第2の制御端子に接続される第2のバイアス回路であって、前記第2の制御端子上に第2の駆動信号を提供するために前記第2の結合信号と組み合わせられる第2のDCバイアス電圧を提供するように構成され、前記第2の駆動信号の電圧レベルを第3の電圧レベルと第4の電圧レベルとの間に維持することによって、前記第2のバイアス回路内の1つまたは複数の第2の信号伝播遅延に対応する第2の遅延で前記第2の駆動信号の電圧レベルの変化に応答するようにさらに構成される、第2のバイアス回路と

をさらに備える、請求項1に記載の回路。

【請求項6】

前記第2の出力トランジスタデバイスの前記第2の制御端子と前記第2の出力トランジスタデバイスの前記第2の出力端子との間の前記第2の容量結合が、前記第2の制御端子と前記第2の出力端子との間の第2の寄生容量を備える、請求項5に記載の回路。

【請求項7】

前記第2の出力トランジスタデバイスの前記第2の制御端子と前記第2の出力トランジスタデバイスの前記第2の出力端子との間の前記第2の容量結合が、前記第2の制御端子と前記第2の出力端子との間に接続される第2のキャパシタを備える、請求項5に記載の回路。

【請求項8】

出力トランジスタデバイスにおける方法であって、

前記出力トランジスタデバイスの出力端子と前記出力トランジスタデバイスの制御端子との間の容量結合を使用して、前記出力端子における分割出力信号を結合信号として前記制御端子に提供するステップと、

DCバイアス電圧を生成するステップと、

バイアス回路によって、前記DCバイアス電圧を前記結合信号と組み合わせることによって前記出力トランジスタデバイスの前記制御端子上に駆動信号を提供するステップと、

前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持することによって、前記バイアス回路内の1つまたは複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化に応答するステップと

を備える、方法。

【請求項9】

前記容量結合が、前記出力端子と前記制御端子との間の寄生容量を備える、請求項8に記載の方法。

【請求項10】

前記容量結合が、電力レールまたは接地電位と前記制御端子との間に接続されるキャパシタをさらに備え、前記キャパシタおよび前記寄生容量が容量分圧器を規定する、請求項

9に記載の方法。

【請求項 1 1】

前記容量結合が、容量分圧器を規定するために、前記出力端子と前記制御端子との間に接続される第1のキャパシタと、電力レールまたは接地電位と前記制御端子との間に接続される第2のキャパシタとを備える、請求項8に記載の方法。