

(43) 国際公開日
2006 年 6 月 8 日 (08.06.2006)

PCT

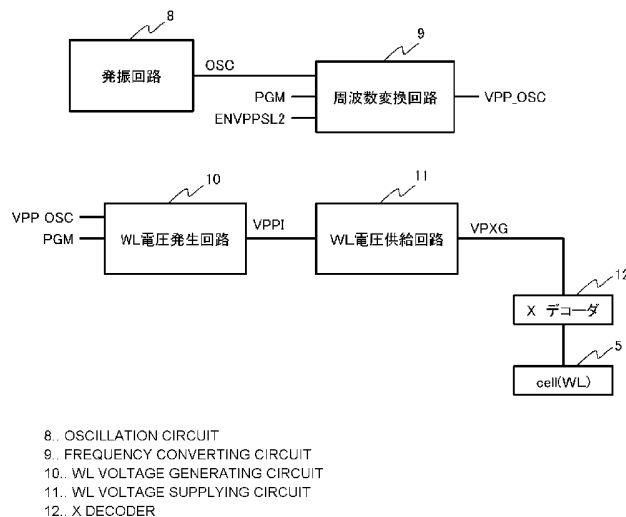
(10) 国際公開番号
WO 2006/059373 A1

- (51) 国際特許分類:
G11C 16/12 (2006.01)
- (21) 国際出願番号: PCT/JP2004/017806
- (22) 国際出願日: 2004 年 11 月 30 日 (30.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
エムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地 6 番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小森秀樹 (KO-
MORI, Hideki) [JP/JP]; 〒1600023 東京都新宿区西新
- 宿四丁目 33 番 4 号 Spansion Japan
株式会社内 Tokyo (JP). 河村 祥一 (KAWAMURA,
Shouichi) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁
目 33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP). 田屋正則 (TAYA, Masanori) [JP/JP];
〒1600023 東京都新宿区西新宿四丁目 33 番 4 号
Spansion Japan 株式会社内 Tokyo (JP).
- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テブコビル
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE CONTROL METHOD

(54) 発明の名称: 半導体装置及び半導体装置の制御方法



(57) Abstract: A semiconductor device includes a write voltage supplying circuit for supplying a drain of a memory cell with a write voltage; a detecting circuit for detecting the write voltage supplied by the write voltage supplying circuit by an output voltage of the write voltage supplying circuit; a frequency converting circuit for converting a clock signal outputted by a prescribed oscillation circuit into a low frequency clock signal when the write voltage supplied by the write voltage supplying circuit is reduced to a prescribed voltage or lower; and a voltage generating circuit for generating a voltage to be supplied to a gate of the memory cell by using the clock signal whose frequency is converted by the frequency converting circuit. Thus, a gate voltage is accurately controlled so as not to excess current supply capability of a program voltage generating circuit and multitudes of bits are written at the same time. Therefore, writing can be performed by utilizing the capability of the program voltage generating circuit to a maximum extent.

(57) 要約: 半導体装置は、メモリセルのドレインに書き込み電圧を供給する書込電圧供給回路と、書込電圧供給回路が供給する書き込み電圧を書込電圧供給回路の出力電圧によって検出する検出回路と、書き込み電圧供給回路が供給する書き込み電圧が所定の電

/ 続葉有 /



SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

圧以下に低下した場合、所定の発振回路が出力するクロック信号を低い周波数のクロック信号に変換する周波数変換回路と、周波数変換回路が周波数を変換したクロック信号を用いて、メモリセルのゲートに供給する電圧を発生する電圧発生回路とを含む。これにより、プログラム電圧発生回路の電流供給能力を超えないように正確にゲート電圧を制御して多ビットを同時に書込むことができる。よって、プログラム電圧発生回路の能力を最大限に利用した書込みを行うことができる。

明 細 書

半導体装置及び半導体装置の制御方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の制御方法に関する。

背景技術

[0002] 図1は、従来の不揮発性半導体記憶装置の書込み時の回路構成を示す図である。図1に示すように、不揮発性半導体記憶装置20は、プログラム電圧発生回路1、プログラム電圧供給回路2、データインバッファ回路(dinbuf_be)3、Yデコーダ(ysel)4、メモリセル5を含む。メモリセル5は、電荷蓄積層としてフローティングゲートまたは窒化膜を備えたフラッシュメモリであり、書込みは、メモリセル5のドレイン端子に高電圧を印加し、電荷蓄積層にホットキャリアが注入されて行われる。不揮発性半導体記憶装置20における書込み高電圧VPROGは、プログラム電圧発生回路1が生成する高電圧が一定の電圧にレギュレーションされた電圧であり、プログラム電圧供給回路3を介して、ビット線BLに接続されている共通データバス線に供給される。

[0003] 特許文献1記載の半導体記憶装置は、ホットエレクトロンによってフローティングゲートへ電子を注入する時、メモリセルのドレインに供給する電流を所定の値以上の電流を制限する定電流素子によって制御し、また、所定の比較器の出力によりコントロールゲートに供給されるゲートを制御することによって、書込み時間を最小限に抑えることができるというものである。

[0004] 特許文献1: 日本国公開特許公報 特開2001-15716号

発明の開示

発明が解決しようとする課題

[0005] しかしながら、メモリセル5のドレインに電流を供給するプログラム電圧発生回路(ドレインポンプ)1には、(書込むビット数) × (1ビット当たりのプログラム電流) 以上の電流供給能力が必要であり、多ビットを同時にプログラムする場合、プログラム時にメモリセル5に流れる電流は大きいため、ドレインポンプの出力電圧が低下し、多ビットを同時に書込むことができないという問題がある。また、プログラム電圧発生回路1の数

を多くすることで、電流供給能力を増すことも可能であるが、回路規模が大きくなってしまいう問題がある。また、上述した特許文献1記載の技術によっては、正確にゲート電圧を制御することができないという問題がある。

[0006] そこで、本発明は上記問題点に鑑みてなされたもので、回路規模を大きくすることなく、多ビットを同時に書込むことができる半導体装置及び半導体装置の制御方法を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明は、メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、前記書込電圧供給回路が供給する書込み電圧に基づいて決定されるクロック信号を用いて、前記メモリセルのゲートに供給する電圧を発生する電圧発生回路とを含む半導体装置である。本発明によれば、書込電圧供給回路が供給する書込み電圧に基づいて決定されるクロック信号を用いて、メモリセルのゲートに供給する電圧を発生することで、プログラム電圧発生回路の電流供給能力を超えないように正確にゲート電圧を制御して多ビットを同時に書込むことができる。よって、プログラム電圧発生回路の能力を最大限に利用した書込みを行うことができる。また、プログラム電圧発生回路の数を増やす必要がないため回路規模は大きくならない。

[0008] 前記電圧発生回路は、前記書込電圧供給回路が供給する書込み電圧が所定の電圧以下に低下した場合、第1のクロック信号よりも周波数の低い第2のクロック信号を前記書込み電圧に基づいて決定されるクロック信号として用いるのが好ましい。本発明によれば、書込み電圧が所定の電圧以下に低下した場合、ゲート電圧の昇圧を遅くすることができ、プログラム電圧発生回路の電流供給能力を超えないように多ビットを同時に書込むことができる。

[0009] 本発明の半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧に応じて、所定の発振回路が出力するクロック信号の周波数を変換することによって前記書込み電圧に基づいて決定されるクロック信号を生成する周波数変換回路を含む。本発明によれば、プログラム電圧発生回路の電流供給能力を超えないようにゲート電圧を制御できる。

- [0010] 本発明の半導体装置は更に、前記書込み電圧供給回路が供給する書込み電圧が所定の電圧以下に低下した場合、所定の発振回路が出力するクロック信号の周波数を低くすることによって前記書込み電圧に基づいて決定されるクロック信号を生成する周波数変換回路を含む。本発明によれば、書込み電圧の低下に応じて、ゲート電圧の昇圧を遅くできる。
- [0011] 本発明の半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧の低下を前記書込電圧供給回路の出力電圧によって検出する検出回路を含む。本発明によれば、電圧供給回路の出力電圧をモニターすることで、プログラム電圧発生回路の電流供給能力を超えるかどうかを検出できる。
- [0012] 本発明の半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧の低下を前記書込電圧供給回路の出力電流によって検出する検出回路を含む。本発明によれば、電圧供給回路の出力電流をモニターすることで、プログラム電圧発生回路の電流供給能力を超えるかどうかを検出できる。
- [0013] 本発明の半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧に応じて、前記周波数変換回路が変換するクロック信号の周波数を制御するための制御信号を発生する発生回路を含む。
- [0014] 前記電圧発生回路は、ランピングゲート方式によって前記メモリセルのゲートに供給する電圧を発生するのが好ましい。前記電圧発生回路は、例えばダイオード型チャージポンプで構成される。前記半導体装置は、半導体記憶装置である。
- [0015] 本発明は、メモリセルのドレインに書込み電圧を供給する供給ステップと、前記書込み電圧に基づいて決定されるクロック信号を用いて、前記メモリセルのゲートに供給する電圧を発生する発生ステップとを含む半導体装置の制御方法である。本発明によれば、書込電圧供給回路が供給する書込み電圧に基づいて決定されるクロック信号を用いて、メモリセルのゲートに供給する電圧を発生することで、プログラム電圧発生回路の電流供給能力を超えないように正確にゲート電圧を制御して多ビットを同時に書込むことができる。よって、プログラム電圧発生回路の能力を最大限に利用した書込みを行うことができる。また、プログラム電圧発生回路の数を増やす必要がないため回路規模は大きくならない。

- [0016] 本発明の半導体装置の制御方法は更に、前記書込み電圧が所定の電圧以下に低下した場合、所定の発振回路が出力するクロック信号を周波数の低いクロック信号に変換するステップを含み、前記発生ステップは、前記変換後のクロック信号を用いて、前記メモリセルのゲートに供給する電圧を生成する。本発明によれば、書込み電圧の低下に応じて、ゲート電圧の昇圧を遅くできる。
- [0017] 本発明の半導体装置の制御方法は更に、前記書込み電圧を書込電圧供給回路の出力電圧によって検出するステップを含む。本発明によれば、電圧供給回路の出力電圧をモニターすることで、プログラム電圧発生回路の電流供給能力を超えるかどうかを検出できる。
- [0018] 本発明の半導体装置の制御方法は更に、前記書込み電圧を書込電圧供給回路の出力電流によって検出するステップを含む。本発明によれば、電圧供給回路の出力電流をモニターすることで、プログラム電圧発生回路の電流供給能力を超えるかどうかを検出することができる。

発明の効果

- [0019] 本発明によれば、回路規模を大きくすることなく、多ビットを同時に書込むことができる半導体装置及び半導体装置の制御方法を提供することができる。

図面の簡単な説明

- [0020] [図1]従来の不揮発性半導体記憶装置の書込み時の回路構成を示す図である。
- [図2]第1実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。
- [図3]第1実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。
- [図4]第1実施形態によるWL電圧発生回路を示す図である。
- [図5]第1実施形態によるプログラム電圧供給回路を示す図である。
- [図6]第1実施形態によるプログラム電圧検出回路を示す図である。
- [図7]第1実施形態によるWL電圧制御信号発生回路を示す図である。
- [図8]第1実施形態による周波数変換回路を示す図である。
- [図9]第1実施形態によるシフタを示す図である。

[図10]第1実施形態による不揮発性半導体記憶装置のタイミング図である。

[図11]第2実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。

[図12]第2実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。

[図13]第2実施形態によるWL電圧制御信号発生回路を示す図である。

発明を実施するための最良の形態

[0021] 以下、添付の図面を参照して本発明の最良の実施形態について説明する。

[0022] [第1実施形態]図2は第1実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。図3は第1実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。図2及び図3に示すように、不揮発性半導体記憶装置100は、プログラム電圧発生回路1、プログラム電圧供給回路2、データインバッファ回路3、Yデコーダ(ysel)4、メモリセル5、プログラム電圧検出回路6、WL電圧制御信号発生回路7、発振回路8、周波数変換回路9、WL電圧発生回路10、WL電圧供給回路11及びXデコーダ12を含む。

[0023] メモリセル5は、例えばp型基板表面にN型のソース領域、ドレイン領域が形成され、それら領域の間のチャネル領域上に、絶縁膜を介してフローティングゲート、コントロールゲートが形成される。コントロールゲートはワード線WLに接続され、ドレイン領域はビット線に接続され、ソース領域はソース線に接続される。

[0024] プログラム動作では、フローティングゲートにチャージが注入されていないデータ「1」(消去状態)のメモリセルに対して、ビット線とワード線を高い電位にし、ソース線をグランドなどの低い電位にする。これにより、ソース・ドレイン間に高い電圧を印加してホットエレクトロンを生成し、そのホットエレクトロンをフローティングゲートに注入する。

[0025] プログラム電圧発生回路1は、例えばダイオード型チャージポンプで構成され、ビット線BLに書込み電圧V_{PROG}を供給するために、昇圧電圧DPUMPを発生させる。プログラム電圧供給回路2は、メモリセル5のドレインに書込み電圧V_{PROG}を供給する。このプログラム電圧供給回路2は、プログラム電圧発生回路1により発生された昇圧電圧DPUMPを調整し、書込み電圧V_{PROG}をビット線BLに接続されているデ

ータバスに供給する。また、プログラム電圧供給回路2は、内部基準電圧CDV及び信号VPROGCOMP1を生成する。

- [0026] プログラム電圧検出回路6は、プログラム電圧供給回路2が供給する書込み電圧VPROGの低下をプログラム電圧供給回路2の出力電圧によって検出する。具体的には、プログラム電圧検出回路6は、プログラム電圧供給回路2の内部基準電圧CDV及び第2の基準電圧VREF2に基づいて、書込み電圧VPROGのレベルを検出する。ここで、プログラム時にメモリセル5に流れる電流は、メモリセル5への電荷注入のレベルと、メモリセル5のドレイン電圧・ゲート電圧によって決定される。多ビットを同時にプログラムする場合、メモリセル5に流れる電流が大きくなりすぎて、プログラム電圧発生回路1の電流供給能力を超えてしまった場合、書込み電圧VPROGが下がってしまうためメモリセル5に対してプログラムできないことがある。このため、本実施形態では、書込み電圧VPROGに応じて、プログラム電圧発生回路1の電流供給能力を超えることがないようにゲート電圧を制御することで、プログラム電圧発生回路1の電流供給能力を最大限に利用して、多ビットを同時に書込むことができるようにする。
- [0027] WL電圧制御信号発生回路7は、プログラム電圧検出回路6が検出したプログラム電圧供給回路2の出力電圧に応じて、周波数変換回路9が変換するクロック信号VPP__OSCの周波数を制御するための制御信号ENVPPSL2を生成する。
- [0028] 発振回路8は、発振動作によってクロック信号OSCを生成するものである。周波数変換回路9は、制御信号ENVPPSL2及びプログラム時にHighとなる信号PGMを受け、クロック信号OSCをクロック信号VPP__OSCに変換する。例えば、周波数変換回路9は、ドレイン電圧を供給するプログラム電圧供給回路2の出力が一定の値により電圧降下が起きた場合、発振回路8からのクロック信号OSCの周波数を遅くし、クロック信号OSCより周波数の低いクロック信号VPP__OSCに変換することによって書込み電圧に基づいて決定されるクロック信号を生成する。一方、周波数変換回路9は、ドレイン電圧を供給するプログラム電圧供給回路2の出力が一定の値により電圧降下が起きない場合、発振回路8からのクロック信号OSCの周波数と同じ周波数のクロック信号VPP__OSCを出力する。このように、周波数変換回路9は、プログラム電圧供給回路2が供給する書込み電圧VPROGに応じて、発振回路8が出力するクロ

ック信号OSCの周波数を変換することで、書込み電圧の低下に応じて、ゲート電圧の昇圧を遅くできる。

[0029] WL電圧発生回路10は、ランピングゲート方式によって、プログラム電圧供給回路2が供給する書込み電圧VPROGに基づいて決定されるクロック信号VPP__OSCを用いて、メモリセル5のゲートに供給する電圧を発生する回路である。ここで、ランピングゲート方式とは、セルのゲートに電圧を上昇させながら印加して、正確にプログラムするものである。このWL電圧発生回路10は、例えばダイオード型チャージポンプで構成され、周波数変換回路9からのクロック信号VPP__OSC及び信号PGMを受けて、ワード線WLの高電圧である昇圧電圧VPPIを生成する。

[0030] 図4は、第1実施形態によるWL電圧発生回路を示す図である。図4に示すように、WL電圧発生回路10は、トランジスタ101、ダイオード102乃至109、キャパシタ110乃至113を含む。このWL電圧発生回路10は、ダイオード102乃至109によって複数のキャパシタ110乃至113が並列に接続されたチャージポンプ回路である。信号PGMがHighになると、クロック信号VPP__OSC及びその相補信号VPP__OSCBによってキャパシタ110乃至113が駆動され、出力電圧VPPIは昇圧される。

[0031] このWL電圧発生回路10は、周波数変換回路9からのクロック信号VPP__OSCに応じて、ワード線WLが昇圧する際の昇圧レートを決定する。例えば、WL電圧発生回路10は、プログラム電圧供給回路2が供給する書込み電圧VPROGが所定の電圧以下に低下した場合、第1のクロック信号OSCよりも周波数の低い第2のクロック信号VPP__OSCを書込み電圧に基づいて決定されるクロック信号として用いて、メモリセル5のゲートに供給する電圧を昇圧する。なお、昇圧率はクロックが遅いほど低くなる。

[0032] WL電圧供給回路11は、WL電圧発生回路10により発生された昇圧電圧VPPIを、所定の電圧に調整するよう動作し、ゲート電圧VPXGをXデコーダ12に与える。

[0033] 図5はプログラム電圧供給回路2を示す図である。図5に示すように、プログラム電圧供給回路2は、比較回路21、PMOSTランジスタ22、キャパシタ23及び24を含む。プログラムが開始して、昇圧電圧DPUMP及び書込み電圧VPROGが昇圧しているとき、書込み電圧VPROGの分圧電圧CDVが基準電圧VREF1より高くなると、比較

回路21はHighの信号VPROGCOMP1を出力してPMOSTランジスタ22のゲートを絞って書き込み電圧VPROGをそれ以上上がらないようにレギュレートする。書き込み電圧VPROGの分圧電圧CDVはプログラム電圧供給回路2の内部基準電圧としてプログラム電圧検出回路6に供給され、比較回路21の出力信号VPROGCOMP1はプログラム電圧検出回路6に供給される。

[0034] 図6はプログラム電圧検出回路6を示す図である。図6に示すように、プログラム電圧検出回路6は回路61乃至63を含む。回路61はPMOSTランジスタ611、NMOSTランジスタ612及び613、ラッチ回路614、インバータ615及び616を含み、プログラム時にHighとなる信号PGMと、プログラム電圧供給回路2の比較回路21の出力信号VPROGCOMP1から信号SLDを生成する。

[0035] 回路62はNAND回路621及びインバータ622を含み、信号SLD及び信号PGMから信号ENVPPSL1を生成する。回路63は比較回路631及びインバータ632を含む。ここで基準電圧VREF2<基準電圧VREF1に設定されている。信号ENVPPSEL1がLowのとき、比較回路631は非活性で、インバータ632の出力VPROGCOMP2はLowとなる。一方、信号ENVPPSEL1がHighのとき、すなわち、プログラム開始時に書き込み電圧VPROGが上がっていき、分圧電圧CDVが基準電圧VREF1を超えるとラッチ回路614は信号High(出力DB側)をラッチし、比較回路631は活性化される。その後、書き込み電圧VPROGが低下して分圧電圧CDVが基準電圧VREF2より低くなると、信号VPROGCOMP2はHighとなる。

[0036] 図7はWL電圧制御信号発生回路7を示す図である。図7に示すように、WL電圧制御信号発生回路7は、PMOSTランジスタ71、NMOSTランジスタ72及び73、ラッチ回路74を含む。WL電圧制御信号発生回路7は、信号ENVPPSL1及び信号VPROGCOMP2がアクティブ(High)になったとき、ラッチ回路74は信号High(出力DB側)をラッチし、Highレベルの信号ENVPPSL2を生成する。この信号ENVPPSL2は周波数変換回路9に入力されメモリセル5のゲートに与える電位の調整を行う。

[0037] 図8は周波数変換回路9を示す図である。図8に示すように、周波数変換回路9は回路91乃至回路94を含む。回路91はインバータ911乃至917、NAND回路918、キャパシタ919を含み、信号PGMがインバータ911に入力され、インバータ912及

びインバータ915の出力がNAND回路918に入力され、インバータ916から信号RSTCNTが出力され、その反転信号である信号RSTCNTBがインバータ917から回路93に出力される。このように、回路91は、信号PGMがLowからHighになると、信号RSTCNTBはLowパルスを出し、回路93をリセット動作させる。

[0038] 回路92はインバータ921乃至926、NOR回路927乃至929を含み、WL電圧制御信号発生回路7からの信号ENVPPSL2がインバータ921に入力され、インバータ921の出力及びクロック信号OSCがNOR回路927に入力され、NOR回路927の出力がインバータ922及びNOR回路929に入力され、インバータ924の出力がNOR回路929に入力され、インバータ926の出力がNOR回路928に入力され、インバータ924の出力が信号ERCLK、インバータ926の出力が信号ERCLKBとしてシフタ931に入力される。このように、回路92は、信号ENVPPSL2がLowのときはクロック信号OSCをディセーブルにして信号ERCLKをLowに固定し、信号ENVPPSL2がHighのときにクロック信号OSCをイネーブルにして信号ERCLKはクロック信号OSCとなる。この信号ERCLKは、回路93を駆動する信号となる。

[0039] 回路93はシフタ931及び932を含む分周回路である。図9はシフタ931を示す図である。図9に示すように、シフタ931は、PMOSTランジス932乃至934、NMOSTランジスタ935乃至941、インバータ942乃至948、NAND回路949及び950を含む。信号ERCLK、信号ERCLKB、信号RSTCNT及び信号RSTCNTBからクロック信号CLK100またはクロック信号CLK200を生成し、回路94に供給される。このように、回路93は、信号ERCLKがクロック信号OSCに従ってクロック動作しているときは、倍周期のクロック信号CLK100及び4倍周期のクロック信号CLK200を生成し、信号ERCLKが固定されているときは、クロック信号は生成しない。

[0040] 図8に戻ると、回路94はインバータ941及び942、NOR回路943乃至945を含む。クロック信号CLK100又はクロック信号CLK200及びイネーブル信号ENBがNOR回路943に入力される。ここで、クロック信号CLK100又はクロック信号CLK200の選択はメタル配線により行われる。イネーブル信号ENBを受けたインバータ941の出力及びクロック信号OSCがNOR回路944に入力される。NOR回路943及び944の出力がNOR回路945に入力され、インバータ942からクロック信号VPP_OSCが

WL電圧発生回路10に出力される。このように、回路94は、信号ENBがHigh(信号ENVPPSL2がLow)のときは信号VPP__OSCはクロック信号OSCとなり、信号ENBがLow(信号ENVPPSL2がHigh)のときに信号VPP__OSCはクロック信号CLK100又はCLK200となる。

[0041] 入力にクロック信号CLK100を用いる場合、クロック信号VPP__OSCの周波数がクロック信号OSCの2倍となり、クロック信号CLK200を用いる場合、クロック信号VPP__OSCの周波数がクロック信号OSCの4倍となるよう設定されている。以下ではクロック信号CLK100を用いている。

[0042] 同時に書込むビット数が少ない場合、プログラム電圧供給回路2の出力VPROGは低下しないため信号ENVPPSL2がLowで、周波数変換回路9は、クロック信号OSCの周波数を変更せずに、クロック信号VPP__OSCとして出力する。このため、ワード線WLの昇圧レートは高いままである。一方、同時に書込むビット数が増え、プログラム電圧供給回路2の出力VPROGが低下すると、信号ENVPPSL2がHighとなり、周波数変換回路9は、クロック信号OSCを倍周期のクロック信号VPP__OSCに変換する。ワード線WLの昇圧レートは緩やかになるため、メモリセル5のプログラム電流が少なくなり、プログラム電圧供給回路2の書込み電圧VPROGはもとに戻る。

[0043] 次に、第1実施形態に係る不揮発性半導体記憶装置の動作について説明する。図10は第1実施形態による不揮発性半導体記憶装置1のタイミング図である。本実施形態によるプログラミング動作では、書込みビット数が多くて書込み電圧VPROGにドロップが生じるケース1と、書込みビット数が比較的少なくドロップが生じないケース2が存在する。尚、信号によっては、ケース1の波形を実線で、ケース2の波形を点線で示してある。

[0044] プログラムベリファイ期間(2)で、電圧V__PGMVがワード線WLに印加される。(3)の期間、プログラム電圧供給回路2内のPMOSTランジスタ22は、書込み電圧VPROGの分圧電圧CDV<基準電圧VREF1のため、常時オンで、急速に書込み電圧VPROGは所定の電圧(例えば5V)まで昇圧される。(4)の期間、プログラム電圧供給回路2内のPMOSTランジスタ22は、分圧電圧CDVが基準電圧VREF1を跨ぐたびにオン／オフを繰り返して(VPROGCOMP1の波形参照)書込み電圧VPROG

が一定となるようその電圧を保持する。昇圧電圧VPPIが所定の電圧まで上がると、昇圧電圧VPPIがゲート電圧VPXGに供給されて、そのゲート電圧VPXGはワード線WLに出力されてメモリセル5への実際のプログラムがスタートする(5)。このとき、発振回路8によって駆動される。

[0045] プログラム電圧供給回路2内のPMOSTランジスタ22は、書込み電圧VPROGの分圧電圧CDV<基準電圧VREF1の場合は常時オンとなるが、それでも書込み電圧VPROGが下がって、分圧電圧CDV<基準電圧VREF2にまで下がると、昇圧電圧VPPIすなわちワード線電圧の昇圧レートを低くする(6)。(7)の期間、書込み電圧VPROGは所定電位に戻るため、レギュレーションは(5)と同様の動作を行う。

[0046] (8)に示すケース2では、WL電圧発生回路10はクロック信号OSCと同じ周期のクロック信号VPP__OSCで駆動されるので、早く昇圧される。一方、(9)に示すケース1では、ワード線電圧がある程度まで高くなり、書込み電圧VPROGがドロップ(ENVPPSL2がHighになる)すると、WL電圧発生回路10は2倍周期のクロック信号VPP__OSCによって駆動され、ワード線WLの昇圧レートは低く制御される。ゲート電圧VPXGはMAX(約9V)まで昇圧されて、その後は一定の電圧を保つようにレギュレートされる(10)。このように、プログラム中に、プログラム電圧検出回路6は、信号VPROGCOMP2がLowを保つ場合は、チップの制御回路は信号PGMを所定の期間だけアクティブにするが、信号VPROGCOMP2がHighとなり、書込み電圧VPROGにドロップが起こったことを検出すると、チップの制御回路は信号PGMをアクティブとする期間を長くなるように制御してプログラム時間を長くする。(1)に示す期間は、ケース1とケース2のプログラム時間の差を示す。

[0047] 本実施形態によれば、メモリセルのプログラム時に、ドレイン電圧を供給するプログラム電圧供給回路2からの出力電圧をモニターし、一定の値により電圧降下が起きた場合、ゲート電圧を制御するWL電圧発生回路10に入力されるクロック信号の周波数を遅くして、メモリセルに電流が過剰に流れないようにする。つまり、書込むビット数が多く、プログラム電圧発生回路1の電流供給能力を超えときは、ワード線WLの昇圧レートを下げ、書込むビット数が少ない場合は、ワード線の昇圧レートは下げないでプログラムを行うことで、プログラム電圧発生回路1の電流供給能力を最大限に利

用したプログラムを行うことができる。

[0048] [第2実施形態]次に第2実施形態について説明する。図11(a)は第2実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。図12は第2実施形態による不揮発性半導体記憶装置の一部の回路構成を示す図である。図11及び図12に示すように、不揮発性半導体記憶装置200は、プログラム電圧発生回路1、プログラム電圧供給回路2、データインバッファ回路3、Yデコーダ(ysel)4、メモリセル5、WL電圧制御信号発生回路207、発振回路8、周波数変換回路9、WL電圧発生回路10、WL電圧供給回路11、Xデコーダ12及び電流検出回路213を含む。メモリセル5はゲートがワード線WLに印加された電圧により制御される。パストランジスタ41及び42はビット線BLを選択するためのものである。

[0049] データインバッファ回路3は、NMOSTランジスタ31乃至33、PMOSTランジスタ34乃至36及びインバータ37を含み、NMOSTランジスタ32及び33、PMOSTランジスタ34及び35はレベルシフト回路を構成する。プログラム時、信号PGMnがHighとなると、書込み高電圧VPROGはそのままPMOSTランジスタ36からデータバスDATABnに供給される。

[0050] 電流検出回路213は、プログラム電圧供給回路2が供給する書込み電圧VPROGの低下をプログラム電圧供給回路2の出力電流によって検出する。電流検出回路213は、PMOSTランジスタ214及び比較回路215を含む。PMOSTランジスタ214は、プログラム電圧供給回路2の出力と16ビット分のデータバスDATABnの間にゲートとドレインが接続されている。比較回路215は、NMOSTランジスタ51乃至53、PMOSTランジスタ54及び55、インバータ56、抵抗57及び58を含む。PMOSTランジスタ214の上下にある端子の電圧が比較回路215に供給される。比較回路215の入力とPMOSTランジスタ214はカレントミラーの構成をとっており、トランジスタサイズは比較回路215の入力トランジスタ54の方を小さくすると良い。

[0051] 比較回路215は、データバスDATABnに接続されるメモリセル5に対してプログラムされるときに信号PGMがHighになると、インバータ56の先のノードN1がグランド電位となる。ノードVRでは、電源電圧VCCとグランド間の抵抗分割により基準電位が生成される。電流I_{cell}は各電流I_{celln}の合計値(全セル電流)に相当する電

流である。この電流 I_{cell} を比較用の電流 I_{ref} と比較し、相対的に大きくなると、(第1実施例のドロップと同じことを示す)、比較回路215内のVCがLowとなる。図11(b)に、この反転信号である信号VCBの波形を示す。この信号VCBは第1実施形態のVPROGCOMP2と同じ意味の信号である。その後の動作は第1実施形態と同じになる。

- [0052] 図13は、WL電圧制御信号発生回路を示す図である。図13に示すように、WL電圧制御信号発生回路207は、回路216及び217を含む。回路216は、PMOSトランジスタ81、NMOSトランジスタ82及び83、ラッチ回路84、インバータ85及び86を含み、プログラム時にHighとなる信号PGMと、電流検出回路213の出力信号VCBから信号SLDを生成する。回路217は、NAND回路87及びインバータ88を含み、信号SLD及び信号PGMから信号ENVPPSL2を生成し、周波数変換回路9に供給する。

WL電圧制御信号発生回路207は、信号PGM及び信号VCBがアクティブになったとき(ともにHigh)、ラッチ回路84は信号High(出力DB側)をラッチし、Highの信号ENVPPSL2を生成する。この信号ENVPPSL2を使ってメモリセル5のゲートに与える電位の調整を行う。発振回路8はクロック信号OSCを生成する。周波数変換回路9は、制御信号ENVPPSL2及び信号PGMを受け、クロック信号OSCをクロック信号VPP_OSCに変換する。

- [0053] WL電圧発生回路10は、周波数変換回路9からのクロック信号VPP_OSCを受けて、ワード線WLの高電圧である昇圧電圧VPPIを生成する回路である。このWL電圧発生回路10は、周波数変換回路9からのクロック信号VPP_OSCに応じて、ワード線WLが昇圧する際の昇圧レートを決定する。

- [0054] WL電圧供給回路11は、WL電圧発生回路10により発生された昇圧電圧VPPIを、所定の電圧に調整するよう動作し、ゲート電圧VPXGをXデコーダ12に与える。

- [0055] 第2実施形態によれば、プログラムの際に、ドレイン電圧を供給するプログラム電圧供給回路2からの出力電流をモニターし、一定の値より電流が流れた場合、WL電圧発生回路10に入力される内部クロック信号である発振信号の周波数を遅くして、ゲート電圧を制御することで、メモリセルに電流が過剰に流されないようにすることがで

きる。

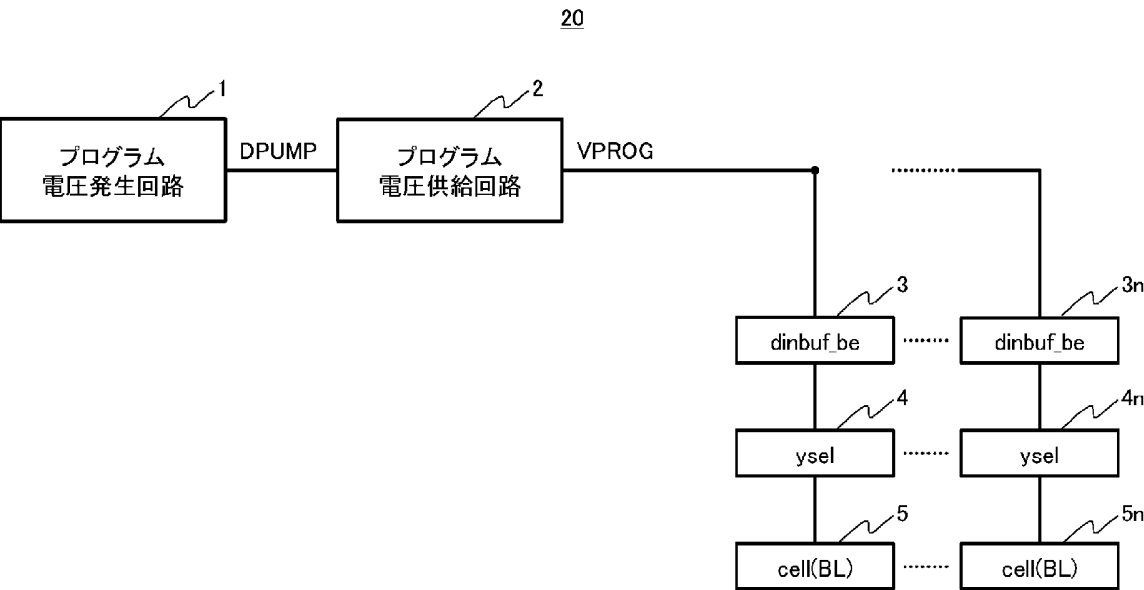
[0056] 以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。上記不揮発性半導体記憶装置は半導体装置内に組み込まれていてもよい。また、本実施形態による不揮発性半導体記憶装置では、周波数変換回路によって発振回路からのクロック信号の周波数を変換することで、周波数の異なるクロック信号を得るようにしているが、例えば複数の発振回路を設けて周波数の異なるクロック信号を生成し、WL電圧発生回路にて書込み電圧に応じて用いるクロック信号を選択してメモリセルのゲートに供給する電圧を発生するようにしてもよい。

請求の範囲

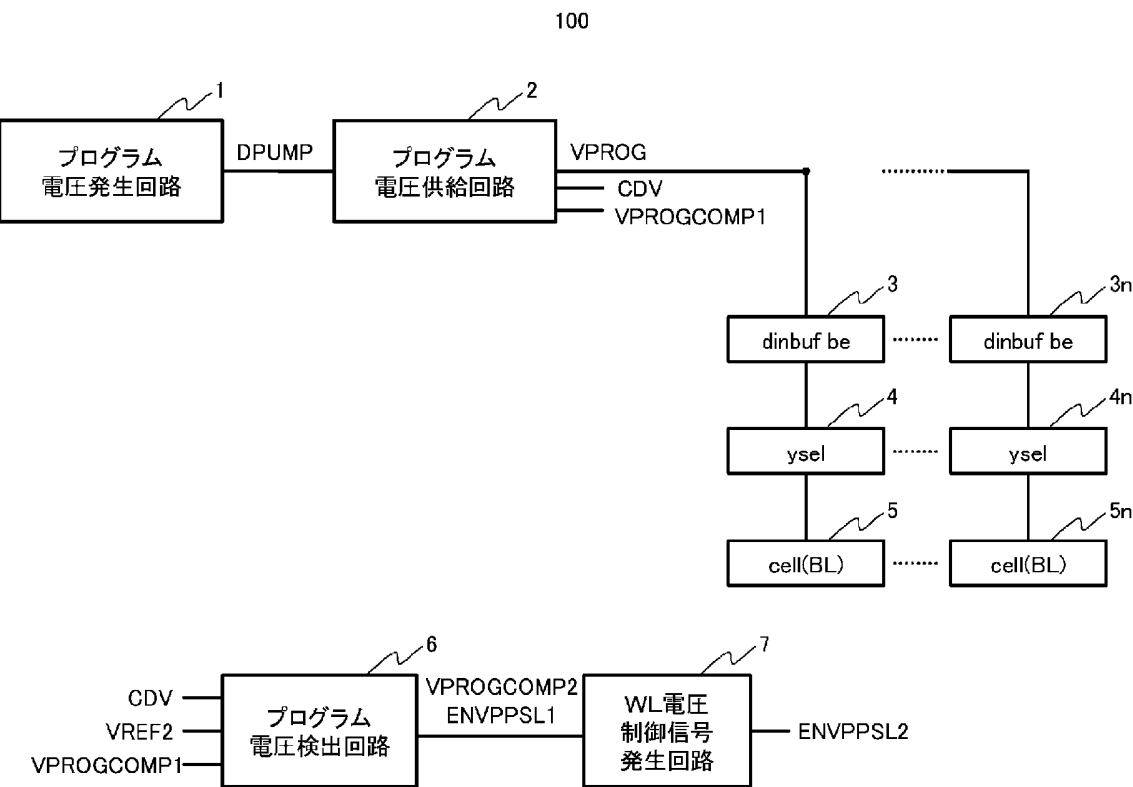
- [1] メモリセルのドレインに書込み電圧を供給する書込電圧供給回路と、
 前記書込電圧供給回路が供給する書込み電圧に基づいて決定されるクロック信号を用いて、前記メモリセルのゲートに供給する電圧を発生する電圧発生回路とを含む半導体装置。
- [2] 前記電圧発生回路は、前記書込電圧供給回路が供給する書込み電圧が所定の電圧以下に低下した場合、第1のクロック信号よりも周波数の低い第2のクロック信号を前記書込み電圧に基づいて決定されるクロック信号として用いる請求項1記載の半導体装置。
- [3] 前記半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧に応じて、所定の発振回路が出力するクロック信号の周波数を変換することによって前記書込み電圧に基づいて決定されるクロック信号を生成する周波数変換回路を含む請求項1記載の半導体装置。
- [4] 前記半導体装置は更に、前記書込み電圧供給回路が供給する書込み電圧が所定の電圧以下に低下した場合、所定の発振回路が出力するクロック信号の周波数を低くすることによって前記書込み電圧に基づいて決定されるクロック信号を生成する周波数変換回路を含む請求項1記載の半導体装置。
- [5] 前記半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧の低下を前記書込電圧供給回路の出力電圧によって検出する検出回路を含む請求項1から請求項4のいずれか一項に記載の半導体装置。
- [6] 前記半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧の低下を前記書込電圧供給回路の出力電流によって検出する検出回路を含む請求項1から請求項4のいずれか一項に記載の半導体装置。
- [7] 前記半導体装置は更に、前記書込電圧供給回路が供給する書込み電圧に応じて、前記周波数変換回路が変換するクロック信号の周波数を制御するための制御信号を発生する発生回路を含む請求項3又は請求項4記載の半導体装置。
- [8] 前記電圧発生回路は、ランピングゲート方式によって前記メモリセルのゲートに供給する電圧を発生する請求項1記載の半導体装置。

- [9] 前記電圧発生回路は、ダイオード型チャージポンプである請求項1記載の半導体装置。
- [10] 前記半導体装置は、半導体記憶装置である請求項1から請求項9のいずれか一項に記載の半導体装置。
- [11] メモリセルのドレインに書込み電圧を供給する供給ステップと、
前記書込み電圧に基づいて決定されるクロック信号を用いて、前記メモリセルのゲートに供給する電圧を発生する発生ステップと
を含む半導体装置の制御方法。
- [12] 前記半導体装置の制御方法は更に、前記書込み電圧が所定の電圧以下に低下した場合、所定の発振回路が出力するクロック信号を周波数の低いクロック信号に変換するステップを含み、
前記発生ステップは、前記変換後のクロック信号を用いて、前記メモリセルのゲートに供給する電圧を生成する請求項11記載の半導体装置の制御方法。
- [13] 前記半導体装置の制御方法は更に、前記書込み電圧を書込電圧供給回路の出力電圧によって検出するステップを含む請求項11又は請求項12記載の半導体装置の制御方法。
- [14] 前記半導体装置の制御方法は更に、前記書込み電圧を書込電圧供給回路の出力電流によって検出するステップを含む請求項11又は請求項12記載の半導体装置の制御方法。

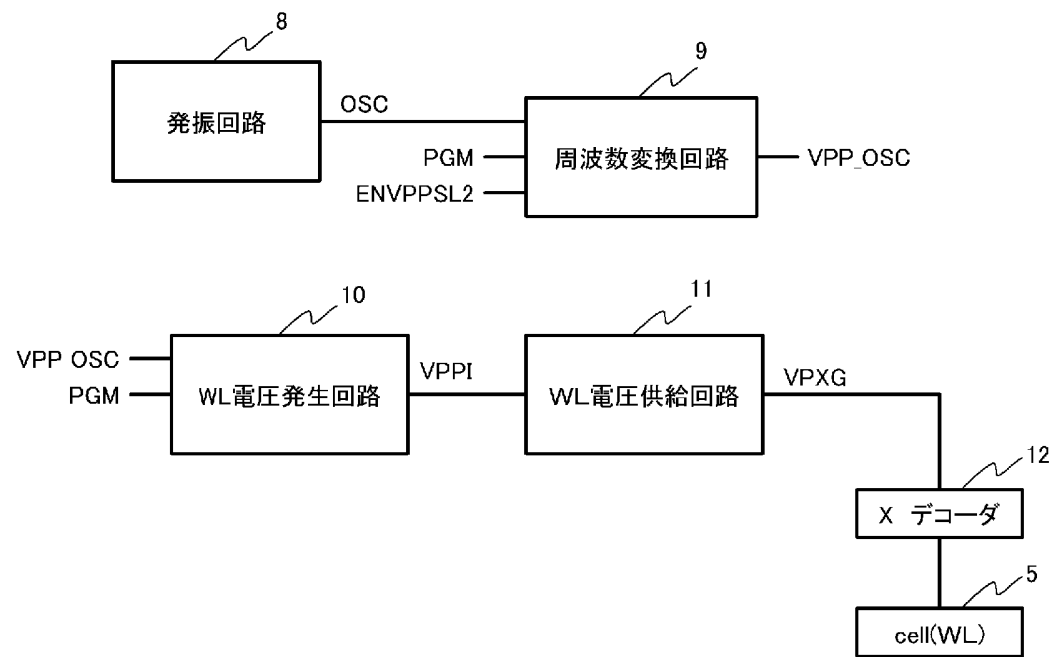
[図1]



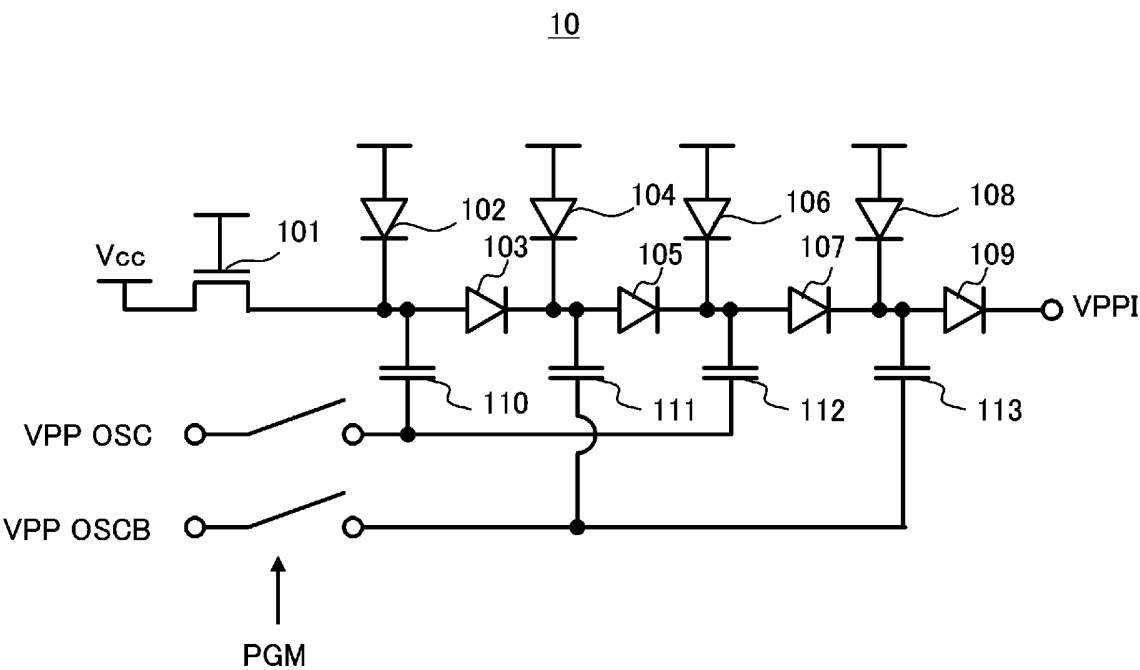
[図2]



[図3]

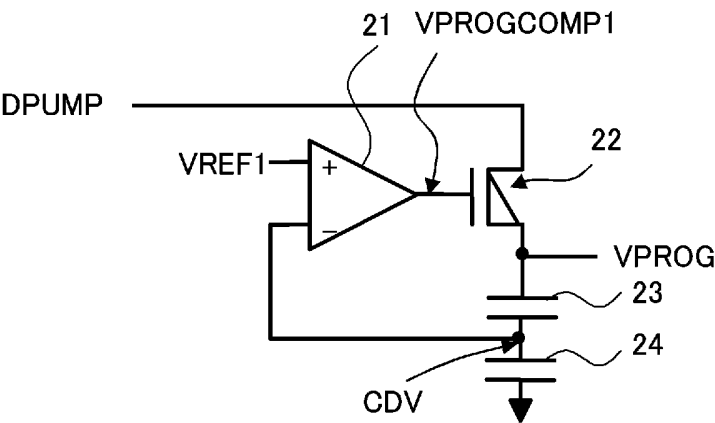


[図4]

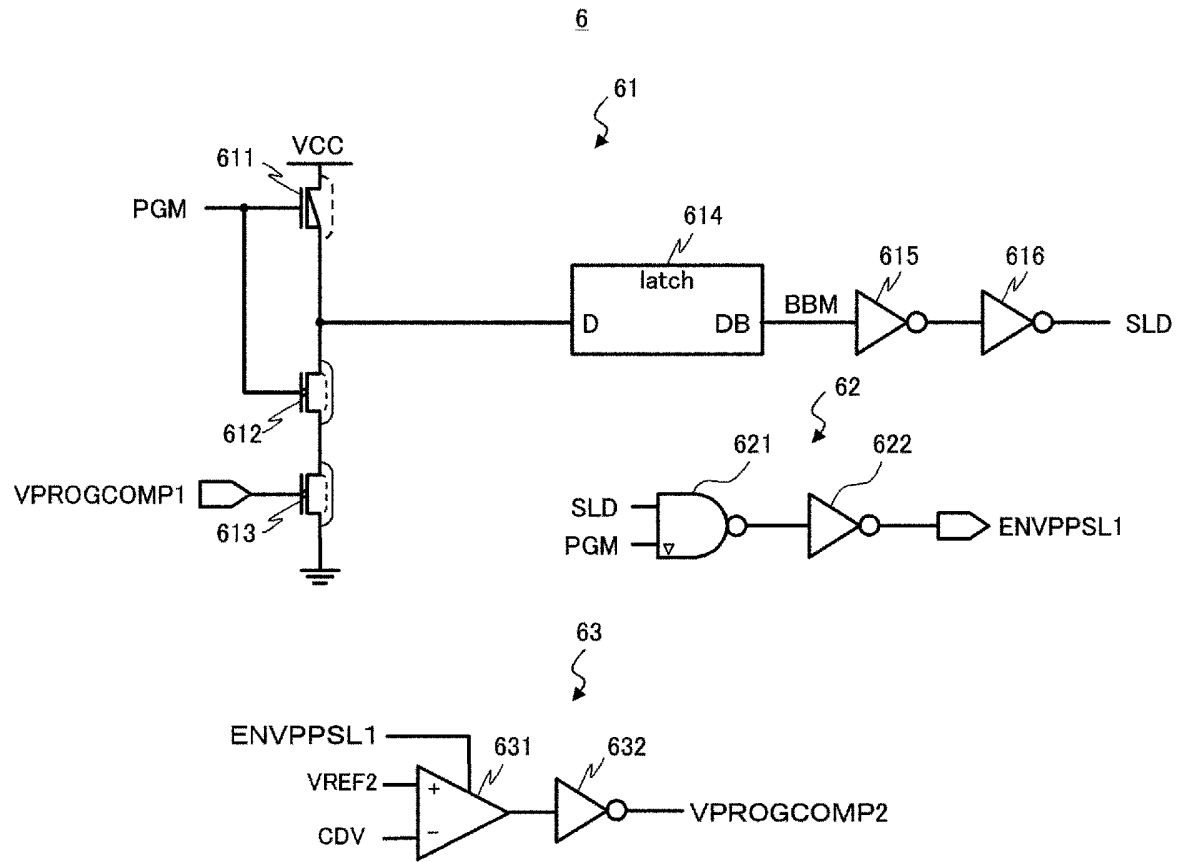


[図5]

2

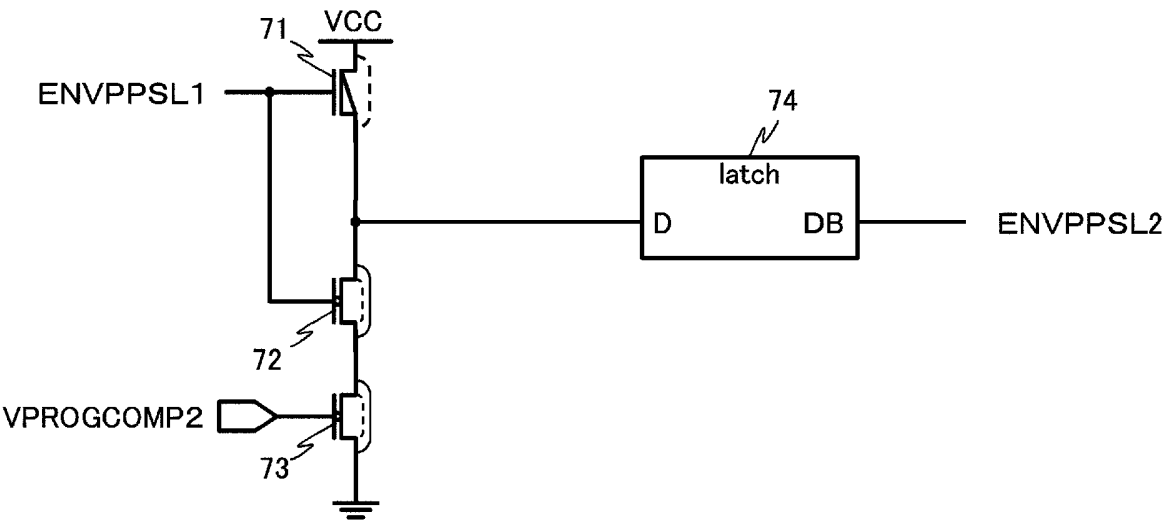


[図6]

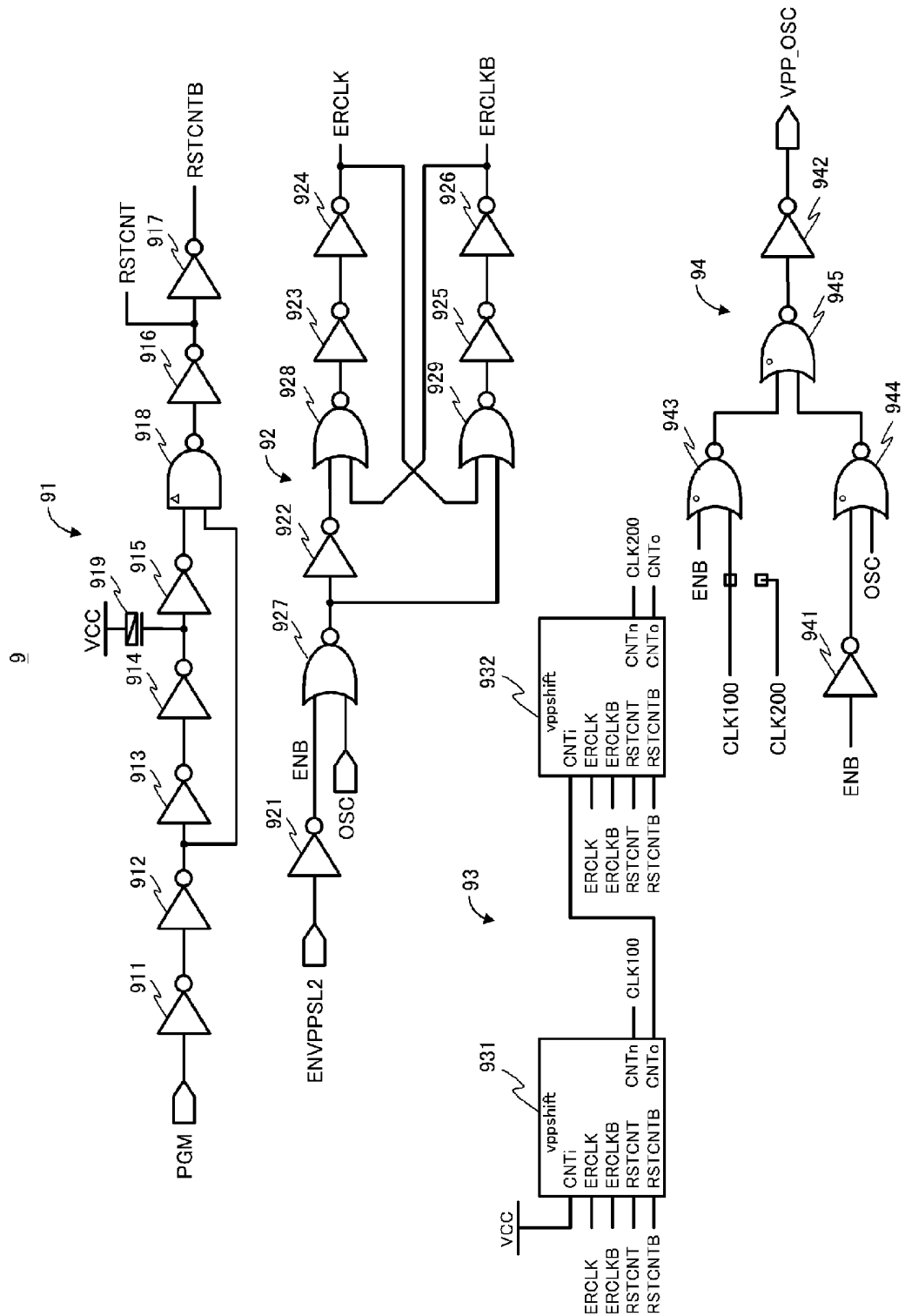


[図7]

7

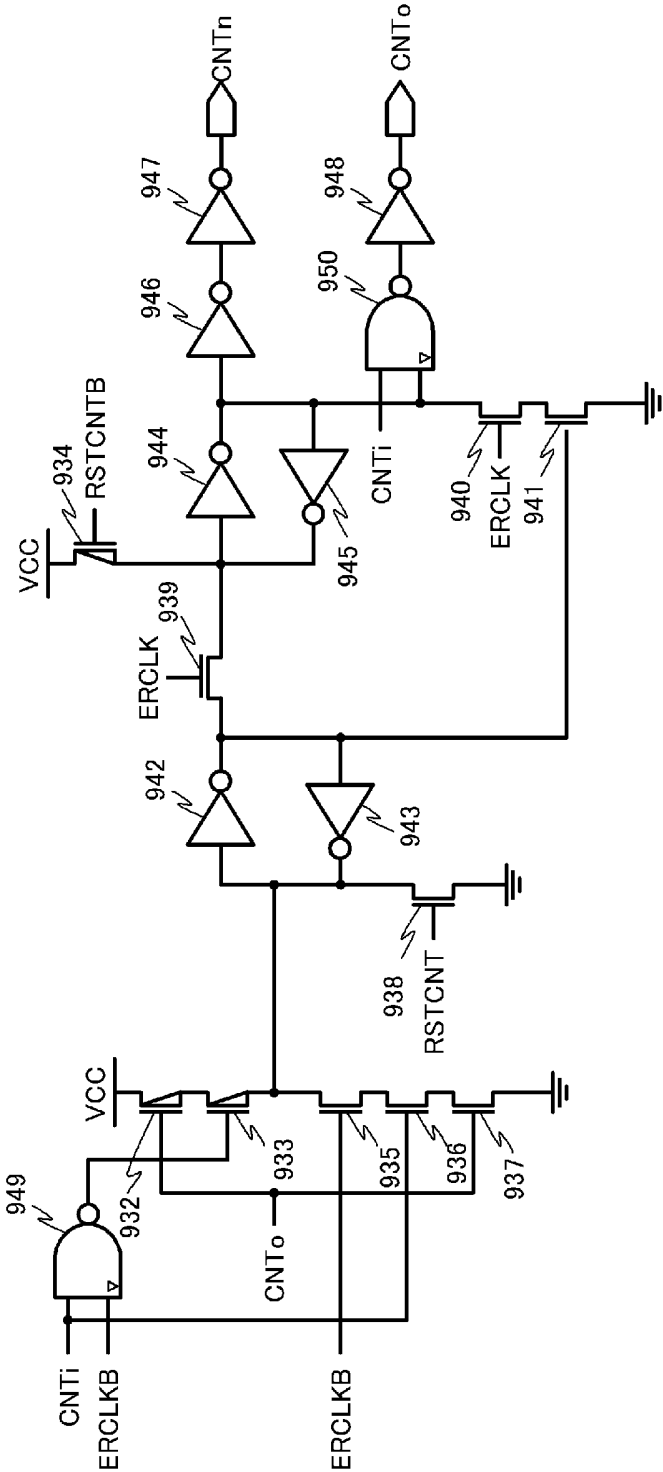


[図8]

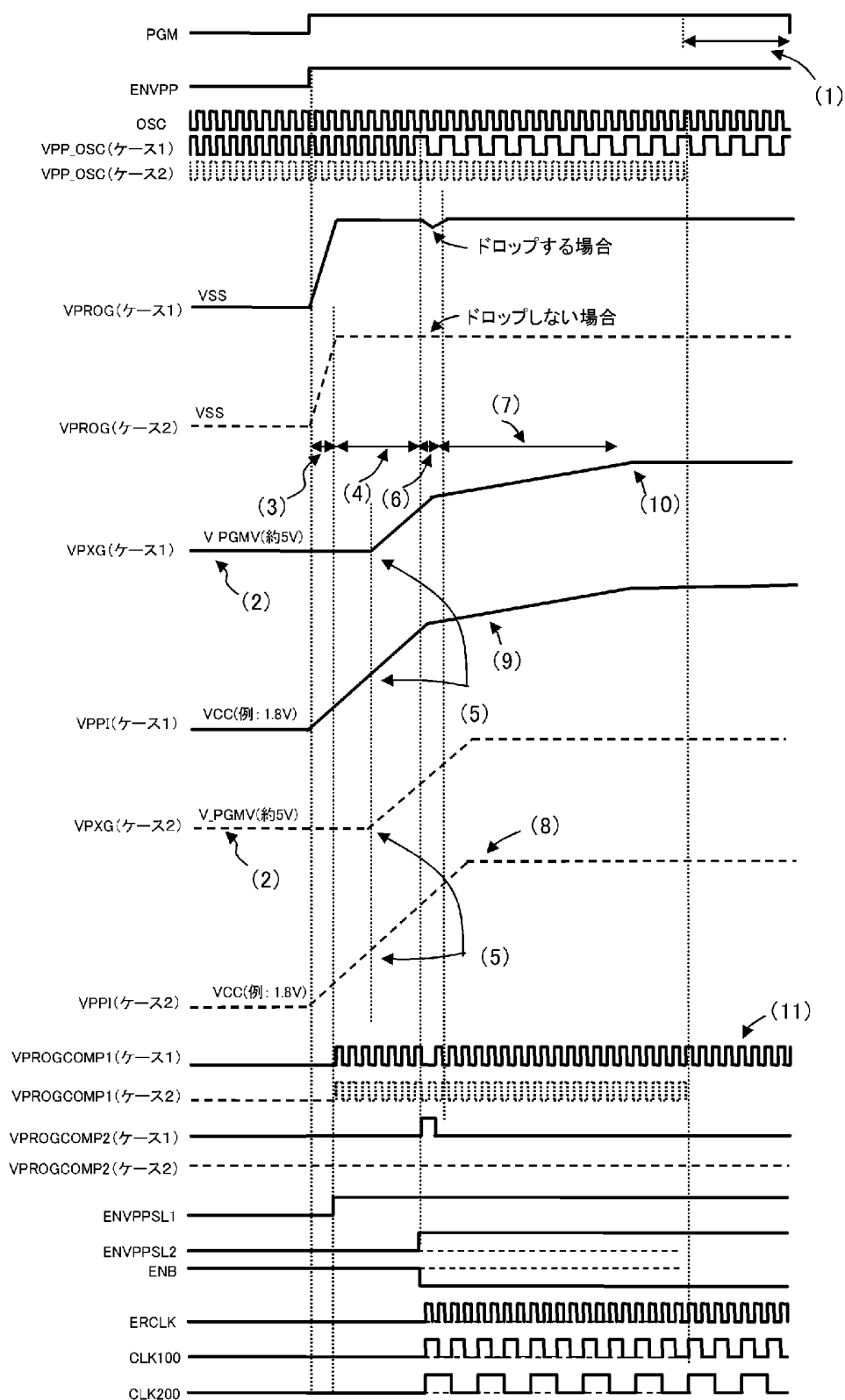


[図9]

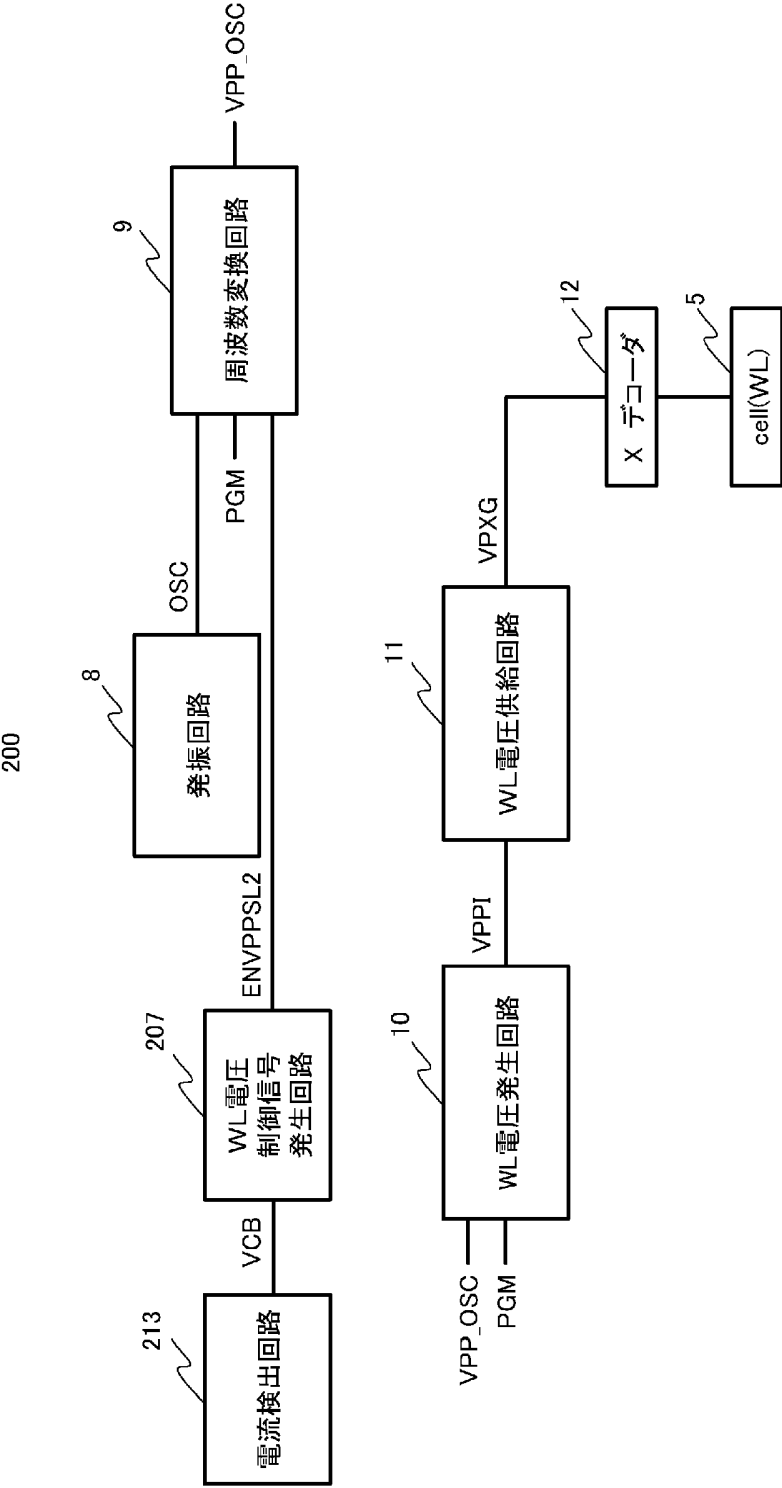
931



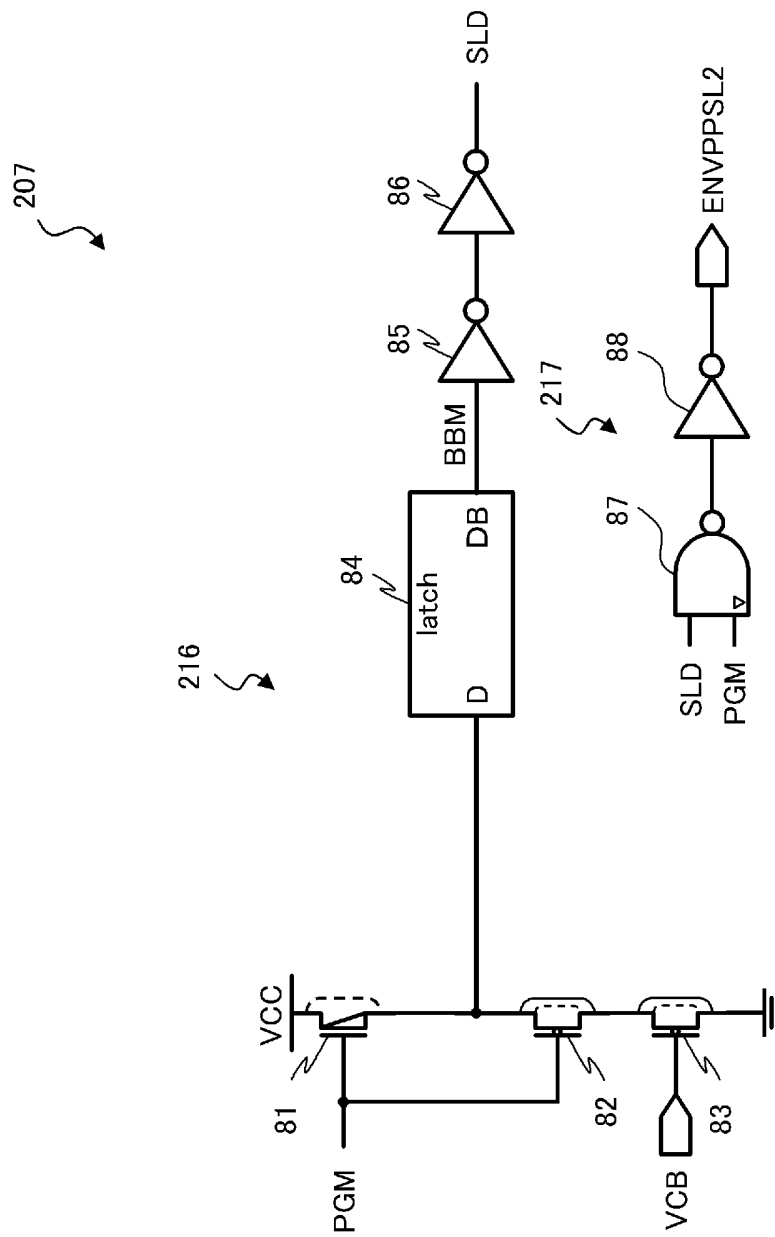
[図10]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017806

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G11C16/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G11C16/00-16/34		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-55012 A (Kabushiki Kaisha Runesasu Technology), 19 February, 2004 (19.02.04), Par. Nos. [0053] to [0057]; Fig. 6 & US 2004/0012997 A1	1, 5, 8, 10, 11, 13 6, 9, 14 2-4, 7, 12
Y	JP 6-96593 A (Toshiba Corp.), 08 April, 1994 (08.04.94), Full text; Figs. 1 to 2 (Family: none)	9
Y	JP 2003-199329 A (Iwate Toshiba Electronics Kabushiki Kaisha), 11 July, 2003 (11.07.03), Full text; Fig. 1 (Family: none)	6, 14
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 March, 2005 (01.03.05)		Date of mailing of the international search report 12 April, 2005 (12.04.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017806

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-334994 A (Kabushiki Kaisha Runesasu Technology), 25 November, 2004 (25.11.04), Full text; all drawings (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G 1 1 C 1 6 / 1 2

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G 1 1 C 1 6 / 0 0 - 1 6 / 3 4

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 2004-55012 A (株式会社ルネサステクノロジ) 2004.02.19, 段落0053-0057, 図面第6図 & US 2004/0012997 A1	1, 5, 8, 10, 11, 13 6, 9, 14 2-4, 7, 12
Y	J P 6-96593 A (株式会社東芝) 1994.04.08, 全文, 図面第1-2図 (ファミリーなし)	9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
01.03.2005

国際調査報告の発送日

12.4.2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
飯田 清司

5N 8731

電話番号 03-3581-1101 内線 3585

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-199329 A (岩手東芝エレクトロニクス株式会社) 2003.07.11, 全文, 図面第1図 (ファミリーなし)	6, 14
A	JP 2004-334994 A (株式会社ルネサステクノロジ) 2004.11.25, 全文, 全図 (ファミリーなし)	1-14