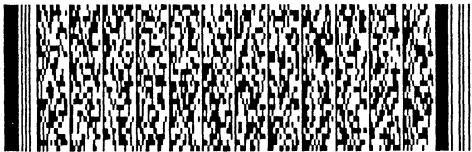


公告本

申請日期：	90.7.9	案號：	90116721
類別：	G11C 11/00, H01L 21/00		

(以上各欄由本局填註)

發明專利說明書		523742
一、 發明名稱	中文	記憶裝置
	英文	MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 國清辰也
	姓名 (英文)	1. Tatsuya KUNIKIYO
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社内
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式会社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.
		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/07/10	2000-207848	有
日本 JP	2001/05/18	2001-148893	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

[發明所屬之技術領域]

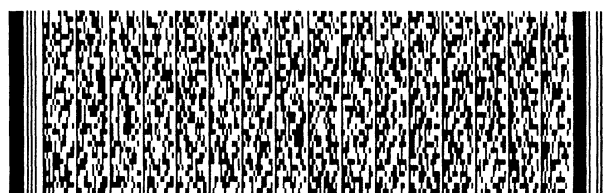
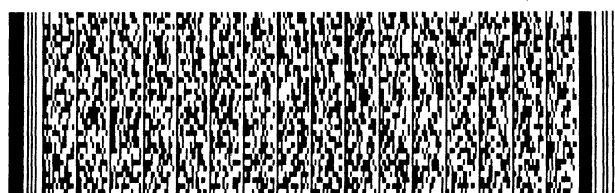
本發明有關於由MISFET(Metal Insulator Semiconductor Field Effect Transistor)構成之多埠口SRAM(Static Random Access Memory)，特別有關於對該SRAM之記憶單元進行資料之讀寫之技術。

[習知之技術]

SRAM在積體電路中所擔任之功能是快取(cache)資料和命令，和加以暫時的保持，亦即配合CPU(Central Processing Unit)之時序將資料傳達到CPU，和用來順序記憶電路之狀態。在近年來從記憶器讀取資料，和將資料寫入到記憶器之速度(rate)被視為非常重要。為著提高記憶器之帶幅(bandwidth)，提案有在SRAM之記憶單元設置多個輸入/輸出端子之技術。此種技術之實例有雙埠口(dual port)靜態記憶單元具備有一個之讀出端子(read port)和一個之寫入端子(write port)，和多埠口(multi port)靜態記憶單元具備有多個之讀出端子和寫入端子。

圖51是概念圖，用來表示習知之SRAM之記憶單元陣列周邊之構造。記憶單元被配置成為m列n行之矩陣狀，其第i列j行之記憶單元以 MC_{ij} 表示。圖51表示有被配置在第1列第3行之記憶單元 MC_{13} 之符號。

在圖51所示之SRAM中，所採用之構造是字線在列方向延伸，位元線在行方向延伸。字線解碼器3連接到字線群 $30_i (i=1, 2, 3, \dots, m-1, m)$ ，用來使與被輸入之列位址RA對應之字線群 30_i 選擇性的活性化。另外，位元線解碼器4連



五、發明說明 (2)

接到位元線群 40_j ($j=1, 2, 3, \dots, n-1, n$)，用來使與被輸入之行位址CA對應之位元線群 40_j 選擇性的活性化。

在記憶單元 MC_{ij} ，字線群 30_i 和位元線群 40_j 進行交叉。亦即，在依列方向排列之多個記憶單元設有共同之字線群，在依行方向排列之多個記憶單元設有共同之位元線群。

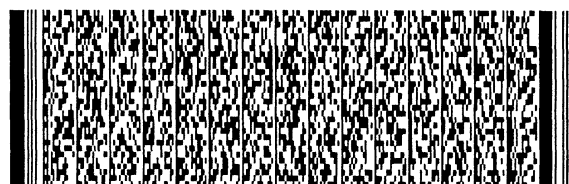
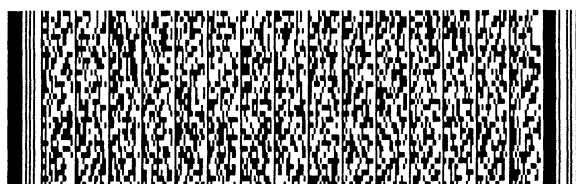
字線群 30_i 由寫入字線 31_i ，讀出字線 33_i ，和讀出互補字線 32_i 構成，後二者構成讀出字線對偶。另外，位元線群 40_j 由寫入位元線 41_j ，寫入互補位元線 42_j ，和讀出位元線 43_j 構成，前二者構成寫入位元線對偶。

圖52是電路圖，用來表示任何一個記憶單元MC共用之構造之實例。記憶單元MC之構造基本上與列或行之位置 (i, j) 相關，所以在此處將表示列或行之位置之附加字省略。

記憶單元MC具備有：記憶部(在本說明書中稱為「儲存單元」)SC，由一對之反相器L1, L2構成交叉耦合之門鎖電路；讀出電路RK；和存取電晶體QN3, QN4。

在儲存單元SC，反相器L1由電晶體QP1, QN1之串聯連接構成，反相器L2由電晶體QP2, QN2之串聯連接構成。另外，讀出電路RK具備有由電晶體QP3, QP4, QN5, QN6之串聯連接構成之三態反相器。

電晶體QN1~QN6採用N型之MOSFET(Metal Oxide Semiconductor Field Effect Transistor)，電晶體QP1~QP4採用P型之MOSFET。例如N型MOSFET為表面通道型，P型MOSFET為表面通道型，或埋入通道型。



五、發明說明 (3)

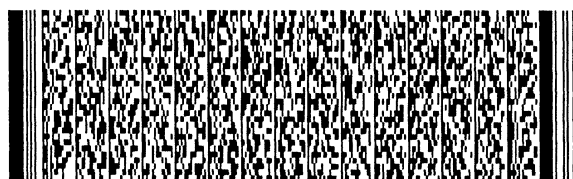
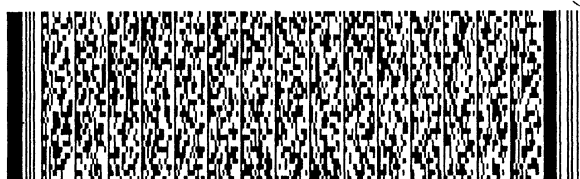
儲存單元SC具有一對之節點N1, N2, 節點N1, N2存在有分別為"H"、"L"之情況, 和與其相反情況之一對之記憶狀態。另外, "H"表示與高於 $(V_{DD}+V_{SS})/2$ 之電位對應之邏輯, "L"表示與低於 $(V_{DD}+V_{SS})/2$ 之電位對應之邏輯。其中, 電位 V_{SS} 大多之情況選擇地線電位。以下, "H"、"L"不只表示邏輯, 而且亦表示與其邏輯對應之電位。另外, "H"、"L"在設計上為選擇項目, 可以使其任何一方之狀態對應到SRAM之位元之"1", "0"。

N型MOSFET當其閘極被施加"H"時進行ON, 被施加"L"時進行OFF。P型MOSFET當其閘極被施加"L"時進行ON, 當被施加"H"時進行OFF。在ON狀態時, 電流在源極/汲極間流動, 使兩者之間進行電導通。另外, 在OFF之狀態, 源極/汲極間電中斷, 大致沒有電流流動。

節點N1是反相器L2之輸入端, 與節點N1之電位對應之邏輯之互補邏輯對應之電位被輸出到節點N2。節點N2是反相器L1之輸入端子, 與節點N2之電位對應之邏輯之互補邏輯之反相位元被輸出到節點N1。因此存在有與互補之邏輯對應之一對之記憶狀態。

存取電晶體QN3在節點N1, N4分別與儲存單元SC和寫入位元線41連接。存取電晶體QN4在節點N5, N5分別與儲存單元SC和寫入互補位元線42連接。另外, 存取電晶體QN3, QN4之閘極共同連接到寫入字線31。

在讀出電路RK, 電晶體QP4, QN5之各個之汲極共同連接到節點N3。另外, 電晶體QP3, QN6之閘極共同連接到節點



五、發明說明 (4)

N1。另外，電晶體QP4, QN5之閘極分別連接到讀出互補字線32和讀出字線33。上述方式之記憶單元MC採用雙埠口靜態記憶單元。

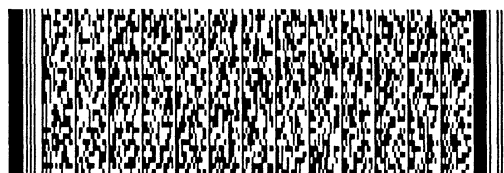
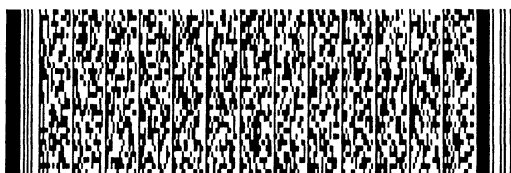
在進行從記憶單元MC讀出資料之情況時，在讀出字線33和讀出互補字線32設定互補之邏輯。另外，與成為讀出對象之記憶單元MC之列對應之讀出字線33和讀出互補字線32分別被設定為"H", "L"，與其以外之列對應之讀出字線33和讀出互補字線32分別被設定為"L", "H"。

因此成為讀出對象之記憶單元MC之讀出電路RK之電晶體QP4, QN5均進行ON。利用構成電晶體QP3, QN6之反相器，經由節點N3，將與節點N1互補之值施加到讀出位元線43。另外一方面，未成為讀出對象之記憶單元MC之讀出電路RK之電晶體QP4, QN5均進行OFF。利用此種方式，讀出位元線43中斷不成為讀出對象之記憶單元MC之儲存單元SC。

在對記憶單元MC進行資料寫入之情況時，與成為寫入對象之記憶單元MC之列對應之寫入字線31被設定為"H"，與其以外之列對應之寫入字線31被設定為"L"。

因此成為寫入對象之記憶單元MC之存取電晶體QN3, QN4均進行ON，儲存單元SC之節點N1, N2分別經由節點N4, N5連接到寫入位元線41，寫入互補位元線42。另外一方面，不成為寫入對象之記憶單元MC之存取電晶體QN3, QN4均進行OFF，儲存單元SC之節點N1, N2中斷與寫入位元線41，寫入互補位元線42之連接。

如上所述，因為儲存單元SC之節點N1, N2之邏輯具有互



五、發明說明 (5)

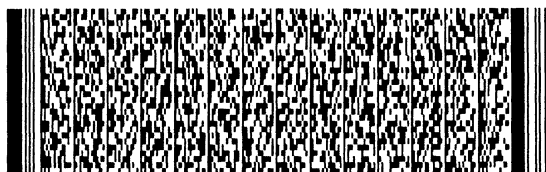
補之關係，所以對於與成為寫入對象之記憶單元MC之行對應之寫入位元線41和寫入互補位元線42，設定互補之邏輯。另外，對節點N1, N2寫入被設定在寫入位元線41和寫入互補位元線42之邏輯。

當完成寫入動作時，寫入字線31被設定在"L"，存取電晶體QN3, QN4進行OFF。亦即，儲存單元SC中斷與寫入位元線對偶之連接，儲存單元SC所保持之資料不會被重寫，成為待用狀態。

[發明所欲解決之問題]

在上述之構造中，當寫入動作時，寫入字線31被設定在"H"，在與成為寫入對象之記憶單元MC屬於同一列之記憶單元MC之全部，其存取電晶體QN3, QN4進行ON。因此，在與成為寫入對象之記憶單元MC屬於同一列而且不是寫入對象之記憶單元MC，於寫入動作之期間，經由存取電晶體QN3, QN4，節點N1, N2分別連接到寫入位元線41，寫入互補位元線42。

另外一方面，在與不成為寫入對象之記憶單元MC之行對應之寫入位元線41和寫入互補位元線42，通常均被預充電成為相等之電位。預充電之電位例如為 V_{DD} ， $(V_{DD} + V_{SS})/2$ ， V_{SS} 。因此，根據該記憶單元MC之節點N1, N2之電位，寫入位元線41，寫入互補位元線42之一方之電位拉伸為 V_{SS} ，和另外一方之電位拉伸為 $(V_{DD} - V_{thn})$ （其中，在寫入字線31被施加電位 V_{DD} ，電晶體QN3, QN4之臨限值電壓成為 $V_{thn} > 0$ ）。利用此種方式，經由節點N1, N2對被預充電之寫入位元線



五、發明說明 (6)

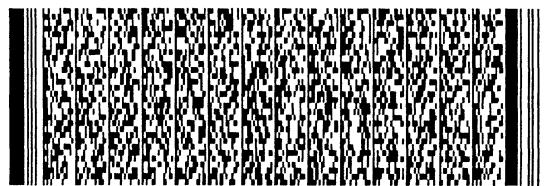
對偶施加電位亦不會造成不必要之電力消耗。

另外，對於依上述方式被儲存單元SC施加電位之位元線對偶，進行準備下一個寫入動作之預充電。這時會消耗新的不必要之電力消耗。

圖53是電路圖，用來表示為著防止上述之電力消耗所提案之記憶單元MC之構造，例如見於美國專利案公報6,005,794號之介紹。

NMOS電晶體QN9, QN10串聯連接在節點N1和施加電位 V_{SS} 之電位點(以下亦稱為「電位點 V_{SS} 」)之間，例如與接地線之間。NMOS電晶體QN9之閘極連接到節點N4之寫入位元線41，NMOS電晶體QN10之閘極連接到寫入字線31。同樣的，NMOS電晶體QN11, QN12串聯連接在節點N2和電位點 V_{SS} 之間。NMOS電晶體QN11之閘極連接到節點N5之寫入互補位元線42，NMOS電晶體QN12之閘極連接到字線31。

與成為寫入對象之記憶單元MC對應之(亦即被選擇之列之)寫入字線31，在寫入動作時變成為"H"，電晶體QN10, QN12進行ON。另外，因為在與該記憶單元MC對應之(亦即被選擇之行之)寫入位元線41，讀出位元線43被施加互補之邏輯，所以只有電晶體QN9, QN10之一方進行ON。假如寫入位元線41，寫入互補位元線42分別為"H"，"L"時，節點N1被設定在邏輯"L"。利用此種方式用來使節點N2變成為"H"。相反的，假如寫入位元線41，寫入互補位元線42分別為"L"，"H"時，節點N2被設定在邏輯"L"。利用此種方式用來使節點N1變成為"H"。



五、發明說明 (7)

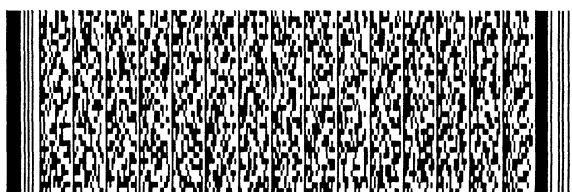
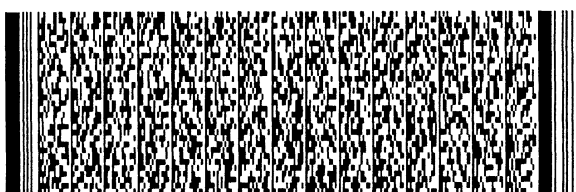
當此種寫入動作時，未被選擇之寫入位元線對偶均被設定在電位 V_{ss} 。因此在不成為寫入對象之記憶單元，因為電晶體QN9, QN11進行OFF，所以即使在被配置於與選擇之寫入字線31對應之列之寫入字線31成為"H"之記憶單元，亦不會從儲存單元SC之外部強制設定節點N1, N2之電位。亦即會產生上述之不必要之電力消耗。

但是，在該電路中會有變更儲存單元SC之記憶內容之寫入動作需要較長時間之問題。亦即，從儲存單元SC之外部，將節點N1, N2之任何一方設定成"L"，但是未具有從儲存單元SC之外部將另外一方設定成"H"之功能。例如，當從節點N1, N2分別為"H", "L"之狀態，使其反相成為互補之狀態之情況時，電晶體QN9, QN10進行ON，使節點N2放電成為"L"，因為不是從儲存單元SC之外部成為"H"，所以反相器L1使節點N1保持為"H"。儲存單元SC為著穩定的保持資料，所以被設計成具有高靜態雜訊餘裕，因此只使節點N1放電不能使儲存單元SC之記憶內容迅速的反相。

本發明根據上述之背景，其目的是提供使記憶內容反相，迅速進行寫入，和減小不必要之電力消耗之技術。

[解決問題之手段]

本發明之申請專利範圍第1項是一種記憶裝置，具備有(a)多個字線群，(b)多個位元線群，和(c)多個記憶單元，上述之字線群之各個具有(a-1)寫入字線，上述之位元線群之各個具有(b-1)寫入位元線，和(b-2)寫入控制線，被設置成與上述之寫入位元線對應，(c)上述之記憶

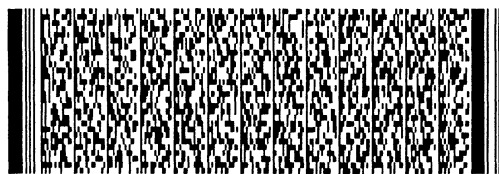
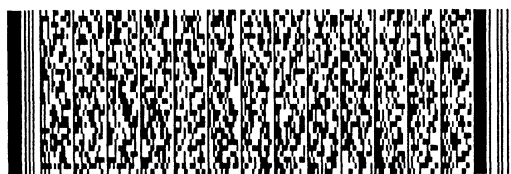


五、發明說明 (8)

單元之各個被設置與一個之上述字線群和一個之上述位元線群對應，具有(c-1)儲存單元，包含第1記憶節點，和(c-2)第1開關，連接在對應之上述一個位元線群之上述寫入位元線和上述之第1記憶節點之間，只有在對應之上述一個字線群之上述寫入字線和上述之寫入控制線均被活性化時，才進行導通。另外，被選擇之上述位元線群之上述寫入控制線進行活性化，未被選擇之上述位元線群之上述寫入控制線不進行活性化。

本發明之申請專利範圍第2項是在申請專利範圍第1項之記憶裝置中使上述之位元線群之各個更具有(b-3)寫入互補位元線，被設置成與上述之寫入位元線對應，上述之儲存單元之各個包含有(c-1-1)第2記憶節點，被施加與上述第1記憶節點之邏輯互補之邏輯，上述之記憶單元之各個更具有(c-3)第2開關，連接在對應之上述一個位元線之上述寫入互補位元線和上述之第2記憶節點之間，只有在對應之上述一個字線群之上述寫入字線和上述之寫入控制線均被活性化時，才進行導通，上述之寫入位元線和寫入互補位元線在其所屬之上述位元線群被選擇之情況時，採用互補之邏輯，在未被選擇之情況時，採用互等之邏輯，在一個之上述位元線群，上述之寫入控制線採用上述之寫入位元線和寫入互補位元線之互斥或邏輯。

本發明之申請專利範圍第3項是在申請專利範圍第2項之記憶裝置中因為對上述之寫入位元線和寫入互補位元線之電位進行非反相放大，所以採用上述之互斥或邏輯。



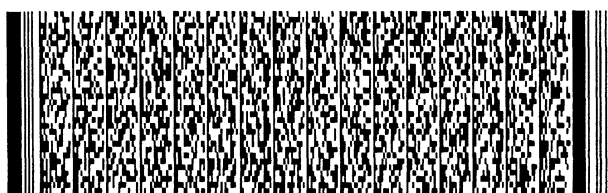
五、發明說明 (9)

本發明之申請專利範圍第4項是在申請專利範圍第1項之記憶裝置中使上述之第1開關包含有:(c-2-1)第1電晶體，具備有連接上述之寫入控制線之控制電極，和第1和第2電流電極；和(c-2-2)第2電晶體，具備有連接上述之寫入字線之控制電極，和第1和第2電流電極；上述之第1電晶體之上述第1和第2電流電極，和上述之第2電晶體之上述第1和第2電流電極，串聯連接在上述之第1記憶節點和上述之位元線之間。

本發明之申請專利範圍第5項是在申請專利範圍第4項之記憶裝置中使上述之第1開關更包含有:(c-2-3)與上述第1電晶體不同導電型之第3電晶體，具備有控制電極被施加與上述寫入控制線互補之邏輯，第1電流電極連接到上述第1電晶體之上述第2電流電極，和第2電流電極連接到上述第1電晶體之上述第1電流電極；和(c-2-4)與上述第2電晶體不同導電型之第4電晶體，具備有控制電極被施加與上述寫入字線互補之邏輯，第1電流電極連接到上述第2電晶體之上述第2電流電極，和第2電流電極連接到上述第2電晶體之上述第1電流電極。

又，本發明之記憶裝置中共用上述第1電晶體之上述第1電流電極和上述之第2電晶體之上述第2電流電極。

本發明之申請專利範圍第6項是在申請專利範圍第1項之記憶裝置中使上述之第1開關包含有:(c-2-1)第1電晶體，具備有控制電極，連接到上述寫入位元線之第1電流電極，和連接到上述第1記憶節點之第2電流電極；和(c-2-2)



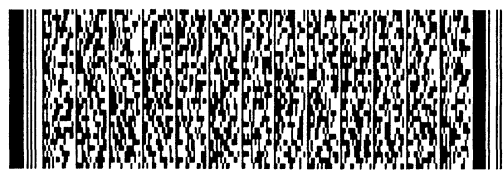
五、發明說明 (10)

第2電晶體，具備有連接到上述寫入控制線之控制電極，連接到上述第1電晶體之上述控制電極之第1電流電極，和連接到上述寫入字線之第2電流電極。

本發明之申請專利範圍第7項是在申請專利範圍第1項之記憶裝置中使上述之第1開關包含有：(c-2-1)第1電晶體，具備有連接到上述寫入字線之控制電極，第1電流電極，和連接到上述寫入控制線之第2電流電極；和(c-2-2)第2電晶體，具備有連接到上述第1電晶體之上述第1電流電極之控制電極，連接到上述寫入位元線之第1電流電極，和連接到上述第1記憶節點之第2電流電極。

本發明之申請專利範圍第8項是一種記憶裝置，具備有(a)多個字線群，(b)多個位元線群，和(c)多個記憶單元，上述之字線群之各個具有(a-1)寫入字線，上述之位元線群之各個具有(b-1)寫入位元線，和(b-2)寫入控制線，被設置成與上述之寫入位元線對應，上述之記憶單元之各個被設置成與一個之上述字線群和一個之上述位元線群對應，具有(c-1)儲存單元，包含第1記憶節點，和(c-2)第1電位設定部，只有在對應之上述一個字線群之上述寫入字線和上述之寫入控制線均被活性化時，才對上述之第1記憶節點施加與對應之上述一個位元線群之上述寫入位元線之邏輯互補之邏輯。另外，被選擇之上述位元線群之上述寫入控制線進行活性化，未被選擇之上述位元線群之上述寫入控制線不進行活性化。

本發明之申請專利範圍第9項是在申請專利範圍第8項之



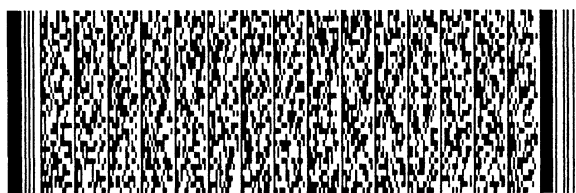
五、發明說明 (11)

記憶裝置中使上述之第1電位設定部包含有:(c-2-1)第1電位點，用來供給與第1邏輯對應之電壓；(c-2-2)第1開關，依照上述之寫入控制線之邏輯，用來控制上述第1記憶節點和第1連接點之間之導通；和(c-2-3)第2開關，依照上述之寫入位元線之邏輯和上述之寫入字線之邏輯雙方，用來控制上述之第1連接點和上述之第1電位點之間之導通。

本發明之申請專利範圍第10項是在申請專利範圍第9項之記憶裝置中使上述之第1電位設定部更包含有:(c-2-4)第2電位點，用來供給與上述之第1邏輯互補之第2邏輯之對應電壓；和(c-2-5)第3開關，依照上述之寫入位元線之邏輯和上述之寫入字線之邏輯雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。

本發明之申請專利範圍第11項是在申請專利範圍第8項之記憶裝置中使上述之第1電位設定部包含有:(c-2-1)第1電位點，用來供給與第1邏輯對應之電壓；(c-2-2)第1開關，依照上述之寫入字線之邏輯，用來控制上述之第1記憶節點和第1連接點之間之導通；和(c-2-3)第2開關，依照上述之寫入控制線之邏輯和上述之寫入位元線之邏輯雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。

本發明之申請專利範圍第12項是在申請專利範圍第11項之記憶裝置中使上述之第1電位設定部更包含有:(c-2-4)第2電位點，用來供給與上述之第1邏輯互補之第2邏輯之



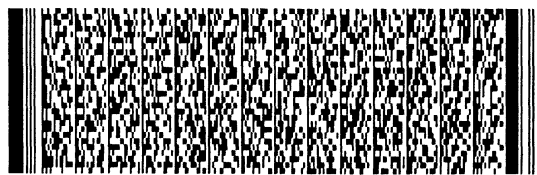
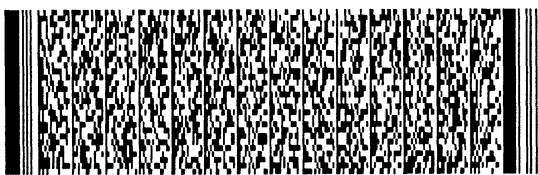
五、發明說明 (12)

對應電壓；和(c-2-5)第2開關，依照上述之寫入控制線之邏輯和上述之寫入位元線之邏輯之雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。

又，本發明之記憶裝置中使上述之第1電晶體是形成在SOI基板上之NMOS電晶體，對非活性之上述寫入字線，施加使上述第1電晶體之上述第1電流電極和本體之順向偏壓減小之電位。

又，本發明之記憶裝置，具備有(a)多個字線群，(b)多個位元線群，和(c)多個記憶單元，上述之字線群之各個具有(a-1)寫入字線，上述之位元線群之各個具有(b-1)寫入位元線，上述之記憶單元之各個被設置成與一個之上述字線群和一個之上述位元線群對應，具有(c-1)儲存單元，包含第1記憶節點，(c-2)開關，連接在上述之第1記憶節點和用以供給與第1邏輯對應之第1電位之第1電位點之間，和(c-3)控制元件，在對應之上述一個字線群之上述寫入字線被活性化之情況時，依照施加在對應之上述一個位元線群之上述寫入位元線之邏輯，用來容許上述開關之開閉控制。

又，本發明之記憶裝置中使上述之開關包含有(c-2-1)第1電晶體，具有連接到上述第1記憶節點之第1電流電極，連接到上述第1電位點之第2電流電極，和控制電極；和上述之控制元件包含有(c-3-1)第2電晶體，具備有連接到上述第1電晶體之控制電極之第1電流電極，連接到上述寫入位元線之第2電流電極，和連接到上述寫入字線之控



五、發明說明 (13)

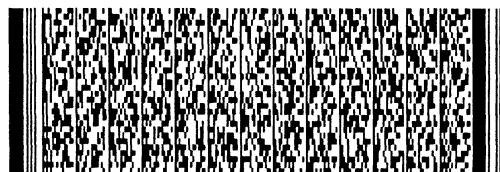
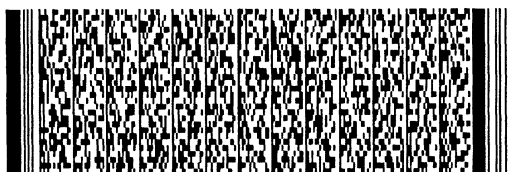
制電極。

又，本發明之記憶裝置中使上述之控制元件更包含有(c-3-2)第3電晶體，具備有連接到上述第2電晶體之上述第2電流電極之第1電流電極，連接到上述第2電晶體之上述第1電流電極之第2電流電極，和被施加與上述寫入字線之邏輯互補之邏輯之對應電位之控制電極。

本發明之申請專利範圍第13項是一種記憶裝置，其中具備有(a)多個寫入字線，(b)多個寫入位元線，(c)多個記憶單元，被設置成與一個之上述字線和一個之上述位元線對應，分別具有(c-1)包含記憶節點之儲存單元，(c-2)依照施加在上述寫入位元線之邏輯控制其導通之第1電晶體，和(c-3)依照施加在上述寫入字線之邏輯控制其導通之第2電晶體；上述之儲存單元更包含有：第3電晶體，具有第1電流電極連接到上述之記憶節點，第2電流電極被施加與上述第1邏輯互補之邏輯之對應第2電位，和控制電極；和第4電晶體，具有第1電流電極連接到上述第3電晶體之上述控制電極，第2電流電極被施加上述之第2電位，和控制電極連接到上述之記憶節點；上述之記憶節點只經由上述第1電晶體和上述第2電晶體之串聯連接，連接到用以供應與第1邏輯對應之第1電位之第1電位點。

本發明之申請專利範圍第14項是在申請專利範圍第4項之記憶裝置中，使上述之儲存單元由交叉耦合之2個電晶體構成。

本發明之申請專利範圍第15項是在申請專利範圍第4項



五、發明說明 (14)

之記憶裝置中使上述之第1電晶體和上述之第2電晶體之導電型不同。

[發明之實施形態]

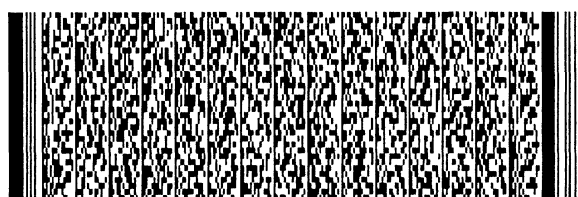
在本實施形態中，所說明者是字線之活性化，亦即被選擇之狀態對應到邏輯"H"，未被活性化，亦即未被選擇之狀態對應到"L"。即使該等之關係相反時，假如適當的替換所使用之電晶體之導電型，亦可適用以下之說明。

實施形態1.

圖1是概念圖，用來表示本發明之實施形態1之SRAM之記憶單元陣列周邊之構造。其特徵之構造是對於習知之SRAM構造，在位元線群40_j追加寫入控制線44_j。寫入控制線44_j亦利用位元線解碼器4設定其電位(或邏輯)。實質上，在寫入控制線44_j設定與施加至寫入位元線41_j之邏輯和施加至寫入互補位元線42_j之邏輯之互斥或邏輯(以下用「XOR(exclusive OR)」表示)相當之邏輯。首先為著簡化，所說明之情況是在預充電之期間，對寫入位元線41_j和寫入互補位元線42_j施加電位 V_{DD} ， V_{SS} 之任何一個。

圖2是電路圖，用來表示圖1所示之記憶單元MC之一個之構造實例。與習知技術同樣的，表示列之位置和行之位置之附加字被省略。記憶單元MC具備有儲存單元SC，讀出電路RK和均為NMOS電晶體之路徑電晶體MN9，MN10，MN11，MN12，另外更設有寫入位元線41，寫入互補位元線42，讀出位元線43，寫入字線31，讀出互補字線32，和讀出字線33。

儲存單元SC具有交叉耦合之反相器L1，L2，存在有節點

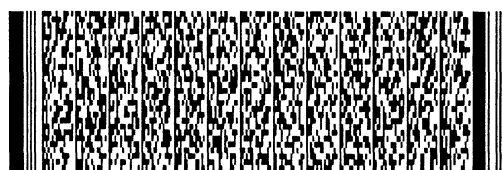
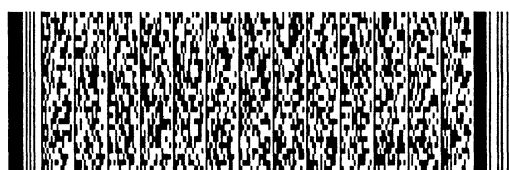


五、發明說明 (15)

N1, N2 作為各個之輸出端。反相器L1之構成具有:PMOS電晶體QP1, 包含有被施加電位 V_{DD} 之源極, 連接到節點N1之汲極, 和連接到節點N2之閘極; 和NMOS電晶體QN1, 包含有被施加電位 V_{SS} 之源極, 連接到節點N1之汲極, 和連接到N2之閘極。同樣的, 反相器L2之構成具有:PMOS電晶體QP2, 包含有被施加電位 V_{DD} 之源極, 連接到節點N2之汲極, 和連接到節點N1之閘極; 和NMOS電晶體QN2, 包含有被施加電位 V_{SS} 之源極, 連接到節點N2之汲極, 和連接到節點N1之閘極。

讀出電路RK是三態反相器, 其構成具有:PMOS電晶體QP3, 包含有被施加電位 V_{DD} 之源極, 和連接到節點N1之閘極; PMOS電晶體QP4, 包含有連接到節點N3之位元線43之汲極, 和連接到讀出互補字線32之閘極; NMOS電晶體QN6, 包含有被施加電位 V_{SS} 之源極, 和連接到節點N1之閘極; 和NMOS電晶體QN5, 包含有連接到節點N3之讀出位元線43之汲極, 和連接到讀出字線33之閘極。電晶體QP3之汲極與電晶體QP4之源極, 電晶體QN6之汲極與電晶體QN5之源極分別互相連接。

圖3是電路圖, 用來表示三態反相器之構造之實例, 實質上表示讀出電路RK之構造。一對之NMOS電晶體之一方之閘極和一對之PMOS電晶體之一方之閘極共同被施加邏輯A, 一對之NMOS電晶體之另外一方之閘極被施加邏輯B, 一對之PMOS電晶體之另外一方之閘極被施加邏輯 $\bar{B}$ (與B互補之邏輯, 在圖中之B上附加橫線表示: 以下對於其他之邏輯



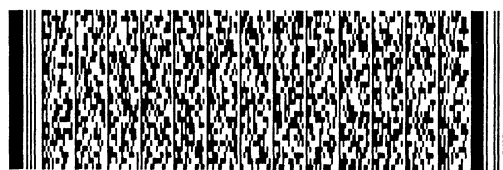
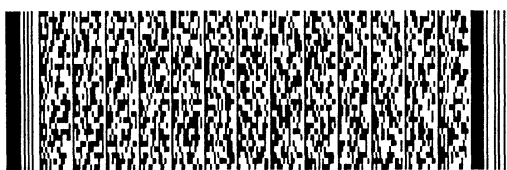
五、發明說明 (16)

亦同)。假如邏輯B為"L"時，所輸出之邏輯Z不是由三態反相器決定(tristate condition)。但是，假如邏輯B為"H"時，輸出使邏輯A反相之邏輯Z。

回到圖2，路徑電晶體MN9, MN10具有作為開關之功能，串聯連接在寫入位元線41上之節點N4和儲存單元SC之節點N1之間，在寫入控制線44和寫入字線31雙方均為"H"之情況時，將寫入位元線41之邏輯傳達到節點N1。亦即，路徑電晶體MN9之電流電極對偶(源極汲極對偶)之一方連接到節點N1，路徑電晶體MN10之電流電極對偶之一方連接到節點N4，路徑電晶體MN9, MN10之電流電極對偶之另外一方共同連接。另外，路徑電晶體MN9之閘極連接到節點N6之寫入控制線44，路徑電晶體MN10之閘極連接到節點N4之寫入位元線41。

同樣的，路徑電晶體MN11, MN12具有作為開關之功能，串聯連接在寫入互補位元線42上之節點N5和儲存單元SC之節點N2之間，在寫入控制線44和寫入字線31雙方均為"H"之情況時，將寫入互補位元線42之邏輯傳達到節點N2。亦即，路徑電晶體MN11之電流電極對偶之一方連接到節點N2，路徑電晶體MN12之電流電極對偶之一方連接到節點N5，路徑電晶體MN11, MN12之電流電極對偶之另外一方共同連接。另外，路徑電晶體MN11之閘極連接到節點N6之寫入控制線44，路徑電晶體MN12之閘極連接到節點N4之寫入位元線41。

路徑電晶體MN10, MN12與圖53所示之電晶體QN10, QN12類



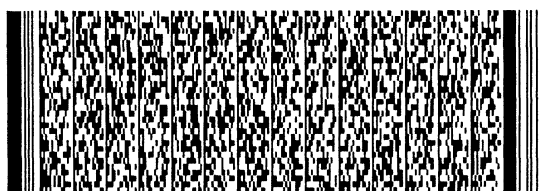
五、發明說明 (17)

似，其動作與寫入字線31之邏輯相關，但是其不同部份是該等之源極不是連接到電位點 V_{SS} ，而是分別連接到寫入位元線41，寫入互補位元線42。另外，路徑電晶體MN9，MN11與圖53所示之電晶體QN9，QN11類似，分別存在於路徑電晶體MN10和節點N1之間，電晶體MN12和節點N2之間，但是其不同部份是任何一個之導通與寫入控制線44之邏輯相關。

對此種構造之記憶單元之寫入動作成為如下所述之方式。被選擇之寫入字線31變成為"H"，路徑電晶體MN10，MN12進行ON。然後，構成寫入位元線對偶之寫入位元線41和寫入互補位元線42之任何一方變成為"H"，另外一方變成為"L"。與此對應的，因為寫入控制線44變成為"H"，所以路徑電晶體MN9，MN11進行ON。

因此，儲存單元SC之節點N1經由路徑電晶體MN9，MN10連到節點N4之寫入位元線41，節點N2經由路徑電晶體MN11，MN12連接到節點N5之寫入互補位元線42。被設定在寫入位元線41，寫入互補位元線42之邏輯因為分別寫入到N1，N2，所以當與圖53所示之電路比較時，使被記憶在儲存單元SC之資料反相所需要時間變短。

為著檢查電位之大小，使路徑電晶體MN9，MN10之臨限值電壓成為電位 V_{thn} ，在寫入控制線44，寫入字線31和寫入位元線41施加成為"H"之電位 V_{DD} 。因為在節點N4和節點N1之間存在有路徑電晶體MN9，MN10，所以利用該2個電晶體之基板效應，變成對節點N1施加電位 $(V_{DD} - 2V_{thn})$ 。



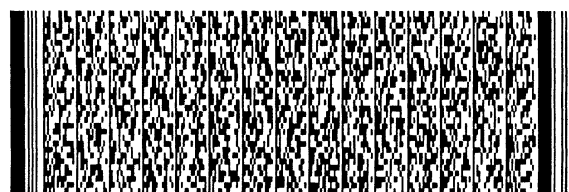
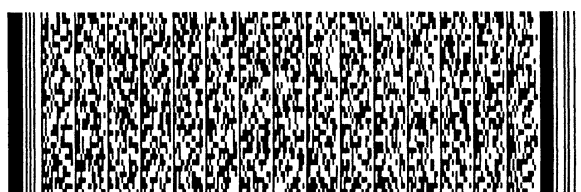
五、發明說明 (18)

當電位差($V_{DD}-V_{SS}$)變成為1V以下時，儲存單元SC之反相器L1, L2有可能辨識到電位($V_{DD}-2V_{thn}$)為"L"而不是"H"。為著防止此種問題，可以將對寫入字線31施加之"H"之電位，設定成為高於電位 V_{DD} 之例如電位($V_{DD}+2V_{thn}$)。另外，將對寫入字線31和寫入控制線44施加之"H"之電位，均設定為電位($V_{DD}+V_{thn}$)亦可以獲得同樣之效果。

下面將說明被配置在與選擇寫入字線31對應之列，和被配置在與未選擇寫入位元線對偶對應之行之記憶單元MC之動作。在此種記憶單元MC中，寫入位元線41和寫入互補位元線42經由預充電被設定成為"H"或"L"。與此對應的，寫入控制線44被設定為"L"。換言之，在寫入控制線44未被選擇之行變成為"L"。因此即使寫入字線31為"H"，電晶體MN10, MN12進行ON時，電晶體MN9, MN11亦進行OFF，儲存單元SC不會影響寫入位元線41和寫入互補位元線42之電位。因此可以使記憶內容反相迅速進行寫入，可以減少不必要之電力消耗。

圖4至圖9是電路圖，用來表示從邏輯A、B獲得兩者之互斥或邏輯之邏輯Z之XOR電路之實例。對於寫入控制線44，為著獲得施加到寫入位元線41之邏輯和施加到寫入互補位元線42之邏輯之互斥或邏輯，可以採用該等之XOR電路。圖1表示XOR電路被內藏在位元線解碼器4之態樣，但是亦可以成為XOR電路和位元線解碼器4個別設置之態樣。

例如，對圖7所示之XOR電路之動作進行說明。當邏輯A為"H"時，由PMOS電晶體TP1和NMOS電晶體TN1構成之反相



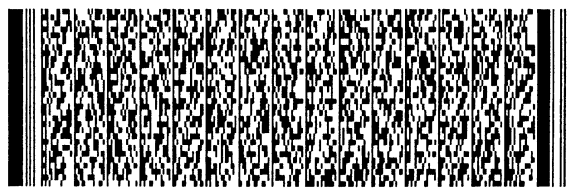
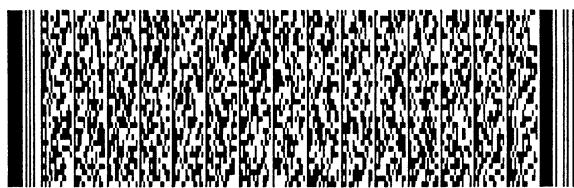
五、發明說明 (19)

器在節點J1被施加邏輯"L"。另外一方面，在節點J2被施加邏輯A，亦即"H"。PMOS電晶體TP2和NMOS電晶體TN2串聯連接在節點J2, J1間，兩者具有作為反相器之功能。該反相器輸入邏輯B，藉以在節點J3輸出作為邏輯Z之邏輯 $\bar{B}$ 。這時，因為PMOS電晶體TP3和NMOS電晶體TN3所構成之傳輸閘進行OFF，所以在節點J3之邏輯B和邏輯 $\bar{B}$ 不會產生衝突。

當邏輯A為"L"時，節點J1, J2分別變成為"H", "L"。因此電晶體TP3, TN3雙方進行ON，邏輯B作為邏輯Z的施加到節點J3。另外一方面，當邏輯B為"H"之情況時，利用NMOS電晶體TN2將節點J1之邏輯"H"傳達到節點J3，當邏輯B為"L"之情況時，利用PMOS電晶體TP2將節點J2之邏輯"L"傳達到節點J3。因此，均以節點J3之邏輯B作為邏輯Z。

利用以上之動作，圖7之電路施加邏輯A、B之XOR。要獲得互斥或邏輯之互補之值(XNOR:exclusive NOR)時，可以使輸出更進一步的反相，亦可以只使邏輯A，邏輯B之一方反相，輸入到用以獲得XOR之電路。

圖10是電路圖，用來表示本實施形態之變化。當與圖2所示之構造比較時，其相同之部份是在節點N1, N4之間串聯連接依照寫入控制線44之邏輯控制開關之電晶體MN9，和依照寫入字線31之邏輯控制開關之電晶體MN10，其不同部份是變換其位置。同樣的，電晶體MN11, MN12當與圖2所示之構造比較時，在節點N2, N5之間之位置互相交換。此種構造亦可以獲得與圖2所示之構造相同之效果。

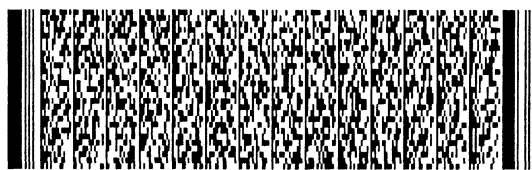
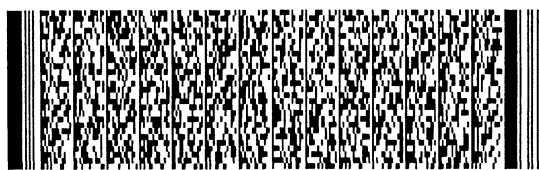


五、發明說明 (20)

圖11是概略圖，用來表示路徑電晶體MN9, MN10, MN11, MN12之構造之實例。儲存單元SC為著簡化分別以記號表反相器L1, L2，另外一方面，路徑電晶體MN9, MN10, MN11, MN12與寫入位元線41，寫入互補位元線42，寫入控制線44，寫入字線31一起以平面圖表示其構造。圖中之括弧內之符號對應到圖10所示之構造，被記載在其左側之符號對應到圖2所示之構造。

下面將根據圖2所示之構造用來說明圖11。路徑電晶體MN9, MN10形成在活性區域R1。路徑電晶體MN9之電流電極對偶之一方連接到節點N1，路徑電晶體MN10之電流電極對偶之一方連接到寫入位元線41。路徑電晶體MN9, MN10之電流電極對偶之另外一方共用源極汲極區域SD1。同樣的，路徑電晶體MN11, MN12形成在活性區域R2。路徑電晶體MN11之電流電極對偶之一方連接到節點N2，路徑電晶體MN12之電流電極對偶之一方連接到寫入互補位元線42。路徑電晶體MN11, MN12之電流電極之另外一方共用源極汲極區域SD2。

另外，具有作為路徑電晶體MN9, MN11之閘極之功能之閘極配線G1，和具有作為路徑電晶體MN10, MN12之閘極之功能之閘極配線G2，均經由圖中未顯示之閘極絕緣膜，設在活性區域R1, R2之上方(紙面之近前側)。寫入控制線44和寫入字線31設在閘極配線G1, G2之上方。寫入控制線44和寫入字線31分別經由閘極配線G1, G2和通孔接點V1, V2連接。



五、發明說明 (21)

依照上述之方式，因為路徑電晶體MN9, MN10 共用源極汲極區域SD1，路徑電晶體MN11, MN12 共用源極汲極區域SD2，所以可以以小面積配置該等。

另外，在寫入位元線 41_j 和寫入互補位元線 42_j 亦可以施加預充電期間之電位 $(V_{DD}+V_{SS})/2$ 。在此種情況，在XOR電路之前段亦可以設置電路用來對寫入位元線 41_j 和寫入互補位元線 42_j 之各個之電位進行非反相放大。例如 $V_{SS}=0V$ ，XOR電路之輸入餘裕變大，可以輸入電位 $2V_{DD}$ ，可以將該放大電路之放大率設定為2倍。利用此種方式，不論預充電之電位為 $V_{DD}/2$ 或 V_{DD} ，可以使XOR電路之一對之輸入均變成為"H"。另外，假如預充電之電位為 V_{SS} 時，可以使XOR電路之一對之輸入均變成為"L"。因此，可以獲得本實施形態之效果。

實施形態2.

圖12是概念圖，用來表示本發明之實施形態2之SRAM之記憶單元陣列周邊之構造。其構造特徵是在實施形態1所示之SRAM之構造追加位元線群 40_j 和寫入互補控制線 45_j ，在字線群 30_i 追加寫入互補字線 34_i 。

寫入互補控制線 45_j ，寫入互補字線 34_i 分別利用位元線解碼器4和字線解碼器3設定其電位(或邏輯)。實質上，寫入互補控制線 45_j ，寫入互補字線 34_i 分別被施加與寫入控制線 44_j ，寫入字線 31_i 互補之邏輯。

圖13是電路圖，用來表示圖12所示之記憶單元MC之一個之構造之實例。與習知技術同樣的，表示列之位置和行之



五、發明說明 (22)

位置之附加字被省略。記憶單元MC，當與圖2所示之構造比較時，均追加的設置PMOS電晶體之路徑電晶體MP9, MP10, MP11, MP12，和追加的設置寫入互補控制線45，寫入互補字線34。

路徑電晶體MP9, MP10, MP11, MP12分別與路徑電晶體MN9, MN10, MN11, MN12並聯連接。另外，施加在路徑電晶體MP9, MP10, MP11, MP12之閘極之邏輯，與施加在路徑電晶體MN9, MN10, MN11, MN12之閘極之邏輯，分別成為互補。亦即，路徑電晶體MP9, MP11之閘極連接到節點N7之寫入互補控制線45，路徑電晶體MP10, MP12之閘極連接到寫入互補字線34。

因此，路徑電晶體MP9, MP10, MP11, MP12分別與路徑電晶體MN9, MN10, MN11, MN12一起構成傳輸閘。因此，當與圖2所示之構造比較，在從寫入位元線41將邏輯"H"傳達到節點N1時(或是在從寫入互補位元線42將邏輯"H"傳達到節點N2時)，不會由於基板效應產生臨限值 V_{thn} 部份之降低。因此，不需要使用升壓電路用來使施加在寫入字線31之電位上升為其優點。

圖14是電路圖，用來表示本實施形態之變化，相當於實施形態1之圖10。亦即，圖14之構造，當與圖13所示之構造比較時，路徑電晶體MN9, MP9所構成之傳輸閘和路徑電晶體MN10, MP10所構成之傳輸閘之位置在節點N1, N4之間變換，路徑電晶體MN11, MP11所構成之傳輸閘和路徑電晶體MN12, MP12所構成之傳輸閘之位置在節點N2, N5之間變換。



五、發明說明 (23)

即使此種構造亦可以獲得本實施形態之效果。

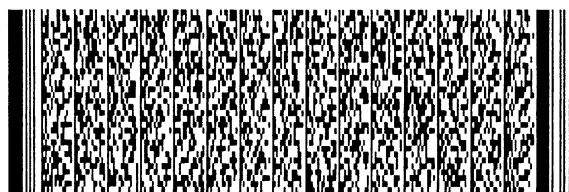
另外，與路徑電晶體MN9, MN10同樣的，路徑電晶體MP9, MP10亦共用源極汲極區域，所以可以節省所需要之面積。路徑電晶體MP11, MP12亦同。

另外，以傳輸閘代替存取電晶體時，亦可避免由於基板效應造成之臨限值 V_{thn} 部份之降低。圖15所示之構造是在圖52所示之電路追加寫入互補字線34，將存取電晶體QN3變換成為由PMOS電晶體MP10和NMOS電晶體MN10構成之傳輸閘，將存取電晶體QN4變換成為由PMOS電晶體MP12和NMOS電晶體MN12構成之傳輸閘。

與圖14所示之構造同樣的，因為電晶體MN10, MN12依照寫入字線31之邏輯，電晶體MP10, MP12依照寫入互補線34之邏輯，分別被控制其導通，所以可以避免由於基板效應造成之臨限值 V_{thn} 之降低。因此不需要使施加在字線31之電位升壓。另外，當與圖13或圖14所示之構造比較時，傳輸閘一次減小一個之部份，可以使對儲存單元SC存取之時間變短，和可以使面積損失變小，而且不需要設置寫入控制線44和XOR電路為其優點。但是，與本實施形態不同的，在未被選擇之行之記憶單元MC，用以避免儲存單元SC和寫入位元線對偶間之電位衝突之功能會劣化。

實施形態3.

圖16是電路圖，用來表示本實施形態之記憶單元MC之一個之構造之實例。與習知技術同樣的，用以表示列之位置和行之位置之附加字被省略，但是可以採用圖1所示之 MC_{ij}



五、發明說明 (24)

之各個。

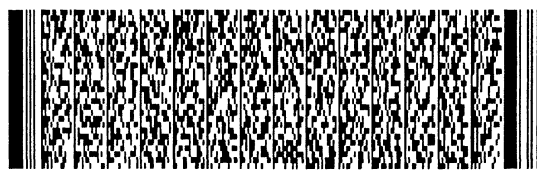
記憶單元MC，當與圖52所示之構造比較時，均設有NMOS電晶體之存取電晶體MN2, MN4和控制電晶體MN1, MN3，用來代替存取電晶體QN3, QN4。

存取電晶體MN2，與存取電晶體QN3同樣的，用來控制節點N1和節點N4之間之導通。另外，與存取電晶體QN3相同之部份是在其閘極連接有寫入字線31，其不同部份是存在控制電晶體MN1。存取電晶體MN4亦用來控制節點N2和節點N5之間之導通，其與存取電晶體QN4相同之部份是在其閘極連接有寫入字線31，其不同部份是存在有控制電晶體MN3。

因為控制電晶體MN1, MN3之閘極經由節點N6連接到寫入控制線44，所以與實施形態1同樣的，只有當寫入字線31和寫入控制線44之雙方均為"H"之情況時，節點N1與節點N4之間和節點N2和節點N5之間才導通。因此，與實施形態1同樣的，可以使記憶內容反相，迅速的進行寫入，可以減少不需要之電力消耗。

在上述之構造中，控制電晶體MN1和存取電晶體MN2，或控制電晶體MN3和存取電晶體MN4，因為不能共用源極汲極，此點比實施形態1之構造不利。

但是，控制電晶體MN1, MN3均依照寫入控制線44之邏輯進行導通，和利用該等之導通，將寫入字線31之邏輯傳達到存取電晶體MN2, MN4之閘極。其中如圖17所示，可以變化成使控制電晶體MN3合併到MN1，可以縮小所需要之面



五、發明說明 (25)

積。

實施形態4.

圖18是電路圖，用來表示本實施形態之記憶單元MC之一個之構造之實例。與習知技術同樣的，用以表示列之位置和行之位置之附加字被省略，但是可以採用圖1所示之 MC_{ij} 之各個。記憶單元MC當與圖16所示之構造比較時，控制電晶體MN1, MN3被變換成為控制電晶體MN5, MN6。

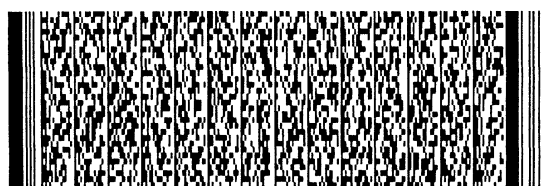
控制電晶體MN5, MN6之閘極共同連接到寫入字線。另外，控制電晶體MN5存在於寫入位元線41和存取電晶體MN2之閘極之間，控制電晶體MN6存在於寫入互補位元線42和存取電晶體MN4之閘極之間。因此，與實施形態1同樣的，只有在寫入字線31和寫入控制線44雙方均為"H"之情況時，節點N1和節點N4之間及節點N2和節點N5之間才進行導通。因此，與實施形態1同樣的，可以使記憶內容反相，進行迅速之寫入，和可以減少不需要之電力消耗。

在上述之構造中，控制電晶體MN5和存取電晶體MN2，或控制電晶體MN6和存取電晶體MN4不能共用源極汲極，此點比實施形態1之構造不利。

但是控制電晶體MN5, MN6均依照寫入字線31之邏輯進行導通，和利用該等之導通將寫入控制線44之邏輯傳達到存取電晶體MN2, MN4之閘極。其中如圖19所示，可以變化成使控制電晶體MN6合併到MN5，可以縮小所需要之面積。

實施形態5.

圖20是電路圖，用來表示本實施形態之記憶單元MC之一



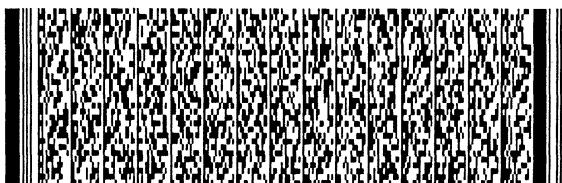
五、發明說明 (26)

個之構造之實例。與習知技術同樣的，用以表示列之位置和行之位置之附加字被省略，但是可以採用圖12所示之 MC_{ij} 之各個。但是不需要寫入互補控制線45。記憶單元MC，當與圖53所示之構造比較時，主要的有2點不同。

第1不同點是電晶體QN9不直接連接到節點N1，在兩者之間存在有路徑電晶體MN9。同樣的，電晶體QN11不直接連接到節點N2，在兩者之間存在有路徑電晶體MN11。另外，與實施形態1同樣的，路徑電晶體MN9, MN11之閘極連接到節點N6之寫入控制線44。分別以電晶體QN9, MN9之連接點作為節點N8，以電晶體QN11, MN11之連接點作為節點N9。

第2不同點是在施加電位 V_{DD} 之電位點(以下亦稱為「電位點 V_{DD} 」)和節點N8之間，均串聯連接PMOS電晶體之電晶體MP3, MP4。同樣的，在電位點 V_{DD} 和節點N9之間均串聯連接PMOS電晶體之電晶體MP5, MP6。電晶體MP4, MP6均是在電流電極對偶之一方被施加電位 V_{DD} ，在其閘極連接有寫入互補字線34。另外，在電晶體MP3, MP5之電流電極對偶之一方分別連接節點N8, N9。電晶體MP3, MP4之電流電極對偶之另外一方之間，電晶體MP5, MP6之電流電極對偶之另外一方之間，分別共同連接。電晶體MP3, MP5之閘極分別連接到寫入位元線41，寫入互補位元線42。

在上述之構造中，因為設有電晶體MP3, MP4用來從儲存單元SC之外部將節點N1設定為"H"，和設有電晶體MP5, MP6用來將節點N2設定為"H"，所以可以使記憶內容反相，迅速進行寫入。另外，節點N1, N8之間之導通和節點N2, N9之



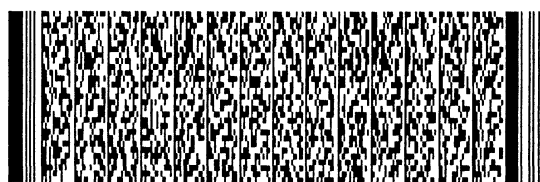
五、發明說明 (27)

間之導通，分別經由路徑電晶體MN9, MN10，均與寫入控制線44之邏輯相關。因此，由於節點N1和寫入位元線41，節點N2和寫入互補位元線42之間之電位衝突而引起之不需要之電力消耗可以減少。

電晶體MP3, MP4, QN9, QN10和電晶體MP5, MP6, QN11, QN12分別用來構成以節點N8, N9作為輸出端之三態反相器。下面將以該等三態反相器之動作之觀點，用來說明本實施形態之記憶單元MC之動作。

該等之三態反相器只有在寫入字線31為"H"，使寫入互補字線34為"L"之情況時，才進行反相器之功能。亦即，與寫入位元線41之邏輯互補之邏輯施加到節點N8，與寫入互補位元線42之邏輯互補之邏輯施加到節點N9。另外，在寫入字線31為"L"，使寫入互補字線34為"H"之情況時，例如電晶體MP3, QN9即使進行ON時，節點N8之電位不是由三態反相器設定(tristate condition)。另外，例如電晶體MP5, QN11即使進行ON時，節點N9之電位不是由三態反相器設定。

在成為寫入對象之記憶單元MC所屬之列之字線群30，亦即在被選擇之字線群30，在寫入字線31，寫入互補字線34分別被施加"H", "L"之電位，在節點N8, N9分別被施加與寫入位元線41，寫入互補位元線42互補之邏輯。另外，在成為寫入對象之記憶單元MC所屬之行之位元線群40，亦即在被選擇之位元線群40，在寫入位元線41，寫入互補位元線42被施加互補之邏輯，所以寫入控制線44之邏輯變成為



五、發明說明 (28)

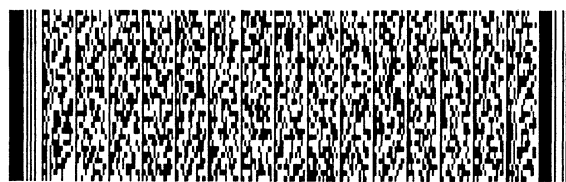
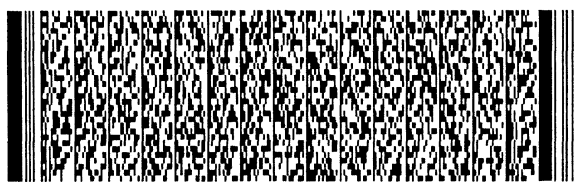
"H"，路徑電晶體MN9, MN11進行導通。因此，在節點N1, N2分別記憶與寫入位元線41，寫入互補位元線42互補之邏輯，例如即使在使儲存單元SC之記憶內容反相之情況時，亦可以迅速的記憶。

在被配置於與選擇字線群30對應之列之記憶單元MC，三態反相器進行反相器之功能。但是在被配置於與未選擇位元線群40對應之行之記憶單元MC，因為寫入位元線41，寫入互補位元線42被預充電成為大致互等之電位，所以寫入控制線44之邏輯為"L"，路徑電晶體MN9，MN11不進行導通。因此節點N1和寫入位元線41之間，節點N2和寫入互補位元線42之間被中斷，電位衝突所引起之不需要之電力消耗可以減少。

為著避免由於基板效應所造成之路徑電晶體MN9, MN10之臨限值部份之電壓降，可以將該等變換成為傳輸閘。亦可以補償路徑電晶體MN9, MN10之基板效應，使寫入字線31之電位升壓臨限值部份。

圖21是電路圖，用來表示本實施形態之第1變化之記憶單元MC之構造。所具有之構造是在圖20所示之構造變換電晶體QN9, QN10之串聯連接之順序，和變換電晶體QN11, QN12之串聯連接之順序。在此種變化中亦可以獲得本實施形態之效果。

圖22是電路圖，用來表示本實施形態2之變化之記憶單元MC之構造。對於圖21所示之構造，刪除用以將邏輯"H"供給到儲存單元SC之電晶體MP3, MP4, MP5, MP6。另外，路



五、發明說明 (29)

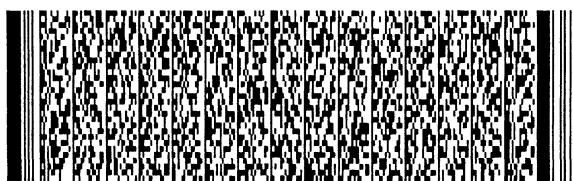
徑電晶體MN9和電晶體QN10之串聯連接之順序，以及路徑電晶體MN11和電晶體QN12之串聯連接之順序分別被變換。

當與圖53所示之電路比較時，電晶體QN9, QN10之節點N1和電位點 V_{SS} 之串聯連接之順序被變換，和在電晶體QN9, QN10之間存在有路徑電晶體MN9，利用寫入控制線44之邏輯控制其導通。同樣的，電晶體QN11, QN12之節點N2和電位點 V_{SS} 之間之串聯連接之順序被變換，和在電晶體QN11, QN12之間存在有路徑電晶體MN11，利用寫入控制線44之邏輯控制其導通。

在此種構造中，對於儲存單元SC不能從外部設定"H"。因此不能使儲存單元SC之記憶內容反相和迅速的進行寫入為其缺點。但是，當與圖20或圖21所示之構造比較時，不需要採用寫入互補字線34，可以採用作為圖1所示之SRAM之記憶單元MC為其優點。另外，當與圖53所示之構造比較時，可以將未被選擇之位元線群40之寫入位元線41，寫入互補位元線42之電位預充電成為"L", "H"為其優點。

另外，電晶體QN10, MN9, QN9之串聯連接之順序有6種，採用任何一種順序均可獲得上述之效果。電晶體QN12, MN11, QN11之串聯連接之順序亦同。

圖23是本實施形態之第3變化之雙寫入埠口型之記憶單元之電路圖，其中字線群(讀出互補字線32，讀出字33除外)和位元線群(讀出位元線43除外)以及與位元線群對應之三態反相器設置2組。在第1組和第2組所採用之符號是分別在圖21所採用之符號，於其末尾附加記號a、b。



五、發明說明 (30)

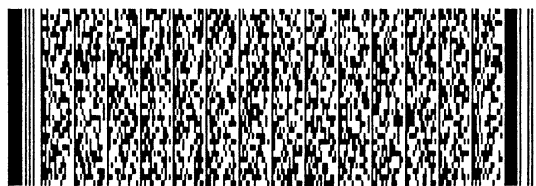
在此種雙寫入埠口型之靜態記憶單元中，在使儲存單元SC之記憶內容反相之情況時可以迅速記憶，可以減少由於電位之衝突引起之不需要之電力消耗。

圖24是電路圖，用來表示本實施形態之第4變化之記憶單元MC之構造。對於圖21所示之構造，變更三態反相器之輸出端之節點N8和電晶體MP3, QN9及節點N1之間之元件之構造，和變更其他之三態反相器之輸出端之節點N9和電晶體MP5, QN11和節點N2之間之元件之構造。

節點N8經由PMOS電晶體MP9連接到電晶體MP3，和經由NMOS電晶體MN9連接到電晶體QN9，以及經由NMOS電晶體QN10連到記憶節點N1。節點N9經由PMOS電晶體MP11連接到電晶體MP5，和經由NMOS電晶體MN11連接到電晶體QN11，以及經由NMOS電晶體QN12連接到記憶節點N2。

在該變化中，亦可以不採用寫入互補字線34，而是採用寫入互補控制線45。另外，電晶體MP9, MP11之閘極連接到節點N7之寫入互補控制線45，電晶體MN9, MN11之閘極連接到節點N6之寫入控制線44。另外，電晶體QN10, QN12之閘極連接到寫入字線31。

被選擇之列之寫入字線31進行活性化，電晶體QN10, QN12進行ON。因此節點N1, N2分別與節點N8, N9導通。另外，因為被選擇之行之寫入控制線44，寫入互補控制線45分別成為"H", "L"，所以電晶體MP9, MP11, MN9, MN11均進行ON。因此在成為寫入對象之記憶單元MC之節點N1, N2，分別經由節點N8, N9，被施加使寫入位元線41之邏輯，寫入



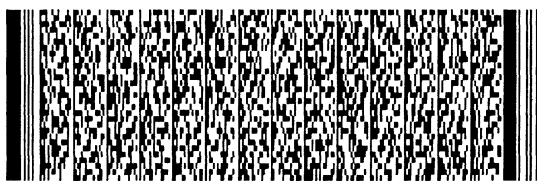
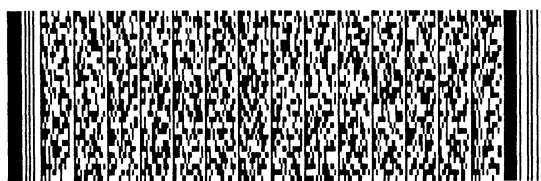
五、發明說明 (31)

互補位元線42之邏輯分別反相之所欲寫入之資料。亦即，即使在使儲存單元SC之記憶資料反相之情況時亦可以迅速的進行。

在被配置於選擇列之未成為寫入對象之記憶單元MC(亦即被配置在未被選擇行之記憶單元MC)，因為寫入控制線44，寫入互補控制線45分別成為"L"，"H"，所以電晶體MP9, MP11, MN9, MN11均進行OFF。節點N8, N9變成為tristate condition。因此，在節點N1, N2不會被強制設定在來自儲存單元SC之外部之邏輯，可以防止由於電位之衝突所引起之不需要之電力消耗。

圖25是電路圖，用來表示本實施形態之第5變化之記憶單元MC之構造。該構造是在圖24之構造中使節點N8和電位點 V_{DD} 之間之電晶體MP3, MP9之串聯連接之順序交換，使節點N8和電位點 V_{SS} 之間之電晶體MN9, QN9之串聯連接之順序交換，使節點N9和電位點 V_{DD} 之間之電晶體MP5, MP11之串聯連接之順序交換，和使節點N9和電位點 V_{SS} 之間之電晶體MN11, QN11之串聯連接之順序交換。因此，在圖25所示之構造，可以迅速的寫入資料，和有效的減少不需要之電力消耗。

圖26是電路圖，用來表示本實施形態之第6變化之記憶單元MC之構造。在圖21所示之構造中，設置成使節點N8和電位點 V_{DD} 之間之電晶體MP3, MP4之串聯連接之順序交換，使節點N9和電位點 V_{DD} 之間之電晶體MP5, MP6之串聯連接之順序交換，和使電晶體MP4, MP6合併成為一個之電晶



五、發明說明 (32)

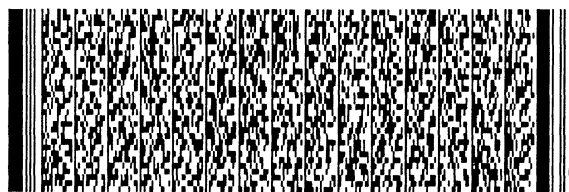
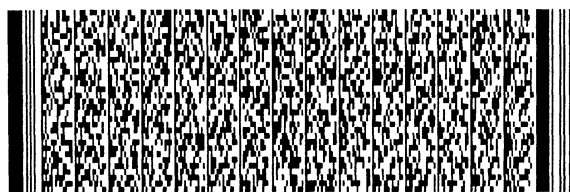
體。同樣的，設置成使節點N8和電位點 V_{SS} 之間之電晶體QN9, QN10之串聯連接之順序交換，使節點N9和電位點 V_{SS} 之間之電晶體QN11, QN12之串聯連接之順序交換，和使電晶體QN10, QN2合併成為一個之電晶體。因此，當與圖21所示之電路比較時，可以減少電晶體之數目，可以使獲得本實施形態之效果所需要之面積減小。

節點N8, N9以與圖53所示之節點N1, N2同樣之連接關係連接到電位點 V_{SS} 。但是，節點N8和節點N9間，及節點N9和節點N2間，分別經由電晶體MN9, MN11，均在寫入控制線44為"H"位準時進行導通。亦即適用於將未被選擇之位元線群40之寫入位元線41，寫入互補位元線42之電位預充電成為"L", "H"之任何一個之情況。因此可以獲得與圖21相同之效果。

圖27是電路圖，用來表示應用有第I列之記憶單元 $MC_{I1} \sim MC_{In}$ 之圖26所示構造之構造。屬於同一列之多個記憶單元 MC_{Ij} 共用寫入字線31，寫入互補字線34。因此，對於n個之記憶單元 $MC_{I1} \sim MC_{In}$ ，電晶體MP4(或電晶體MP6)和電晶體QN10(或QN12)可以分別合併到一個之PMOS電晶體MP400和NMOS電晶體QN100。利用此種合併可以使電晶體之數目更進一層的減少。

實施形態6.

本實施形態是使出現在電路圖之構造與實施形態1至實施形態5相同。本實施形態之特徵點是構成記憶單元MC之MOSFET形成在SOI(Semiconductor On Insulator or



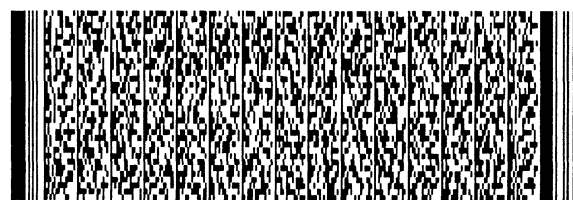
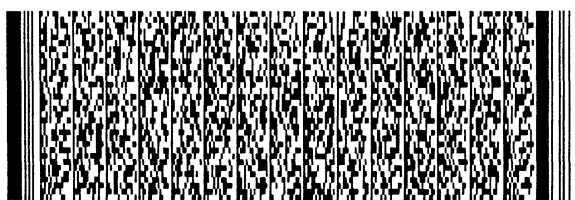
五、發明說明 (33)

Silicon On Insulator) 基板上。

首先說明習知之構成記憶單元MC之MOSFET形成在SOI基板上時之問題。圖28是剖面圖，用來表示使圖52所示之存取電晶體QN4形成在SOI基板上作為MOS電晶體之情況時之構造之實例。

半導體基板91，埋入氧化膜92，SOI基板93依照順序的積層。在SOI基板93選擇性的埋入絕緣分離體94。SOI基板93被區分為：汲極93a，源極93b，分別連接到節點N2, N5，均為n型；和p型之通道區域93c，被汲極93a和源極93b包夾。在源極93b和通道區域93c之間形成pn接面J11，在汲極93a和通道區域93c之間形成pn接面J12。閘極電極98被設置成經由閘極絕緣膜95形成與通道區域93c對立，其頂面和側面被絕緣膜96覆蓋。側壁97被設置成經由絕緣膜96形成與閘極電極98之側面對立。閘極電極98之構成是從接近閘極絕緣膜95之一方起，順序的積層被摻雜之多晶矽98a，鎢氮化膜98b，鎢98c。在此種構造中，因為絕緣分離體94使SOI基板93與周圍絕緣，所以不需要另外設置用以固定通道區域93c之電位之機構，通常使存取電晶體Q4成為所謂之floating body之狀態。

在圖52所示之構造之記憶單元MC，假設有均屬於第j號之行之2個記憶單元 MC_{xj} ， MC_{yj} 。對記憶單元 MC_{xj} 之節點N1, N2分別寫入"L", "H"之後，檢查進行將"H", "L"寫入到記憶單元 MC_{yj} 之節點N1, N2之動作時之所謂之half-select write disturb。



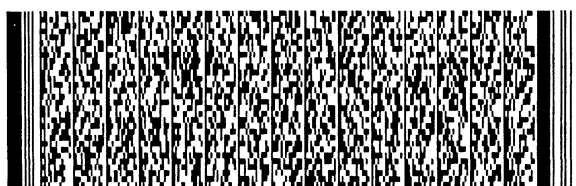
五、發明說明 (34)

在記憶單元 MC_{xj} 之寫入動作完成後，寫入字線 31_x 為"L"，在對記憶單元 MC_{yj} 之寫入動作時，因為寫入字線 31_x 為"L"，所以在該存取電晶體QN4，由源極93b和通道區域93c及汲極93a構成橫型之寄生雙極電晶體，分別具有作為射極/基極/集極之功能。

在記憶單元 MC_{xj} 之寫入動作完成後，寫入位元線 41_j ，寫入互補位元線 42_j 均被預充電成為"H"，所以記憶單元 MC_{xj} 之存取電晶體QN4不進行ON，其源極93b和汲極93a保持為"H"之狀態。另外，因為通道區域93c為p型成為浮動狀態，所以在該處熱儲存電洞(圖中以+號概略的表示)。

在此種狀態，當為著對記憶單元 MC_{yj} 進行寫入動作，分別將寫入位元線 41_j 預充電成為"H"，將寫入互補位元線 42_j 預充電成為"L"時，記憶單元 MC_{xj} 之存取電晶體QN4之pn接面J11變成順向偏壓。因此電子從基極93b朝向通道區域93c注入，儲存在通道區域93c之電洞進行放電。這時在pn接面J11流動之電流I1具有作為上述之寄生雙極電晶體之有效基極電流之功能。因此，感應出從汲極93a朝向通道區域93c流動之尖峰狀之電流I2。特別是當對記憶單元 MC_{yj} 之寫入時間變長時，熱儲存之電洞之量亦變多，電流I2亦變大。在此種情況，儲存在節點N2之電荷進行放電，其電位從"H"下降為"L"，記憶單元 MC_{xj} 之記憶內容進行反相。

但是，當採用本發明之電路構造時可以避免上述之問題。例如在圖2所示之構造中，經由電晶體MN11, MN12將寫入互補位元線42之邏輯寫入到節點N2。一般用以使電晶體



五、發明說明 (35)

MN11, MN12 互相連接之配線，當與寫入互補位元線42比較時非常的短。因此，當與圖52所示之構造之記憶單元MC之存取電晶體QN4比較時，在電晶體MN11，連接到電流電極對偶中之較近寫入互補位元線42之一方(例如源極)之寄生電容變小。如圖11所示之方式，更有共用雜質區域之情況。因此電晶體MN11即使為圖28所示之SOIFET時，寄生雙極電晶體亦不進行很大之動作。因此經由採用本實行形態之電路構造，可以減小half-select write disturb之發生機率。

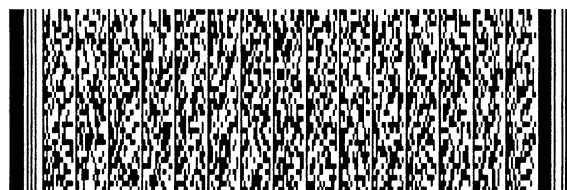
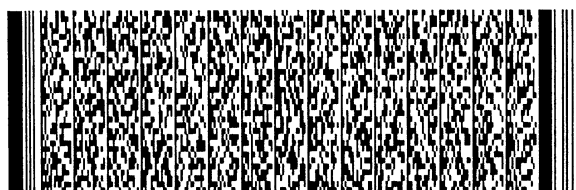
另外，最好使與非選擇之寫入字線31之邏輯"L"相當之電位低於與寫入互補位元線42之邏輯"L"相當之電位，例如 $V_{SS}-0.3V_b \sim V_{SS}-V_b$ 之程度。其中之 V_b 是汲極93a和通道區域93c所形成之內建電壓。經由將此種電位施加到非選擇之寫入字線31，在通道區域93c可以避免累積，可以減小pn接面J11之順向偏壓。此種方式之寫入字線31之電位之設定在圖16所示之電路構造中特別有效。電晶體MN4之電流電極對偶連接到節點N2, N5，從寄生電容之觀點來看，圖52所示之電晶體QN4亦同。

另外，當採用通道區域93c之電位為固定之構造時，亦可以避免上述之half-select write disturb。

在上述之實施形態中，所說明者是以雙埠口靜態記憶單元為例，但是亦可以應用到多埠口靜態記憶單元。

實施形態7.

在實施形態1至實施形態6中，不只是寫入字線31而且亦



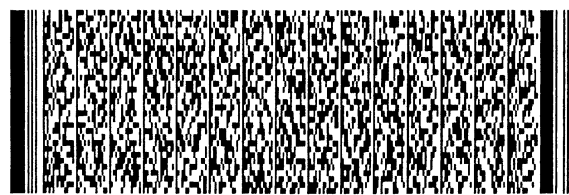
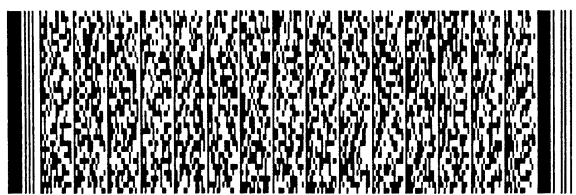
五、發明說明 (36)

使寫入控制線44活性化，用來容許進行寫入動作，藉以獲得指定之效果。但是，在決定寫入控制線44之邏輯時，即使為電位 V_{SS} ， V_{DD} ，或電位 $(V_{DD}+V_{SS})/2$ ，亦需要利用預充電用來決定寫入位元線41，寫入互補位元線42之電位。換言之，假如容許使寫入位元線41，寫入互補位元線42成為浮動之狀態時，會有不能決定寫入控制線44之電位之缺點。另外，即使在寫入位元線41，寫入互補位元線42為浮動之狀態之情況時，在與成為寫入動作對象之記憶單元同一列和不同行之記憶單元，由於儲存單元SC之充放電有可能使寫入位元線41，寫入互補位元線42產生電力消耗。

特別是多埠口SRAM，例如雙埠口SRAM，在各個單元具有多個之讀寫之路徑，在可以獨立而且非同步的進行二進制資訊之讀寫時，儲存單元SC並不只是對寫入位元線41和寫入互補位元線42，而且亦對讀出位元線43一起進行驅動。

圖54是方塊圖，用來表示雙埠口SRAM80和用以控制其動作之裝置之連接，其中之雙埠口SRAM80具有成為其任何一方之寫入埠口和成為其另外一方之讀出埠口之第1和第2埠口。第1微處理機81經由第1讀/寫控制電路82，進行使用雙埠口SRAM80之第1埠口之讀寫動作。另外一方面，第2微處理機84經由第2讀/寫控制電路83，進行使用雙埠口SRAM80之第2埠口之讀寫動作。

圖29是電路圖，用來表示雙埠口SRAM80所採用之記憶單元MC之構造。當與圖52所示之構造比較時，設有均為NMOS電晶體之存取電晶體QN13, QN14用來代替讀出電路RK。存



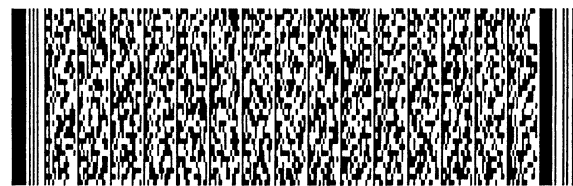
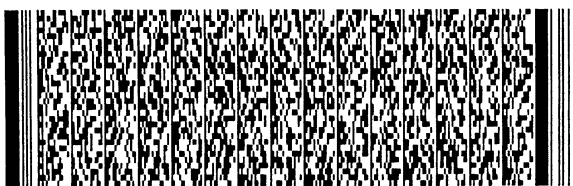
五、發明說明 (37)

取電晶體QN13存在於節點N1和讀出位元線43之間，其閘極連接到讀出字線33。存取電晶體QN14存在於節點N2和讀出互補位元線46之間，其閘極連接到讀出字線33。

圖29所示之構造，當與圖52所示之構造比較時，所具有之優點是每一個記憶單元MC可以減少2個電晶體。但是儲存節點SC在電晶體QN13, QN14之ON時，使具有靜電電容大於讀出電路RK之電晶體QP3, QN6之閘極者之讀出位元線43，讀出互補位元線46，分別在節點N3, N10進行充放電。因此，對於被配置在第i列之記憶單元 MC_{ik} , MC_{iy} ($x \neq y$)，併行的進行利用第1讀/寫控制電路82之寫入動作，和利用第2讀/寫控制電路83之讀出動作，在此種情況，寫入字線31_i，讀出字線33_i具有同時變成為"H"之期間。在此期間記憶單元 MC_{iy} 之儲存單元SC不只驅動讀出位元線43，讀出互補位元線46，而且亦驅動寫入位元線41，寫入互補位元線42，有可能使讀出動作變慢。

圖30是概念圖，用來表示本發明之實施形態7之SRAM之記憶單元陣列周邊之構造。當與圖1所示之構造比較時，以讀出互補位元線46替換寫入控制線44，成為可以省略讀出互補字線32之構造。

圖31是電路圖，用來表示圖30所示之記憶單元MC之一個之構造之實例。與習知技術同樣的，用以表示列之位置和行之位置之附加字被省略。記憶單元MC所具有之構造是在圖29所示之構造使其具備有均為NMOS電晶體之電晶體QN15, QN16, QN17, QN18，用來代替電晶體QN3, QN4。另外，



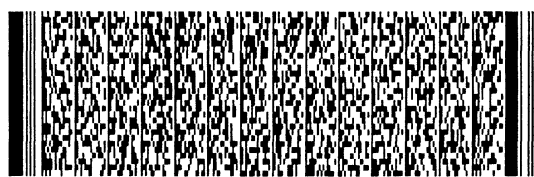
五、發明說明 (38)

亦使用有讀出互補字線32，亦可以採用讀出電路RK用來代替記憶單元MC之電晶體QN13，QN14。但是，本實施形態如上述之方式，節點N1,N2不使用電晶體之閘極，在具有可以使讀出位元線43，讀出互補位元線46進行充放電之讀出機構之情況時特別有效。

電晶體QN17之電流電極對偶之一方，例如在源極被供給電位 V_{SS} ，在電流電極對偶之另外一方，例如在汲極連接節點N2。另外，電晶體QN18之電流電極對偶之另外一方，例如在源極被供給電位 V_{SS} ，在電流電極對偶之另外一方，例如在汲極連接節點N1。

電晶體QN15之電流電極對偶之一方，例如在源極連接節點N4之寫入位元線41，電流電極對偶之另外一方，例如在汲極連接電晶體QN17之閘極。另外，電晶體QN16之電流電極對偶之一方，例如在源極連接寫入互補位元線42，電流電極對偶之另外一方，例如在汲極連接電晶體QN18之閘極。另外，電晶體QN15,QN16之閘極均連接到寫入字線31。

在此種構造之寫入動作時，首先將與所欲施加到節點N1,N2之邏輯對應之電位，分別預充電到寫入位元線41，寫入互補位元線42。例如將分別與"H"，"L"對應之電位 V_{DD} ， V_{SS} 施加到寫入位元線41，寫入互補位元線42。然後使寫入字線31活性化，電晶體QN15,QN16進行ON，對電晶體QN17,QN18之閘極分別施加電位 $(V_{DD}-V_{thn})$ ， V_{SS} （其中電晶體QN15之臨限值電壓 $V_{thn}>0$ ）。利用此種方式，電晶體QN17，



五、發明說明 (39)

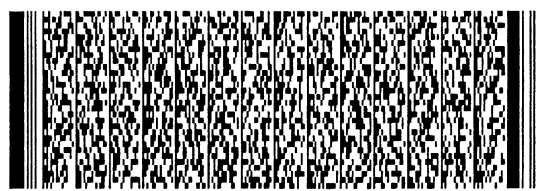
QN18 分別成為ON, OFF之狀態。另外, 因為電晶體QN17變成ON, 所以電位 V_{ss} 傳達到節點N2。利用反相器L1之功能在節點N1記憶邏輯"H"。

然後, 寫入位元線41, 寫入互補位元線42均被設定在電位 V_{ss} , 電晶體QN17, QN18之閘極變成為"L", 因此該等變成為OFF狀態。然後寫入字線31被非活性化變成為"L", 電晶體QN15, QN16進行OFF, 使電晶體QN17, QN18之閘極成為浮動狀態。

另外, 讀出動作之進行是經由使讀出字線33活性化, 用來使電晶體QN13, QN14進行ON, 節點N1, N2所記憶之邏輯分別傳達到節點N3, N10之讀出位元線43, 讀出互補位元線46。為著使讀出速度變快, 最好是在讀出字線33之活性化之前進行預充電。

在此種構造中, 當寫入動作時不是從寫入位元線41, 寫入互補位元線42將電荷供給到儲存單元SC, 而是將電位 V_{ss} 只施加到節點N1, N2之任何一方。亦即, 在寫入位元線41, 寫入互補位元線42與節點N1, N2之間未存在有電荷直接移動之路徑。因此, 即使寫入字線31活性化, 和寫入位元線41, 寫入互補位元線42成為浮動狀態, 該等亦不會被儲存單元SC充放電, 不會消耗不必要之電力。因此即使在寫入字線31, 讀出字線33同時變成為"H"之期間, 讀出動作亦不會變慢。

下面將說明上述之寫入動作完成時, 從電晶體QN17, QN18進行OFF起到電晶體QN15, QN16進行OFF之步驟。但是



五、發明說明 (40)

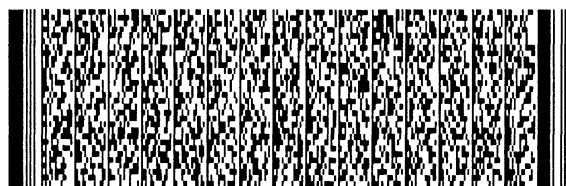
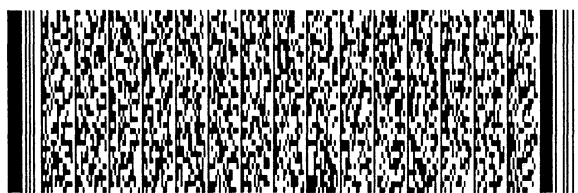
亦可以相反的從電晶體QN15, QN16進行OFF起到電晶體QN17, QN18進行OFF。在此種情況，因為當電晶體QN17, QN18之任何一方為ON狀態，各個之閘極就轉移成為浮動狀態，所以具有對儲存節點SC之資訊進行備份之效果。例如可以用來因應由於中子射線等之宇宙射線之照射而引起之儲存單元SC之記憶內容進行反相之軟性錯誤。經由對儲存單元SC之資訊進行備份，可以使產生軟性錯誤所需要之臨限電荷量之增加，亦即軟性錯誤不容易發生。

圖32是電路圖，用來表示本實施形態之變化。所具有之構造是將寫入字線31替換成為寫入互補字線34，將電晶體QN15, QN16替換成均為PMOS電晶體QP15, QP16。

在此種構造中，邏輯之傳輸方面具有與圖31所示之構造相同之效果。但是，當電晶體QN17, QN18之閘極被施加"H"時，可以避免降低臨限值電壓 $V_{thn}(>0)$ 之電位。

另外一方面，當PMOS電晶體QP15, QP16之臨限值電壓成為 $V_{thp}(<0)$ ，在電晶體QN17, QN18之閘極被施加"L"時，其電位上升為 $V_{SS}-V_{thp}$ 。因此電晶體QN17, QN18確實OFF，在抑制從節點N1, N2到電位點 V_{SS} 之洩漏電流方面，圖31所示之構造比較有利。

圖33是電路圖，用來表示本實施形態之另一變化。採用寫入字線31和寫入互補字線34雙方，在節點N4和電晶體QN17之閘極之間，連接由電晶體QP15, QN15之並聯連接所構成之傳輸閘，在節點N5和電晶體QN15之閘極之間，連接由電晶體QP16, QN16之並聯連接所構成之傳輸閘。另外，



五、發明說明 (41)

PMOS 電晶體QP15, QP16 之閘極連接到寫入互補字線34，
NMOS 電晶體QN15, QN16 之閘極連接到寫入字線31。

利用此種構造可以正確的控制電晶體QN17，QN18 之
ON/OFF。

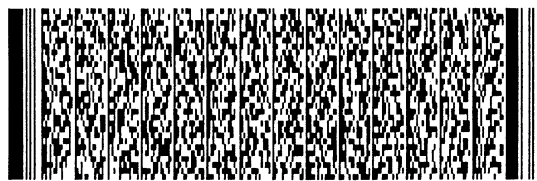
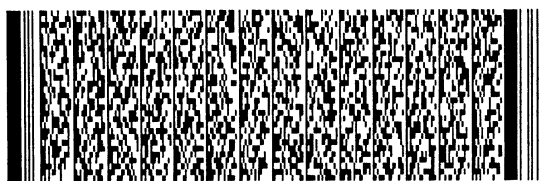
實施形態8.

圖34 是電路圖，用來表示本實施形態之記憶單元MC 之一
個之構造之實例。與習知技術同樣的，用以表示列之位置
和行之位置之附加字被省略，但是可以採用圖30 所示之
MC_{ij} 之各個。

記憶單元MC 當與圖53 所示之構造進行比較時，其特徵上
之不同在於儲存單元SC 之構造。亦即，儲存單元SC 未具有
電晶體QN1, QN2，而是以電晶體QP1, QP2 之交叉耦合構成。

亦即，記憶節點N2 只經由電晶體QN9, QN10 之串聯連接，
連接到電位點V_{SS}。電晶體QN9, QN10 之閘極分別連接到寫入
位元線41，寫入字線31，依照該等之邏輯控制其導通。同
樣的，記憶節點N1 只經由電晶體QN11, QN12 之串聯連接，
連接到電位點V_{SS}。電晶體QN11, QN12 之閘極分別連接到寫
入互補位元線42，寫入字線31，依照該等之邏輯控制其導
通。

另外，當與圖53 所示之構造進行比較時，其不同部份在
於從儲存單元SC 之記憶節點N1, N2 進行讀出之構造。亦
即，不是使用讀出電路RK，而是使用實施形態7 所示之電
晶體QN13, QN14。經由使讀出字線33 進行活性化，用來使
電晶體QN13, QN14 進行ON，藉以將節點N1, N2 所記憶之邏輯

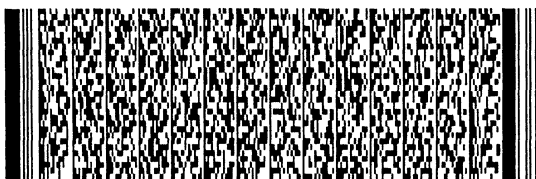


五、發明說明 (42)

分別傳達到節點N3, N10之讀出位元線43，讀出互補位元線46。為著使讀出速度變快，最好在讀出字線33之活性化之前，進行讀出位元線43，讀出互補位元線46之預充電。

圖35是時序圖之一實例，用來表示圖34所示之記憶單元MC之動作。該圖之(a)、(b)、(c)、(d)、(e)分別表示讀出字線33，讀出互補位元線46，寫入字線31，寫入位元線41，記憶節點N2之電位。此處之實例所示之情況是在記憶有"H"之記憶節點N2，寫入"L"。

在時刻t1之前為待用時，讀出互補位元線46和讀出位元線43一起被預充電成為如實線之電位 V_{SS} 或如虛線之電位 $(V_{DD}+V_{SS})/2$ 。然後至時刻t1，讀出互補位元線46與讀出位元線43一起被預充電到電位 $(V_{DD}+V_{SS})/2$ 。然後，在時刻t2開始讀出字線33之過渡到電位 V_{DD} ，當該過渡時，電晶體ON14和電晶體QN13一起進行ON。利用此種方式，在時刻t3，讀出互補位元線46由於記憶節點N2所保存之邏輯"H"，使其電位開始朝向電位 V_{DD} 過渡。然後，在時刻t4，讀出字線33開始朝向電位 V_{SS} 過渡，然後在其後之時刻t5，寫入位元線41開始朝向電位 V_{DD} 過渡。在該過渡時電晶體QN9進行ON。然後，在時刻t6，寫入字線31亦開始朝向電位 V_{DD} 過渡，當該過渡時電晶體QN10亦進行ON。利用此種方式，記憶節點N2經由電晶體QN9, QN10連接到電位點 V_{SS} ，在時刻t7，記憶節點N2之電位開始從電位 V_{DD} 朝向電位 V_{SS} 過渡。然後，寫入字線31朝向電位 V_{SS} 過渡，成為待用動作，寫入位元線41亦朝向電位 V_{SS} 過渡。



五、發明說明 (43)

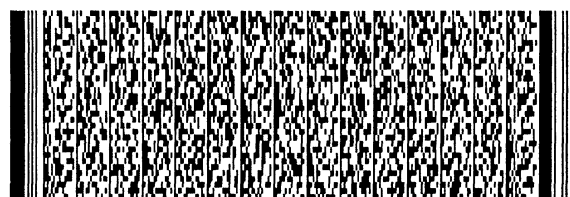
與在記憶節點N2記憶"L"之狀態，寫入"L"之情況同樣的，經由電晶體QN9, QN10連接到電位點 V_{SS} 藉以實現。另外，假如在記憶節點N2寫入"L"時，電晶體QP1進行ON，經由該電晶體QP1使記憶節點N1連接到電位點 V_{DD} 藉以寫入"H"。

本實施形態亦與實施形態7同樣的，在寫入位元線41，寫入互補位元線42與節點N1, N2之間，未存在使電荷直接移動之路徑。因此即使寫入字線31進行活性化，而且寫入位元線41，寫入互補位元線42為浮動之狀態時，該等不會被儲存單元SC充放電，不會有不必要之電力消耗。因此即使在寫入字線31，讀出字線33同時變成為"H"之期間，亦不會使讀出動作變慢。

另外，當與圖53所示之構造進行比較時，因為電晶體數變少，每一個儲存單元可以縮小2個電晶體部份之面積。另外，反相器L1, L2被設計成為著穩定的保持資訊所以具有高靜態雜訊餘裕，因此使記憶內容反相需要時間。但是在本實施形態之構造中，因為利用電晶體之交叉耦合用來保持記憶，所以可以以高速進行寫入動作。

另外，在具有本實施形態之構造之記憶單元中，可以避免half-select write disturb。圖36是電路圖，用來表示將圖34所示之構造之記憶單元MC配置成矩陣狀之構造之一部份。另外，圖中描繪成抽出第x號之列之第j號之行所屬所記憶單元 MC_{xj} ，第x號之列之第z號之行所屬之記憶單元 MC_{xz} ，和第y號之列之第j號之行所屬之記憶單元 MC_{yj} 。

首先假設在記憶單元 MC_{xj} 之記憶節點N1寫入資訊之情



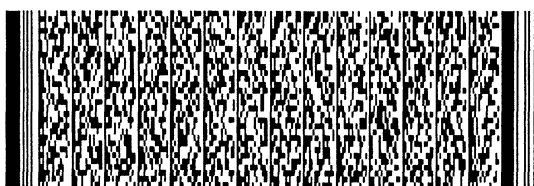
五、發明說明 (44)

況。在寫入位元線 41_j ，寫入互補位元線 42_j 分別為"H"，"L"之情況，當寫入字線 31_x 變成為"H"位準時，經由記憶單元 MC_{xj} 之電晶體QN9, QN10將電位 V_{SS} 施加到記憶節點N2。這時，記憶單元 MC_{xj} 之電晶體QN11進行OFF。另外，因為對記憶節點N2施加電位 V_{SS} ，所以記憶單元 MC_{xj} 之電晶體QP1進行ON，對記憶節點N1施加電位 V_{DD} 。

這時，記憶單元 MC_{xz} 之電晶體QN10, QN12亦由於寫入字線 31_x 之變成"H"而進行ON。但是寫入位元線 41_z ，寫入互補位元線 42_z 均被預充電成為電位 V_{SS} ，變成待用狀態，可以用來使記憶單元 MC_{xz} 之電晶體QN9, QN11變成OFF。因此不重寫記憶單元 MC_{xz} 之記憶內容。

另外，記憶單元 MC_{yj} 之電晶體QN9亦由於寫入位元線 41_j 之變成"H"而進行ON。但是因為寫入字線 31_y 未被選擇所以為成"L"，因此可以使記憶單元 MC_{yj} 之電晶體QN10, QN12成為OFF。記憶單元 MC_{yj} 之記憶內容不會被重寫。利用上述之方式可以避免half-select write disturb。

圖37是電路圖，用來表示本實施形態之第1變化之記憶單元之構造。在該記憶單元中，對於圖34所示之構造，不採用寫入字線31，而是採用寫入互補字線34。另外，將NMOS電晶體QN10, QN12分別替換成為PMOS電晶體QP10, QP12。在寫入動作時因為對寫入互補字線34施加與寫入字線31互補之邏輯，所以與施加到寫入字線31和寫入互補字線34之邏輯相關的，PMOS電晶體QP10, QP12進行與NMOS電晶體QN10, QN12同樣之動作。因此，圖37所示之構造亦可



五、發明說明 (45)

以獲得與圖34所示之構造相同之效果。

圖38是電路圖，用來表示本實施形態之第2變化之記憶單元之構造。在該記憶單元，對於圖34所示之構造，將NMOS電晶體QN9, QN11分別替換成為PMOS電晶體QP11, QP9。另外在PMOS電晶體QP9, QP11之閘極分別連接寫入位元線41，寫入互補位元線42。因為在寫入動作時對寫入位元線41，寫入互補位元線42施加互補之邏輯，所以PMOS電晶體QP9, QP11對於施加到寫入位元線41，寫入互補位元線42之邏輯，進行與NMOS電晶體QN11, QN9同樣之動作。因此，圖38所示之構造亦可以獲得與圖34所示之構造同樣之效果。

圖39是電路圖，用來表示本實施形態之第3變化之記憶單元之構造。在該記憶單元具有圖34所示之構造，和用以變換高電位側和低電位側之構造。亦即，記憶節點N2只經由電晶體QP11, QP10之串聯連接，連接到電位點 V_{DD} 。電晶體QP11, QP10之閘極分別連接到寫入位元線41，寫入互補字線34，依照該等之邏輯控制其導通。同樣的，記憶節點N1只經由電晶體QP9, QN12之串聯連接，連接到電位點 V_{DD} 。電晶體QP9, QP12之閘極分別連接到寫入互補位元線42，寫入互補字線34，依照該等之邏輯控制其導通。此種構造亦可以獲得與圖34所示之構造相同之效果當可明白。

圖40是電路圖，用來表示本實施形態之第4變化之記憶單元之構造。在該記憶單元，對於圖39所示之構造，不採用寫入互補字線34，而是採用寫入字線31。另外，將PMOS電晶體QP10, QP12分別替換成為NMOS電晶體QN10, QN12。



五、發明說明 (46)

因為在寫入動作時對寫入互補字線34施加與寫入字線31互補之邏輯，所以與施加在寫入字線31和寫入互補字線34之邏輯相關的，NMOS電晶體QN10, QN12進行與PMOS電晶體QP10, QP12同樣之動作。因此，圖40所示之構造亦可以獲得與圖39所示之構造同樣之效果。

圖41是電路圖，用來表示本實施形態之第5變化之記憶單元之構造。在該記憶單元，對於圖39所示之構造，將PMOS電晶體QP9, QP11分別替換成為NMOS電晶體QN11, QN9。另外，在NMOS電晶體QN11, QN9之閘極分別連接寫入位元線41，寫入互補位元線42。因為在寫入動作時對寫入位元線41，寫入互補位元線42施加互補之邏輯，所NMOS電晶體QN9, QN11對於施加到寫入位元線41，寫入互補位元線42之邏輯，進行與PMOS電晶體QP11, QP9同樣之動作。因此，圖41所示之構造亦可以獲得與圖39所示之構造同樣之效果。

圖42是電路圖，用來表示本實施形態之第6變化之記憶單元之構造。該單元所具有之構造是在圖34所示之構造中，以電晶體QN10兼作電晶體QN12用。另外，圖43是電路圖，用來表示本實施形態之第7變化之記憶單元之構造。該單元所具有之構造是在圖39所示之構造中，以電晶體QP10兼作電晶體QP12用。第6變化和第7變化均可以在每一個記憶單元合併2個之電晶體，用來使電晶體之數目減少1個。利用此種方式可以減小記憶單元之佔用面積，而且可以獲得本實施形態之效果。

圖44是電路圖，用來表示在第i列之記憶單元 $MC_{i1} \sim MC_{in}$



五、發明說明 (47)

中應用有圖42所示之構造之構造。屬於同一列之多個記憶單元 MC_{ij} 共同使用寫入字線31。因此，對於 n 個之記憶單元 $MC_{i1} \sim MC_{in}$ ，電晶體QN10(或QN12)可以合併到一個之NMOS電晶體QN100。圖45是電路，用來表示在第 i 行之記憶單元 $MC_{i1} \sim MC_{in}$ 中應用有圖43所示之構造之構造。屬於同一列之多個記憶單元 MC_{ij} 共同使用寫入字線34。因此，對於 n 個之記憶單元 $MC_{i1} \sim MC_{in}$ ，電晶體QP10(或QP12)可以合併到一個之PMOS電晶體QP100。利用此種合併可以使電晶體之數目更進一層的減少。

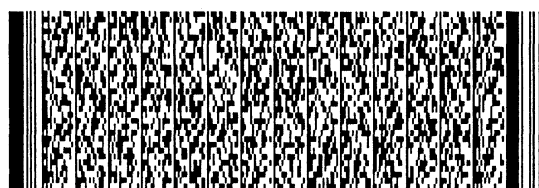
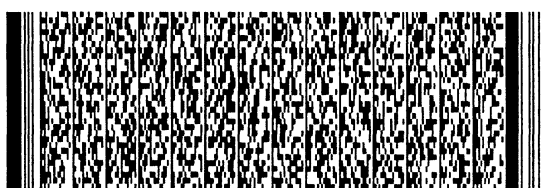
本實施形態所示之電晶體可以使用矽基板形成，亦可以使用習知之SOI基板，SON(Silicon On Nothing)基板形成。

實施形態9.

圖46是電路圖，用來表示本實施形態之記憶單元MC之一個。與習知之技術同樣的，用以表示列之位置和行之位置之附加字被省略，但是可以採用圖1所示之 MC_{ij} 之各個。其中，讀出電路被省略。

圖46所示之記憶單元MC其特徵上之不同是對於圖10所示之構造，以交叉耦合之一對之電晶體構成儲存單元5c。亦即，在記憶節點N1共同連接有電晶體QN1之汲極和電晶體QN2之閘極，在記憶節點N2共同連接有電晶體QN1之閘極和電晶體QN2之汲極，另外，在電晶體QN1, QN2之源極共同連接有電位點 V_{ss} 。

儲存單元SC之構成不是使用交叉耦合之一對之反相器，



五、發明說明 (48)

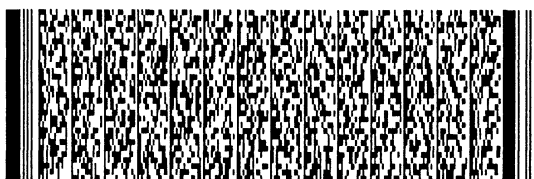
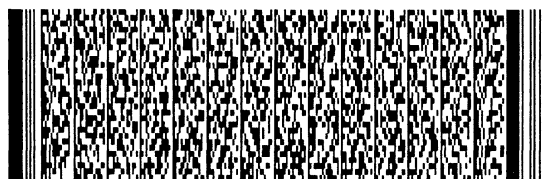
而是使用交叉耦合之一對之電晶體，用來使每一個儲存單元可以縮小2個電晶體部份之面積。另外，不進行如同反相器L1, L2之具有高靜態雜訊餘裕之設計，可以高速的進行寫入動作。

電晶體MN9, MN10串聯連接在記憶節點N1和寫入位元線41之間，電晶體MN11, MN12串聯連接在記憶節點N2和寫入互補位元線42之間。另外，電晶體MN9, MN11均為NMOS電晶體，在其閘極共同連接有寫入控制線44。另外，電晶體MN10, MN12均為NMOS電晶體，在其閘極共同連接有寫入字線31。

因此，共用被選擇之列之寫入字線31之記憶單元之各個電晶體MN10, MN12進行導通。但是未被選擇之行之記憶單元之各個之電晶體MN9, MN11不進行導通。相反的，共用被選擇之行之寫入控制線44之記憶單元之各個之電晶體MN9, MN11進行導通。但是未被選擇之列之記憶單元之各個之電晶體MN10, MN12不進行導通。因此可以避免 half-select write disturb。

圖47～圖49是電路圖，用來表示本實施形態之變化。圖47所示之構造是在圖46所示之構造將寫入控制線44替換成為寫入互補控制線45，將NMOS電晶體MN9, MN11分別替換成為PMOS電晶體MP9, MP11。因為對寫入互補控制線45施加與寫入控制線44互補之邏輯，所以圖47所示之構造亦可以進行與圖46所示之構造同樣之動作當可明白。

圖48所示之構造是在圖46所示之構造將寫入字線31替換



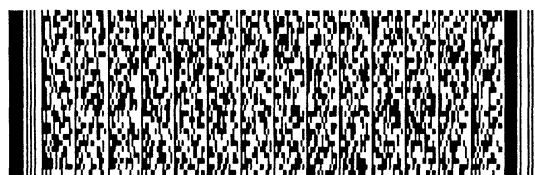
五、發明說明 (49)

成為寫入互補字線34，將NMOS電晶體MN10，MN11分別替換成為PMOS電晶體MP10，MP12。在寫入動作時，因為對寫入互補字線34施加與寫入字線31互補之邏輯，所以與施加在寫入字線31和寫入互補字線34之邏輯相關的，PMOS電晶體MP10，MP12進行與NMOS電晶體MN10，MN12同樣之動作。因此，圖48所示之構造亦可以獲得與圖46所示之構造同樣之效果。

圖49所示之構造是在圖48所示之構造將寫入控制線44替換成為寫入互補控制線45，將NMOS電晶體MN9，MN11分別替換成為PMOS電晶體MP9，MP11。圖49所示之構造亦可進行與圖46所示之構造同樣之動作當可明白。

圖50是電路圖，用來表示本實施形態之另一變化。在圖49所示之構造只有儲存單元SC之構造不同。在圖50中使用交叉耦合之一對之電晶體使用PMOS電晶體QP1，QP2。亦即，在記憶節點N1共同連接有電晶體QP1之汲極和電晶體QP2之閘極，在記憶節點N2共同連接電晶體QP1之閘極和電晶體QP2之汲極，和在電晶體QP1，QP2之源極共同連接有電位點 V_{DD} 。圖50之構造亦可以進行與圖46所示之構造同樣之動作當可明白。

在圖46所示之構造中，因為記憶單元MC全部使用NMOS電晶體構成，所以不需要在PMOS電晶體和NMOS電晶體之間設置分離區域，可以使記憶單元MC之佔用面積減小。在圖50所示之構造中，因為記憶單元MC全部由PMOS電晶體構成，所以同樣的可以使記憶單元MC之佔用面積減小。



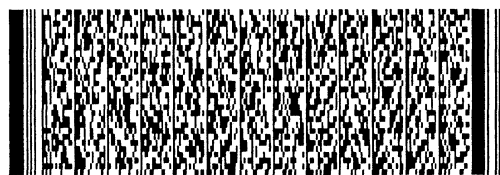
五、發明說明 (50)

在圖46所示之構造中，當施加在寫入位元線41之邏輯為"L"之電位 V_{SS} 之情況時，NMOS電晶體MN9, MN10之臨限值不會成為問題，對記憶節點N1施加電位 V_{SS} 。但是當施加在寫入位元線41之邏輯為"H"之電位 V_{DD} 之情況時，使NMOS電晶體MN9, MN10之臨限值電壓成為 $V_{thn}(>0)$ ，對記憶節點N1施加電位 $(V_{DD}-2V_{thn})$ 。因此在對記憶節點N1寫入"H"之情況時，當與寫入"L"之情況進行比較，使儲存單元SC之穩定化變慢。

在圖49和圖50之所示之構造中，在對寫入位元線41施加電位 V_{DD} 之情況，PMOS電晶體MP9, MP10之臨限值不會成為問題，對記憶節點N1施加電位 V_{DD} 。但是當對寫入位元線41施加電位 V_{SS} 之情況時，PMOS電晶體MP9, MP10之臨限值電壓成為 $V_{thp}(<0)$ ，對記憶節點N1施加電位 $(V_{SS}-2V_{thp})$ 。因此在對記憶節點N1寫入"L"之情況，當與寫入"H"之情況比較時，儲存單元SC之穩定化變慢。

與此相對的，在圖47所示之構造中，當對寫入位元線41施加電位 V_{DD} 之情況時，不會減小PMOS電晶體MP9之臨限值部份，對記憶節點N1施加電位 $(V_{DD}-V_{thn})$ 。相反的，在對寫入位元線41施加電位 V_{SS} 之情況，不會減小NMOS電晶體MN10之臨限值部份，對記憶節點N1施加電位 $(V_{SS}-V_{thp})$ 。因此，可以使儲存單元SC之穩定所需要之時間之最劣值(最大值)小於圖49和圖50所示之構造。此部份在圖48所示之構造亦同。

本實施形態之說明是對全部之寫入電路進行說明，但是



五、發明說明 (51)

該等亦可應用在讀出電路當可明白。亦即，可以使寫入字線31，寫入互補字線34，寫入位元線41，寫入互補位元線42，分別與讀出字線33，讀出互補字線32，讀出位元線43，讀出互補位元線46替換。另外，亦可以使寫入控制線44，寫入互補控制線45，分別與讀出控制線，讀出互補控制線替換。

其中對於讀出控制線，在讀出時施加活性化(例如"H")之信號，在待用時施加非活性化(例如"L")之信號，對於讀出互補控制線，在讀出時施加與讀出控制線互補之邏輯之信號。施加在讀出控制線之信號可以採用施加在讀出字線33之邏輯和施加在讀出互補字線32之邏輯之互斥或邏輯。

另外，可以在讀出/寫入之雙方採用字線對偶，位元線對偶。本實施形態可以應用在多埠口，單埠口之任何一種之型式。

本實施形態所示之電晶體可以使用矽基板形成，亦可以使用習知之SOI基板，SON(Silicon On Nothing)基板形成。

[發明之效果]

依照本發明之申請專利範圍第1項之記憶裝置時，當寫入動作時，在成為寫入對象之記憶單元，因為使寫入字線和寫入控制線均被活性化，所以第1記憶節點經由第1開關形成與寫入位元線連接。因此，不論施加在寫入位元線之邏輯如何，被記憶在第1記憶節點之邏輯之反相所需要之



五、發明說明 (52)

時間均可縮短。另外一方面，在不成為寫入對象之記憶單元因為寫入控制線不活性化，所以第1開關不將第1記憶節點連接到寫入位元線。因此，可以減小有關之記憶單元之不必要之電力消耗。

依照本發明之申請專利範圍第2項之記憶裝置時，在未被選擇之位元線群，寫入位元線和寫入互補位元線被預充電。因為該預充電通常是將寫入位元線和寫入互補位元線設定在相等之電位，所以經由採用兩者之互斥或邏輯可以使寫入控制線非活性化。

依照本發明之申請專利範圍第3項之記憶裝置時，當預充電時，施加在寫入位元線和寫入互補位元線之電位，即使為與互補之邏輯相當之2個電位之中間電位，亦可以正確的獲得互斥或邏輯。

依照本發明之申請專利範圍第4、6或7項之記憶裝置時，可以以第1和第2電晶體用來實現第1開關。

依照本發明之申請專利範圍第5項之記憶裝置時，可以避免對第1記憶節點施加之電位比對寫入位元線施加之電位低第1和第2電晶體之臨限值部份之事件。因此不需要用以使字線之電位升壓之電路。

又，依照本發明之記憶裝置時，可以以小面積實現第1開關。

依照本發明之申請專利範圍第8至12項之任何一項之記憶裝置時，當寫入動作時，在成為寫入對象之記憶單元，使寫入字線和寫入控制線均進行活性化。然後在此種情況



五、發明說明 (53)

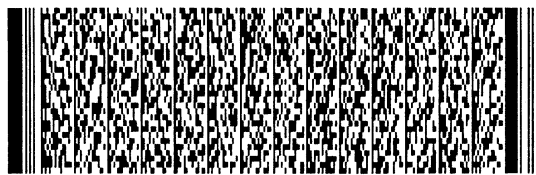
對第1記憶節點施加與寫入位元線之邏輯互補之邏輯。但是因為不成為寫入對象之記憶單元中之寫入控制線不進行活性化，所以第1電位設定部不對第1記憶節點進行邏輯之設定。因此可以減小記憶單元之不必要之電力消耗。

又，依照本發明之記憶裝置時，即使在SOI基板上形成第2電晶體，因為寫入字線可以抑制非活性時在第1電流電極和本體之間流動之有效基極電流，所以可以消除所謂之half-select write disturb。

又，依照本發明之記憶裝置時，當寫入字線被活性化時，依照施加在寫入位元線之邏輯進行開關之開閉控制，藉以控制第1記憶節點和第1電位點之導通/非導通。因此，在第1記憶節點和寫入位元線之間未存在有使電荷直接移動之路徑。因此，在成為寫入動作之對象之記憶單元，或成為寫入動作之對象之記憶單元和共用寫入字線之記憶單元，儲存單元不會在寫入位元線進行充放電，所以不會有不必要之電力消耗。另外在成為寫入動作之對象之記憶單元和共用寫入字線之記憶單元，即使在進行讀出動作之情況時，亦可以迅速的進行其動作。

又，依照本發明之記憶裝置時，可以正確的控制第1電晶體之ON/OFF。

依照本發明之申請專利範圍第13項之記憶裝置時，在記憶節點和寫入位元線之間未存在有使電荷直接移動之路徑。因此，在成為寫入動作之對象之記憶單元，或成為寫入動作之對象之記憶單元和共用寫入字線之記憶單元，儲



五、發明說明 (54)

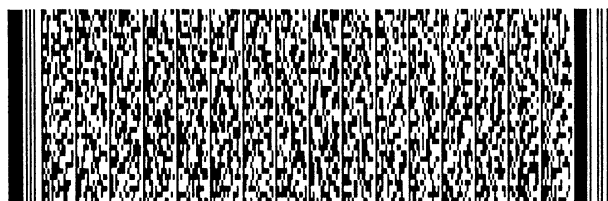
存單元不會在寫入位元線進行充放電，所以不會有不必要之電力消耗。因為儲存單元由第3電晶體和第4電晶體之交叉耦合構成，所以當採用交叉耦合之反相器之情況比較時，每一個儲存單元可以縮小2個電晶體部份之面積。另外，可以以高速進行寫入動作。

依照本發明之申請專利範圍第14項之記憶裝置時，當與儲存單元由交叉耦合之反相器構成之情況比較，每一個儲存單元可以縮小2個電晶體部份之面積，和可以以高速進行寫入動作。

依照本發明之申請專利範圍第15項之記憶裝置時，當與第1電晶體和第2電晶體之導電型相同之情況比較，可以使儲存單元之穩定所需要之時間之最劣值(最大值)變小。

[元件編號之說明]

- 30 字線群
- 31 寫入字線
- 32 讀出互補字線
- 33 讀出字線
- 34 寫入互補字線
- 40 位元線群
- 41 寫入位元線
- 42 寫入互補位元線
- 43 讀出位元線
- 44 寫入控制線
- 45 寫入互補控制線



五、發明說明 (55)

46 讀出互補位元線
MC 記憶單元



圖式簡單說明

圖1是概念圖，用來表示本發明之實施形態1之SRAM。

圖2是電路圖，用來表示本發明之實施形態1之記憶單元之一個之實例。

圖3是電路圖，用來表示三態反相器之實例。

圖4是電路圖，用來表示XOR電路之實例。

圖5是電路圖，用來表示XOR電路之實例。

圖6是電路圖，用來表示XOR電路之實例。

圖7是電路圖，用來表示XOR電路之實例。

圖8是電路圖，用來表示XOR電路之實例。

圖9是電路圖，用來表示XOR電路之實例。

圖10是電路圖，用來表示本發明之實施形態1之變化。

圖11是概略圖，用來表示本發明之實施形態1之實例。

圖12是概念圖，用來表示本發明之實施形態2之SRAM。

圖13是電路圖，用來表示本發明之實施形態2之記憶單元之一個實例。

圖14是電路圖，用來表示本發明之實施形態2之變化。

圖15是電路圖，用來表示本發明之實施形態2之另一變化。

圖16是電路圖，用來表示本發明之實施形態3之記憶單元之一個之實例。

圖17是電路圖，用來表示本發明之實施形態3之變化。

圖18是電路圖，用來表示本發明之實施形態4之記憶單元之一個之實例。

圖19是電路圖，用來表示本發明之實施形態4之變化。



圖式簡單說明

圖20是電路圖，用來表示本發明之實施形態5之記憶單元之一個之實例。

圖21是電路圖，用來表示本發明之實施形態5之第1變化之記憶單元。

圖22是電路圖，用來表示本發明之實施形態5之第2變化之記憶單元。

圖23是電路圖，用來表示本發明之實施形態5之第3變化之記憶單元。

圖24是電路圖，用來表示本發明之實施形態5之第4變化之記憶單元。

圖25是電路圖，用來表示本發明之實施形態5之第5變化之記憶單元。

圖26是電路圖，用來表示本發明之實施形態5之第6變化之記憶單元。

圖27是電路圖，用來表示本發明之實施形態5之第6變化之多個記憶單元。

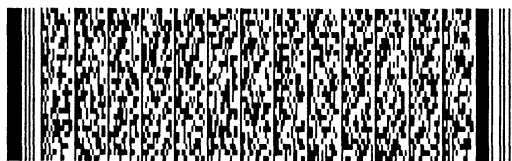
圖28是剖面圖，用來表示習知之存取電晶體之實例。

圖29是電路圖，用來表示雙埠口SRAM所採用之記憶單元之實例。

圖30是概念圖，用來表示本發明之實施形態7之SRAM。

圖31是電路圖，用來表示本發明之實施形態7之記憶單元之一個之實例。

圖32是電路圖，用來表示本發明之實施形態7之變化之記憶單元。



圖式簡單說明

圖33是電路圖，用來表示本發明之實施形態7之另一變化之記憶單元。

圖34是電路圖，用來表示本發明之實施形態8之記憶單元之一個之實例。

圖35是時序圖，用來表示本發明之實施形態8之記憶單元之動作之實例。

圖36是電路圖，用來表示本發明之實施形態8之記憶單元被配置成矩陣狀之構造之一部份。

圖37是電路圖，用來表示本發明之實施形態8之第1變化之記憶單元之構造。

圖38是電路圖，用來表示本發明之實施形態8之第2變化之記憶單元之構造。

圖39是電路圖，用來表示本發明之實施形態8之第3變化之記憶單元之構造。

圖40是電路圖，用來表示本發明之實施形態8之第4變化之記憶單元之構造。

圖41是電路圖，用來表示本發明之實施形態8之第5變化之記憶單元之構造。

圖42是電路圖，用來表示本發明之實施形態8之第6變化之記憶單元之構造。

圖43是電路圖，用來表示本發明之實施形態8之第7變化之記憶單元之構造。

圖44是電路圖，用來表示本發明之實施形態8之第6變化之記憶單元。



圖式簡單說明

圖45是電路圖，用來表示本發明之實施形態8之第7變化之記憶單元之多個。

圖46是電路圖，用來表示本發明之實施形態9之記憶單元MC之一個之構造之實例。

圖47是電路圖，用來表示本發明之實施形態9之變化。

圖48是電路圖，用來表示本發明之實施形態9之變化。

圖49是電路圖，用來表示本發明之實施形態9之變化。

圖50是電路圖，用來表示本發明之實施形態9之另一變化之電路圖。

圖51是概念圖，用來表示習知之SRAM。

圖52是電路圖，用來表示習知之記憶單元之實例。

圖53是電路圖，用來表示習知之記憶單元之實例。

圖54是方塊圖，用來表示雙埠口SRAM和控制其動作之裝置之連接。



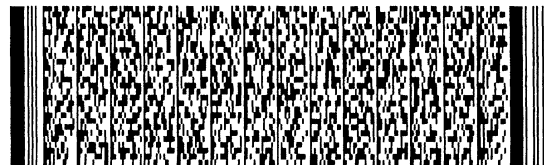
四、中文發明摘要 (發明之名稱：記憶裝置)

本發明之目的是提供記憶裝置，可以使記憶內容反相藉以迅速的進行寫入，和可以減小不需要之電力消耗。

本發明之解決手段是使電晶體MN9, MN10串聯連接在節點N1和寫入位元線41之間。電晶體MN9, MN10之閘極分別連接到寫入控制線44和寫入字線31。寫入控制線44被施加與寫入位元線41和寫入互補位元線42之互斥或邏輯相當之電位。經由將寫入動作未使用之寫入位元線41和寫入互補位元線42預充電成為同電位，用來使電晶體MN9進行OFF。

英文發明摘要 (發明之名稱：MEMORY DEVICE)

Transistors (MN9, MN10) are connected in series between a node (N1) and a write data bit line (41), and have gates connected to a write control line (44) and a write word line (31), respectively. A potential corresponding to the exclusive OR of the write data bit line (41) and a write data complement bit line (42) is applied to the write control line (44). The write data bit line (41) and the write data complement bit line (42) which are not used for a write operation are



四、中文發明摘要 (發明之名稱：記憶裝置)

英文發明摘要 (發明之名稱：MEMORY DEVICE)

precharged to the same potential to turn off the transistor (MN9). A memory device can reduce unwanted power consumption while rapidly performing a write operation which inverts a stored content.



六、申請專利範圍

1. 一種記憶裝置，其特徵是具備有：

(a) 多個字線群，分別具有：

(a-1) 寫入字線；

(b) 多個位元線群，分別具有：

(b-1) 寫入位元線；和

(b-2) 寫入控制線，被設置成與上述之寫入位元線對應；

(c) 多個記憶單元，分別被設置成與一個之上述字線群和一個之上述位元線群對應，分別具有：

(c-1) 儲存單元，包含第1記憶節點；和

(c-2) 第1開關，連接在對應之上述一個位元線群之上述寫入位元線和上述第1記憶節點之間，只有在對應之上述一個字線群之上述寫入字線和上述寫入控制線之任何一個被活性化時，才進行導通；

被選擇之上述位元線群之上述寫入控制線進行活性化；和

未被選擇之上述位元線群之上述寫入控制線不進行活性化。

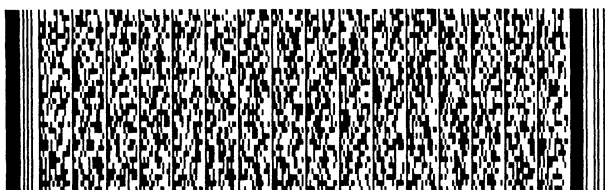
2. 如申請專利範圍第1項之記憶裝置，其中

上述之位元線群之各個更具有

(b-3) 寫入互補位元線，被設置成與上述之寫入位元線對應；

上述之儲存單元之各個包含有

(c-1-1) 第2記憶節點，被施加與上述第1記憶節點之邏



六、申請專利範圍

輯互補之邏輯；

上述之記憶單元之各個更具有

(c-3)第2開關，連接在對應之上述一個位元線群之上述寫入互補位元線和上述之第2記憶節點之間，只有在對應之上述一個之字線群之上述寫入字線和上述寫入控制線之任何一方被活性化時，才進行導通；

上述之寫入位元線和寫入互補位元線在其所屬之上述位元線群被選擇之情況時，採用互補之邏輯，在未被選擇之情況時，採用互等之邏輯；

在一個之上述位元線群，上述之寫入控制線採用上述之寫入位元線和寫入互補位元線之互斥或邏輯。

3. 如申請專利範圍第2項之記憶裝置，其中因為對上述之寫入位元線和寫入互補位元線之電位進行非反相放大，所以採用上述之互斥或邏輯。

4. 如申請專利範圍第1項之記憶裝置，其中

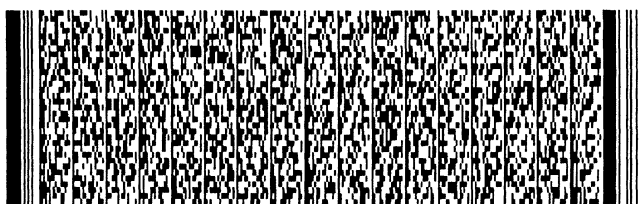
上述之第1開關包含有：

(c-2-1)第1電晶體，具備有連接上述之寫入控制線之控制電極，和第1和第2電流電極；和

(c-2-2)第2電晶體，具備有連接上述之寫入字線之控制電極，和第1和第2電流電極；

上述之第1電晶體之上述第1和第2電流電極，和上述之第2電晶體之上述第1和第2電流電極，串聯連接在上述之第1記憶節點和上述之位元線之間。

5. 如申請專利範圍第4項之記憶裝置，其中



六、申請專利範圍

上述之第1開關更包含有：

(c-2-3)與上述第1電晶體不同導電型之第3電晶體，具備有控制電極被施加與上述寫入控制線互補之邏輯，第1電流電極連接到上述第1電晶體之上述第2電流電極，和第2電流電極連接到上述第1電晶體之上述第1電流電極；和

(c-2-4)與上述第2電晶體不同導電型之第4電晶體，具備有控制電極被施加與上述寫入字線互補之邏輯，第1電流電極連接到上述第2電晶體之上述第2電流電極，和第2電流電極連接到上述第2電晶體之上述第1電流電極。

6. 如申請專利範圍第1項之記憶裝置，其中

上述之第1開關包含有：

(c-2-1)第1電晶體，具備有控制電極，連接到上述寫入位元線之第1電流電極，和連接到上述第1記憶節點之第2電流電極；和

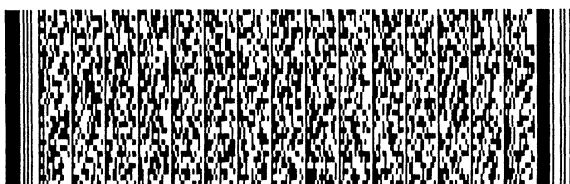
(c-2-2)第2電晶體，具備有連接到上述寫入控制線之控制電極，連接到上述第1電晶體之上述控制電極之第1電流電極，和連接到上述寫入字線之第2電流電極。

7. 如申請專利範圍第1項之記憶裝置，其中

上述之第1開關包含有：

(c-2-1)第1電晶體，具備有連接到上述寫入字線之控制電極，第1電流電極，和連接到上述寫入控制線之第2電流電極；和

(c-2-2)第2電晶體，具備有連接到上述第1電晶體之上述第1電流電極之控制電極，連接到上述寫入位元線之第1



六、申請專利範圍

電流電極，和連接到上述第1記憶節點之第2電流電極。

8. 一種記憶裝置，其特徵是具備有：

(a) 多個字線群，分別具有：

(a-1) 寫入字線；

(b) 多個位元線群，分別具有：

(b-1) 寫入位元線；和

(b-2) 寫入控制線，被設置成與上述之寫入位元線對應；和

(c) 多個之記憶單元，被設置成與一個之上述字線群和一個之上述位元線群對應，分別具有：

(c-1) 儲存單元，包含第1記憶節點；和

(c-2) 第1電位設定部，只有在對應之上述一個字線群之上述寫入字線和上述之寫入控制線均被活性化時，才對上述之第1記憶節點施加與對應之上述一個位元線群之上述寫入位元線之邏輯互補之邏輯；

被選擇之上述位元線群之上述寫入控制線進行活性化；
未被選擇之上述位元線群之上述寫入控制線不進行活性化。

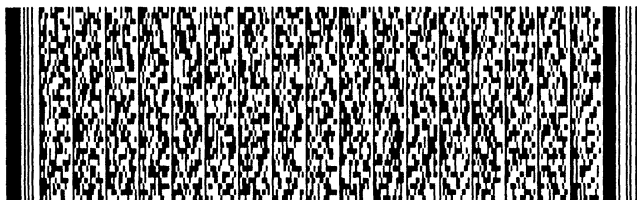
9. 如申請專利範圍第8項之記憶裝置，其中

上述之第1電位設定部包含有：

(c-2-1) 第1電位點，用來供給與第1邏輯對應之電壓；

(c-2-2) 第1開關，依照上述之寫入控制線之邏輯，用來控制上述第1記憶節點和第1連接點之間之導通；和

(c-2-3) 第2開關，依照上述之寫入位元線之邏輯和上述



六、申請專利範圍

之寫入字線之邏輯雙方，用來控制上述之第1連接點和上述之第1電位點之間之導通。

10. 如申請專利範圍第9項之記憶裝置，其中

上述之第1電位設定部更包含有：

(c-2-4) 第2電位點，用來供給與上述之第1邏輯互補之第2邏輯之對應電壓；和

(c-2-5) 第3開關，依照上述之寫入位元線之邏輯和上述之寫入字線之邏輯雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。

11. 如申請專利範圍第8項之記憶裝置，其中

上述之第1電位設定部包含有：

(c-2-1) 第1電位點，用來供給與第1邏輯對應之電壓；

(c-2-2) 第1開關，依照上述之寫入字線之邏輯，用來控制上述之第1記憶節點和第1連接點之間之導通；和

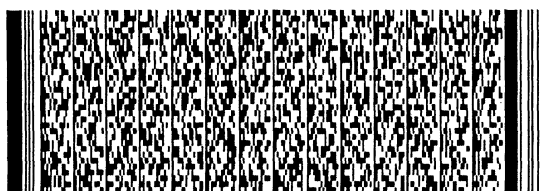
(c-2-3) 第2開關，依照上述之寫入控制線之邏輯和上述之寫入位元線之邏輯雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。

12. 如申請專利範圍第11項之記憶裝置，其中

上述之第1電位設定部更包含有：

(c-2-4) 第2電位點，用來供給與上述之第1邏輯互補之第2邏輯之對應電壓；和

(c-2-5) 第2開關，依照上述之寫入控制線之邏輯和上述之寫入位元線之邏輯之雙方，用來控制上述之第1連接點和上述之第2電位點之間之導通。



六、申請專利範圍

13. 一種記憶裝置，其特徵是具備有：

(a) 多個寫入字線；

(b) 多個寫入位元線；

(c) 多個記憶單元，被設置成與一個之上述字線和一個之位元線對應，分別具有：

(c-1) 儲存單元，包含記憶節點；

(c-2) 第1電晶體，依照施加在上述寫入位元線之邏輯控制其導通；

(c-3) 第2電晶體，依照施加在上述寫入字線之邏輯控制其導通；

上述之儲存單元更包含有：

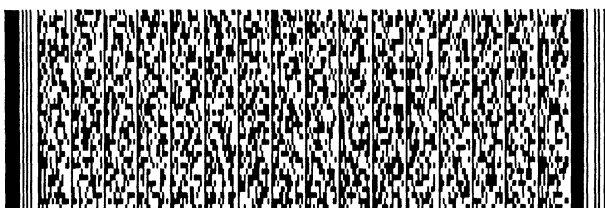
第3電晶體，具有第1電流電極連接到上述之記憶節點，第2電流電極被施加與上述第1邏輯互補之邏輯之對應電位，和控制電極；和

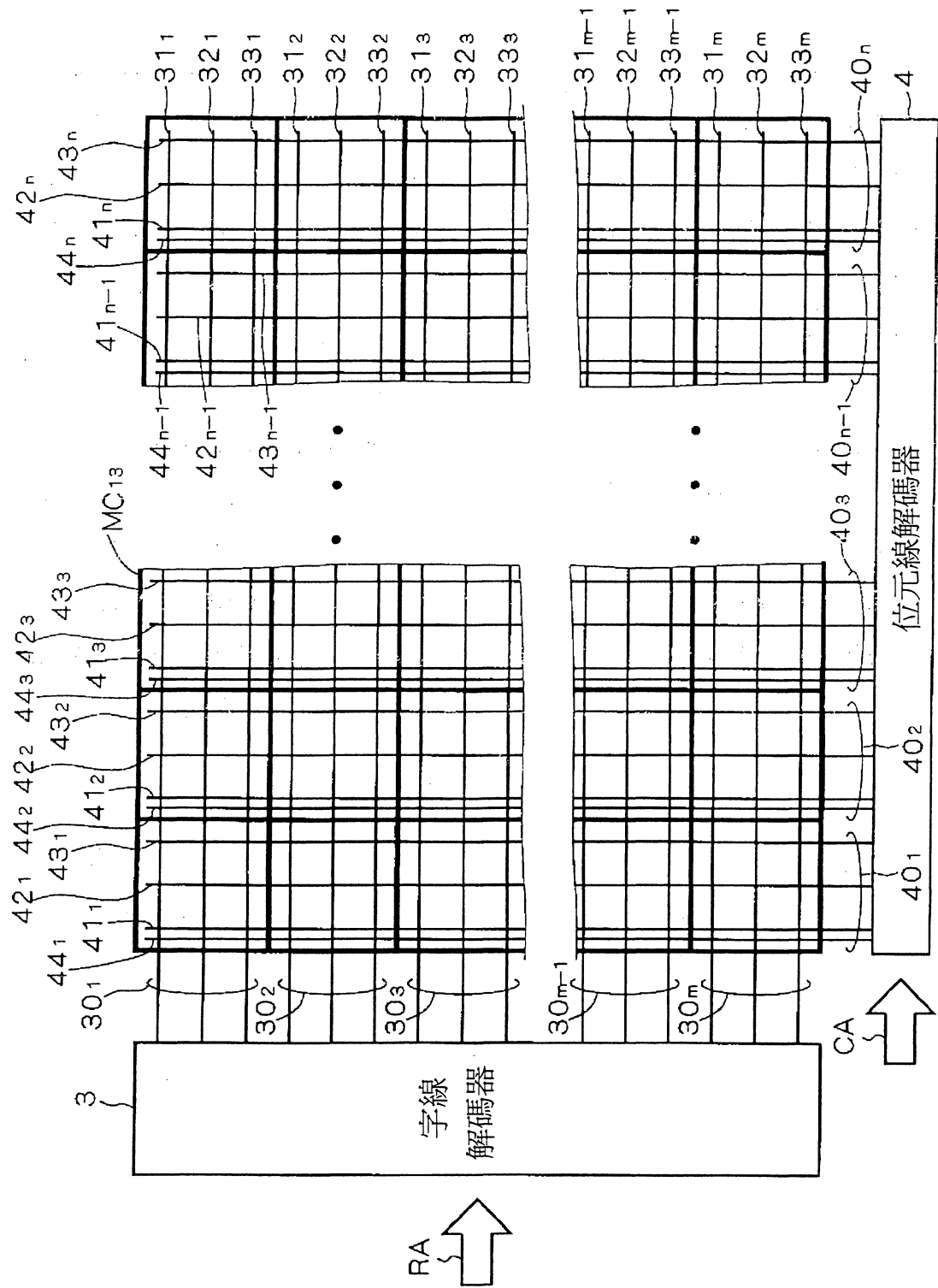
第4電晶體，具有第1電流電極連接到上述第3電晶體之上述控制電極，第2電流電極被施加上述之第2電位，和控制電極連接到上述之記憶節點；

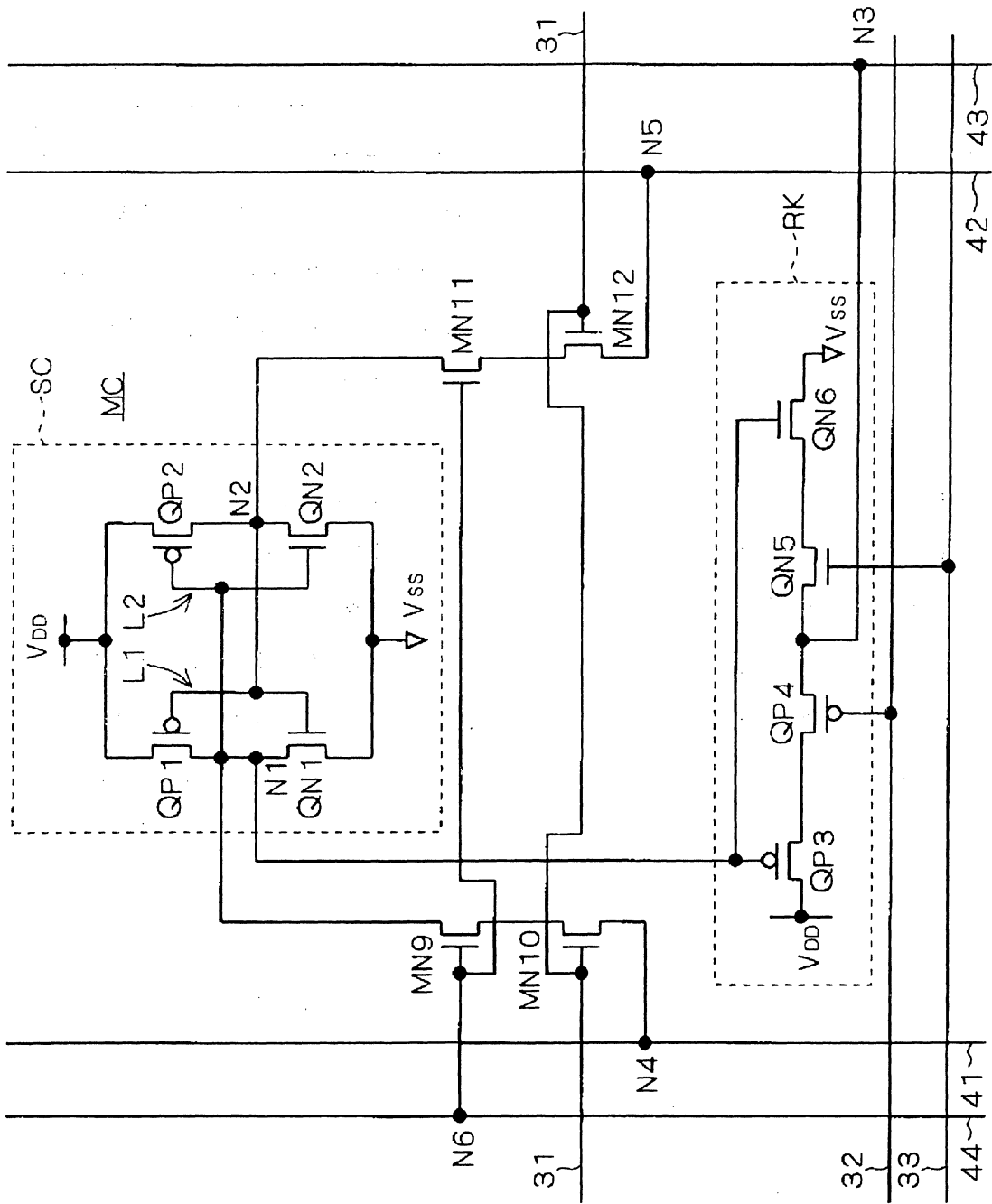
上述之記憶節點只經由上述之第1電晶體和上述之第2電晶體之串聯連接，連接到用以供應與第1邏輯對應之第1電位之第1電位點。

14. 如申請專利範圍第4項之記憶裝置，其中上述之儲存單元由交叉耦合之2個電晶體構成。

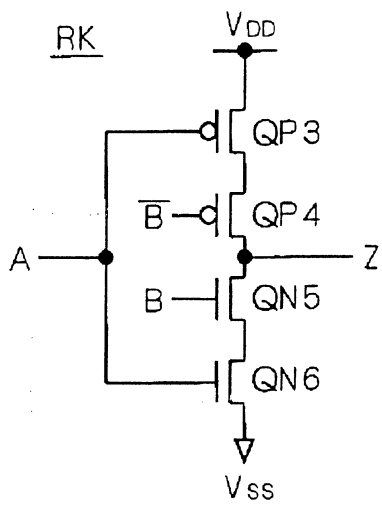
15. 如申請專利範圍第4項之記憶裝置，其中上述之第1電晶體和上述之第2電晶體之導電型不同。



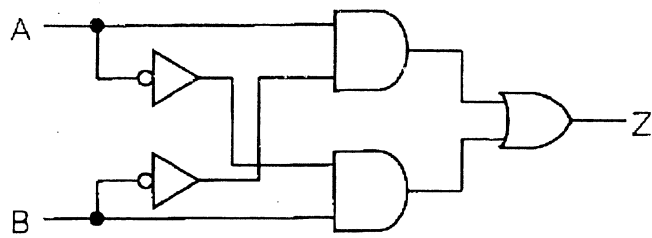




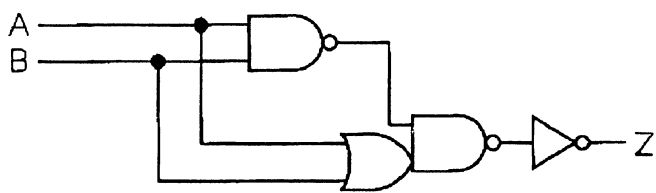
3



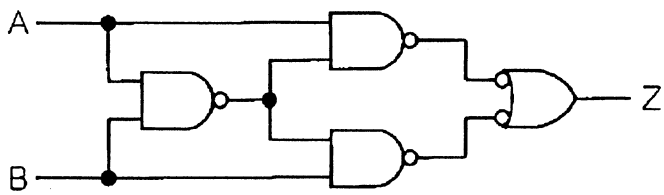
4



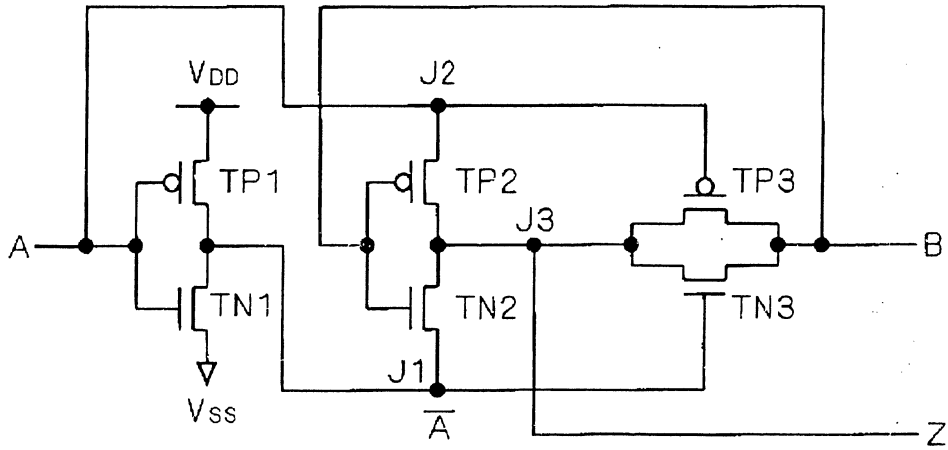
5



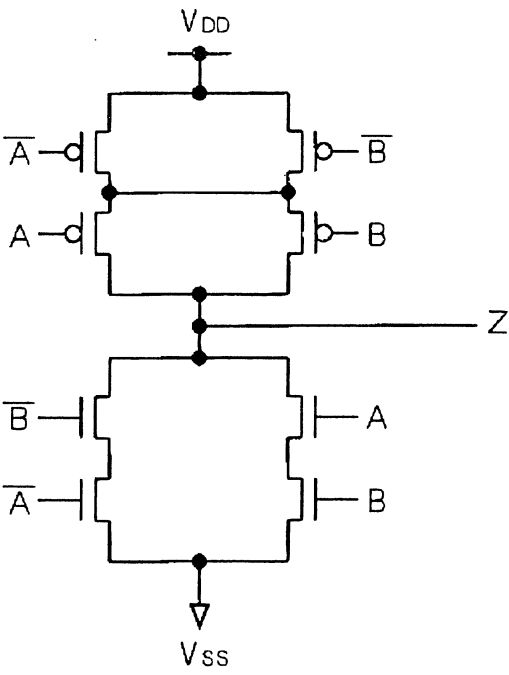
6

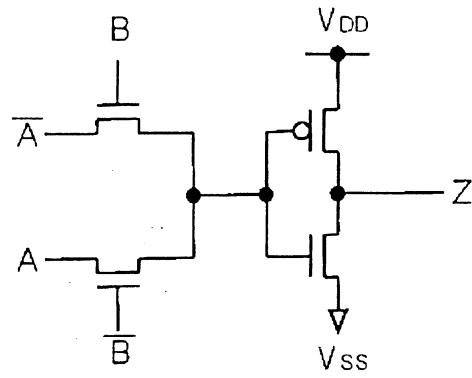


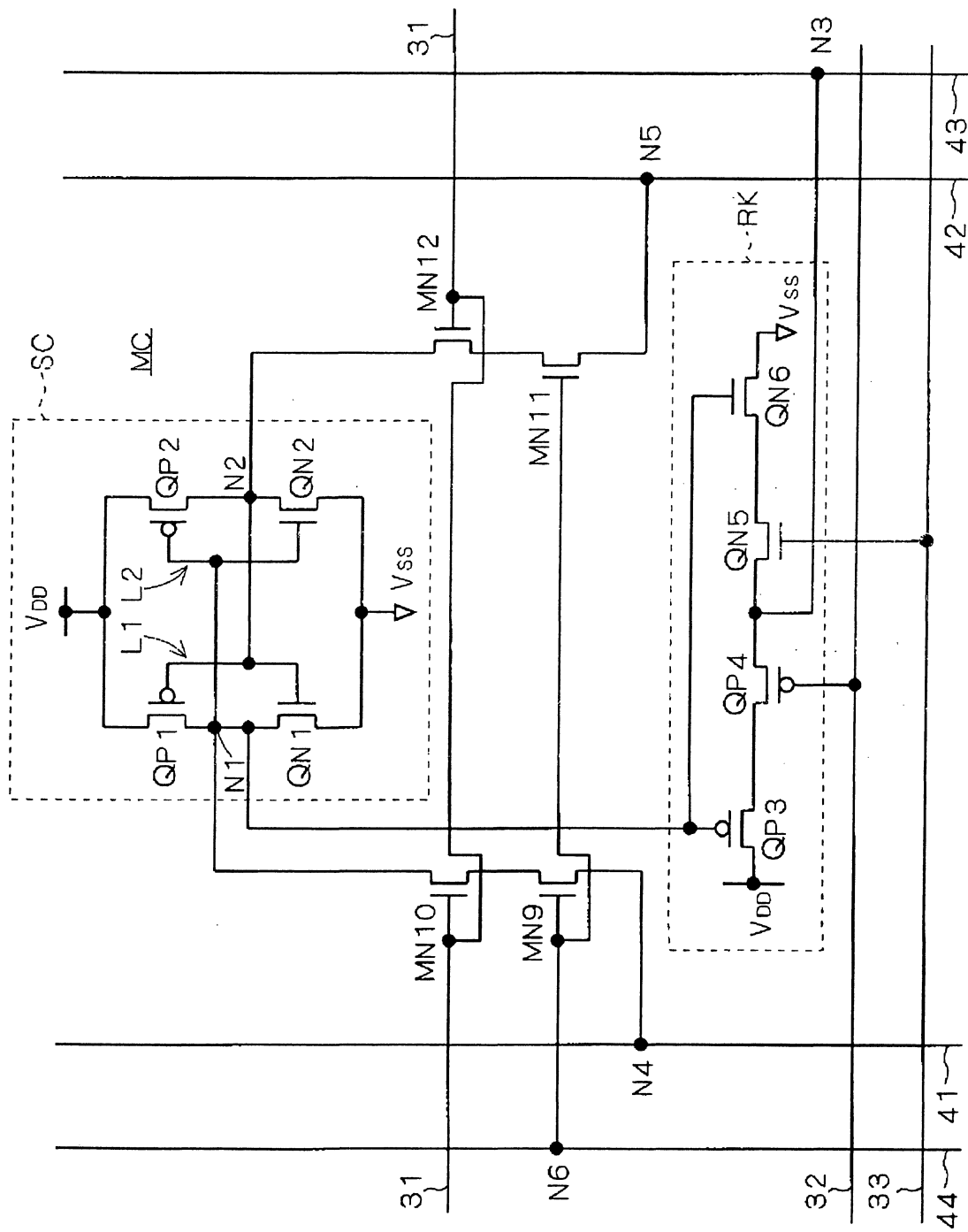
7



8







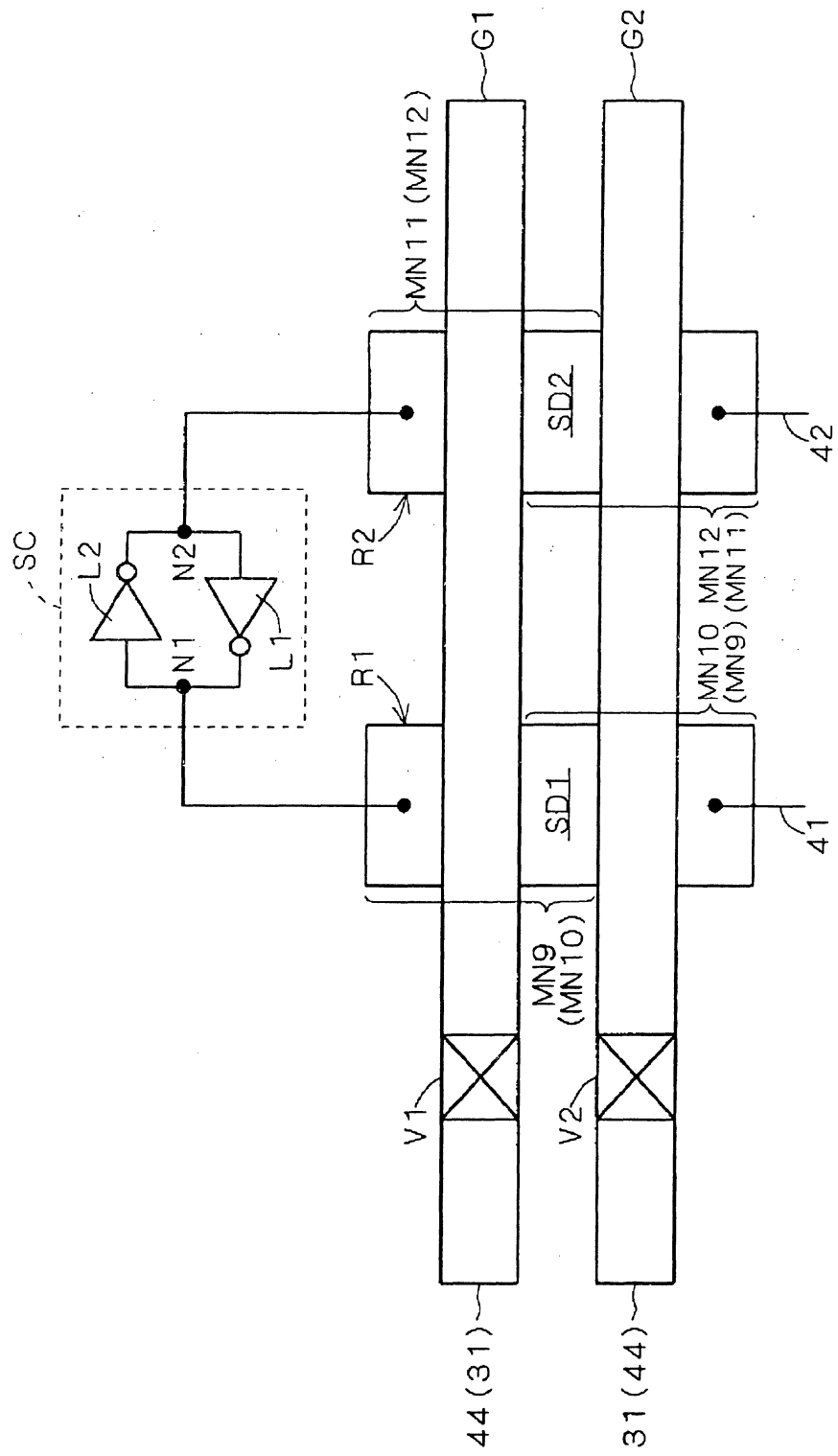
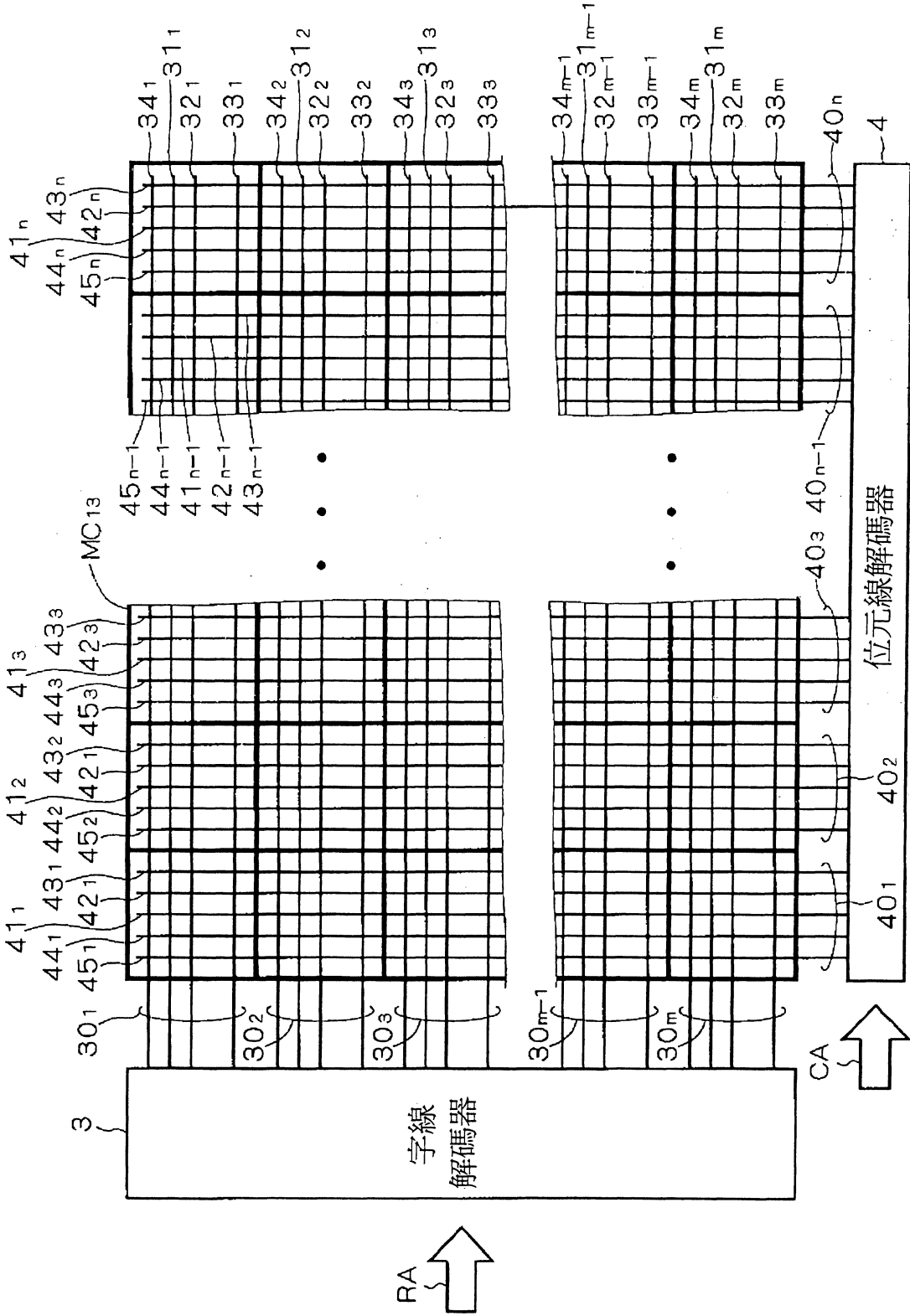
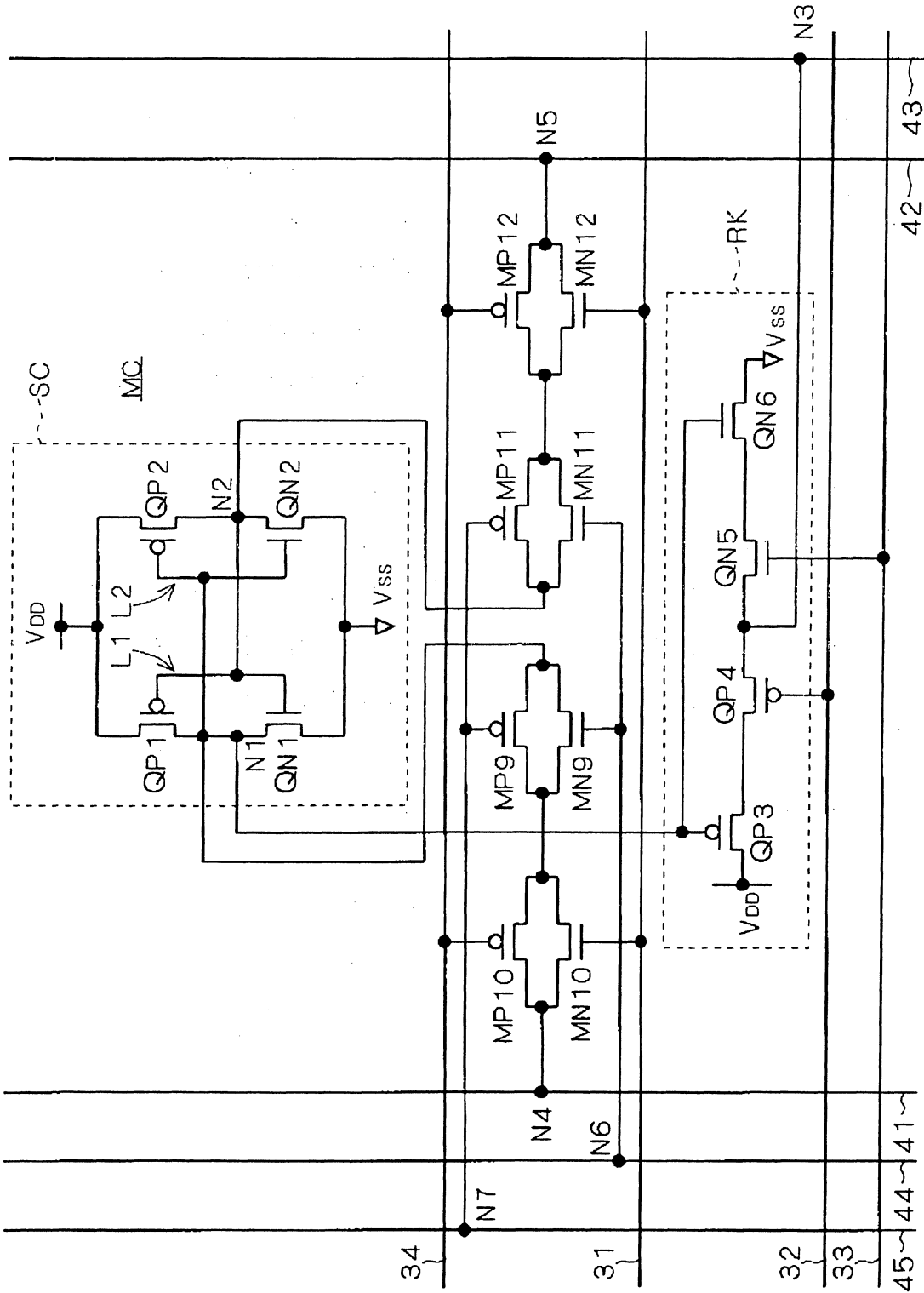
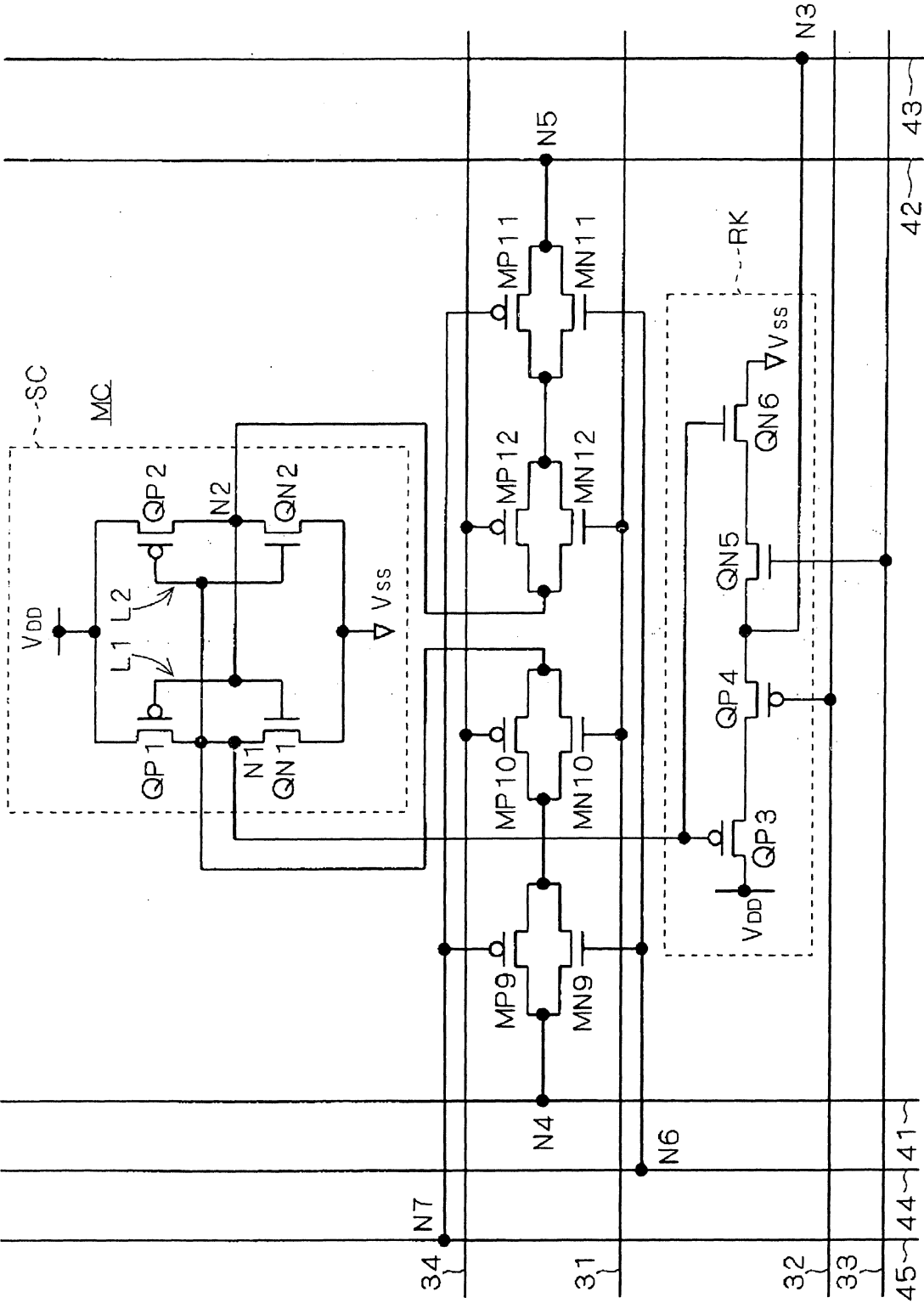
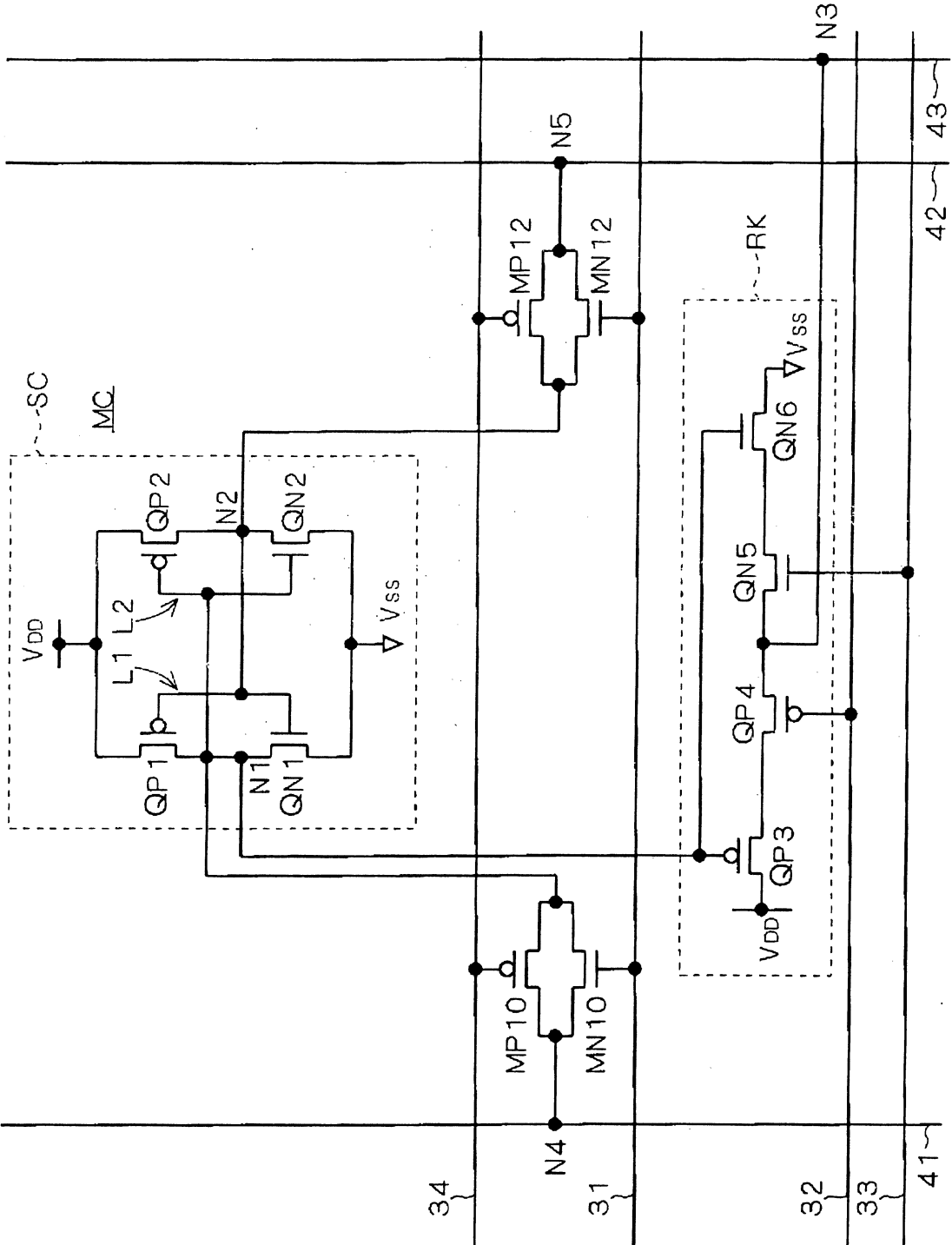


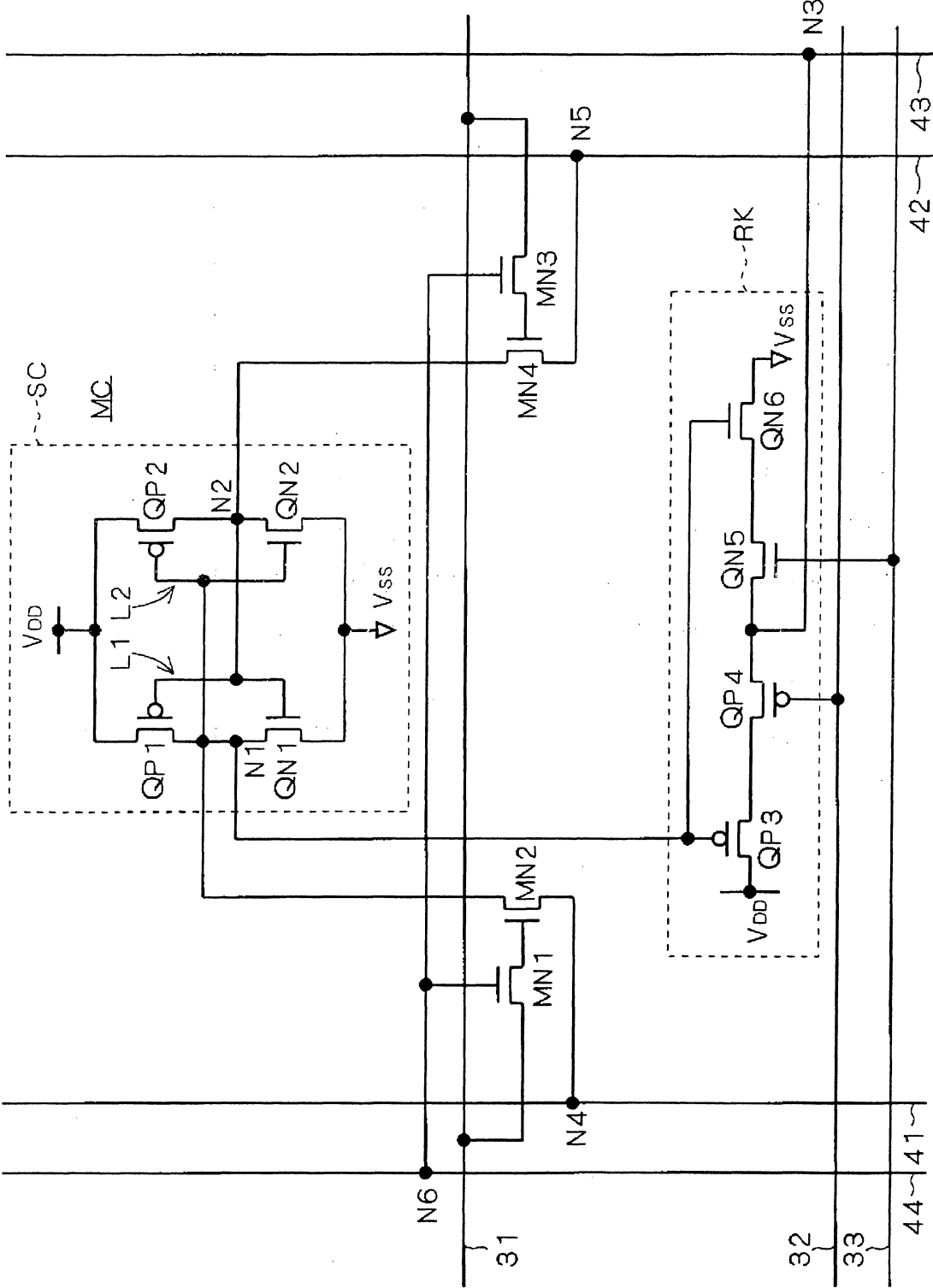
圖 12

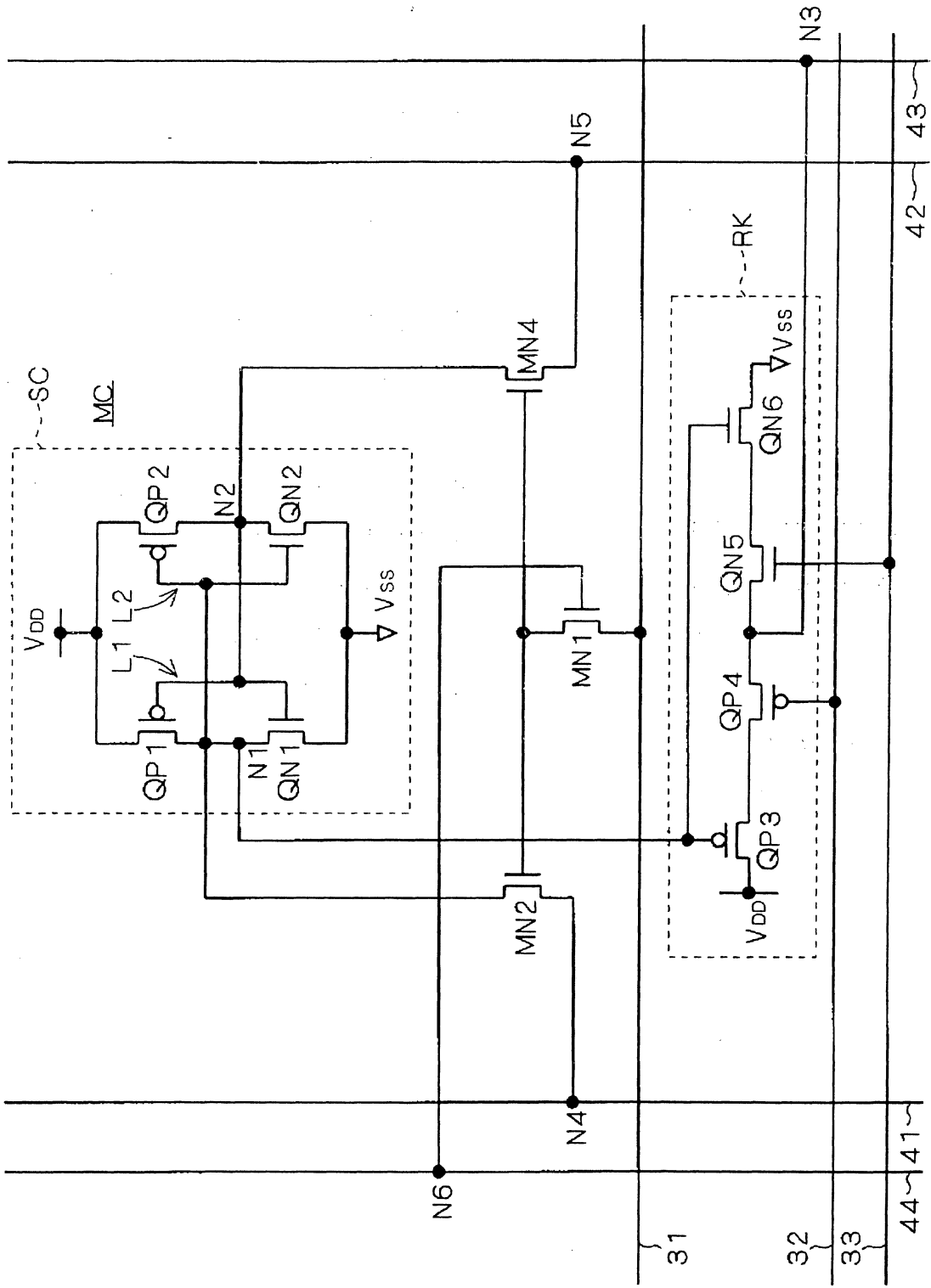


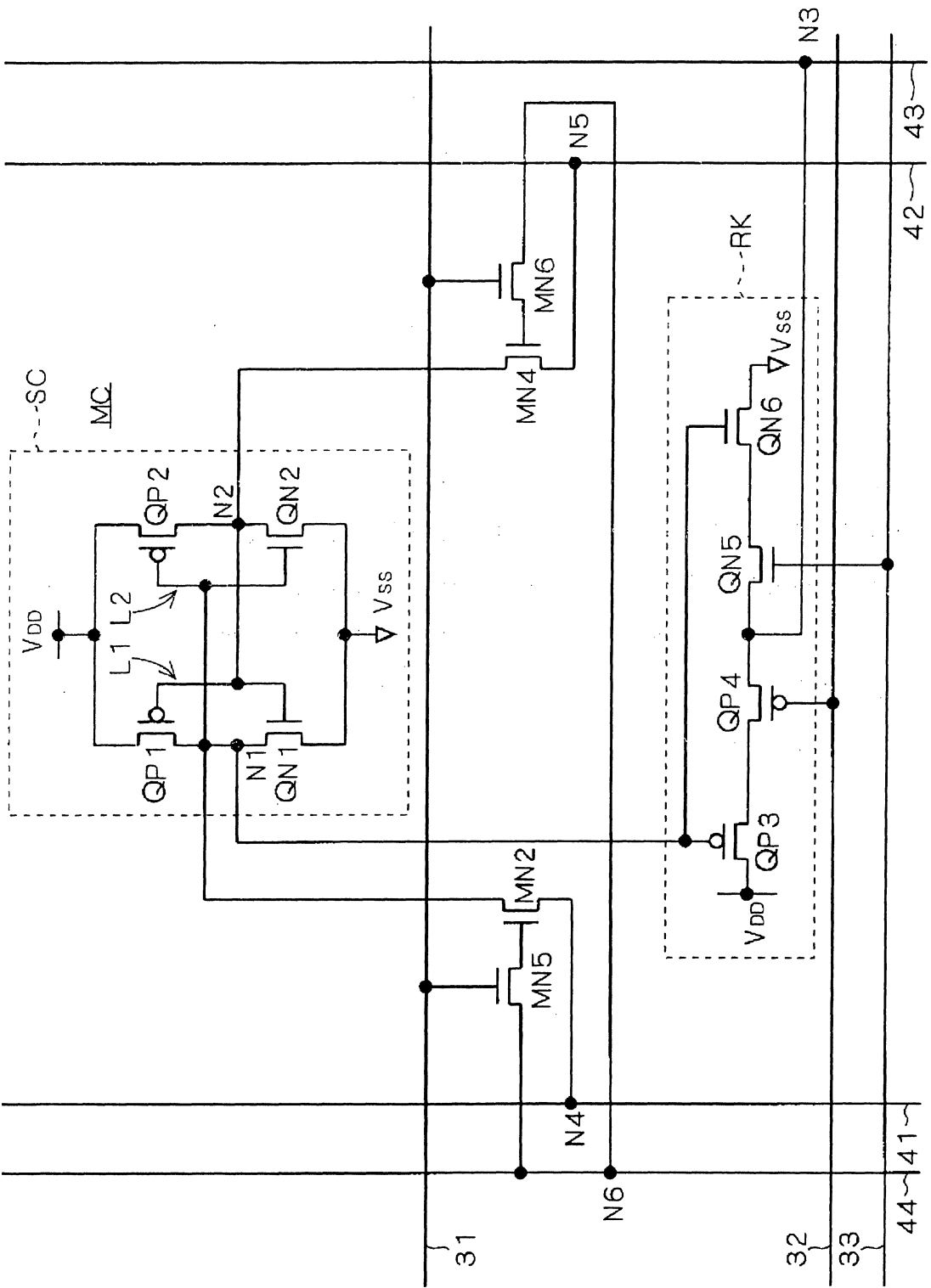


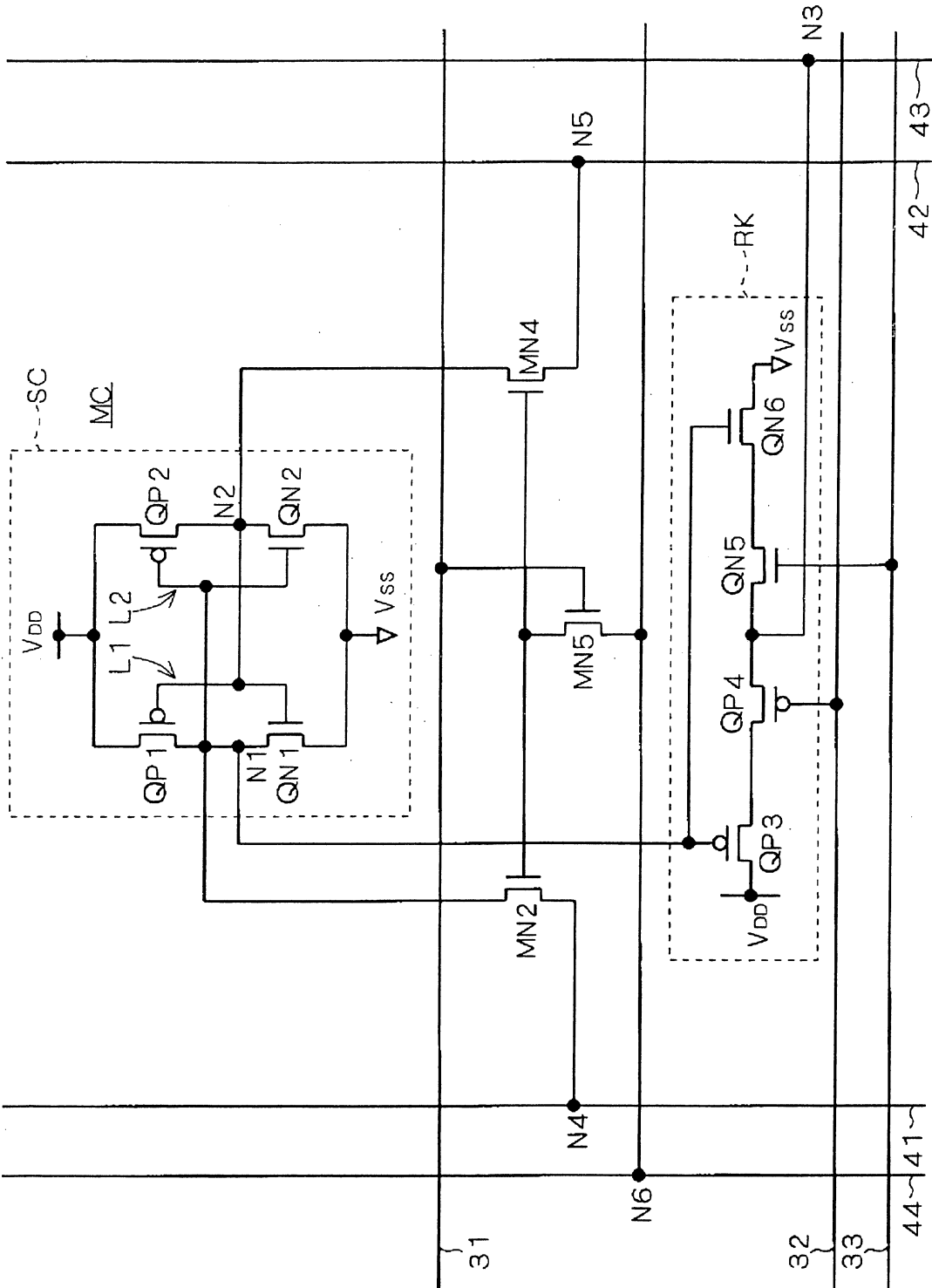


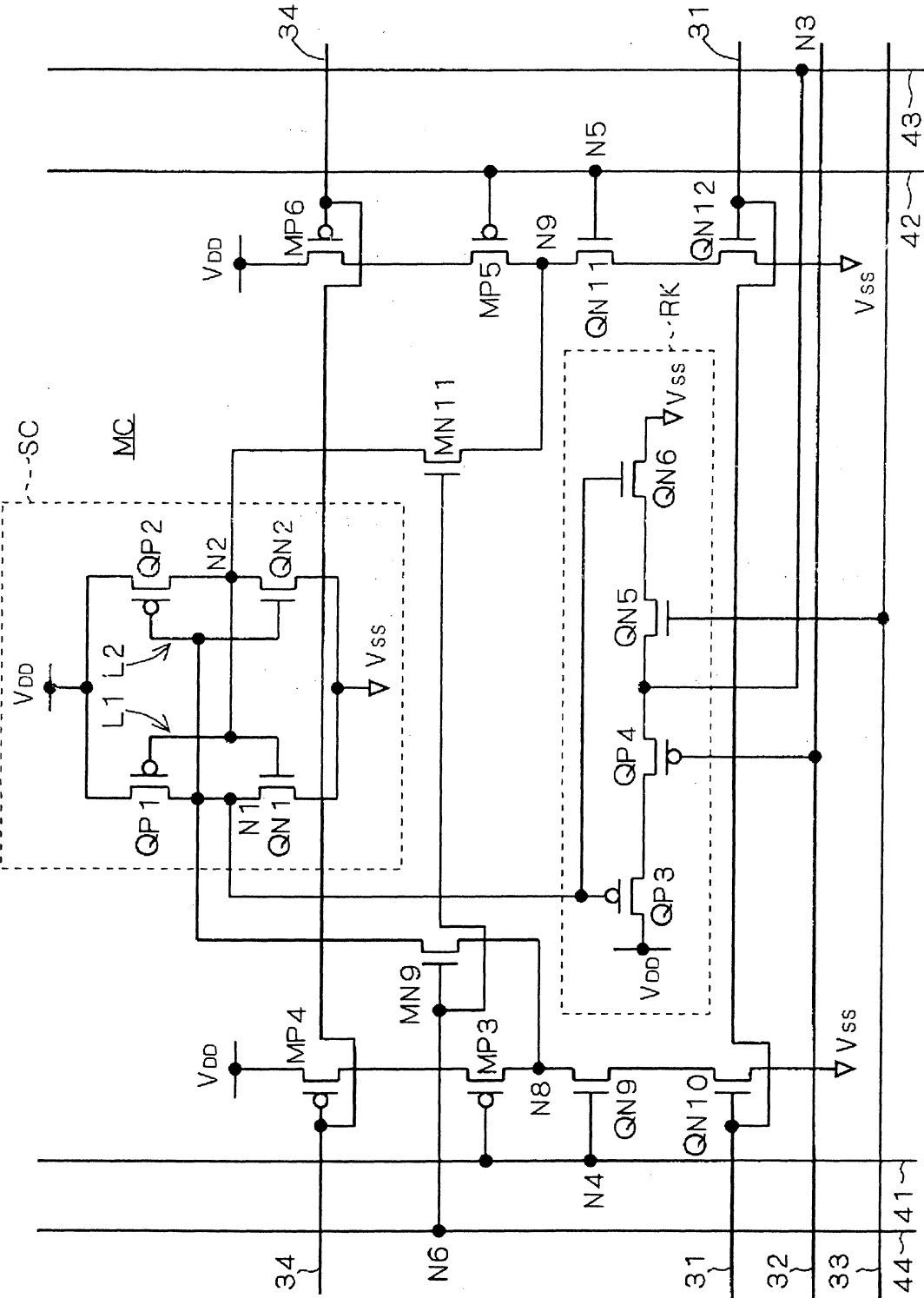


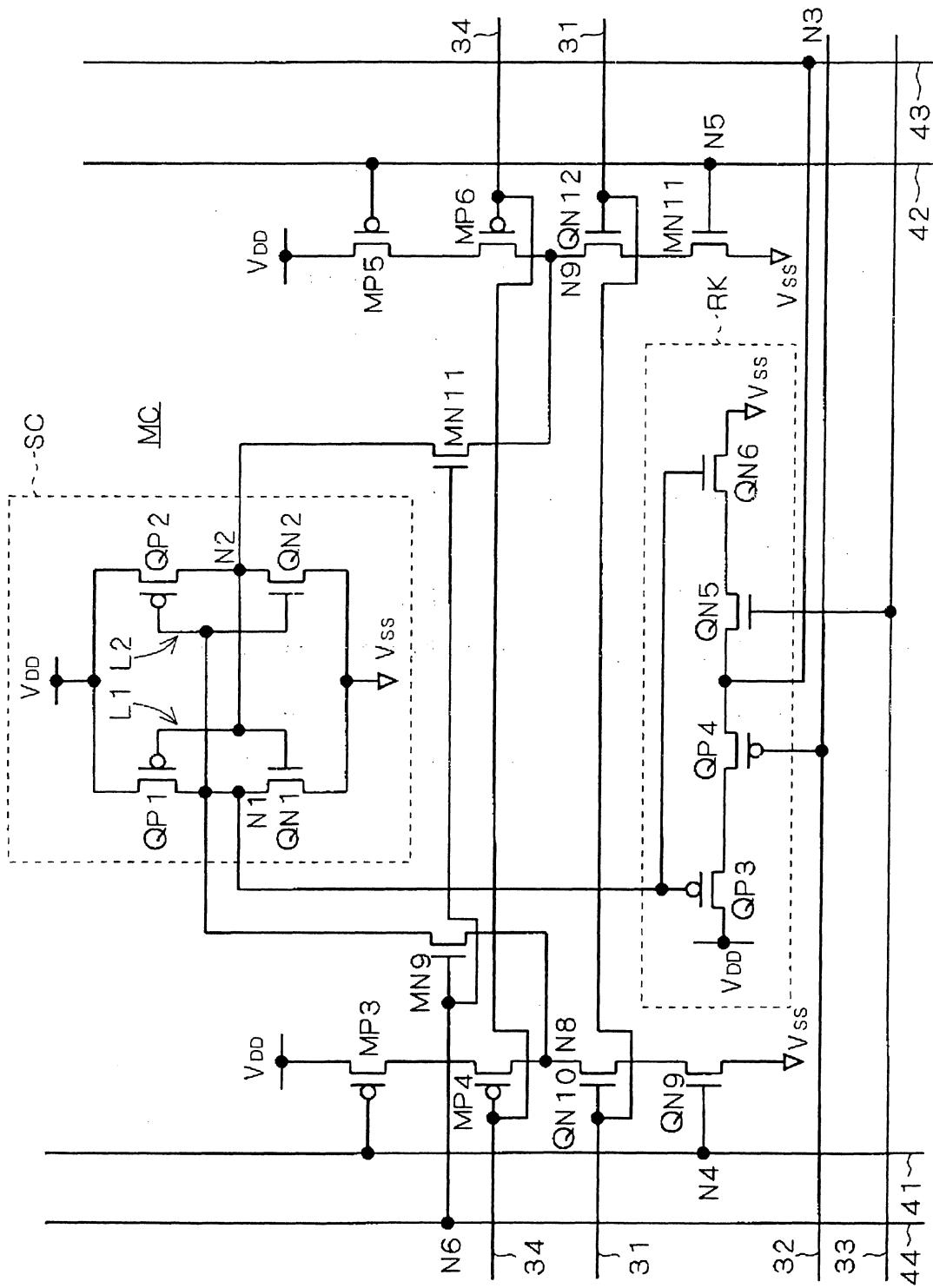


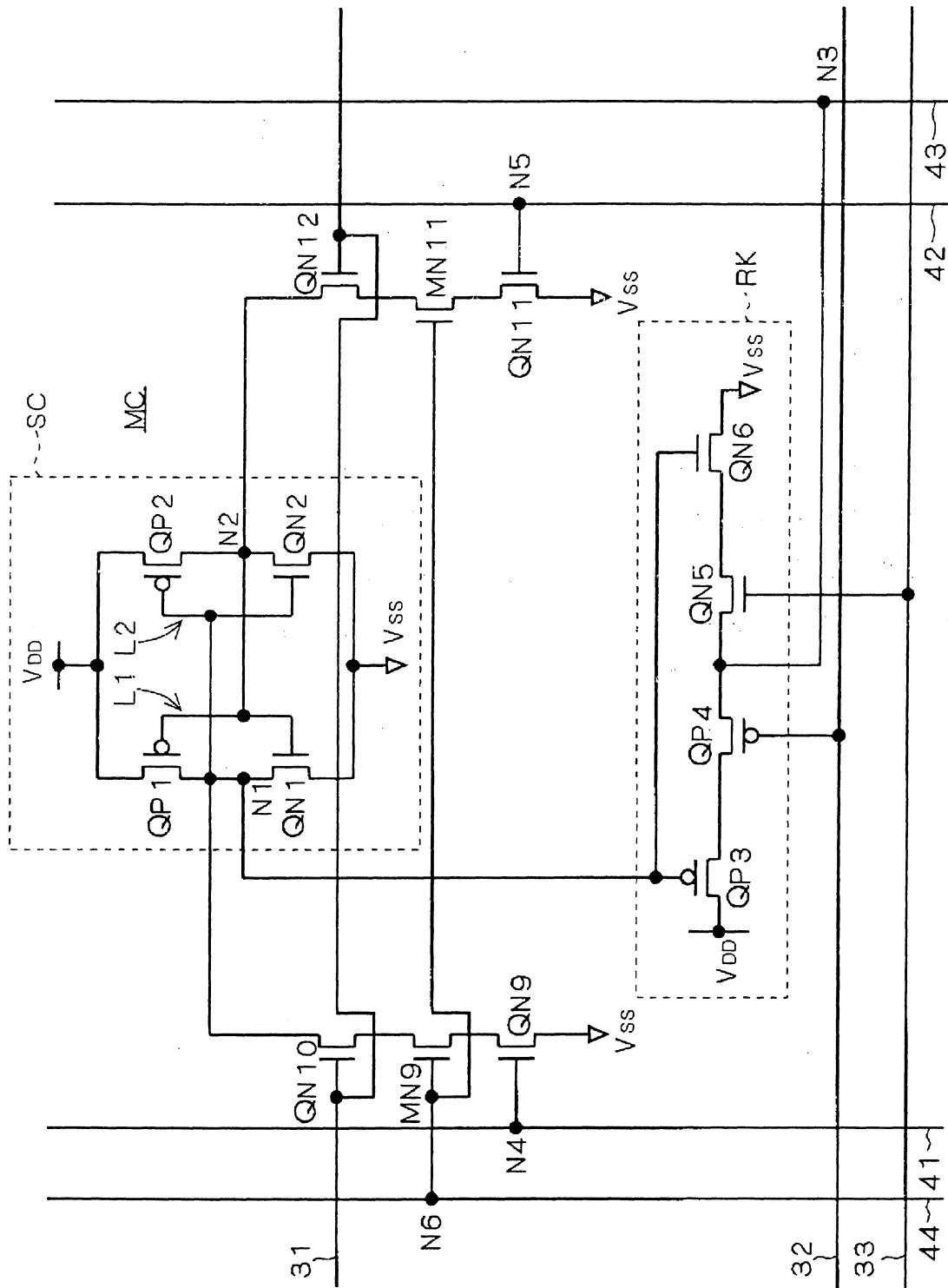


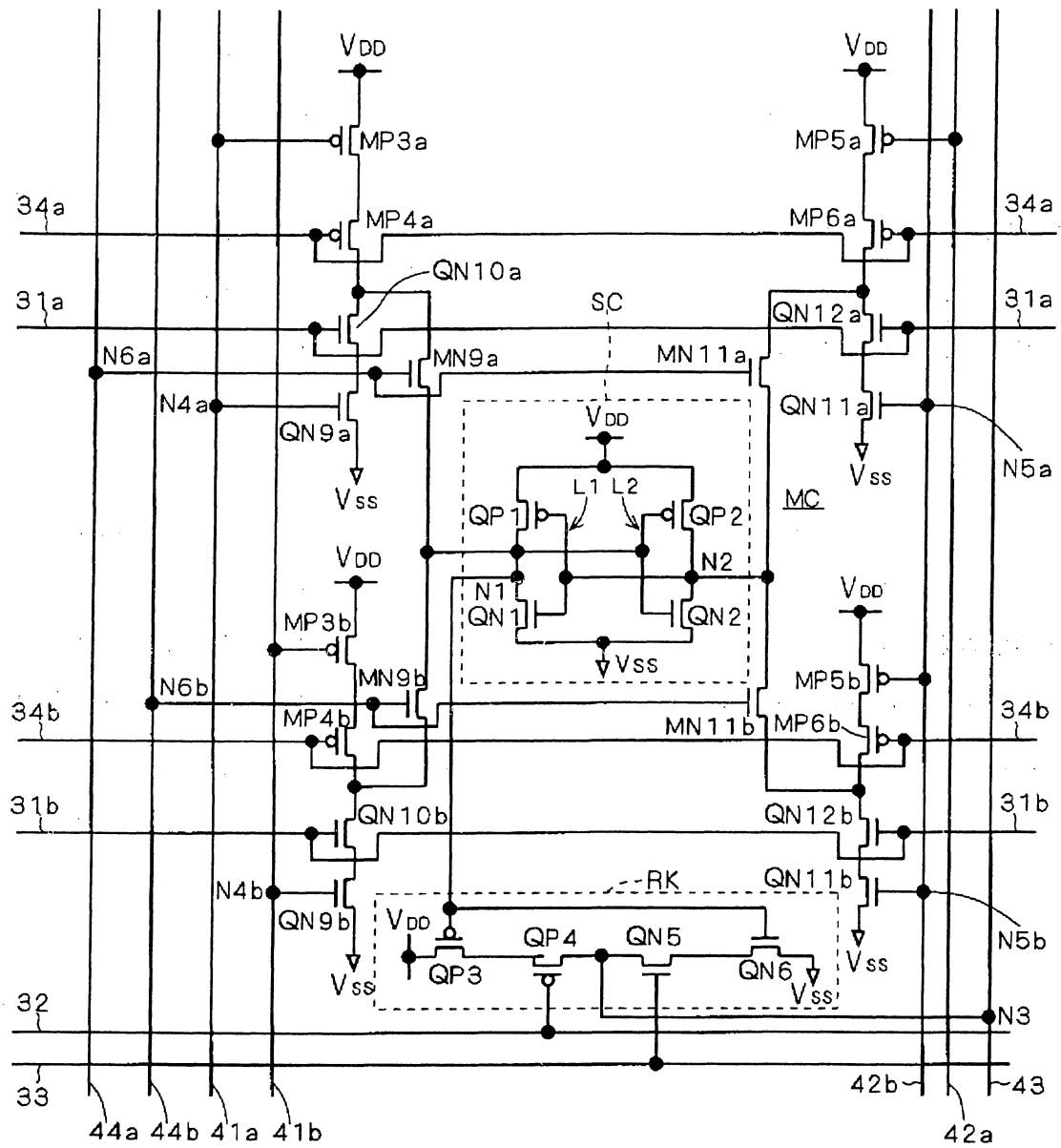


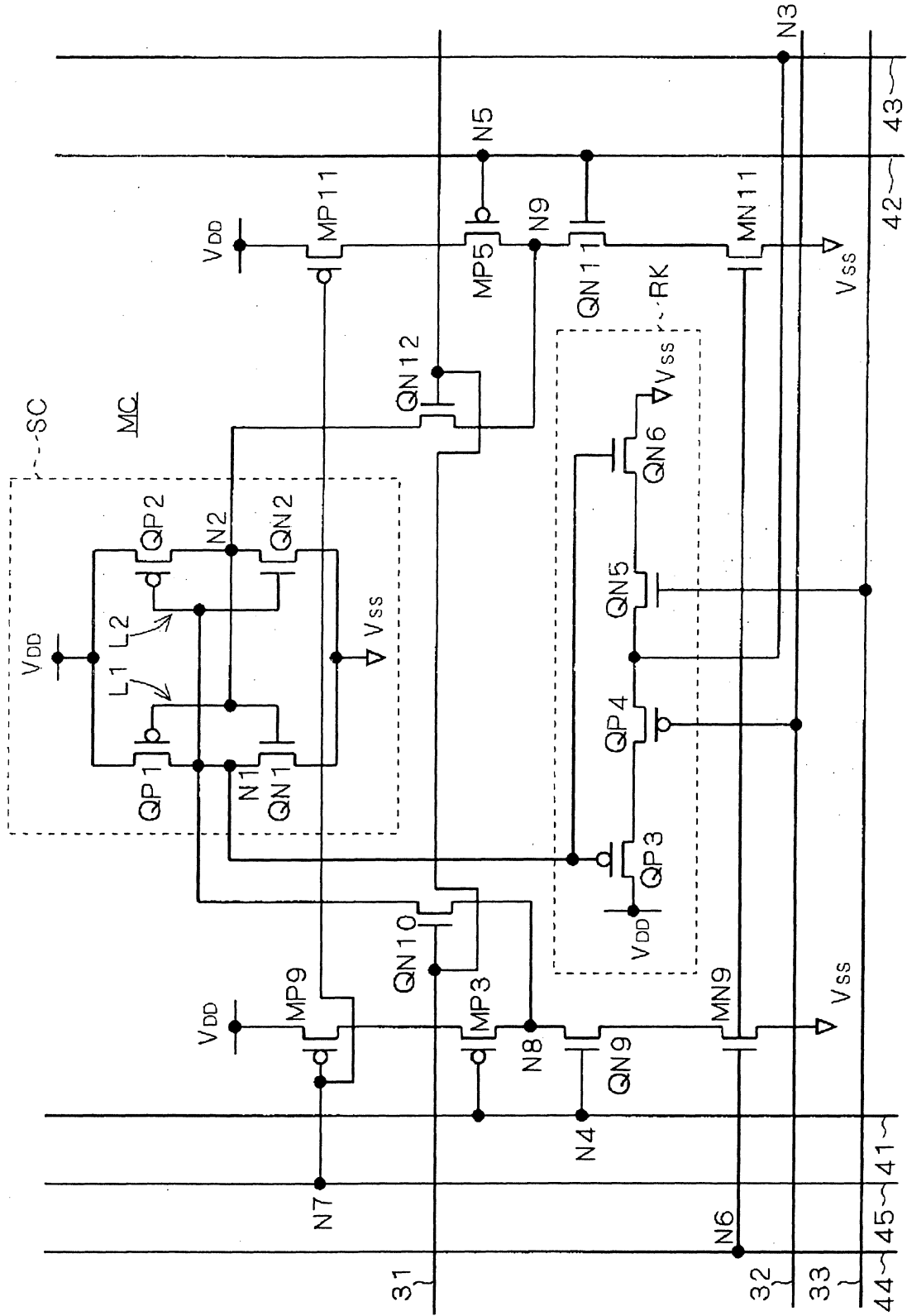


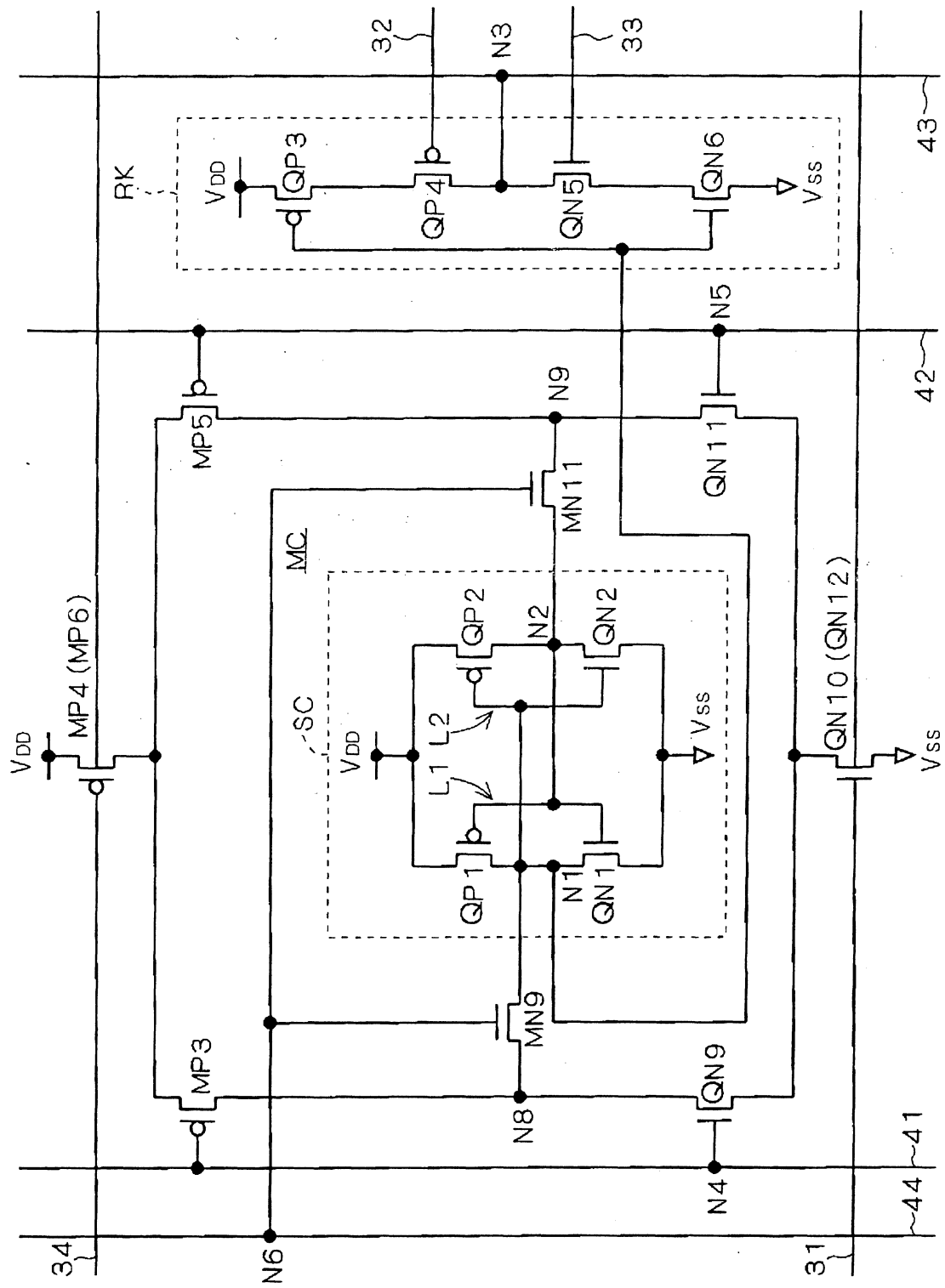


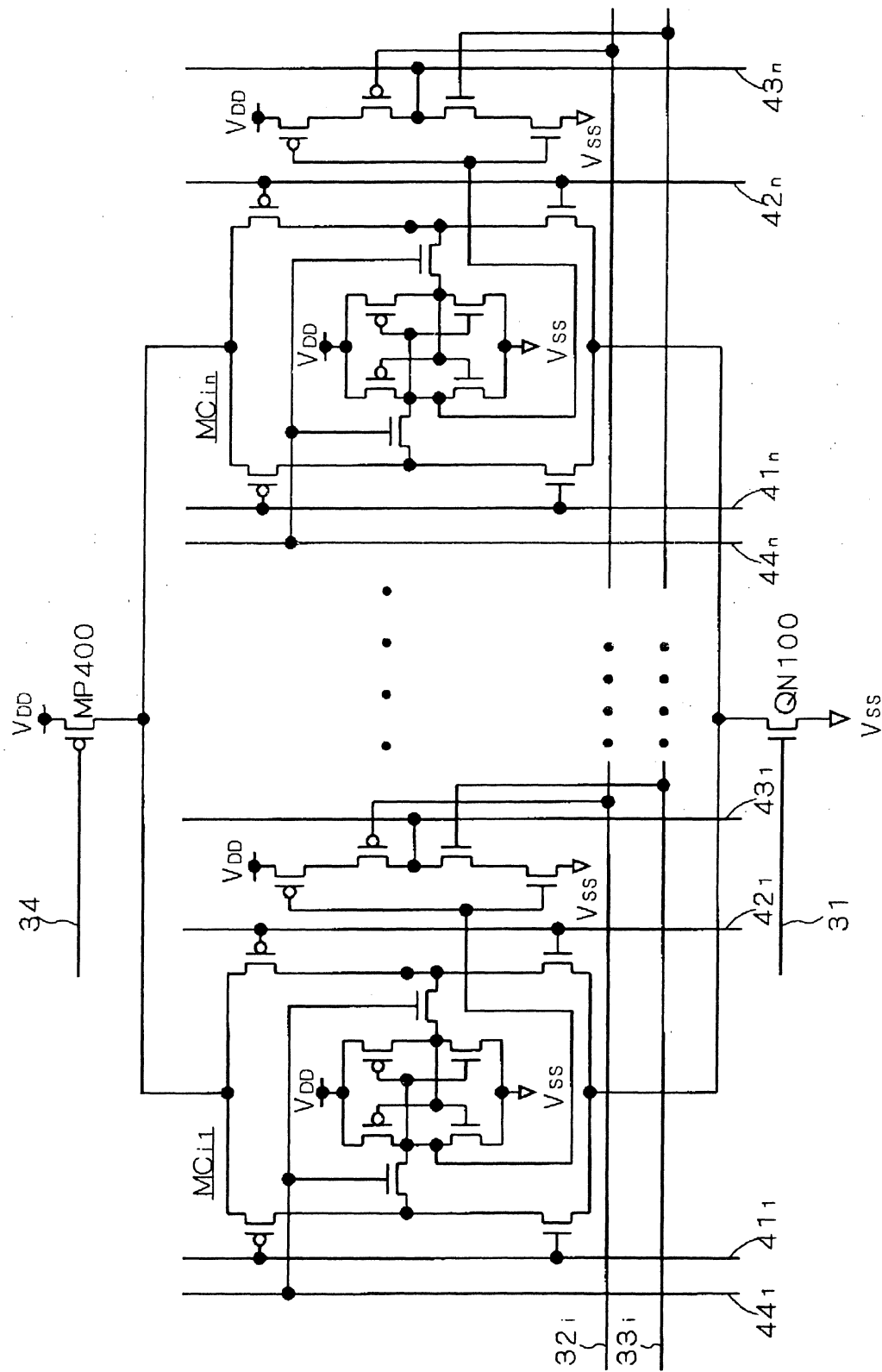


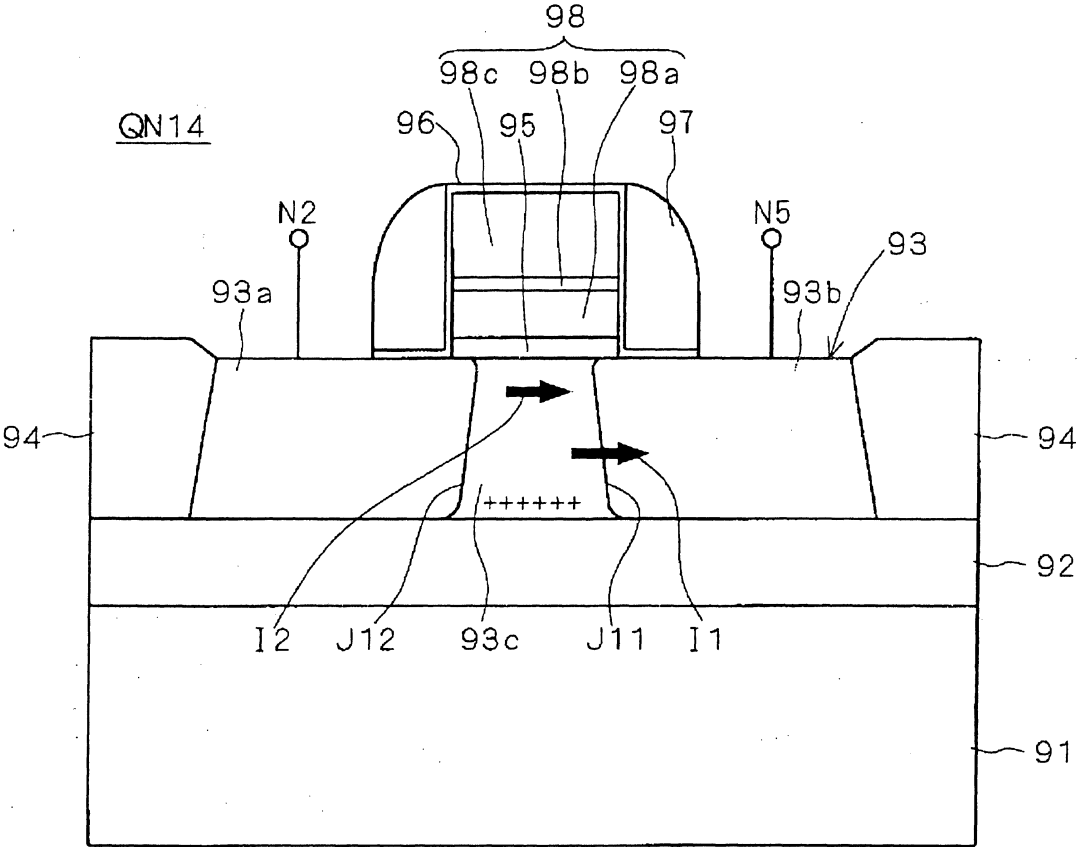


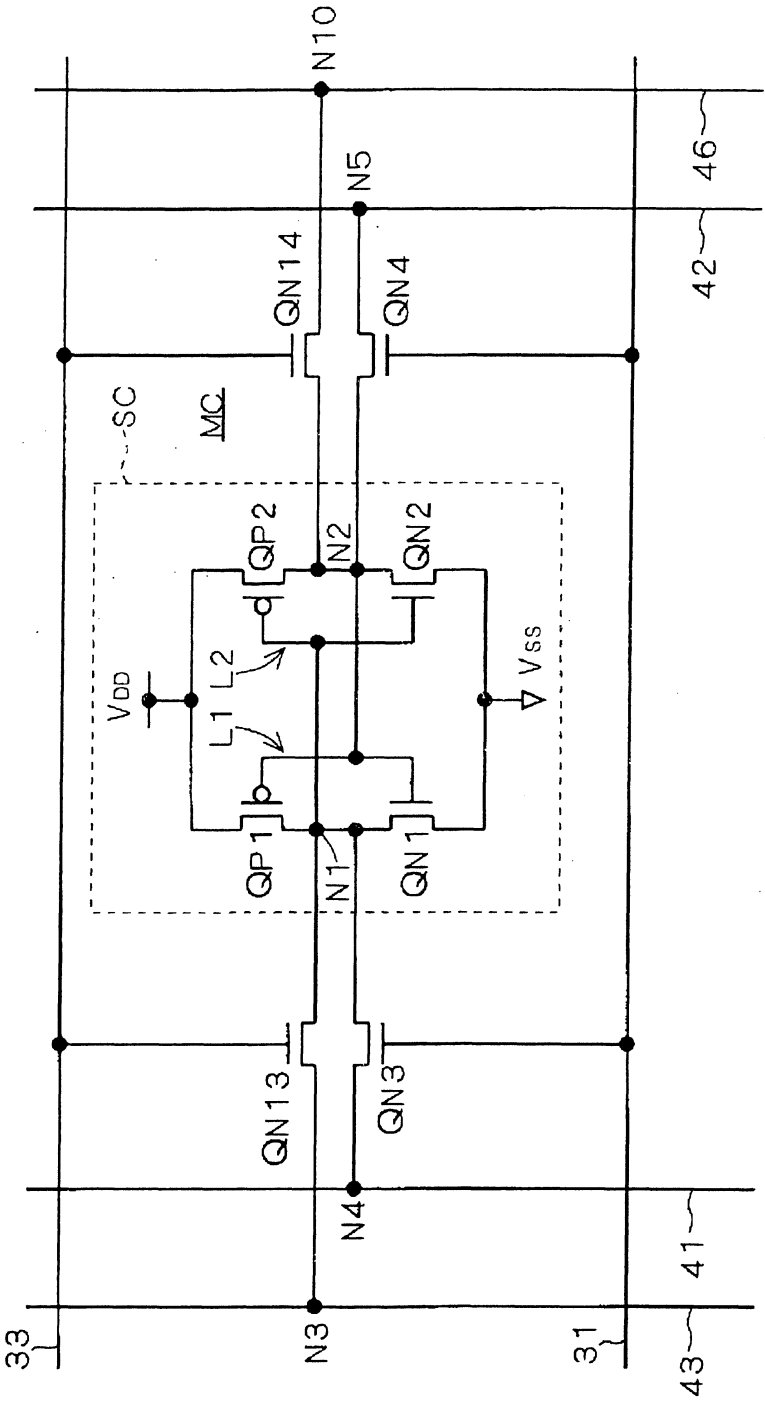




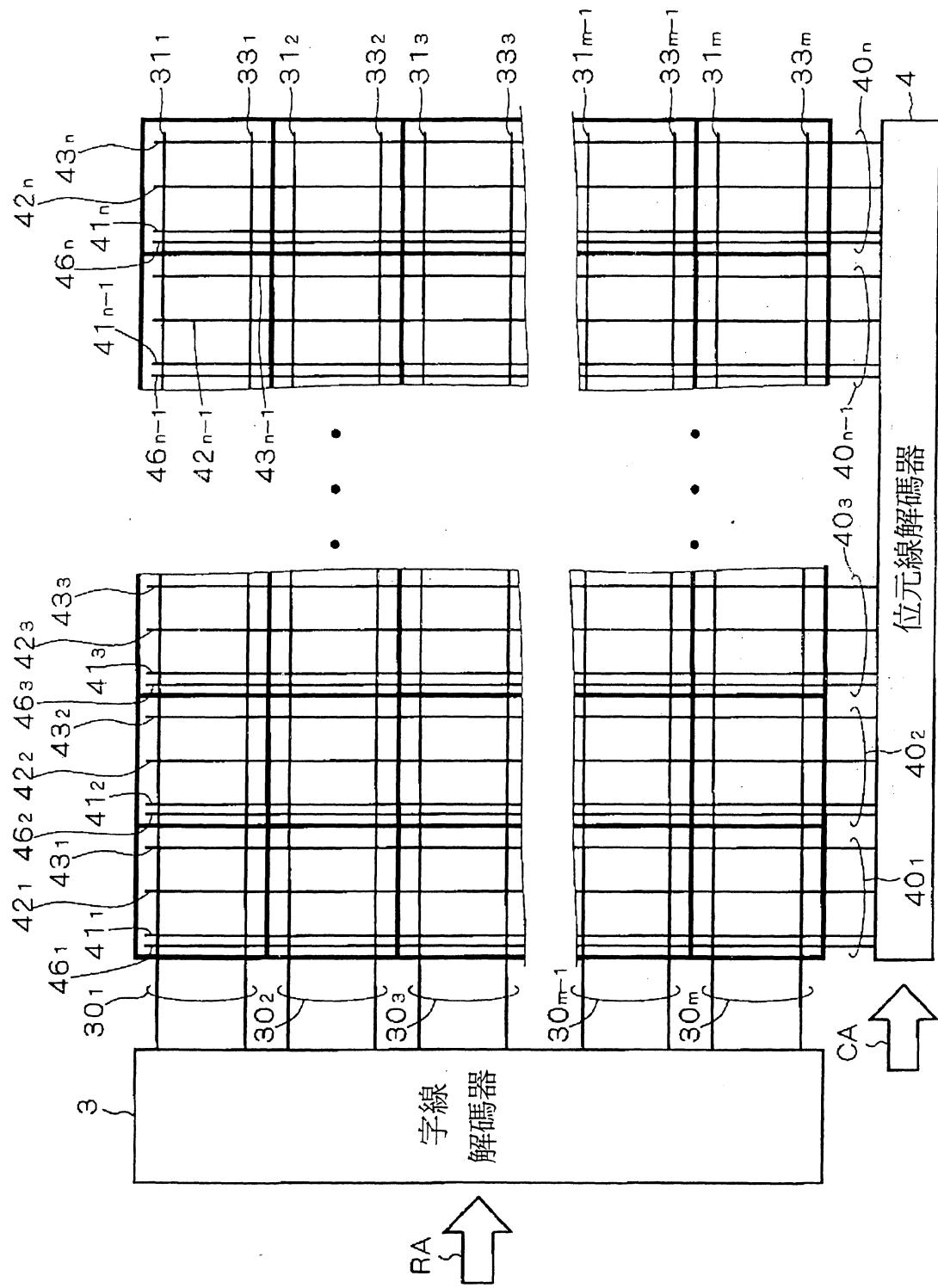


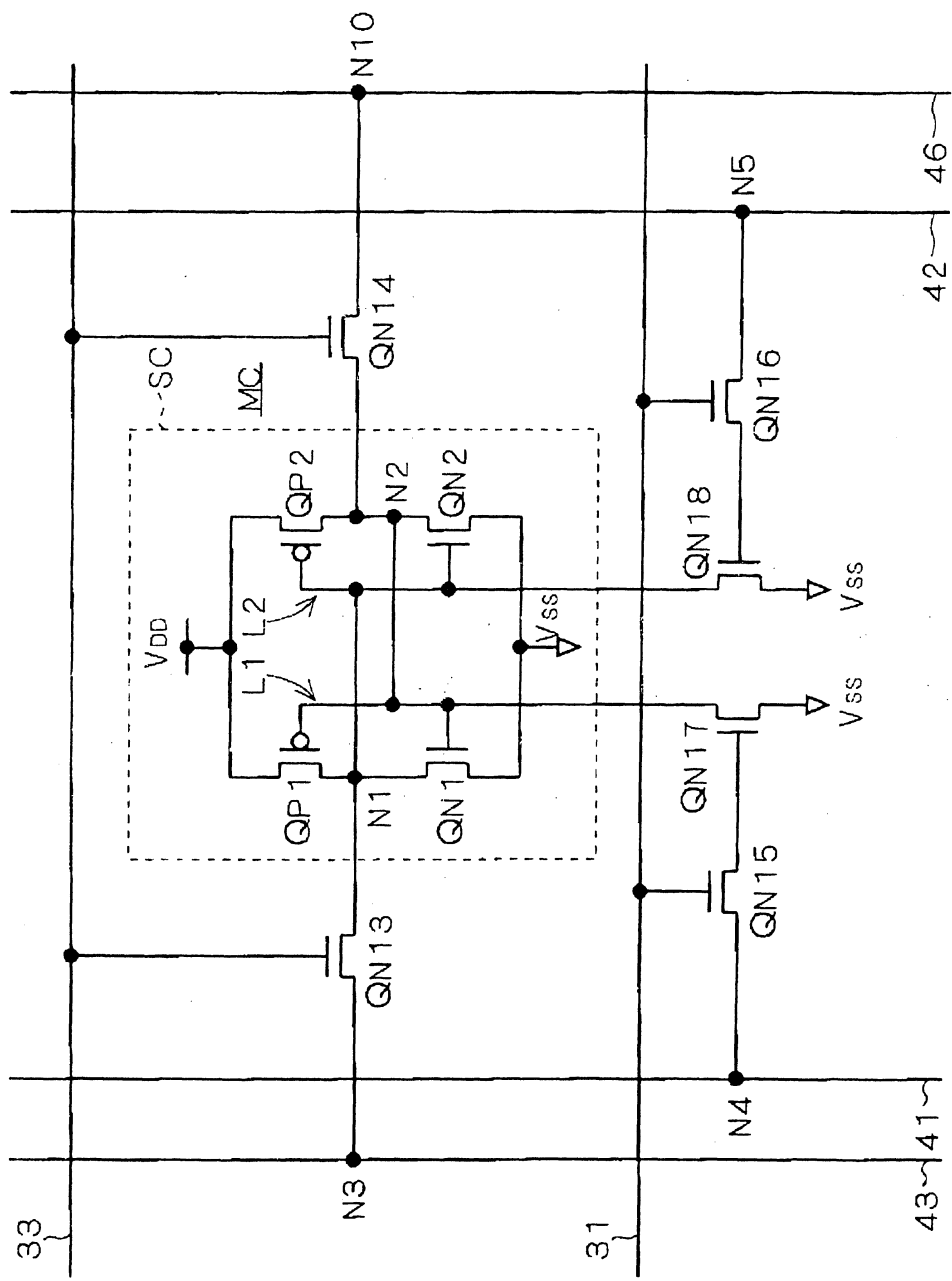


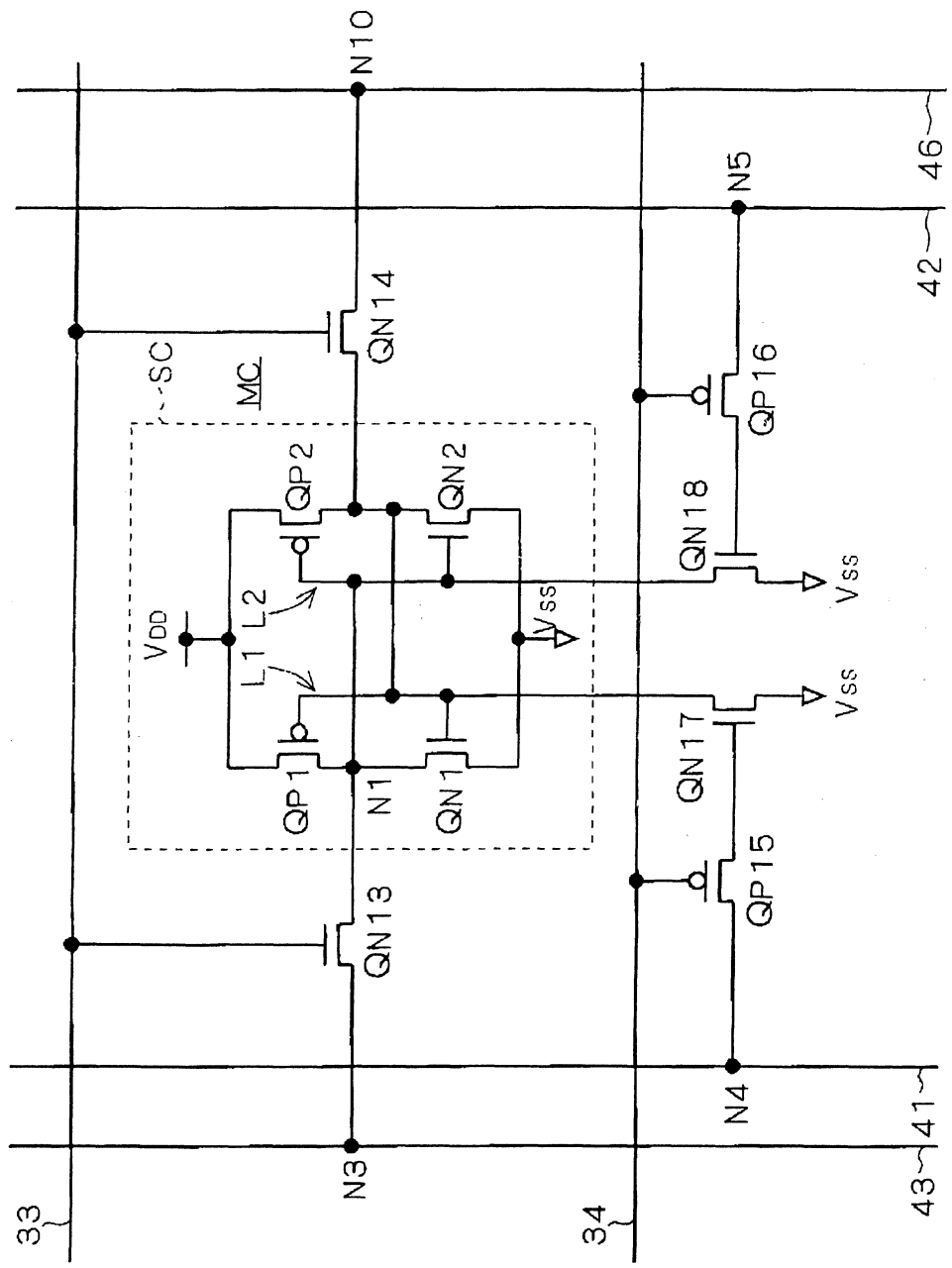


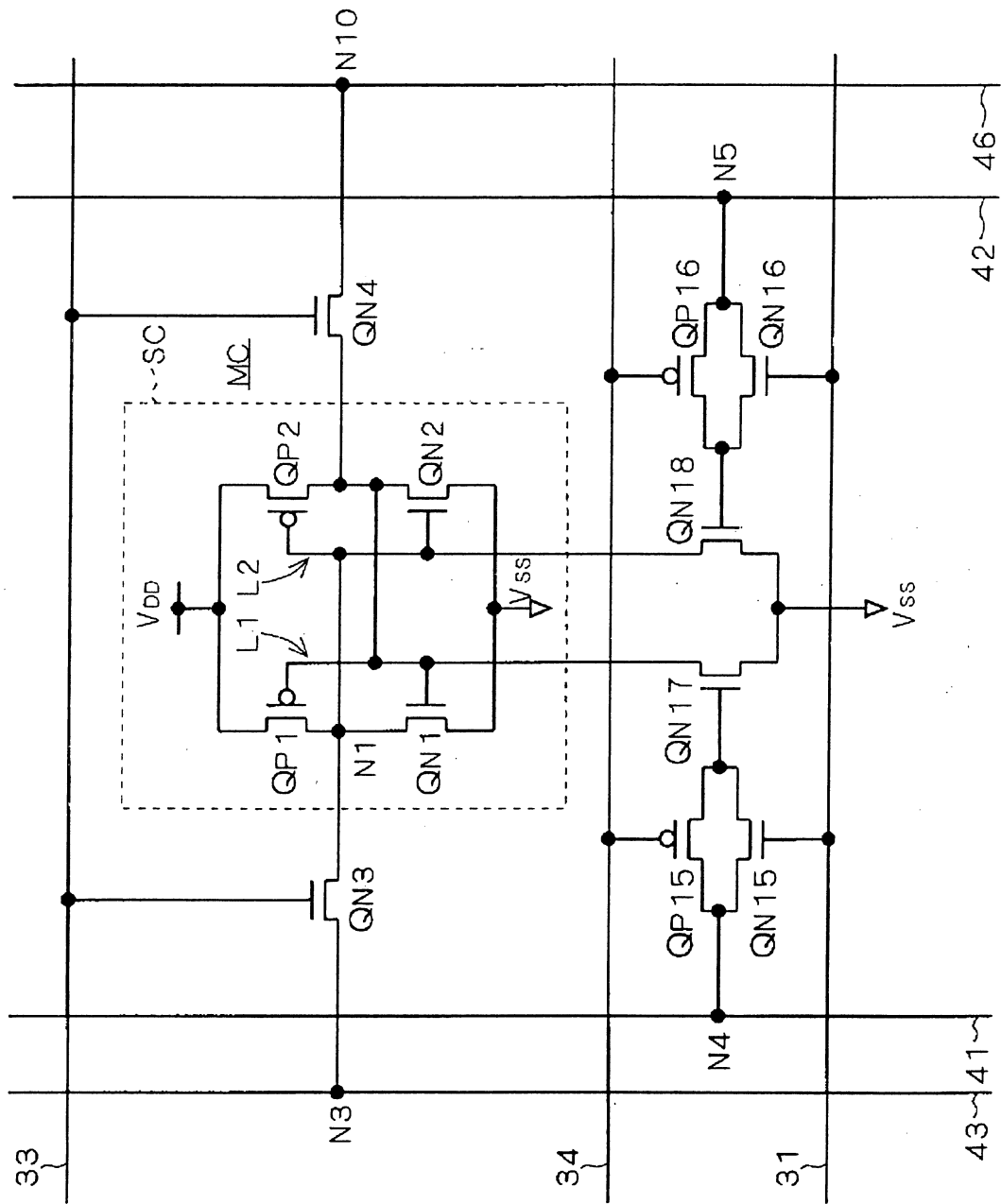


30

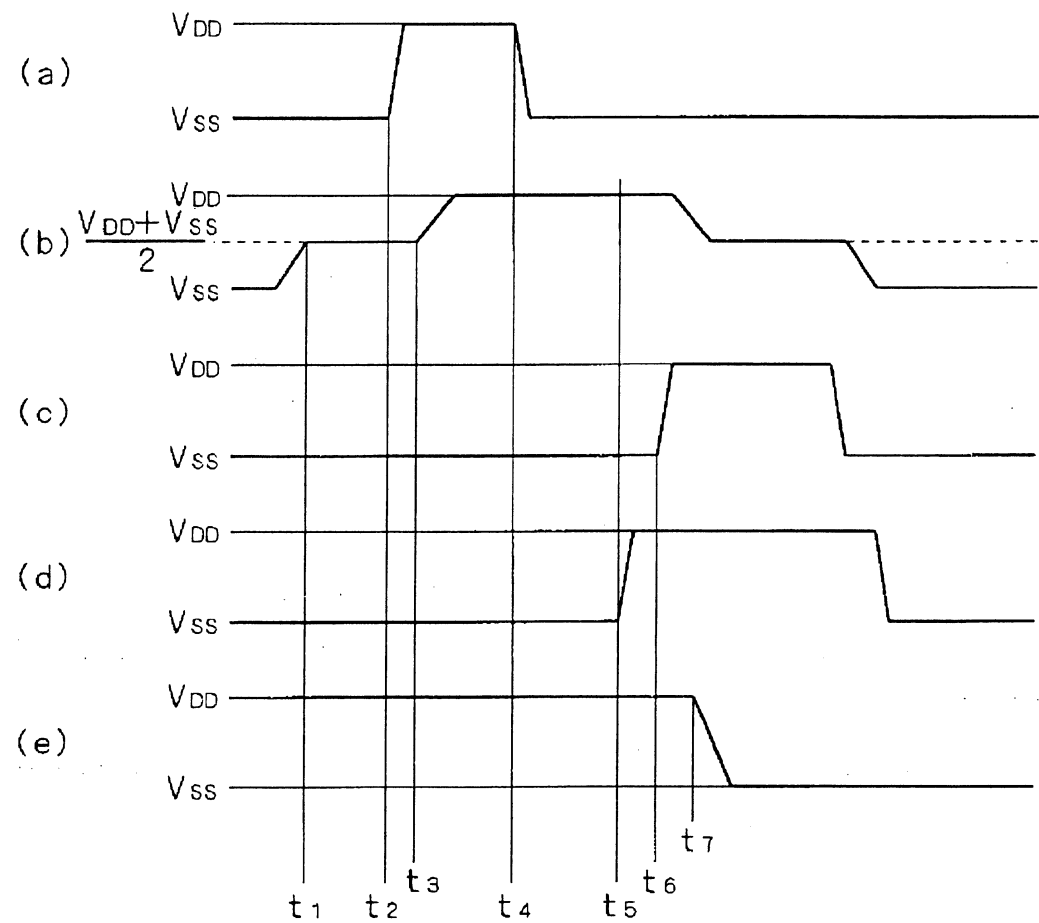


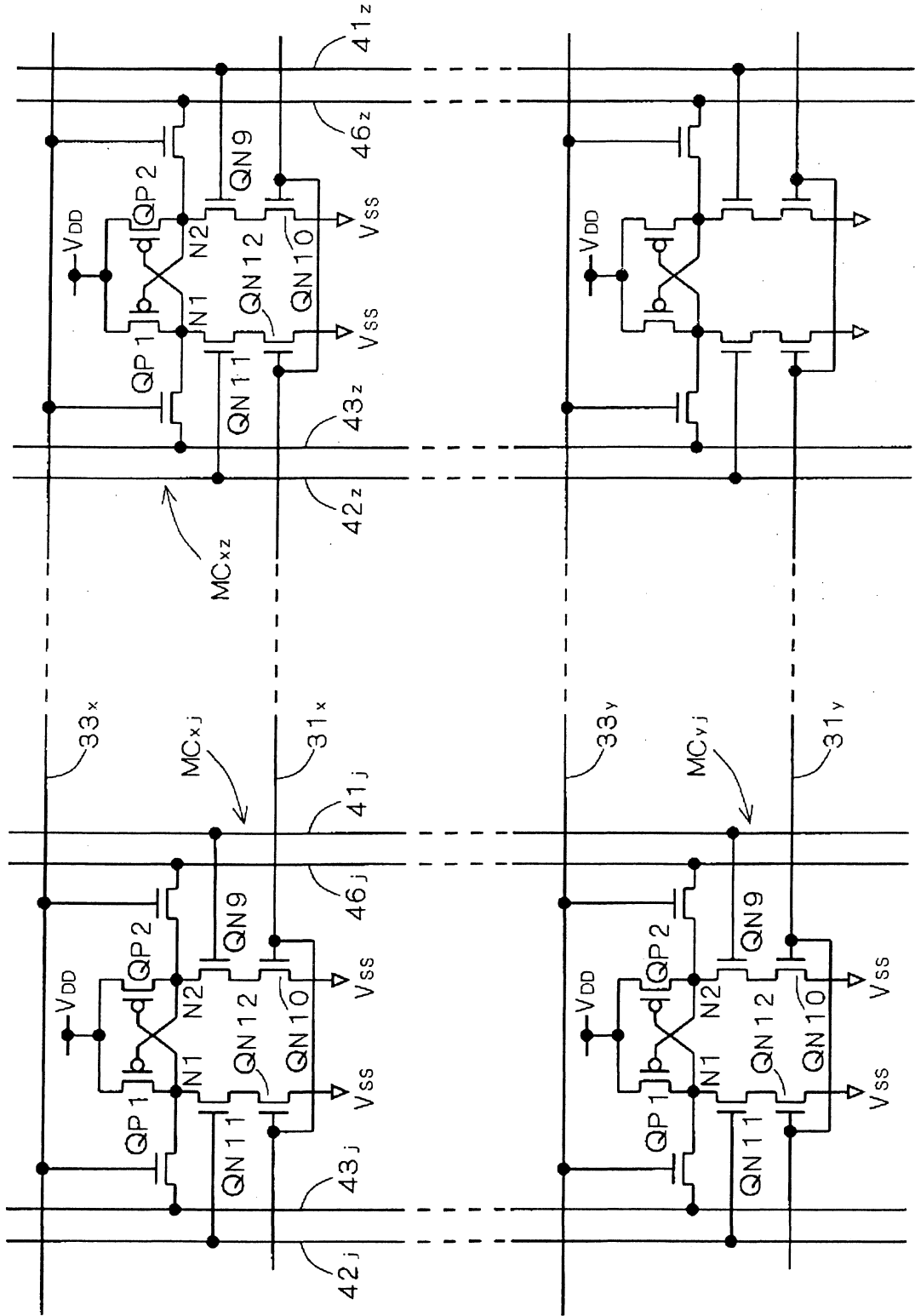


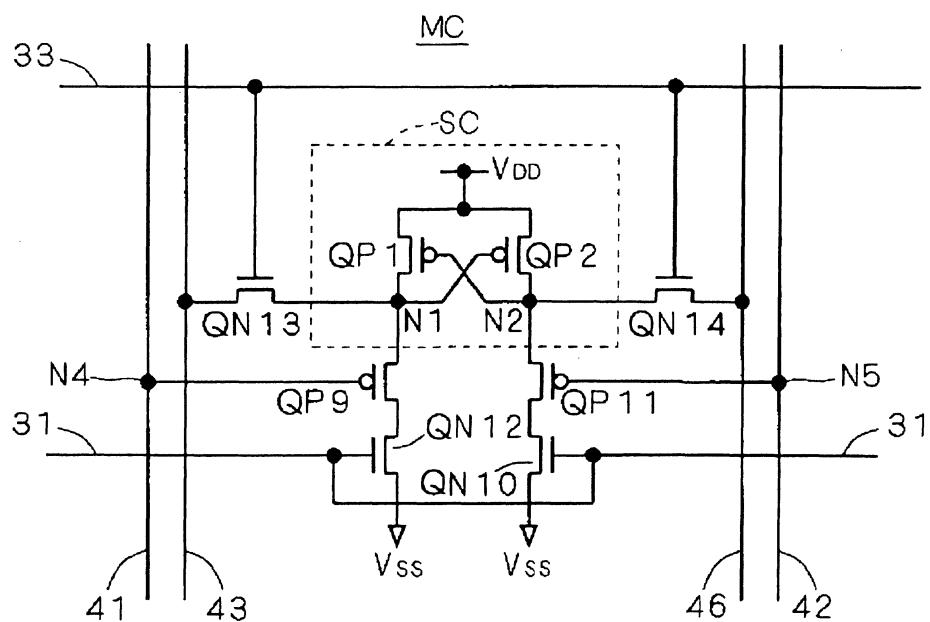
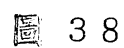




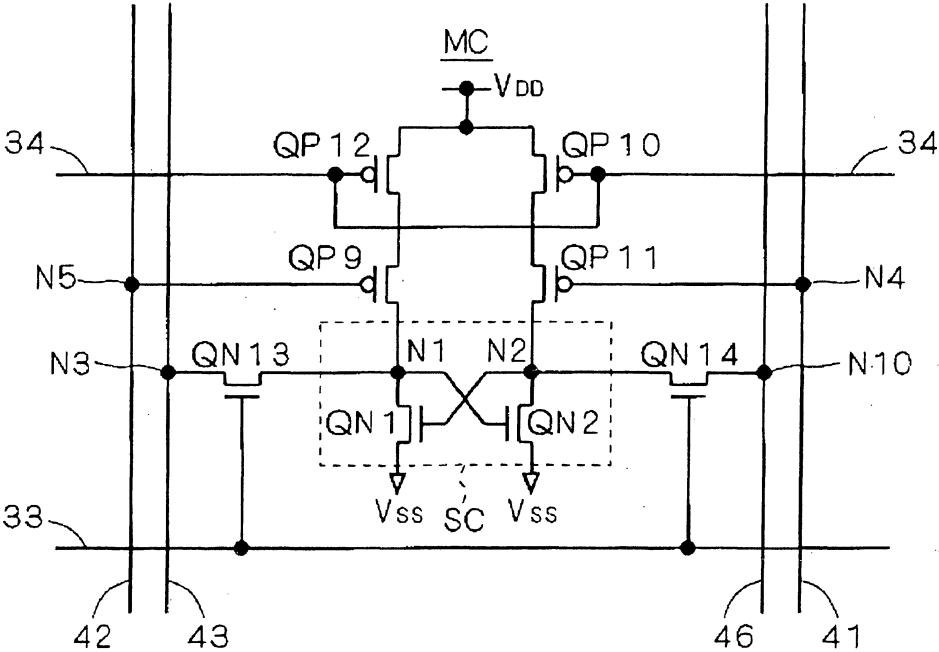
3 5



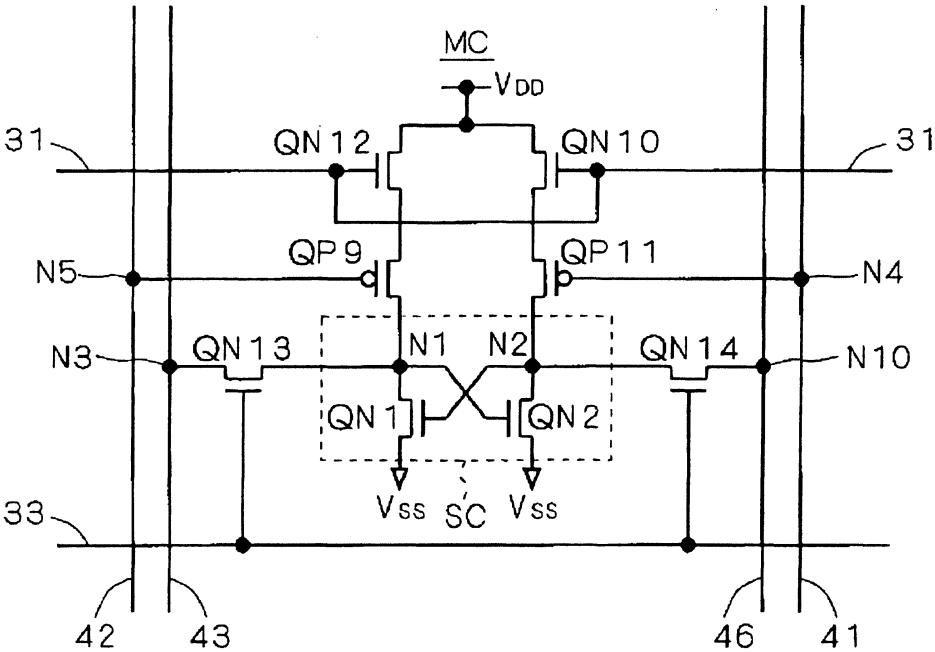




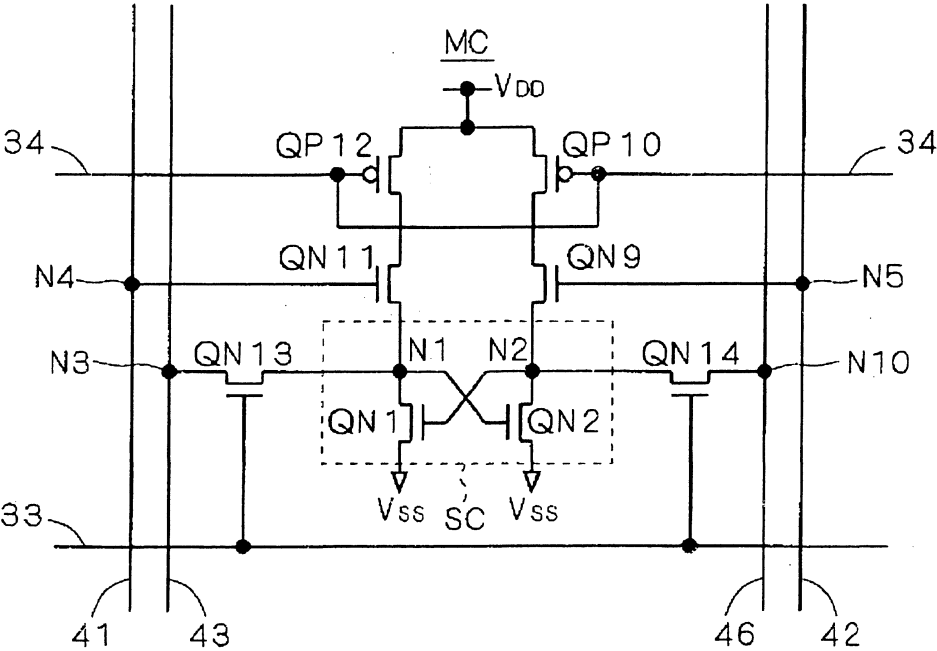
3 9



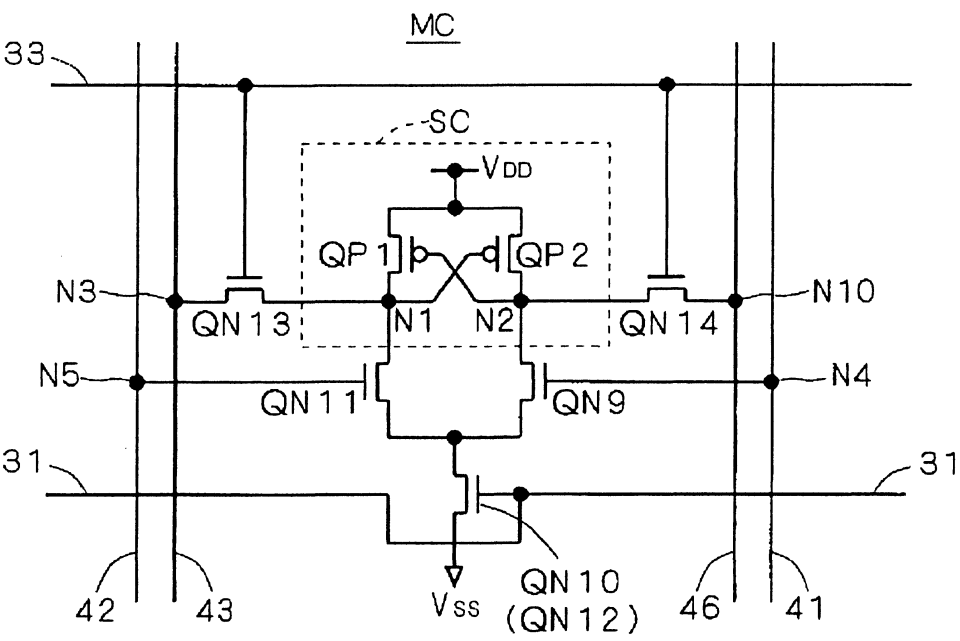
4 0

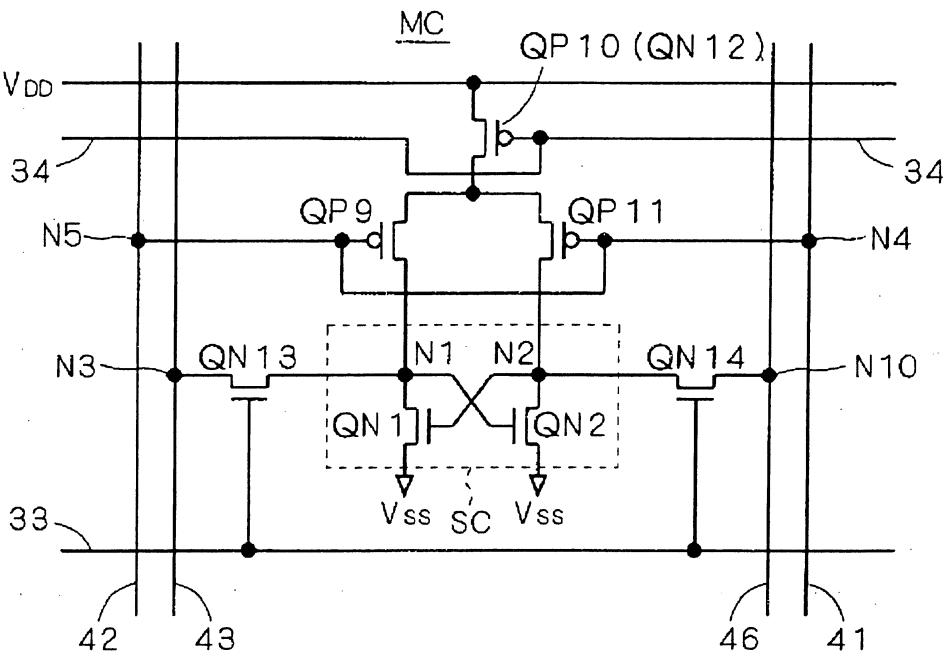


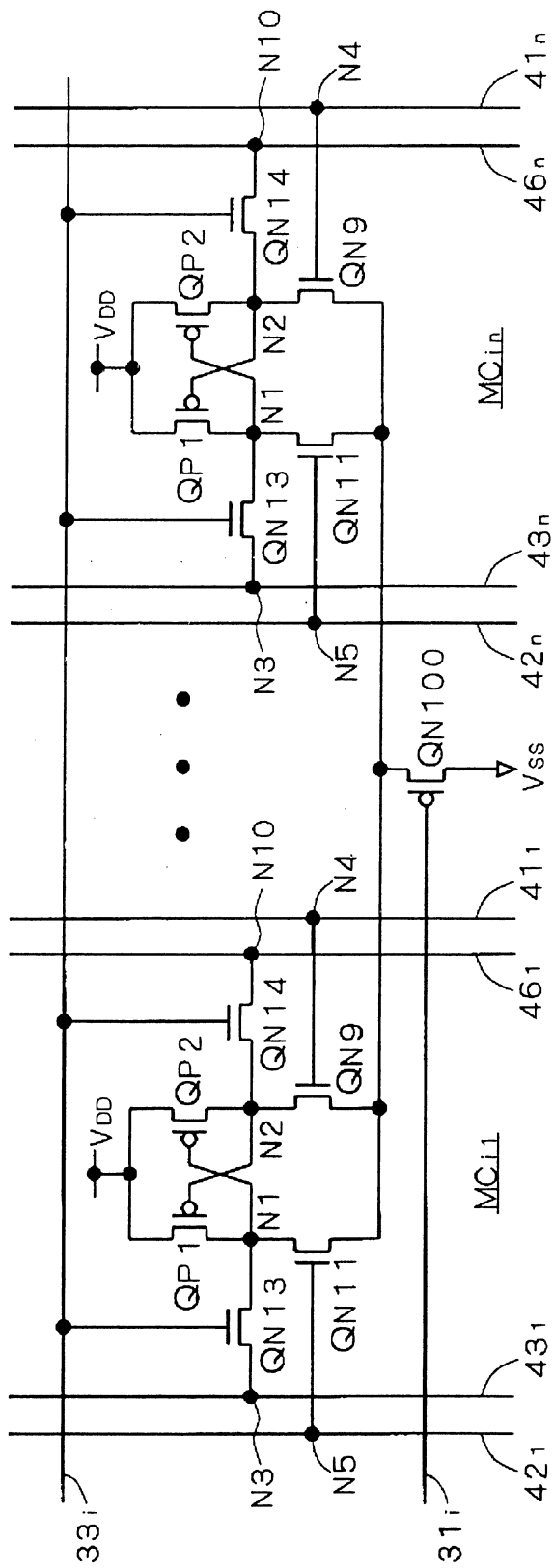
4 1

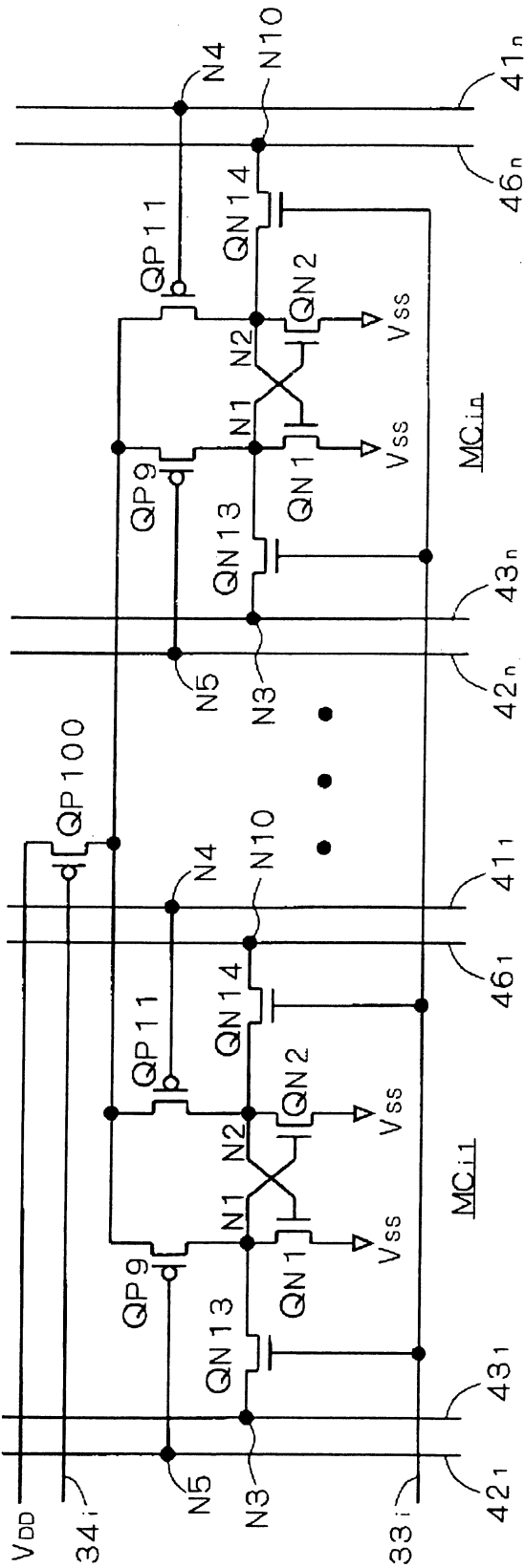


4 2

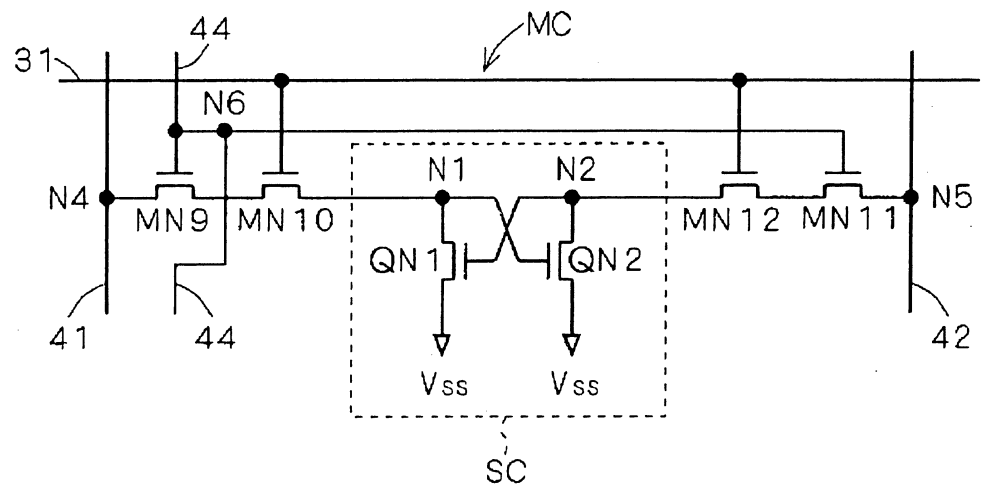








4 6



4 7

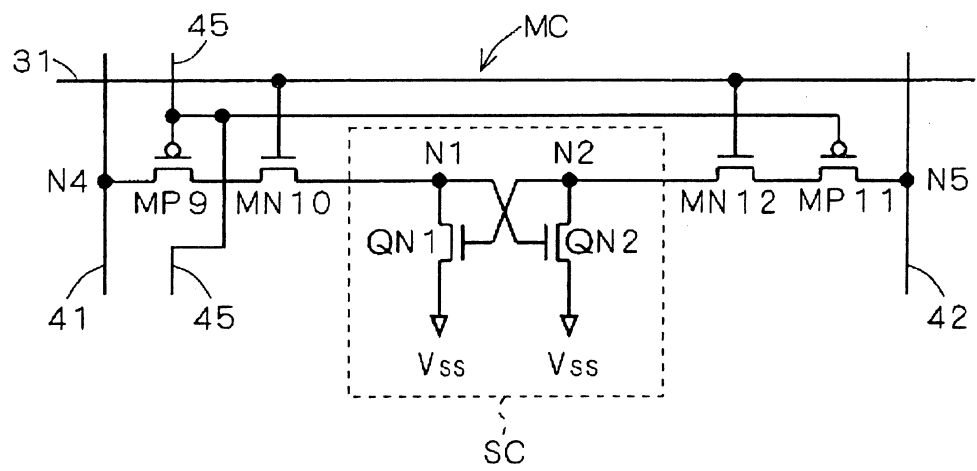


圖 4 8

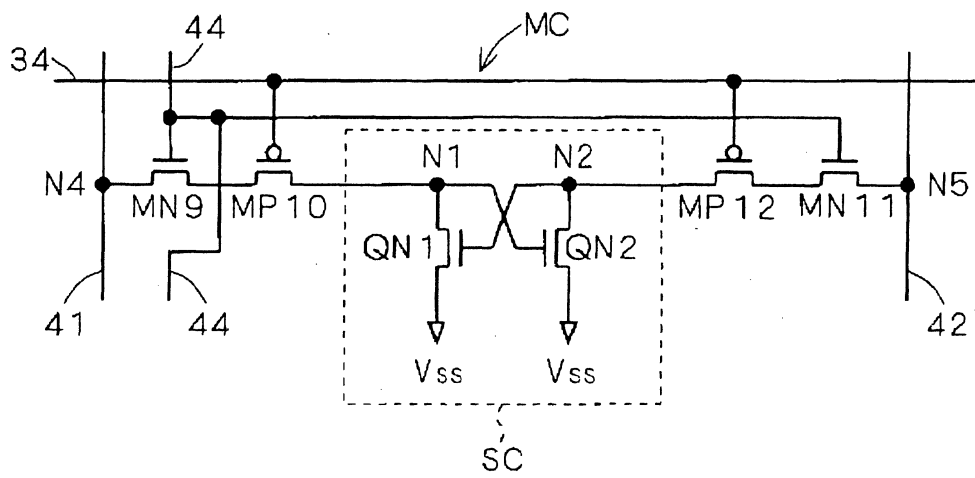


圖 4 9

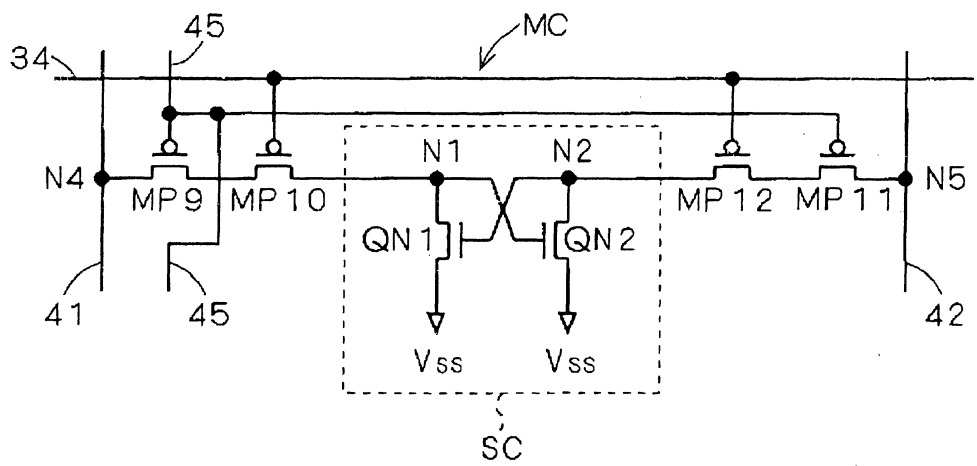


圖 5 0

