

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-71237
(P2005-71237A)

(43) 公開日 平成17年3月17日(2005.3.17)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G06F 1/04	G06F 1/04 B	5 J O 3 9
G09C 1/00	G09C 1/00 6 6 O A	5 J 1 O 4
H03K 5/19	H03K 5/19 T	
H04L 9/10	H04L 9/00 6 2 1 Z	

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2003-302884 (P2003-302884)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成15年8月27日 (2003.8.27)	(74) 代理人	100081938 弁理士 徳若 光政
		(72) 発明者	松井 徹郎 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	小澤 信一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	平林 茂雄 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		最終頁に続く	

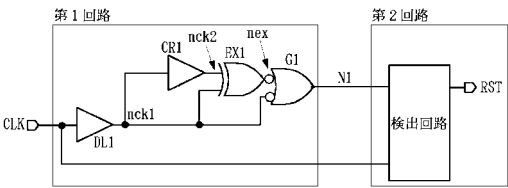
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 保護機能の強化を実現した半導体集積回路装置を提供する。

【解決手段】 一定の周波数よりも低いかどうかを検出し、半導体集積回路装置の内部回路の動作を強制的に停止又は無効にする低周波クロック検出回路として、第1クロックが供給され、上記一定の周波数よりも低い時と上記一定の周波数よりも高い時とのそれぞれにおいて上記第1クロックを基準にして異なる波形とみなされる第1信号を形成する第1回路と、上記第1信号と上記第1クロックに基づいて上記低周波クロック検出信号を形成する第2回路で構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一定の周波数よりも低いかどうかを検出する低周波クロック検出回路を有し、かかる低周波クロック回路により形成された低周波クロック検出信号に基づいて内部回路の動作が強制的に停止又は無効にされる半導体集積回路装置であって、

上記低周波クロック検出回路は、第 1 回路と第 2 回路を有し、

上記第 1 回路は、第 1 クロックが供給され、上記一定の周波数よりも低い時と上記一定の周波数よりも高い時とのそれぞれにおいて上記第 1 クロックを基準にして異なる波形とみなされる第 1 信号を出力し、

上記第 2 回路は、上記第 1 信号と上記第 1 クロックに基づいて上記低周波クロック検出信号を出力することを特徴とする半導体集積回路装置。 10

【請求項 2】

請求項 1 において、

上記第 2 回路は、上記第 1 信号と第 1 クロックに基づいて上記第 1 クロックが上記一定の周波数よりも低いと判定される条件が成立すると、その状態を保持して上記低周波クロック検出信号を出力することを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 において、

上記第 1 信号は、上記第 1 クロックが上記一定の周波数よりも低い時と上記一定の周波数よりも高い時とのそれぞれにおいて周期が異なるものであることを特徴とする半導体集積回路装置。 20

【請求項 4】

請求項 1 において、

上記第 1 信号は、上記第 1 クロックが上記一定の周波数よりも低い時と上記一定の周波数よりも高い時とのそれぞれにおいてパルスデューティが異なるものであることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 2 において、

上記第 1 回路は、

上記第 1 クロックを受ける C R 遅延回路と、 30

上記 C R 遅延回路の遅延出力を受けて上記一定の周波数よりも高い時にはハイレベル又はロウレベルの直流レベルを出力し、上記一定の周波数よりも低い時には上記第 1 クロックに対応した周波数のパルス信号を形成するインバータ回路と、

上記第 1 クロックに対応したクロックと上記インバータ回路の出力信号を受け的一致／不一致回路と、かかる一致／不一致回路の出力信号と上記第 1 クロックに対応したクロックとを受け論理和回路とを含むことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 5 において、

上記 C R 遅延回路は、キャパシタと、かかるキャパシタに直列形態にされた抵抗素子と、上記抵抗素子を通して上記キャパシタに充電電流を供給する第 1 導電型の第 1 M O S F E T と、上記キャパシタと並列形態に接続されてキャパシタの放電電流を流す第 2 導電型の第 2 M O S F E T とを備え、 40

上記第 1 M O S F E T と第 2 M O S F E T のゲートに上記第 1 クロックが供給されて上記第 1 クロックの立ち上がり又は立ち下りの遅延信号を形成するものであり、

上記キャパシタにより形成される遅延信号が上記インバータ回路の入力端子に供給されるものであることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 2 において、

上記第 2 回路は、上記第 1 クロックの立ち上がり時と立ち下り時における上記第 1 信号のレベルを判定して上記低周波検出信号を形成するものであることを特徴とする半導体 50

集積回路装置。

【請求項 8】

請求項 2 において、

上記半導体集積回路装置は、上記半導体集積回路装置の動作に必要な第 1 電源端子と該第 1 電源端子よりも低い電源を供給するための第 2 電源端子と、

上記半導体集積回路装置の内部回路をリセットするためのリセット端子と、

上記第 1 クロックが供給されるクロック端子と、

上記半導体集積回路装置の外部との信号入出力を行うための入出力端子とを有することを特徴とする半導体集積回路装置。

【請求項 9】

10

請求項 1 において、

上記一定の周波数は、上記半導体集積回路装置の内部回路に対して不正なアクセスが行われる確率が高いと判定されるような周波数に設定されるものであることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 6 において、

上記半導体集積回路装置は、IC カードに搭載されるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体集積回路装置に関し、例えば IC カード等に搭載され、不正アクセスに対する機密保護回路を備えたものに利用して有効な技術に関するものである。

【背景技術】

【0002】

IC カード用マイコン（マイクロコンピュータ）等のセキュリティ回路の一つとして、低周波 CLK 検出回路が提案されている。つまり、外部端子から供給されるクロックの周波数を低くして内部回路の動作を遅くして回路動作の解析を行うのを防止するために、上記低周波 CLK 検出回路を設け、低い周波数のクロックの入力を検知し、内部回路の動作を停止ないし無効にさせるものである。低周波 CLK 検出回路としては、クロック信号を所定時間遅延させて、遅延した値と遅延していない CLK のレベルを比較することにより低周波を検出することや、カウンタアップ型のディレイ回路として、入力周波数に対して内部発振回路が何回発振するかをカウントして周波数を検出すること等が考えられる。クロック周波数が所定範囲内にあるか否かを判定する回路の例としては、特開 2001-52130 公報がある。

30

【特許文献 1】特開 2001-52130 公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記のようなクロック周波数の検出回路においては、単にクロックが所定周波数範囲であるか否かを判定するだけである。このようなクロック検出回路においては、判定出力を直流的なハイレベル又はロウレベルを含むような出力信号であるので、内部回路内の機密情報を読み出す等の不正アタックを受けやすいという問題を有する。つまり、クロックの周波数を変化させながら回路を観測することにより、図 12 に示すように、上記クロック周波数の検出出力が伝えられる信号経路であるノード N1 が特定する。このように信号経路が特定されると、そこにプローブ等を接触させて正常周波数状態とするようなレベルの電圧を供給するという不正アクセスをして検出回路を誤動作させて、そのセキュリティ機能を停止させた上で、低い周波数のクロックにより内部回路を動作させて機密情報を取り出すことが可能になる。

40

【0004】

50

この発明の目的は、保護機能の強化を実現した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、一定の周波数よりも低いかどうかを検出し、半導体集積回路装置の内部回路の動作を強制的に停止又は無効にする低周波クロック検出回路として、第1クロックが供給され、上記一定の周波数よりも低い時と上記一定の周波数よりも高い時とのそれぞれにおいて上記第1クロックを基準にして異なる波形とみなされる第1信号を形成する第1回路と、上記第1信号と上記第1クロックに基づいて上記低周波クロック検出信号を形成する第2回路で構成する。

10

【発明の効果】

【0006】

上記第1信号は第1クロックを基準にして異なる波形とみなされるパルス信号とされるので、かかる信号が伝えられる信号経路の特定が困難となること、及びこれに加えて第2回路を誤動作させることも難しくなる。

【発明を実施するための最良の形態】

【0007】

図1には、この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の一実施例のブロック図が示されている。この実施例の半導体集積回路装置は、第1回路と第2回路から構成される。第1回路は、クロック周波数の検出を行う以下の回路より構成される。クロックCLKは、遅延回路DL1を通して遅延されて周波数検出を行うCR遅延回路CR1に入力される。この実施例のCR遅延回路CR1は、上記遅延回路DL1の遅延信号nc k 1の周波数が所定の周波数よりも低いときにはクロックnc k 1 (CLK)に対応した周波数のパルスを出力し、上記遅延信号nc k 1の周波数が所定の周波数よりも高いときにはロウレベル又はハイレベルのような固定電位を出力する。

20

【0008】

この実施例では、クロックCLKの周波数が所定の周波数よりも低いときと高いときのいずれにおいてもパルス信号の形態の周波数検出信号を出力するように、排他的論理和回路EX1及びゲート回路Gが設けられる。つまり、上記CR遅延回路CR1の出力信号nc k 2は、排他的論理和回路EX1の一方の入力に供給される。この排他的論理和回路EX1の他方の入力には、上記遅延信号nc k 1が供給される。この排他的論理和回路EX1の出力信号と、上記遅延信号nc k 1とはゲート回路G1を通して論理和信号が検出信号N1として出力される。

30

【0009】

上記検出信号N1は、上記のようにクロックCLKの周波数が所定の周波数よりも低いときと高いときのいずれにおいてもパルス信号の形態とされるものである。その識別のために上記クロックCLKとともに第2回路に含まれる検出回路に伝えられる。この検出回路では、上記クロックCLKを用いて上記パルス信号の形態の検出信号N1を解読する。つまり、クロックCLKの周波数が所定の周波数よりも低いときには低周波クロック検出信号を含むリセット信号RSTを発生させ、クロックCLKの周波数が所定の周波数よりも高いときにはリセット信号RSTを発生させない。この結果、第2回路に含まれる図示しない信号処理回路では、リセット信号RSTが無効の状態では内部回路がクロックCLKに対応した所定の信号処理動作を行い、リセット信号RSTが有効とされると信号処理回路の動作が強制的に停止させられあるいは無効にさせられる。

40

【0010】

図2には、図1のCR遅延回路の一実施例の回路図が示されている。同図には、参考として図1に用いられた回路記号とそれに対応した具体的回路が示されている。抵抗RとキャパシタCとが直列形態に接続される。上記キャパシタCには、PチャネルMOSFET

50

Q 2 から上記抵抗 R を通して電源端子 V D D から充電電流が供給される。また、上記キャパシタ C には、それと並列形態に接続された N チャンネル M O S F E T Q 1 により構成された放電経路が設けられる。上記 M O S F E T Q 1 のソースは、回路の接地電位 V S S に接続され、上記キャパシタ C は回路の接地電位 V S S を基準にして上記充電動作及び放電動作が行われる。上記キャパシタ C の電圧は、インバータ回路 I V 2 の入力端子に供給される。このインバータ回路 I V 2 は、そのロジックスレッシュOLD電圧を参照電圧として上記キャパシタ C の電圧判定を行う。

【0011】

この実施例の C R 遅延回路は、入力端子 i n に供給されるパルスの周波数が低いときには、それがロウレベルの期間に P チャンネル M O S F E T Q 2 がオン状態となり、抵抗 R を介してキャパシタ C に充電動作が行われる。このときの時定数に従ってキャパシタ C にはチャージアップが行われる。このチャージアップ動作によって、インバータ回路 I V 2 の入力電圧がそのロジックスレッシュOLD電圧を越えると、インバータ回路 I V 2 の出力信号 o u t はハイレベルからロウレベルに変化する。

【0012】

入力端子 i n に供給されるパルスがハイレベルに変化すると、P チャンネル M O S F E T Q 2 がオフ状態になり、N チャンネル M O S F E T Q 1 がオン状態となるのでキャパシタ C の放電動作を行う。この放電動作によって、キャパシタ C の電圧が低下し、インバータ回路 I V 2 の入力電圧がそのロジックスレッシュOLD電圧より低下すると、インバータ回路 I V 2 の出力信号 o u t はロウレベルからハイレベルに変化する。このように、キャパシタ C の電圧が上記インバータ回路 I V 2 のロジックスレッシュOLD電圧を越えるような低い周波数のときには、入力端子 i n に供給されるパルスに対応した周波数のパルスが出力される。

【0013】

入力端子 i n に供給されるパルスの周波数が高くなり、それがロウレベルの期間に上記 P チャンネル M O S F E T Q 2 がオン状態となり、抵抗 R を介してキャパシタ C に充電動作が行われてキャパシタ C の電圧は上記時定数に従って上昇するが、インバータ回路 I V 2 のロジックスレッシュOLD電圧に到達する前に、上記ロウレベル期間からハイレベルに期間に切り替わり、P チャンネル M O S F E T Q 2 がオフ状態になり、N チャンネル M O S F E T Q 1 がオン状態となるのでキャパシタ C の放電動作を行う。この結果、インバータ回路 I V 2 の入力電圧がそのロジックスレッシュOLD電圧に到達しないから定常的にハイレベルの出力信号を形成するものとなる。

【0014】

図 3 には、図 1 のクロック周波数検出回路の動作の一例を説明するためのタイミング図が示されている。図 3 (A) は、クロック C L K の周波数が低いときのタイミング図であり、図 3 (B) は、クロック C L K の周波数が高いときのタイミング図である。図 3 (A) において、クロック C L K に対して遅延クロック n c k 1 は、遅延回路 D L 1 の遅延時間 t d だけ遅延される。C R 遅延回路 C R 1 の出力信号 n c k 2 は、前記のように周波数が低いのでその時定数に対応した遅延時間 t c r だけ遅延させられる。図 2 のような C R 時定数回路を用いた場合には、周波数に対応してパルス幅（パルスデューティ）が遅延信号 n c k 1 に対して狭くなる周波数領域もあるが、同図ではそれよりクロック C L K の周波数が低い場合を例にしている。

【0015】

排他的論理和回路 E X 1 は、上記 2 つのパルス n c k 1 と n c k 2 のレベルが一致したときにロウレベル、不一致のときにハイレベルの出力信号 n e x を形成する。この信号 n e x と上記クロック n c k 1 とをゲート回路 G で論理を採ること、具体的にはクロック n c k 1 がハイレベルのときの信号 n e x の一致出力であるロウレベルをノード N 1 から出力させる。言い換えると、クロック n c k 1 がロウレベルのときにはゲート回路 G 1 のゲートを閉じて信号 n e x に無関係にノード N 1 をハイレベルにする。

【0016】

このようにして、クロック C L K の周波数が低いときには、上記ノード N 1 が上記クロック n c k 1 の周期に対応してロウレベルになる期間が発生する。このようなノード N 1 のパルス信号は、検出回路に伝えられる。検出回路は、クロック C L K のエッジを用いてノード N 1 のロウレベル／ハイレベルの判定が行われる。同図では、クロック C L K の立ち下がりエッジで最初に上記ノード N 1 のハイレベルを検出すると、リセット信号 R S T を発生させる。このリセット信号 R S T はラッチ回路等により保持される。

【0017】

図 3 (B) において、クロック C L K に対して遅延クロック n c k 1 は、遅延回路 D L 1 の遅延時間 t d だけ遅延される。C R 遅延回路 C R 1 の出力信号 n c k 2 は、前記のように周波数が高いのでハイレベルのような固定レベルにされる。排他的論理和回路 E X 1 は、上記 2 つのパルス n c k 1 と n c k 2 のレベルが一致したときにロウレベル、不一致のときにハイレベルの出力信号 n e x を形成する。したがって、上記のように n c k 2 のレベルがハイレベルであるので、上記クロック n c k 1 を反転させた信号をノード N 1 から出力させる。

【0018】

このようにして、クロック C L K の周波数が高いときにも、上記ノード N 1 が上記クロック n c k 1 に対応したパルス信号とされる。このようなノード N 1 のパルス信号は、検出回路に伝えられる。検出回路は、クロック C L K のエッジを用いてロウレベル／ハイレベルの判定が行う。同図では、クロック C L K の立ち上がりエッジで上記ノード N 1 のハイレベル／立ち下がりエッジで上記ノード N 1 のロウレベルを検出するとリセット信号 R S T を発生させない。このようなレベル判定のために遅延回路 D L 1 が設けられており、ここでの遅延時間 t d が上記ノード N 1 のハイレベル／ロウレベルを取り込むためのセットアップ時間とされる。

【0019】

図 1 の検出回路の真理値表 1 は、次の通りである。

【0020】

真理値表 1

C L K	N 1	R S T
↑	0	1
↑	1	0
↓	0	0
↓	1	1

↑ は立ち上がりエッジ

↓ は立ち下がりエッジ

0 はロウレベル (論理 0)

1 はハイレベル (論理 1)

【0021】

なお、上記遅延回路 D L 1 は、省略できるものである。すなわち、ノード N 1 の信号は、上記のようなゲート回路 G 1 によって遅延されるので、ここでの遅延時間を利用して上記検出回路でのノード N 1 のハイレベル／ロウレベルを取り込むためのセットアップ時間に利用することができる。あるいは、検出回路側でかかるセットアップを設定する遅延回路等を設ける構成であってもよい。

【0022】

上記のようにクロック C L K の周波数が検出閾値 (検出周波数) よりも高い場合は、クロック C L K そのもの (図 1 の回路では遅延信号 n c k 1) が反転されてノード N 1 から出力される。クロック C L K 周波数が検出閾値 (検出周波数) より低い場合は、C R 遅延回路 C R 1 により遅延される。この遅延信号 n c k 2 が排他的論理和回路 E X 1 及びゲー

10

20

30

40

50

ト回路 G 1 を通すことでノード N 1 はクロック C L K の次のエッジの前にハイレベル (H) になる。

【0023】

つまり、クロック C L K 周波数が検出閾値 (検出周波数) より低い場合は、クロック C L K のエッジでは必ず H を出す。これを前記真理値表 1 のような検出回路を用いることにより、クロック C L K のネガティブエッジのときにリセット信号 R S T がハイレベル (H) になり図示しない信号処理回路をリセット状態にする。非検出時にはノード N 1 がクロック n c k 1 に対応して交流化される。もしも、かかる信号経路であるノード N 1 をハイレベル / ロウレベルのいずれかに強制的に固定すると必ずリセット信号 R S T がハイレベル (H) になり、リセットがかかるようになる。

10

【0024】

この実施例のように検出回路に至る信号経路 (ノード N 1) の信号のうちの固定レベル (直流的信号) を上記のような排他的論理和回路及びゲート回路 G 1 を組み合わせることでパルス信号 (交流的信号) にする回路構成にしたことで、C R 遅延回路 C R 1 で形成される検出信号のうちの直流的信号が見えないようにした。この結果、低周波数検出回路を有する I C において、低周波数検出回路に供給されるクロック C L K が所定周波数範囲内にあるときと、所定周波数範囲外にある時で異なるパターンのパルス信号 (交流信号) を出力する第 1 回路と、かかる第 1 回路の出力とクロック C L K (上記とは別でも可) とにより上記出力を取りこむ第 2 回路を設けることにより、外部からの不正アタックに対する内部情報の機密を保持することができる。

20

【0025】

すなわち、ノード N 1 にクロック C L K が重畳した信号を検出回路への出力とすることで、低周波検出での完全交流信号化が可能となり、その信号伝達経路の特定が困難となるばかりか、外部からノード N 1 に対して固定レベルを供給するような攻撃を受けた場合でも、リセット信号 R S T を出すので内部情報を取り出しの防止をすることができる。この結果、外部攻撃に対する I C チップのセキュリティが向上することでセキュリティ認証を取得しやすくなり、I C カード用マイコンとしての付加価値を高める事ができる。

【0026】

C R 時定数回路のようなアナログディレイ素子の出力信号を前記のような排他的論理和回路及びゲート回路で交流信号化することで、ディレイ時間の高精度化と高セキュリティ 30 化を両立できる。低周波数検出回路は I C 内部のマイクロプロセッサやマイクロコンピュータ等の動作周波数以外の周波数入力を禁止し、誤動作を防ぐために必須の回路である。よって、この周波数回路の閾値が使用条件でばらついたりすることは望ましくない。結果として、C R 時定数回路のようなアナログ素子を使用したディレイ回路を使用するのが望ましい。

30

【0027】

図 4 には、この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例では、図 1 の第 1 回路の低周波数を検出するための回路が 2 組設けられる。つまり、前記図 1 と同様な C R 遅延回路 C R 1、排他的論理和回路 E X 1 及びゲート回路 G 1 からなる低周波数検出部と、それと同じ回路構成からなる C R 遅延回路 C R 2、排他的論理和回路 E X 2 及びゲート回路 G 2 が設けられる。そして、この新たに設けられた C R 遅延回路 C R 2 及び排他的論理和回路 E X 2 には、上記遅延信号 n c k 1 の反転信号 n c k 3 が供給される。この反転信号 n c k 3 は、上記遅延信号 n c k 1 を受けるインバータ回路 I V 1 によって形成される。これら 2 組の低周波数を検出するための回路によりそれぞれ検出信号 N 1 と N 2 が形成されて、第 2 回路に含まれる検出回路に伝えられる。

40

【0028】

図 5 には、図 4 のクロック周波数検出回路の動作の一例を説明するためのタイミング図が示されている。この実施例では、上記新たに設けられた周波数検出部によりクロック C L K がロウレベルの期間において、上記排他的論理和回路 E X 2 の不一致出力に対応した 50

【 0 0 2 9 】

【 0 0 3 0 】

【 0 0 3 1 】

【 0 0 3 2 】

C L K	N 1	N 2	R S T
↑	0	0	1
↑	1	1	1
↓	0	0	1
↓	1	1	1
↑	0	1	1
↑	1	0	0
↓	0	1	0
↓	1	0	1

1 はハイレベル (論理 1)

【 0 0 3 3 】

【 0 0 3 4 】

図 9 には、図 8 のクロック周波数検出回路の一実施例の具体的ブロック図が示されている。乱数発生回路で形成された乱数信号をパルス列として出力し、それを排他的論理和回路 EX 3 と EX 4 に供給する。上記排他的論理和回路 EX 3 の他方の入力には、上記図 1、図 4 あるいは図 4 の実施例のようなディレイ回路部（周波数検出）の出力信号 N 1 を供給する。排他的論理和信号 EX 3 は、上記パルス列からなる乱数が論理 1 のときには、上記ノード N 1 の出力レベルを反転させ、乱数が論理 0 のときには上記ノード N 1 の出力信号をそのまま出力するという乱数信号を発生させる。検出回路側に設けられた排他的論理和回路 EX 4 は、上記同じパルス列からなる乱数が論理 1 のときには、上記 AC 信号のレベルを反転させ、乱数が論理 0 のときには上記 AC 信号をそのまま出力する。このようにして、検出回路には上記ノード N 1 に対応した AC 信号のみが再生されて伝えられる。 10

【0035】

特に制限されないが、排他的論理和回路 EX 3 のノード N 1 がアナログ部のウエルとデジタル部のウエルにまたがって存在して、2 つの排他的論理和回路 EX 3、EX 4 とそれらを結ぶ配線についてノード N 1 以外がデジタル部のウエルに存在している。このような構成にすると 2 つの排他的論理和回路 EX 3、EX 4 やそれらを結ぶ配線がアナログ部のウエルとデジタル部のウエルにまたがっていたら、配線が見つけれられてパターン解析されてしまうことを防ぐ上で有益となる。

【0036】

図 10 には、この発明に係る半導体集積回路装置が搭載された IC カードの一実施例のブロック図が示されている。この実施例では、演算回路、ROM（リード・オンリー・メモリ）、RAM（ランダム・アクセス・メモリ）、FLASH（一括消去型不揮発性メモリ）のような各種メモリ、周辺回路からなる信号処理回路に、上記半導体集積回路装置の動作に必要な電源を供給するための第 1 電源端子と該第 1 電源端子よりも低い電源を供給するための第 2 電源端子と、上記半導体集積回路装置の内部回路をリセットするためのリセット端子と、上記第 1 クロックが供給されるクロック端子と、上記半導体集積回路装置の外部との信号入出力を行うための入出力端子と、保護回路として前記説明したような低周波数検出回路（LFD）の他に、高周波数検出回路（HFD）、低電圧検出回路（LVD）、高電圧検出回路（HVD）が設けられる。これらの各検出回路で検出信号が形成されると、リセット信号 RST が形成されて上記信号処理回路を構成する演算回路、ROM、RAM、FLASH のような各種メモリ、周辺回路の動作が強制的に停止（リセット） 20 30 状態にされる。

【0037】

図 11 には、この発明が適用される IC カードの動作特性図が示されている。この実施例の IC カードは、動作周波数としては低周波数検出回路（LFD）で設定された周波数よりも高い領域でかつ高周波数検出回路（HFD）で設定された周波数よりも低い領域が動作補償範囲とされ、動作電圧としては低電圧検出回路（LVD）で設定された電圧よりも高い領域でかつ高電圧検出回路（HVD）で設定された電圧よりも低い領域が動作補償範囲とされる。このような IC カードの動作補償範囲以外の周波数のクロックが端子 CLK から供給されたり、IC カードの動作補償範囲以外の電圧が電源端子から供給されたりすると、これらの回路が検知して、上記信号処理回路を構成する演算回路、ROM、RAM、FLASH のような各種メモリ、周辺回路の動作が強制的に停止（リセット）状態に 40 される。

【0038】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、上記のように周波数検出信号のうちの固定レベルにされる信号に対してクロックを用いてパルス信号に変換する回路は、種々の実施形態を採ることができる。上記 CR 遅延回路は、キャパシタと抵抗とを並列形態に接続して、例えば P チャネル MOSFET により充電電流を供給し、放電経路は並列接続の抵抗により行うようにするものであってもよい。このように遅延回路によって所定の周波数を検出する回路は、 50

種々の実施形態を採ることができるものである。この発明は、周波数検出により内部回路の保護機能の強化を実現した半導体集積回路装置に広く利用できる。

【図面の簡単な説明】

【0039】

【図1】この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の一実施例を示すブロック図である。

【図2】図1のCR遅延回路の一実施例を示す回路図である。

【図3】図1のクロック周波数検出回路の動作の一例を説明するためのタイミング図である。

【図4】この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の他の一実施例を示すブロック図である。 10

【図5】図4のクロック周波数検出回路の動作の一例を説明するためのタイミング図である。

【図6】この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の更に他の一実施例を示すブロック図である。

【図7】図6のクロック周波数検出回路の動作の一例を説明するためのタイミング図である。

【図8】この発明に係るクロック周波数検出回路を備えた半導体集積回路装置の更に他の一実施例を示すブロック図である。

【図9】図8のクロック周波数検出回路の一実施例を示す具体的ブロック図である。 20

【図10】この発明に係る半導体集積回路装置が搭載されたICカードの一実施例を示すブロック図である。

【図11】この発明が適用されるICカードの動作特性図である。

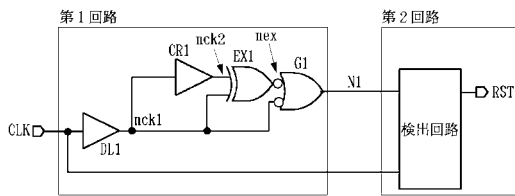
【図12】この発明に先立って検討されたICチップの概略ブロック図である。

【符号の説明】

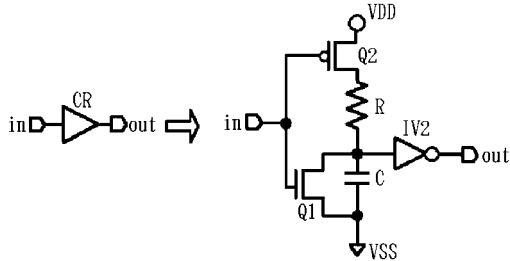
【0040】

DL…遅延回路、CR1, CR2…CR遅延回路（周波数検出）、EX1～EX4…排他的論理和回路、G1～G4…ゲート回路、IV1, IV2…インバータ回路、Q1, Q2…MOSFET、R…抵抗、C…キャパシタ。

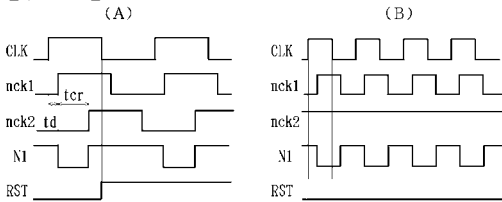
【図 1】



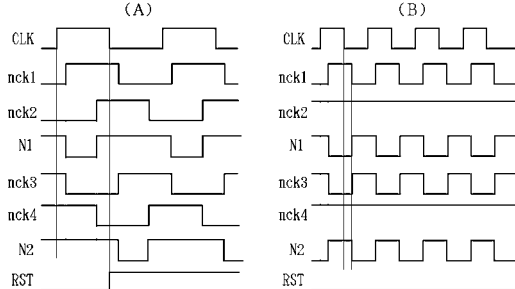
【図 2】



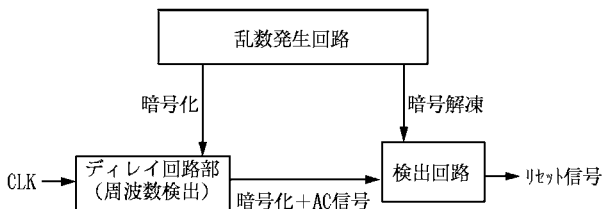
【図 3】



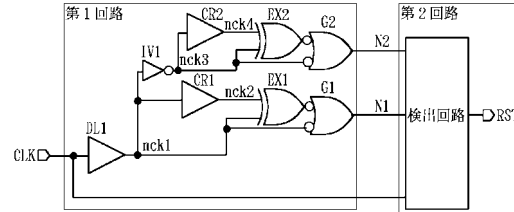
【図 7】



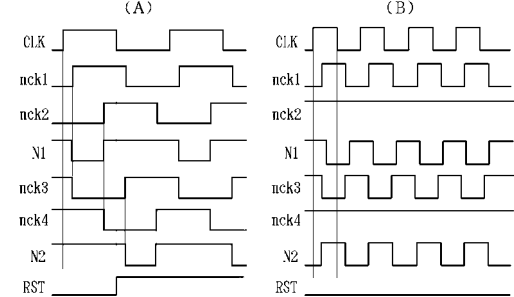
【図 8】



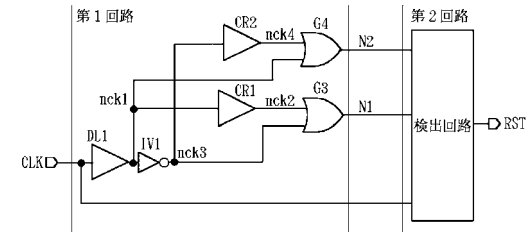
【図 4】



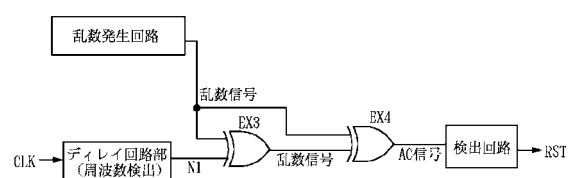
【図 5】



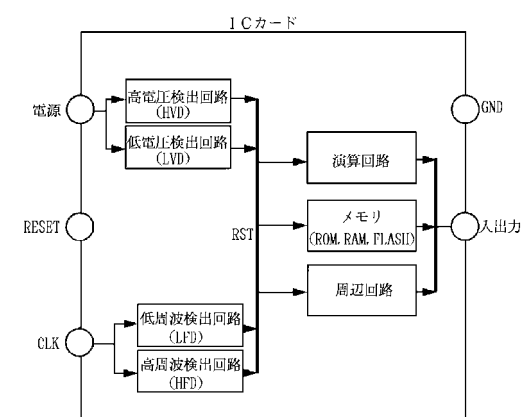
【図 6】



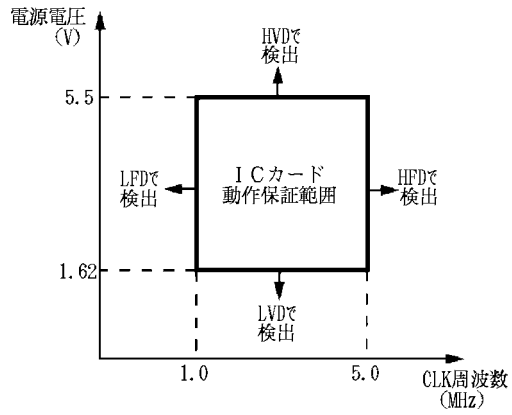
【図 9】



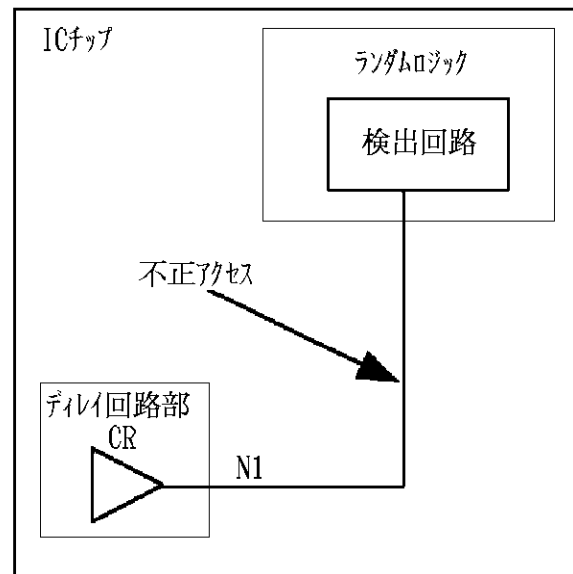
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

Fターム(参考) 5J039 HH04 HH12 HH15 KK10 KK11 KK13 MM16
5J104 NA35 NA42