

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4651848号  
(P4651848)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int.Cl.

F I

H O 1 L 21/28 (2006.01)

H O 1 L 21/28 3 O 1 D

H O 1 L 29/49 (2006.01)

H O 1 L 21/28 3 O 1 R

H O 1 L 29/423 (2006.01)

H O 1 L 29/58 G

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 3 O 1 G

H O 1 L 21/8238 (2006.01)

H O 1 L 27/08 3 2 1 D

請求項の数 6 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2001-122998 (P2001-122998)  
 (22) 出願日 平成13年4月20日(2001.4.20)  
 (65) 公開番号 特開2002-100760 (P2002-100760A)  
 (43) 公開日 平成14年4月5日(2002.4.5)  
 審査請求日 平成20年3月27日(2008.3.27)  
 (31) 優先権主張番号 特願2000-220770 (P2000-220770)  
 (32) 優先日 平成12年7月21日(2000.7.21)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100088672  
 弁理士 吉竹 英俊  
 (74) 代理人 100088845  
 弁理士 有田 貴弘  
 (72) 発明者 林 清志  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 (72) 発明者 井上 靖朗  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内

審査官 ▲辻▼ 弘輔

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法並びにCMOSトランジスタ

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成された少なくとも一つの導電性シリコン膜と、

前記導電性シリコン膜の各々の上に形成され、金属原子およびシリコン原子を含むシリサイド膜と、

前記シリサイド膜上に形成され、金属原子、窒素原子およびシリコン原子を含む第1の組み合わせ、または、酸素原子と窒素原子とのうち少なくとも一方およびシリコン原子を含む第2の組み合わせ、または、金属原子および窒素原子を含む第3の組み合わせ、のいずれかを有するバリア膜と、

前記バリア膜上に形成された金属膜とを備え、

前記導電性シリコン膜の各々中にはドーパントが含まれ、

前記シリサイド膜は、前記導電性シリコン膜の各々上において不連続な島状に形成されている

半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記シリサイド膜に含まれる前記金属原子は、W、Mo、Ti、Ta、Nb、V、Zr、Hf、Cr、Coのうちの1つまたは複数である

半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、

前記バリア膜は、前記第 1 または第 3 の組合わせを有し、

前記バリア膜に含まれる前記金属原子は、W, Mo, Ti, Ta, Nb, V, Zr, Hf, Cr, Co のうちの 1 つまたは複数である

半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置を少なくとも 2 つ、第 1 および第 2 の半導体装置として備え、

前記第 1 および第 2 の半導体装置の前記導電性シリコン膜、シリサイド膜、バリア膜および金属膜を含む構造をゲート電極とし、

前記第 1 および第 2 の半導体装置の前記基板および前記導電性シリコン膜の間にはそれぞれさらに、ゲート絶縁膜が形成され、

前記第 1 および第 2 の半導体装置の前記基板内にはそれぞれさらに、ウェルおよびソース/ドレイン電極が形成され、

前記第 1 および第 2 の半導体装置の間で前記導電性シリコン膜同士が電氣的に接続された

CMOS トランジスタ。

【請求項 5】

基板上に導電性シリコン膜を形成する工程 (a) と、

前記導電性シリコン膜上に、金属原子およびシリコン原子を含むシリサイド膜を形成する工程 (b) と、

前記シリサイド膜上に、金属原子、窒素原子およびシリコン原子を含む第 1 の組合わせ、または、酸素原子と窒素原子とのうち少なくとも一方およびシリコン原子を含む第 2 の組合わせ、または、金属原子および窒素原子を含む第 3 の組合わせ、のいずれかを有するバリア膜を形成する工程 (c) と、

前記バリア膜上に金属膜を形成する工程 (d) と、

前記導電性シリコン膜、前記シリサイド膜、前記バリア膜および前記金属膜を、フォトリソグラフィ技術およびエッチング技術を用いてパターンニングする工程 (e) と、

前記導電性シリコン膜中にドーパントを注入する工程 (f) と、

前記シリサイド膜に熱処理を行い、前記シリサイド膜を不連続な島状に形成する工程 (g) と

を備える半導体装置の製造方法。

【請求項 6】

請求項 5 に記載の半導体装置の製造方法であって、

前記シリサイド膜の膜厚はおよそ 10 nm 以下に設定される

半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に MISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート電極の構造や、ゲート電極と同様の形状の配線の構造に関する。

【0002】

【従来の技術】

従来のゲート電極や配線には、poly-Si 等の導電性シリコン単層構造および  $WSi_2$  / poly-Si や  $CoSi_2$  / poly-Si 等のシリサイド / 導電性シリコン積層構造のいずれかが、主として採用されている。

【0003】

10

20

30

40

50

しかし、今後、半導体集積回路の高集積化に伴いMISFETや配線が微細化してゆくと、上記の構造のままではゲート電極や配線における抵抗値が大きくなる。その結果、ゲート電極や配線における信号遅延量が増加し、微細化による動作高速性のメリットが減少してしまう。

#### 【0004】

なお、例えば $\text{CoSi}_2/\text{poly-Si}$ 積層構造の場合、 $\text{CoSi}_2$ のシート抵抗値が約7と比較的、低抵抗であるため、信号遅延に対し大きなデメリットにならないケースもある。しかし、 $\text{CoSi}_2/\text{poly-Si}$ 積層構造はサリサイド(SALicide: Self Aligned Silicide)法により形成されるため、 $\text{CoSi}_2/\text{poly-Si}$ 積層構造を採用しつつSAC(Self Aligned Contact)構造を形成することが困難である。

10

#### 【0005】

ここで、SAC構造とは、ゲート電極や配線の上面および側面にシリコン窒化膜等の絶縁膜が形成された構造のことを指す。この絶縁膜は、ソース/ドレイン領域へのコンタクトホールを層間絶縁膜に形成する際にアラインメントがずれた場合であっても、ゲート電極とコンタクトホールとが短絡状態になるのを防ぐ役割を有する。高集積化が進むと、ゲート電極とソース/ドレイン領域へのコンタクトホールとの間の距離の余裕が少なくなり、短絡状態になりやすい。よって、SAC構造は高集積半導体装置において必須の構造となりつつある。

#### 【0006】

サリサイド法の場合、ゲート電極とソース/ドレイン領域とが同時にシリサイド化されるため、サリサイド法を行う前にSAC構造の絶縁膜を形成しておくことはできない。よって、SAC構造の絶縁膜の形成を行うのはサリサイド法による処理を行った後になる。

20

#### 【0007】

ところが、この状態で、ゲート電極の上面および側面に絶縁膜を成膜することは難しい。フォトリソグラフィ技術およびエッチング技術を用いて絶縁膜を形成しようとする、絶縁膜自身のアラインメントがずれてしまい、ゲート電極とコンタクトホールとの短絡を防ぐ役割を果たさなくなる場合があるからである。これが、 $\text{CoSi}_2/\text{poly-Si}$ 積層構造を採用しつつSAC構造を形成することが困難な理由である。

#### 【0008】

なお、 $\text{CoSi}_2/\text{poly-Si}$ 積層構造をサリサイド法ではなくポリサイド(Polycide)法により形成することも考えられる。しかし、現在のところ $\text{CoSi}_2/\text{poly-Si}$ 積層構造をパターンニングする適当な方法が発見されていないため、ポリサイド法により $\text{CoSi}_2/\text{poly-Si}$ 積層構造を形成することはできない。

30

#### 【0009】

そこで、導電性シリコン単層構造およびシリサイド/導電性シリコン積層構造よりもさらにシート抵抗値を小さくすることができ、かつSAC構造の形成も可能であるゲート電極構造および配線構造として、金属/バリア膜/導電性シリコン積層構造を備えるポリメタルゲート電極が提案されている。このようなゲート電極構造および配線構造は、例えば“A Novel 0.15  $\mu\text{m}$  CMOS Technology using W/ $\text{WN}_x$ /Polysilicon Gate Electrode and Ti Silicided Source/Drain Diffusions” IEDM'96, pp.455-458や、“Formation mechanism of ultrathin WSiN barrier layer in a W/ $\text{WN}_x$ /Si system” Applied Surface Science 117/118(1997), pp.312-316等の文献に紹介されている。

40

#### 【0010】

図12にポリメタルゲート電極の構造を示す。図12では、シリコン基板等の半導体基板1上に、酸化膜等のゲート絶縁膜2を介してポリメタルゲート電極が形成されている。このポリメタルゲート電極は、poly-Si膜等の導電性シリコン膜3と、 $\text{WN}_x$ 膜やWSiN膜等のバリア膜5と、W膜等の金属膜6とを、半導体基板1側から順に積み上げた構造となっている。

#### 【0011】

ポリメタルゲート電極では、シート抵抗値が約5以下ときわめて小さいので、ゲート電

50

極や配線における信号遅延量を低く抑えることができる。よって、微細化による動作高速性のメリットを十分に活かせる。

【0012】

また、サリサイド法のような形成プロセスを採らないので、SAC構造の形成も容易に行える。図12を用いて説明すれば、導電性シリコン膜3とバリア膜5と金属膜6とをゲート電極や配線に形成する前に、金属膜6上にさらに絶縁膜(図示せず)をパターニングする。そして、フォトリソグラフィ技術およびエッチング技術を用いてゲート電極や配線の形に形成すれば、上面に絶縁膜を備えたゲート電極および配線が形成できる。そして、この後に一般的なサイドウォール形成プロセスを採用すれば、SAC構造が得られる。

【0013】

なお、ポリメタルゲート電極構造においてバリア膜5を導入している理由は、以下の通りである。

【0014】

もし、金属/導電性シリコンのように単純な二層の積層構造であった場合、半導体装置の製造過程で必然的に伴う高温プロセスを経たときに、接触する金属とSiとが反応して、両者の界面にシリサイド層が形成される。シリサイド層の抵抗値は金属の抵抗値に比較して一般に高いため、ゲート電極および配線の抵抗値が増大することになる。

【0015】

このシリサイド層形成現象を防ぐために、バリア膜が設けられる。図12の金属膜6にWを採用する場合ならば、上記した $WN_x$ 膜や $WSiN$ 膜が金属とSiとの相互拡散を抑制し、バリア膜5として機能する。バリア膜5によりシリサイド層の形成が阻止されることで、高温プロセス経過後もゲート電極および配線の抵抗値を低く維持することができる。

【0016】

【発明が解決しようとする課題】

しかし、 $WN_x$ 膜や $WSiN$ 膜をバリア膜に採用したポリメタルゲート電極では、金属/導電性シリコン間の抵抗の値を低く抑えることができず、さらに、電流密度の値の変化に対し金属/導電性シリコン間の抵抗の値が一定とならないという問題がある。このことを図13を用いて説明する。なお、ここでいう金属/導電性シリコン間の抵抗とは、図12における導電性シリコン膜3と金属膜6との間の電位差を、通過する電流密度で除した値のことを指す。

【0017】

図13は、図12に示すポリメタルゲート電極における金属/導電性シリコン間の抵抗-電流密度の特性の測定結果を示す図である。なお、図13においては、縦軸が抵抗 $R_c$ 、横軸が電流密度 $J$ である。

【0018】

図13に示されている通り、金属/導電性シリコン間の抵抗の値はおよそ $1 \times 10^{-5} \text{ } \Omega \cdot \text{cm}^2$ 以上の値となっており、十分に低い値とはいえない。そのため、金属/導電性シリコン間の抵抗に起因する信号遅延の抑制を行うことが困難となっていた。

【0019】

また、図13に示されている通り、電流密度の値の変化に対して金属/導電性シリコン間の抵抗の値が一定とならず、非オーミック性を示している。そのため、電流密度の値の変動に対してゲート電圧の変動が発生し、 $WN_x$ 膜または $WSiN$ 膜をバリア膜に採用したポリメタルゲート電極は、ゲート電極として適しているとは言い難かった。

【0020】

以上の問題点は、バリア膜である $WN_x$ 膜または $WSiN$ 膜が高抵抗を示すことが原因であると考えられる。

【0021】

そこで、この発明の課題は、金属/導電性シリコン界面におけるシリサイド層の形成を防止可能であって、さらに低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置およびその製造方法を提供することにある。

## 【 0 0 2 2 】

## 【課題を解決するための手段】

請求項 1 に記載の発明は、基板と、前記基板上に形成された導電性シリコン膜と、前記導電性シリコン膜上に形成され、金属原子およびシリコン原子を含むシリサイド膜と、前記シリサイド膜上に形成され、金属原子、窒素原子およびシリコン原子を含む第 1 の組合わせ、または、酸素原子と窒素原子とのうち少なくとも一方およびシリコン原子を含む第 2 の組合わせ、または、金属原子および窒素原子を含む第 3 の組合わせ、のいずれかを有するバリア膜と、前記バリア膜上に形成された金属膜とを備え、前記導電性シリコン膜中にはドーパントが含まれ、前記シリサイド膜は、前記導電性シリコン膜上において不連続な島状に形成されている半導体装置である。

10

## 【 0 0 2 3 】

請求項 2 に記載の発明は、請求項 1 に記載の半導体装置であって、前記シリサイド膜に含まれる前記金属原子は、W, Mo, Ti, Ta, Nb, V, Zr, Hf, Cr, Co のうちの 1 つまたは複数である半導体装置である。また請求項 3 に記載の発明は、請求項 1 に記載の半導体装置であって、前記バリア膜は、前記第 1 または第 3 の組合わせを有し、前記バリア膜に含まれる前記金属原子は、W, Mo, Ti, Ta, Nb, V, Zr, Hf, Cr, Co のうちの 1 つまたは複数である半導体装置である。

## 【 0 0 2 4 】

請求項 5 に記載の発明は、基板上に導電性シリコン膜を形成する工程 ( a ) と、前記導電性シリコン膜上に、金属原子およびシリコン原子を含むシリサイド膜を形成する工程 ( b ) と、前記シリサイド膜上に、金属原子、窒素原子およびシリコン原子を含む第 1 の組合わせ、または、酸素原子と窒素原子とのうち少なくとも一方およびシリコン原子を含む第 2 の組合わせ、または、金属原子および窒素原子を含む第 3 の組合わせ、のいずれかを有するバリア膜を形成する工程 ( c ) と、前記バリア膜上に金属膜を形成する工程 ( d ) と、前記導電性シリコン膜、前記シリサイド膜、前記バリア膜および前記金属膜を、フォトリソグラフィ技術およびエッチング技術を用いてパターニングする工程 ( e ) と、前記導電性シリコン膜中にドーパントを注入する工程 ( f ) と、前記シリサイド膜に熱処理を行い、前記シリサイド膜を不連続な島状に形成する工程 ( g ) とを備える半導体装置の製造方法である。

20

## 【 0 0 2 8 】

請求項 6 に記載の発明は、請求項 5 に記載の半導体装置の製造方法であって、前記シリサイド膜の膜厚はおよそ 10 nm 以下に設定される半導体装置の製造方法である。

30

## 【 0 0 2 9 】

請求項 4 に記載の発明は、請求項 1 に記載の半導体装置を少なくとも 2 つ、第 1 および第 2 の半導体装置として備え、前記第 1 および第 2 の半導体装置の前記導電性シリコン膜、シリサイド膜、バリア膜および金属膜を含む構造をゲート電極とし、前記第 1 および第 2 の半導体装置の前記基板および前記導電性シリコン膜の間にはそれぞれさらに、ゲート絶縁膜が形成され、前記第 1 および第 2 の半導体装置の前記基板内にはそれぞれさらに、ウェルおよびソース / ドレイン電極が形成され、前記第 1 および第 2 の半導体装置の間で前記導電性シリコン膜同士が電氣的に接続された CMOS トランジスタである。

40

## 【 0 0 3 0 】

## 【発明の実施の形態】

## &lt; 実施の形態 1 &gt;

本実施の形態は、金属 / 導電性シリコン界面におけるシリサイド層の形成を防止可能であって、さらに低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現するものである。本実施の形態にかかる半導体装置においては、導電性シリコン膜とバリア膜との間にシリサイド膜を挿入することで、上記の問題点を解決する。

## 【 0 0 3 1 】

図 1 は本実施の形態に係る半導体装置を示す断面図である。図 1 に示すように、この半導体装置においては図 1 2 と同様、シリコン基板等の半導体基板 1 上に、酸化膜等のゲート

50

絶縁膜 2 を介してポリメタルゲート電極が形成されている。

【 0 0 3 2 】

ただし、このポリメタルゲート電極は図 1 2 と異なり、導電性シリコン膜 3 と、シリサイド膜 4 と、バリア膜 5 と、金属膜 6 とを、半導体基板 1 側から順に積み上げた構造となっている。すなわち、図 1 2 に比べて導電性シリコン膜 3 とバリア膜 5 との間にシリサイド膜 4 が挿入されている。

【 0 0 3 3 】

導電性シリコン膜 3 には例えばpoly-Si膜を採用し、金属膜 6 には例えばW膜を採用すればよい。また、シリサイド膜 4 は金属原子およびシリコン原子を含む膜であり、例えばWSi膜を採用すればよい。また、バリア膜 5 は金属原子、窒素原子およびシリコン原子を含む膜であり、例えばWSiN膜を採用すればよい。

10

【 0 0 3 4 】

シリサイド膜 4 を設けることで、バリア膜 5 の高抵抗性が緩和され、金属 / 導電性シリコン間の抵抗の値を従来の技術に比べ、低く抑えることができる。

【 0 0 3 5 】

この構造の下で、図 1 3 と同様の、金属 / 導電性シリコン間の抵抗 - 電流密度の特性を測定したところ、図 2 に示すような結果となった。図 2 に示されている通り、本実施の形態にかかる半導体装置においては、金属 / 導電性シリコン間の抵抗の値はおおよそ  $2 \times 10^{-6} \cdot \text{cm}^2$  以下の値となっており、従来の半導体装置の場合に比べ十分に低い。よって、本実施の形態にかかる半導体装置を用いれば、金属 / 導電性シリコン間の抵抗に起因する信号遅延を抑制することができる。

20

【 0 0 3 6 】

また、図 2 に示されている通り、電流密度の値の変化に対して金属 / 導電性シリコン間の抵抗の値が一定となっており、本実施の形態にかかる半導体装置はオーミック性を示している。そのため、電流密度の値の変動に対してゲート電圧の変動が発生しにくい。

【 0 0 3 7 】

本実施の形態にかかる半導体装置を用いれば、導電性シリコン膜 3 とバリア膜 5 との間にシリサイド膜 4 を挿入することで、低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

【 0 0 3 8 】

なお、シリサイド膜 4 およびバリア膜 5 中に含まれる金属原子は、W, Mo, Ti, Ta, Nb, V, Zr, Hf, Cr, Co のうちの 1 つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

30

【 0 0 3 9 】

< 実施の形態 2 >

本実施の形態は、実施の形態 1 にかかる半導体装置の製造方法について説明するものである。以下、図 3 ~ 図 9 を用いて説明する。

【 0 0 4 0 】

まず、図 3 に示すように、シリコン基板等の半導体基板 1 上に酸化膜等のゲート絶縁膜 2 を、熱酸化法等により例えば約 3 nm の膜厚で形成する。次に、図 4 に示すように、ゲート絶縁膜 2 上にpoly-Si膜等の導電性シリコン膜 3 を、CVD (Chemical Vapor Deposition) 法等により例えば約 100 nm の膜厚で形成する。

40

【 0 0 4 1 】

続いて、図 5 に示すように、導電性シリコン膜 3 上にWSi膜等のシリサイド膜 4 を、スパッタ法等により例えば約 6 nm の膜厚で形成する。次に、図 6 に示すように、シリサイド膜 4 上にWN膜等の金属窒化膜 11 を、スパッタ法等により例えば約 5 nm の膜厚で形成する。そしてさらに、図 7 に示すように、金属窒化膜 11 上にW膜等の金属膜 6 を、スパッタ法等により例えば約 40 nm の膜厚で形成する。

【 0 0 4 2 】

そして、図 8 に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、導

50

電性シリコン膜 3、シリサイド膜 4、金属窒化膜 11 および金属膜 6 を、ポリメタルゲート電極の形状にパターニングする。

【0043】

続いて、例えば約 950 の熱処理を行って、金属窒化膜 11 をその直下のシリサイド膜 4 中のシリコン原子と反応させる。すると、図 9 に示すように金属窒化膜 11 とシリサイド膜 4 との界面付近に、金属原子、窒素原子およびシリコン原子を含むバリア膜 5 が約 1.5 nm の膜厚で形成される。このバリア膜 5 は、例えば WSiN 膜である。

【0044】

なお、WN 膜は熱に対する安定性が低く、熱処理されると N 成分が抜けて W 膜に変化しやすい。よって、金属窒化膜 11 に WN 膜を用いる場合、金属窒化膜 11 のうち上記熱処理によりバリア膜 5 に変質した部分以外は W 膜となり、上層の金属膜 6 に同化される。

【0045】

また、この熱処理には、例えば MISFET のソース/ドレイン領域の形成工程で適用される熱処理などを利用すればよい。

【0046】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 1 にかかる半導体装置を製造することができる。また、バリア膜 5 をシリサイド膜 4 と金属窒化膜 11 との間の熱反応を用いて形成するため、非常に薄いバリア膜 5 を形成することができるようになり、金属/導電性シリコン間の抵抗の値を効果的に抑制できる。

【0047】

< 実施の形態 3 >

本実施の形態は、実施の形態 2 にかかる半導体装置の製造方法の変形例である。本実施の形態にかかる半導体装置の製造方法においては、ポリメタルゲート電極のパターニング前に、金属窒化膜 11 とシリサイド膜 4 との界面付近にバリア膜 5 を形成する。

【0048】

まず、実施の形態 2 と同様の方法で、図 7 に示した構造を形成する。

【0049】

続いて、例えば約 950 の熱処理を行って、金属窒化膜 11 をその直下のシリサイド膜 4 中のシリコン原子と反応させる。すると、図 10 に示すように金属窒化膜 11 とシリサイド膜 4 との界面付近に、金属原子、窒素原子およびシリコン原子を含むバリア膜 5 が約 1.5 nm の膜厚で形成される。このバリア膜 5 は、例えば WSiN 膜である。なお、金属窒化膜 11 に WN 膜を用いる場合、金属窒化膜 11 のうち上記熱処理によりバリア膜 5 に変質した部分以外は W 膜となり、上層の金属膜 6 に同化される。

【0050】

その後、図 11 に示すようにフォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜 3、シリサイド膜 4、バリア膜 5 および金属膜 6 を、ポリメタルゲート電極の形状にパターニングする。

【0051】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 2 にかかる半導体装置の製造方法と同様の効果がある。

【0052】

< 実施の形態 4 >

本実施の形態は、実施の形態 1 にかかる半導体装置の変形例であり、バリア膜 5 に、窒素原子および酸素原子の少なくとも一方とシリコン原子とを含む膜を採用するものである。

【0053】

すなわち、本実施の形態においては、バリア膜 5 として例えば SiN 膜や SiO<sub>2</sub> 膜、SiON 膜等のいずれかまたは複数をを用いる。なお、その他の構造については実施の形態 1 にかかる半導体装置と同様であり、導電性シリコン膜 3 には例えば poly-Si 膜を、金属膜 6 には例えば W 膜を、シリサイド膜 4 には例えば WSi 膜を、それぞれ採用すればよい。

## 【 0 0 5 4 】

この構造の下においても、金属 / 導電性シリコン間の抵抗 - 電流密度の特性は、図 2 と同様の測定結果となった。よって、本実施の形態にかかる半導体装置を用いても、低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

## 【 0 0 5 5 】

なお、シリサイド膜 4 中に含まれる金属原子は、W , M o , T i , T a , N b , V , Z r , H f , C r , C o のうちの 1 つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

## 【 0 0 5 6 】

< 実施の形態 5 >

本実施の形態は、実施の形態 4 にかかる半導体装置の製造方法について説明するものである。以下、図 3 ~ 図 5 および図 1 1、図 1 4、図 1 5 を用いて説明する。

## 【 0 0 5 7 】

まず、実施の形態 2 にかかる半導体装置の製造方法と同様に、シリコン基板等の半導体基板 1 上に酸化膜等のゲート絶縁膜 2 を、熱酸化法等により例えば約 3 n m の膜厚で形成する ( 図 3 )。そして、ゲート絶縁膜 2 上に poly- S i 膜等の導電性シリコン膜 3 を、C V D 法等により例えば約 1 0 0 n m の膜厚で形成する ( 図 4 )。

## 【 0 0 5 8 】

続いて、導電性シリコン膜 3 上に W S i 膜等のシリサイド膜 4 を、スパッタ法等により例えば約 1 5 n m の膜厚で形成する ( 図 5 )。次に、図 1 4 に示すように、シリサイド膜 4 上に S i N 膜等のバリア膜 5 を、C V D 法等により例えば約 3 n m の膜厚で形成する。そしてさらに、図 1 5 に示すように、バリア膜 5 上に W 膜等の金属膜 6 を、スパッタ法等により例えば約 4 0 n m の膜厚で形成する。

## 【 0 0 5 9 】

そして、図 1 1 の場合と同様に、フォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜 3、シリサイド膜 4、バリア膜 5 および金属膜 6 を、ポリメタルゲート電極の形状にパターンニングする。

## 【 0 0 6 0 】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 4 にかかる半導体装置を製造することができる。

## 【 0 0 6 1 】

< 実施の形態 6 >

本実施の形態も、実施の形態 1 にかかる半導体装置の変形例であり、バリア膜 5 に、窒素原子および金属原子を含む膜を採用するものである。

## 【 0 0 6 2 】

すなわち、本実施の形態においては、バリア膜 5 として例えば T i N 膜を用いる。なお、その他の構造については実施の形態 1 にかかる半導体装置と同様であり、導電性シリコン膜 3 には例えば poly- S i 膜を、金属膜 6 には例えば W 膜を、シリサイド膜 4 には例えば W S i 膜を、それぞれ採用すればよい。

## 【 0 0 6 3 】

この構造の下においても、金属 / 導電性シリコン間の抵抗 - 電流密度の特性は、図 2 と同様の測定結果となった。よって、本実施の形態にかかる半導体装置を用いても、低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

## 【 0 0 6 4 】

なお、シリサイド膜 4 およびバリア膜 5 中に含まれる金属原子は、W , M o , T i , T a , N b , V , Z r , H f , C r , C o のうちの 1 つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

## 【 0 0 6 5 】

10

20

30

40

50



## &lt;実施の形態 7&gt;

本実施の形態は、実施の形態 6 にかかる半導体装置の製造方法について説明するものである。以下、図 3 ~ 図 5 および図 11、図 14、図 15 を用いて説明する。

## 【0066】

まず、実施の形態 2 にかかる半導体装置の製造方法と同様に、シリコン基板等の半導体基板 1 上に酸化膜等のゲート絶縁膜 2 を、熱酸化法等により例えば約 3 nm の膜厚で形成する(図 3)。そして、ゲート絶縁膜 2 上に poly-Si 膜等の導電性シリコン膜 3 を、CVD 法等により例えば約 100 nm の膜厚で形成する(図 4)。

## 【0067】

続いて、導電性シリコン膜 3 上に WSi 膜等のシリサイド膜 4 を、スパッタ法等により例えば約 15 nm の膜厚で形成する(図 5)。次に、図 14 の場合と同様に、シリサイド膜 4 上に TiN 膜等のバリア膜 5 を、スパッタ法等により例えば約 10 nm の膜厚で形成する。そしてさらに、図 15 の場合と同様に、バリア膜 5 上に W 膜等の金属膜 6 を、スパッタ法等により例えば約 40 nm の膜厚で形成する。

## 【0068】

そして、図 11 の場合と同様に、フォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜 3、シリサイド膜 4、バリア膜 5 および金属膜 6 を、ポリメタルゲート電極の形状にパターンニングする。

## 【0069】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 6 にかかる半導体装置を製造することができる。

## 【0070】

## &lt;実施の形態 8&gt;

本実施の形態も、実施の形態 1 にかかる半導体装置の変形例であり、シリサイド膜 4 を不連続な島状に形成した半導体装置である。

## 【0071】

図 16 は本実施の形態に係る半導体装置を示す断面図である。図 16 に示すように、この半導体装置においては、実施の形態 1 におけるシリサイド膜 4 の代わりに、不連続な島状に形成された島状シリサイド膜 41 が形成されている。

## 【0072】

なお、シリサイド膜 41 の材質には、実施の形態 1 の場合と同様、例えば WSi 膜を採用すればよい。また、その他の構造については実施の形態 1 にかかる半導体装置と同様であり、導電性シリコン膜 3 には例えば poly-Si 膜を、金属膜 6 には例えば W 膜を、バリア膜 5 には例えば WSiN 膜を、それぞれ採用すればよい。

## 【0073】

シリサイド膜 4 を不連続な島状に形成することの利点を、以下に述べる。

## 【0074】

シリサイド膜には、導電性シリコン中の不純物を吸い上げてしまう作用があり、シリサイド膜の周辺の導電性シリコン中の不純物濃度を変化させやすい、という問題がある。この問題の及ぼす影響を、導電性シリコン膜上にシリサイド膜が設けられた構造である、従来のポリサイド構造のゲート電極を例に採って説明する。

## 【0075】

ポリサイド構造のゲート電極においては、導電性シリコン膜中のドーパント(BやP、Asなど)が直上のシリサイド膜内に拡散して、両膜におけるドーパント濃度差を減少させようとする現象が発生しやすい。あるいは、導電性シリコン膜中のドーパントがシリサイド膜と反応して化合物を生成しようとする現象も発生しやすい。

## 【0076】

このようなドーパントの拡散現象および反応現象は、単独で、あるいは両方同時に発生するが、これらのいずれかの現象が発生してしまうと、導電性シリコン膜中のドーパントがシリサイド膜内に吸い上げられることになる。よって、導電性シリコン膜のドーパント濃

10

20

30

40

50

度が低下する。

【0077】

しかも、ゲート電極がCMOS (Complementary Metal Oxide Semiconductor) トランジスタを構成している場合には、一方のトランジスタのゲート電極中のドーパントが吸い上げられて、そのドーパントが配線を介して他方のトランジスタのゲート電極へと移動しやすい。

【0078】

その結果、CMOS トランジスタを構成するPチャネルMOS トランジスタおよびNチャネルMOS トランジスタの各ゲート電極におけるドーパント濃度が、設計値から外れてしまい、各トランジスタのしきい値電圧の値を変化させやすいという問題が生じる。

10

【0079】

図1に示した、実施の形態1のポリメタルゲート電極の構造の場合も、バリア膜5と導電性シリコン膜3との間にシリサイド膜4が設けられるため、上述の従来のポリサイド構造のゲート電極の場合と同様、導電性シリコン膜3中のドーパントをシリサイド膜4が吸い上げて、CMOS トランジスタのしきい値電圧の値を変化させる可能性がある。

【0080】

そこで、シリサイド膜4がたとえ導電性シリコン膜3中のドーパントを吸い上げたとしても、配線を介して一方のトランジスタのゲート電極から他方のトランジスタのゲート電極へと移動する現象を防ぐ必要が生じる。

【0081】

20

そのために、シリサイド膜4を不連続な島状に形成するのである。不連続な島状に形成すれば、シリサイド膜がたとえ導電性シリコン膜3中のドーパントを吸い上げたとしても、各島同士の間には導電性シリコン膜3が存在するので、各島間をドーパントが移動しにくい。よって、CMOS トランジスタ構成のゲート電極に実施の形態1のポリメタルゲート電極を適用したとしても、両トランジスタのゲート電極間でドーパントが移動しにくく、その結果、しきい値電圧の値の変化が発生しにくい。

【0082】

図17は、本実施の形態にかかる半導体装置をCMOS トランジスタに適用した場合の構成例を示す図である。図17においては、半導体基板1内にP型ウェル1aおよびN型ウェル1bが隣接して設けられ、各ウェル上に図16のポリメタルゲート電極構造が設けら

30

れている。

【0083】

すなわち、P型ウェル1a上には、ゲート絶縁膜2、導電性シリコン膜3a、島状シリサイド膜41、バリア膜5および金属膜6を備えるポリメタルゲート電極構造が形成され、N型ウェル1b上には、ゲート絶縁膜2、導電性シリコン膜3b、島状シリサイド膜41、バリア膜5および金属膜6を備えるポリメタルゲート電極構造が形成されている。なお、導電性シリコン膜3a、3bにはそれぞれ、異なる導電型のドーパントが注入済みである。

【0084】

そして、各ウェル1a、1bにおいてはソース/ドレイン領域10a、10bが設けられて、それぞれポリメタルゲート電極とともにNチャネルMOS トランジスタおよびPチャネルMOS トランジスタを構成している。また、両トランジスタのポリメタルゲート電極同士は、この断面では図示されていない配線により電氣的に接続されている。

40

【0085】

なお、図17においては、ポリメタルゲート電極の上面を覆う絶縁膜7と、ポリメタルゲート電極の側面を覆うサイドウォール絶縁膜8とが形成されており、SAC構造となっている。また、PチャネルMOS トランジスタとNチャネルMOS トランジスタとの間は、フィールド分離膜9により絶縁されている。

【0086】

なお、シリサイド膜4を不連続な島状に形成する具体的な方法については、次の実施の形

50

態 9 において述べられる。

【 0 0 8 7 】

このような島状シリサイド膜を含む構造の下においても、金属 / 導電性シリコン間の抵抗 - 電流密度の特性は、図 2 と同様の測定結果となった。よって、本実施の形態にかかる半導体装置を用いても、低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

【 0 0 8 8 】

なお、島状シリサイド膜 4 1 およびバリア膜 5 中に含まれる金属原子は、W , M o , T i , T a , N b , V , Z r , H f , C r , C o のうちの 1 つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

10

【 0 0 8 9 】

< 実施の形態 9 >

本実施の形態は、実施の形態 8 にかかる半導体装置の製造方法について説明するものである。以下、図 3 ~ 図 5 および図 1 8 ~ 図 2 2 を用いて説明する。

【 0 0 9 0 】

まず、実施の形態 2 にかかる半導体装置の製造方法と同様に、シリコン基板等の半導体基板 1 上に酸化膜等のゲート絶縁膜 2 を、熱酸化法等により例えば約 3 n m の膜厚で形成する ( 図 3 ) 。そして、ゲート絶縁膜 2 上に poly- S i 膜等の導電性シリコン膜 3 を、C V D 法等により例えば約 1 0 0 n m の膜厚で形成する ( 図 4 ) 。ポリメタルゲート電極をトランジスタに用いる場合は、そのしきい値電圧の値を制御するために、このとき、導電性シリコン膜 3 にドーパントを注入する。

20

【 0 0 9 1 】

続いて、導電性シリコン膜 3 上に W S i 膜等のシリサイド膜 4 を、スパッタ法等により例えば約 5 n m の膜厚で形成する ( 図 5 ) 。

【 0 0 9 2 】

次に、シリサイド膜 4 を島状に凝集させて、図 1 8 に示すような島状シリサイド膜 4 1 を形成する。このシリサイド膜の凝集は、例えば約 9 0 0 の熱処理を行うことによって実現することができる。この凝集は、シリサイド膜 4 の膜厚が薄いために熱処理によって局所的な原子の移動が発生しやすいことから生じる現象であると考えられる。なお、発明者の実験によれば、シリサイド膜の膜厚をおよそ 1 0 n m 以下にして熱処理すれば凝集が生じやすいことが判明している。

30

【 0 0 9 3 】

次に、図 1 9 に示すように、島状シリサイド膜 4 1 上に W N 膜等の金属窒化膜 1 1 を、スパッタ法等により例えば約 5 n m の膜厚で形成する。そしてさらに、図 2 0 に示すように、金属窒化膜 1 1 上に W 膜等の金属膜 6 を、スパッタ法等により例えば約 4 0 n m の膜厚で形成する。

【 0 0 9 4 】

そして、図 2 1 に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜 3、島状シリサイド膜 4 1、金属窒化膜 1 1 および金属膜 6 を、ポリメタルゲート電極の形状にパターニングする。

40

【 0 0 9 5 】

続いて、例えば約 9 5 0 の熱処理を行って、金属窒化膜 1 1 をその直下の島状シリサイド膜 4 1 および導電性シリコン膜 3 中のシリコン原子と反応させる。すると、図 2 2 に示すように金属窒化膜 1 1 と島状シリサイド膜 4 1 および導電性シリコン膜 3 との界面付近に、金属原子、窒素原子およびシリコン原子を含むバリア膜 5 が約 1 . 5 n m の膜厚で形成される。このバリア膜 5 は、例えば W S i N 膜である。

【 0 0 9 6 】

なお、実施の形態 2 で先述したように、W N 膜は熱に対する安定性が低く、熱処理されると N 成分が抜けて W 膜に変化しやすい。よって、金属窒化膜 1 1 に W N 膜を用いる場合、金属窒化膜 1 1 のうち上記熱処理によりバリア膜 5 に変質した部分以外は W 膜となり、上

50

層の金属膜 6 に同化される。

【 0 0 9 7 】

また、この熱処理には、例えば M I S F E T のソース / ドレイン領域の形成工程で適用される熱処理などを利用すればよい。

【 0 0 9 8 】

なお、シリサイド膜 4 を島状シリサイド膜 4 1 に変化させる熱処理には、例えば S A C 構造形成のために金属膜 6 上に S i N 膜等の絶縁膜（例えば図 1 7 の絶縁膜 7 に相当）を形成するときの C V D 法にともなう熱処理などを利用してもよい。

【 0 0 9 9 】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 8 にかかる半導体装置を製造することができる。また、バリア膜 5 を島状シリサイド膜 4 1 および導電性シリコン膜 3 と金属窒化膜 1 1 との間の熱反応を用いて形成するため、非常に薄いバリア膜 5 を形成することができるようになり、金属 / 導電性シリコン間の抵抗の値を効果的に抑制できる。

【 0 1 0 0 】

< 実施の形態 1 0 >

本実施の形態は、実施の形態 9 にかかる半導体装置の製造方法の変形例である。本実施の形態にかかる半導体装置の製造方法においては、ポリメタルゲート電極のパターニング前に、金属窒化膜 1 1 と島状シリサイド膜 4 1 および導電性シリコン膜 3 との界面付近にバリア膜 5 を形成する。

【 0 1 0 1 】

まず、実施の形態 9 と同様の方法で、図 2 0 に示した構造を形成する。

【 0 1 0 2 】

続いて、例えば約 9 5 0 の熱処理を行って、金属窒化膜 1 1 をその直下の島状シリサイド膜 4 1 および導電性シリコン膜 3 中のシリコン原子と反応させる。すると、図 2 3 に示すように金属窒化膜 1 1 と島状シリサイド膜 4 1 および導電性シリコン膜 3 との界面付近に、金属原子、窒素原子およびシリコン原子を含むバリア膜 5 が約 1 . 5 n m の膜厚で形成される。このバリア膜 5 は、例えば W S i N 膜である。なお、金属窒化膜 1 1 に W N 膜を用いる場合、金属窒化膜 1 1 のうち上記熱処理によりバリア膜 5 に変質した部分以外は W 膜となり、上層の金属膜 6 に同化される。

【 0 1 0 3 】

その後、図 2 4 に示すようにフォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜 3、島状シリサイド膜 4 1、バリア膜 5 および金属膜 6 を、ポリメタルゲート電極の形状にパターニングする。

【 0 1 0 4 】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態 9 にかかる半導体装置の製造方法と同様の効果がある。

【 0 1 0 5 】

< 実施の形態 1 1 >

本実施の形態は、実施の形態 8 にかかる半導体装置の変形例であり、バリア膜 5 に、窒素原子および酸素原子の少なくとも一方とシリコン原子とを含む膜を採用するものである。

【 0 1 0 6 】

すなわち、本実施の形態においては、バリア膜 5 として例えば S i N 膜や S i O<sub>2</sub> 膜、S i O N 膜等のいずれかまたは複数を用いる。なお、その他の構造については実施の形態 8 にかかる半導体装置と同様であり、導電性シリコン膜 3 には例えば poly-S i 膜を、金属膜 6 には例えば W 膜を、島状シリサイド膜 4 1 には例えば W S i 膜を、それぞれ採用すればよい。

【 0 1 0 7 】

この構造の下においても、金属 / 導電性シリコン間の抵抗 - 電流密度の特性は、図 2 と同様の測定結果となった。よって、本実施の形態にかかる半導体装置を用いても、低抵抗性

10

20

30

40

50

かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

【0108】

なお、島状シリサイド膜41中に含まれる金属原子は、W、Mo、Ti、Ta、Nb、V、Zr、Hf、Cr、Coのうちの1つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

【0109】

<実施の形態12>

本実施の形態は、実施の形態11にかかる半導体装置の製造方法について説明するものである。以下、図3～図5および図18、図24～図26を用いて説明する。

10

【0110】

まず、実施の形態2にかかる半導体装置の製造方法と同様に、シリコン基板等の半導体基板1上に酸化膜等のゲート絶縁膜2を、熱酸化法等により例えば約3nmの膜厚で形成する(図3)。そして、ゲート絶縁膜2上にpoly-Si膜等の導電性シリコン膜3を、CVD法等により例えば約100nmの膜厚で形成する(図4)。

【0111】

続いて、導電性シリコン膜3上にWSi膜等のシリサイド膜4を、スパッタ法等により例えば約5nmの膜厚で形成する(図5)。

【0112】

次に、シリサイド膜4を島状に凝集させて島状シリサイド膜41を形成する(図18)。このシリサイド膜の凝集は、例えば約900℃の熱処理を行うことによって実現することができる。

20

【0113】

次に、図25に示すように、島状シリサイド膜41上にSiN膜等のバリア膜5を、CVD法等により例えば約3nmの膜厚で形成する。そしてさらに、図26に示すように、バリア膜5上にW膜等の金属膜6を、スパッタ法等により例えば約40nmの膜厚で形成する。

【0114】

そして、図24の場合と同様に、フォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜3、島状シリサイド膜41、バリア膜5および金属膜6を、ポリメタルゲート電極の形状にパターニングする。

30

【0115】

なお、シリサイド膜4を島状シリサイド膜41に変化させる熱処理には、例えばSAC構造形成のために金属膜6上にSiN膜等の絶縁膜を形成するときのCVD法にともなう熱処理などを利用してよい。

【0116】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態11にかかる半導体装置を製造することができる。

【0117】

<実施の形態13>

40

本実施の形態も、実施の形態8にかかる半導体装置の変形例であり、バリア膜5に、窒素原子および金属原子を含む膜を採用するものである。

【0118】

すなわち、本実施の形態においては、バリア膜5として例えばTiN膜を用いる。なお、その他の構造については実施の形態8にかかる半導体装置と同様であり、導電性シリコン膜3には例えばpoly-Si膜を、金属膜6には例えばW膜を、島状シリサイド膜41には例えばWSi膜を、それぞれ採用すればよい。

【0119】

この構造の下においても、金属/導電性シリコン間の抵抗-電流密度の特性は、図2と同様の測定結果となった。よって、本実施の形態にかかる半導体装置を用いても、低抵抗性

50

かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

【0120】

なお、島状シリサイド膜41およびバリア膜5中に含まれる金属原子は、W、Mo、Ti、Ta、Nb、V、Zr、Hf、Cr、Coのうちの1つまたは複数であってもよい。その場合も、上記と同様の効果が得られる。

【0121】

<実施の形態14>

本実施の形態は、実施の形態13にかかる半導体装置の製造方法について説明するものである。以下、図3～図5および図18、図24～図26を用いて説明する。

10

【0122】

まず、実施の形態2にかかる半導体装置の製造方法と同様に、シリコン基板等の半導体基板1上に酸化膜等のゲート絶縁膜2を、熱酸化法等により例えば約3nmの膜厚で形成する(図3)。そして、ゲート絶縁膜2上にpoly-Si膜等の導電性シリコン膜3を、CVD法等により例えば約100nmの膜厚で形成する(図4)。

【0123】

続いて、導電性シリコン膜3上にWSi膜等のシリサイド膜4を、スパッタ法等により例えば約5nmの膜厚で形成する(図5)。

【0124】

次に、シリサイド膜4を島状に凝集させて島状シリサイド膜41を形成する(図18)。このシリサイド膜の凝集は、例えば約900℃の熱処理を行うことによって実現することができる。

20

【0125】

次に、図25の場合と同様に、島状シリサイド膜41上にTiN膜等のバリア膜5を、スパッタ法等により例えば約10nmの膜厚で形成する。そしてさらに、図26の場合と同様に、バリア膜5上にW膜等の金属膜6を、スパッタ法等により例えば約40nmの膜厚で形成する。

【0126】

そして、図24の場合と同様に、フォトリソグラフィ技術およびエッチング技術を用いて、導電性シリコン膜3、島状シリサイド膜41、バリア膜5および金属膜6を、ポリメタルゲート電極の形状にパターニングする。

30

【0127】

なお、シリサイド膜4を島状シリサイド膜41に変化させる熱処理には、例えばSAC構造形成のために金属膜6上にSiN膜等の絶縁膜を形成するときのCVD法にともなう熱処理などを利用してよい。

【0128】

本実施の形態にかかる半導体装置の製造方法を用いれば、実施の形態13にかかる半導体装置を製造することができる。

【0129】

【発明の効果】

40

請求項1乃至請求項3に記載の発明によれば、導電性シリコン膜とバリア膜との間にシリサイド膜が挿入されているので、低抵抗性かつオーミック性を示すポリメタルゲート電極を備える半導体装置を実現することができる。

【0130】

また、シリサイド膜が、不連続な島状に形成されているので、シリサイド膜がたとえ導電性シリコン膜中のドーパントを吸い上げたとしても、各島同士の間には導電性シリコン膜が存在するので、各島間をドーパントが移動しにくい。

【0131】

請求項5に記載の発明によれば、請求項1にかかる半導体装置を製造することができる。

50

## 【 0 1 3 5 】

請求項 6 に記載の発明によれば、シリサイド膜が島状に凝集しやすい。

## 【 0 1 3 6 】

請求項 4 に記載の発明によれば、請求項 1 に記載の半導体装置の導電性シリコン膜、シリサイド膜、バリア膜および金属膜を含む構造をゲート電極とするので、第 1 および第 2 の半導体装置のゲート電極間でドーパントが移動しにくく、その結果、しきい値電圧の値の変化が発生しにくい。

## 【図面の簡単な説明】

【図 1】 実施の形態 1 に係る半導体装置を示す図である。

【図 2】 実施の形態 1 に係る半導体装置の金属 / 導電性シリコン間の抵抗 - 電流密度特性を示す図である。 10

【図 3】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 4】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 5】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 6】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 7】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 8】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 9】 実施の形態 2 に係る半導体装置の製造方法を示す図である。

【図 10】 実施の形態 3 に係る半導体装置の製造方法を示す図である。

【図 11】 実施の形態 3 に係る半導体装置の製造方法を示す図である。 20

【図 12】 従来の半導体装置を示す図である。

【図 13】 従来の半導体装置の金属 / 導電性シリコン間の抵抗 - 電流密度特性を示す図である。

【図 14】 実施の形態 5 に係る半導体装置の製造方法を示す図である。

【図 15】 実施の形態 5 に係る半導体装置の製造方法を示す図である。

【図 16】 実施の形態 8 に係る半導体装置を示す図である。

【図 17】 実施の形態 8 に係る半導体装置を CMOS 構成に適用した場合を示す図である。

【図 18】 実施の形態 9 に係る半導体装置の製造方法を示す図である。

【図 19】 実施の形態 9 に係る半導体装置の製造方法を示す図である。 30

【図 20】 実施の形態 9 に係る半導体装置の製造方法を示す図である。

【図 21】 実施の形態 9 に係る半導体装置の製造方法を示す図である。

【図 22】 実施の形態 9 に係る半導体装置の製造方法を示す図である。

【図 23】 実施の形態 10 に係る半導体装置の製造方法を示す図である。

【図 24】 実施の形態 10 に係る半導体装置の製造方法を示す図である。

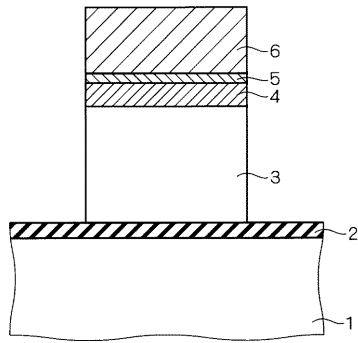
【図 25】 実施の形態 12 に係る半導体装置の製造方法を示す図である。

【図 26】 実施の形態 12 に係る半導体装置の製造方法を示す図である。

## 【符号の説明】

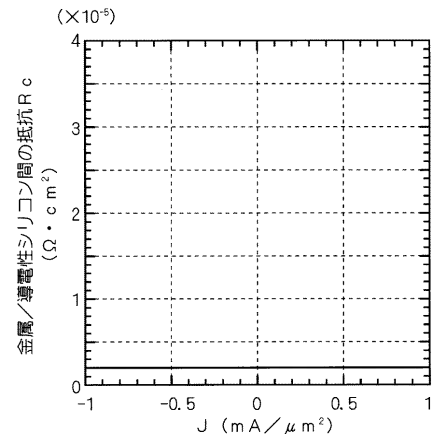
1 半導体基板、2 ゲート絶縁膜、3 導電性シリコン膜、4 シリサイド膜、4 1 島状シリサイド膜、5 バリア膜、6 金属膜、1 1 金属窒化膜。 40

【図 1】

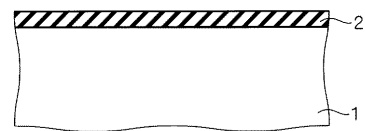


- 1 : 半導体基板  
 2 : ゲート絶縁膜  
 3 : 導電性シリコン膜  
 4 : シリサイド膜  
 5 : バリア膜  
 6 : 金属膜

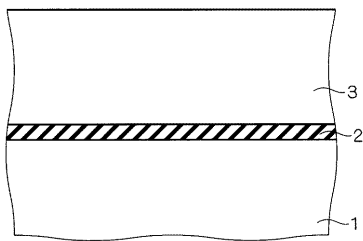
【図 2】



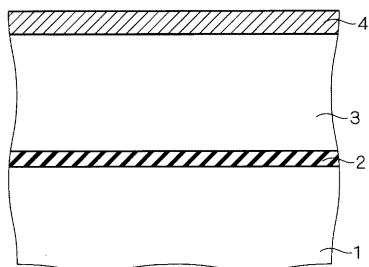
【図 3】



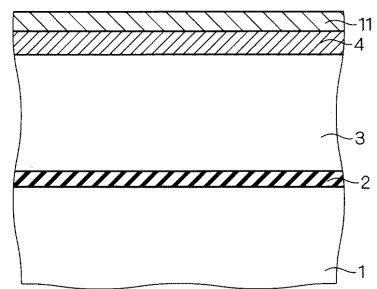
【図 4】



【図 5】

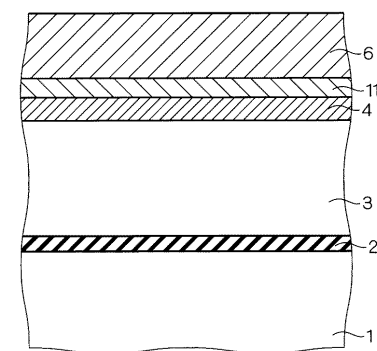


【図 6】



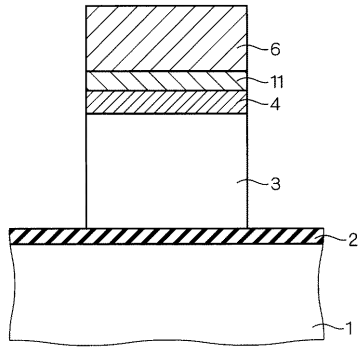
11 : 金属窒化膜

【図 7】

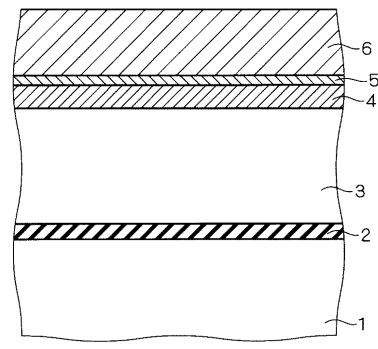




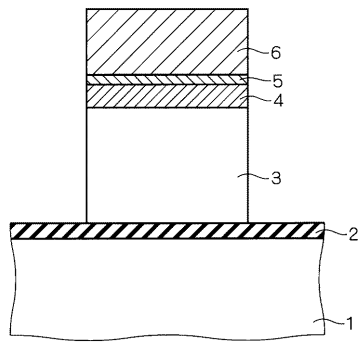
【図 8】



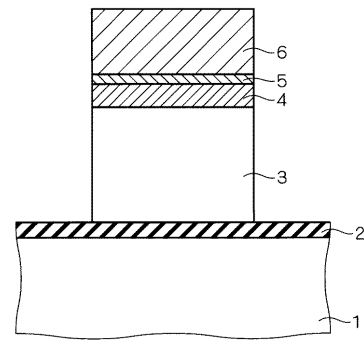
【図 10】



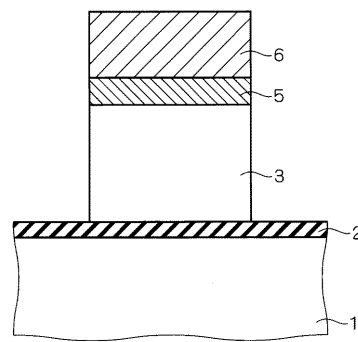
【図 9】



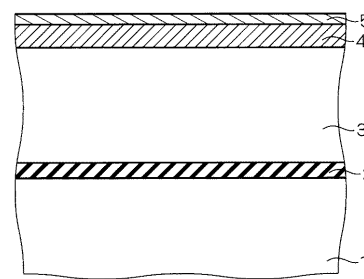
【図 11】



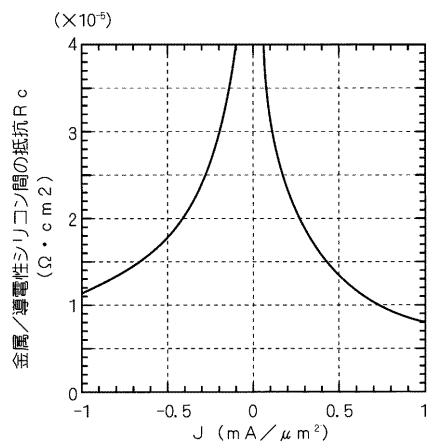
【図 12】



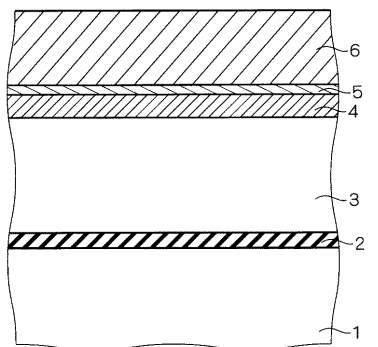
【図 14】



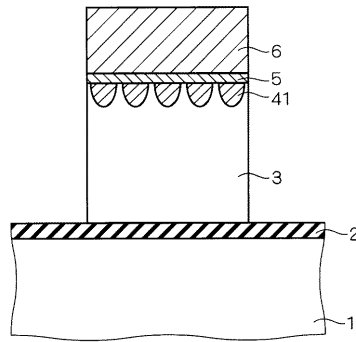
【図 13】



【図 15】

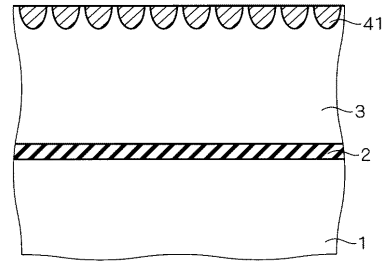


【図 16】

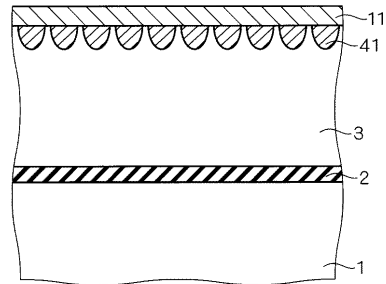


41 : 島状シリサイド膜

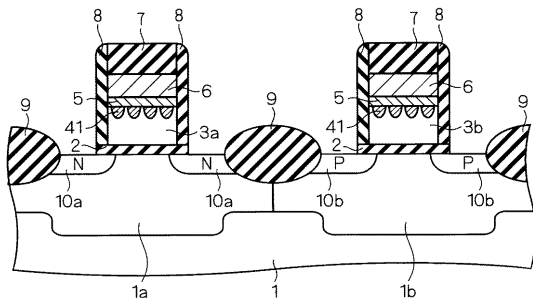
【図 18】



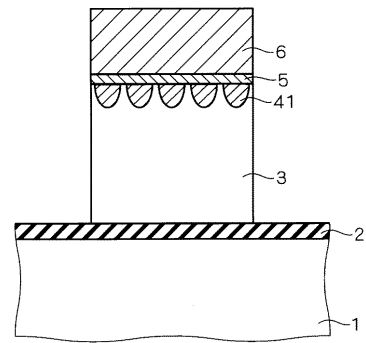
【図 19】



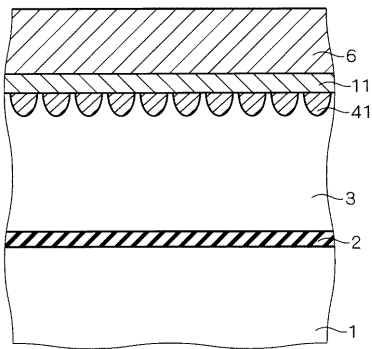
【図 17】



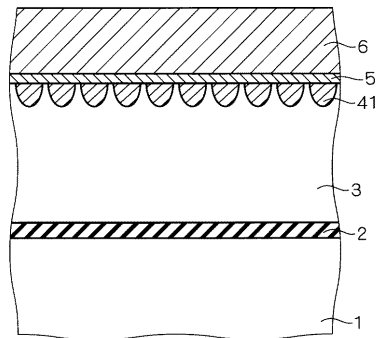
【図 22】



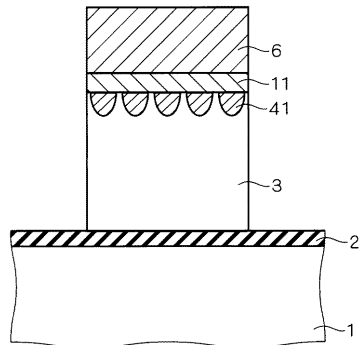
【図 20】



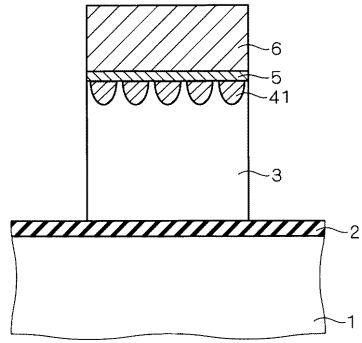
【図 23】



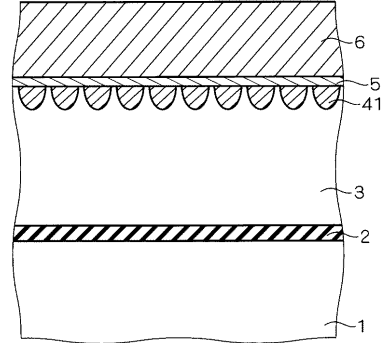
【図 21】



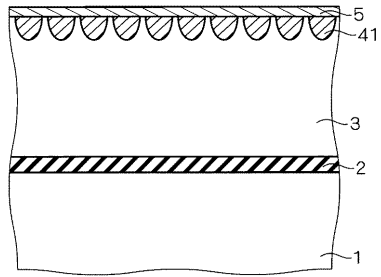
【図 2 4】



【図 2 6】



【図 2 5】



---

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 27/092 (2006.01)**

(56)参考文献 特開 2 0 0 0 - 0 3 6 5 9 3 ( J P , A )  
特開 2 0 0 0 - 0 6 8 5 0 2 ( J P , A )  
特開平 0 2 - 0 9 4 4 7 6 ( J P , A )  
特開平 0 7 - 2 4 9 6 8 4 ( J P , A )  
特開平 0 9 - 0 6 4 2 0 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/28  
H01L 21/8238  
H01L 21/336  
H01L 27/092  
H01L 29/423  
H01L 29/49  
H01L 29/78