

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4242995号  
(P4242995)

(45) 発行日 平成21年3月25日(2009.3.25)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.		F I		
HO 4 L 25/02	(2006.01)	HO 4 L 25/02	G	
HO 1 L 21/822	(2006.01)	HO 4 L 25/02	S	
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	F	

請求項の数 4 (全 22 頁)

(21) 出願番号	特願2000-64756 (P2000-64756)	(73) 特許権者	000005223
(22) 出願日	平成12年3月9日(2000.3.9)		富士通株式会社
(65) 公開番号	特開2000-307662 (P2000-307662A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年11月2日(2000.11.2)	(74) 代理人	100077517
審査請求日	平成18年5月25日(2006.5.25)		弁理士 石田 敬
(31) 優先権主張番号	09/265289	(74) 代理人	100092624
(32) 優先日	平成11年3月9日(1999.3.9)		弁理士 鶴田 準一
(33) 優先権主張国	米国 (US)	(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100082898
			弁理士 西山 雅也
		(74) 代理人	100081330
			弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 補助ドライバ

(57) 【特許請求の範囲】

【請求項1】

ドライバが信号を駆動するネットに含まれるノードに接続され、前記ドライバによる前記信号の駆動を補助する補助ドライバにおいて、

電源に接続されたソース端子と、前記ノードに接続されたドレイン端子と、プリチャージクロック信号が入力されるゲート端子を有する第1のトランジスタと、

接地されたソース端子と、前記ノードに接続されたドレイン端子と、ゲート端子を有する第2のトランジスタと、

電源に接続されたソース端子と、ドレイン端子と、前記プリチャージクロック信号の反転信号が入力されるゲート端子を有する第3のトランジスタと、

前記第3のトランジスタのドレイン端子に接続されたソース端子と、前記第2のトランジスタのゲート端子に接続されたドレイン端子と、前記ノードに接続されたゲート端子を有する第4のトランジスタと、

接地されたソース端子と、前記第4のトランジスタのドレイン端子に接続されたドレイン端子と、前記プリチャージクロック信号の反転信号が入力されるゲート端子を有する第5のトランジスタと、

接地されたソース端子と、前記第2のトランジスタのゲート端子に接続されたドレイン端子と、前記第2のトランジスタのドレイン端子または接地端子に配線により選択的に接続されるゲート端子を有する第6のトランジスタを備えることを特徴とする補助ドライバ

## 【請求項 2】

請求項 1 に記載の補助ドライバにおいて、さらに、

接地されたソース端子と、前記第 2 のトランジスタのゲート端子に接続されたドレイン端子と、前記第 2 のトランジスタのドレイン端子または接地端子に配線により選択的に接続されるゲート端子を有する第 7 のトランジスタを備えることを特徴とする補助ドライバ。

## 【請求項 3】

請求項 1 または 2 に記載の補助ドライバにおいて、

前記第 1 , 第 3 および第 4 のトランジスタは、第 1 導電型のトランジスタであり、

請求項 1 における前記第 2 , 第 5 および第 6 のトランジスタ、または、請求項 2 における前記第 2 , 第 5 , 第 6 および第 7 のトランジスタは、前記第 1 導電型と反対の第 2 導電型のトランジスタであることを特徴とする補助ドライバ。

10

## 【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の補助ドライバにおいて、

前記補助ドライバは、前記ノードの電圧が所定の電圧レベルに到達した場合に、前記ノードの電圧を変化させることを特徴とする補助ドライバ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、広く、データ伝達の分野に関し、特に、集積回路内の信号経路における信号の伝送速度を増加するための装置および方法に関する。

20

## 【0002】

## 【従来の技術】

信号の伝送遅延時間は、ネットワーク内の信号経路の長さが長くなるのに従って増加する。伝送遅延時間は、「負荷の大きな」ネットワーク（すなわち、容量性負荷の大きなネットワークやネット）上を伝送される信号の場合に比較的長くなる。これは、容量性負荷が大きいと、伝送信号の RC 遅延時間が長くなるからである。ここで、負荷の大きなネットとは、例えば、SRAM のワード線である。

## 【0003】

構成の規模が減少するにつれて、集積回路内の金属層における抵抗値は増加する。抵抗値が高くなると、金属層内に形成されたネット上を伝送される信号の RC 遅延が大きくなる。

30

マイクロプロセッサの周期は、マイクロプロセッサで処理された信号の伝送遅延時間が増加すれば、長くなる。しかも、クリティカルなネット上の信号の伝送遅延時間が長くなると、「クリティカルなネット（クリティカルパス：critical path）」におけるタイミング要件が満たされなくなるかも知れない。

## 【0004】

## 【発明が解決しようとする課題】

従来の手法によれば、通常、インバータで形成される中継器を長いネットに挿入して、信号の伝送速度を上げるようにしている。中継器は、長いネットを多数の短いネットへ分割し、そこで、各中継器で 1 つの短いネットを駆動する。多くの場合、所望の信号タイミング（或いは、最適なタイミング）は、インバータを奇数個挿入することで達成される。しかしながら、インバータを奇数個挿入することによって、伝送信号の極性が反転する（電圧が変動する）。伝送信号の元来の極性を取り戻すために、別のインバータをネットに追加してインバータの個数を偶数にする。しかしながら、別のインバータを追加すると、遅延が増大し、その結果、ネットに対する所望の信号タイミングの制約（或いは、最適なタイミング値）が満足されなくなるかも知れない。

40

## 【0005】

従来の手法には「近接効果（neighbor effect）」の問題もある。近接効果は、近接するネット（近接ネット）を伝送する信号が反対側に方向を替える時に生じる。近接効果は、有

50

効切り替え静電容量の増加を引き起し、信号の伝送遅延時間の増加を招く。

従って、集積回路内のネット上での信号の伝送速度を上げることができ、上記の従来の手法における課題を解決することのできる方法および装置が要望される。

【0006】

RC遅延の問題が深刻なのは、例えば、ネットに接続された多数のドライバの中のどれか1つによって駆動されるネットである。中継器は一方向性のものなので、ドライバはネットの全部の部分に信号を送ることができず、そのため、ネットに中継器を使用することができない。この種のネットは、例えば、多機能ユニットのリザルトバス(result bus)である。このような具体例における伝送遅延を改善するための方法および装置が望まれる。これを解決する従来の手法では、双方向性の中継器を使用している。しかしながら、双方向性の中継器は、速度が遅く信号の流れの方向を決定するための制御回路を必要とする。この制御回路は、対面積経費が高むだけでなく、その制御回路自体による速度の問題を引き起こすことになる。

【0007】

【課題を解決するための手段】

本発明によれば、ドライバが信号を駆動するネットに含まれるノードに接続され、前記ドライバによる前記信号の駆動を補助する補助ドライバにおいて、電源に接続されたソース端子と、前記ノードに接続されたドレイン端子と、プリチャージクロック信号が入力されるゲート端子を有する第1のトランジスタと、接地されたソース端子と、前記ノードに接続されたドレイン端子と、ゲート端子を有する第2のトランジスタと、電源に接続されたソース端子と、ドレイン端子と、前記プリチャージクロック信号の反転信号が入力されるゲート端子を有する第3のトランジスタと、前記第3のトランジスタのドレイン端子に接続されたソース端子と、前記第2のトランジスタのゲート端子に接続されたドレイン端子と、前記ノードに接続されたゲート端子を有する第4のトランジスタと、接地されたソース端子と、前記第4のトランジスタのドレイン端子に接続されたドレイン端子と、前記プリチャージクロック信号の反転信号が入力されるゲート端子を有する第5のトランジスタと、接地されたソース端子と、前記第2のトランジスタのゲート端子に接続されたドレイン端子と、前記第2のトランジスタのドレイン端子または接地端子に配線により選択的に接続されるゲート端子を有する第6のトランジスタを備えることを特徴とする補助ドライバが提供される。

本発明は、集積回路内に設けられた多数のドライバ中のどれか1つによって駆動されるネット上で高速の信号伝送を達成するための装置を提供する。この装置は、ネットを介して信号を駆動するための第1のドライバを備えている。第1の状態変化アシストドライバ(TAD: transition assist driver)は、信号が第1のノードに接近するにつれて第1のノードの電圧レベルが閾値に到達するのに応じて、ネット内の第1のノードの電圧レベルを変化させる。第1のノードがプリチャージされて論理レベル『1』になっている場合、第1のTADは、第1のノードの電圧レベルを論理レベル『0』へ変化させる。第1のノードがプリチャージされて論理レベル『0』になっている場合、第1のTADは、第1のノードの電圧レベルを論理レベル『1』へ変化させる。第1のTADが、第1のノードの電圧レベルを変化させると、ネットにおける信号の伝送速度が上がる。

【0008】

本発明の他の形態によれば、第2のTADが第2のノードでネットに接続される。第2のTADは、信号が第2のノードに接近するにつれて、第2のノードの電圧レベルを変化させる。第2のノードの電圧レベルを変化させることによって、信号の伝送速度がさらに上がる。さらなるTADを追加してネット上の別のノードに接続することによって、ネットにおける信号の伝送速度をさらに上げられるかも知れない。

【0009】

本発明のさらに他の形態によれば、切り替え速度或いはTADのノイズ不活性(noise immunity)が上がるように本発明に係るTADをプログラムすることによって、上記の閾値を調整することができる。

従来の手法では、中継器（インバータ）を用いてネットにおける信号の伝送速度を増加させている。しかしながら、中継器を奇数個設けることによって、伝送信号の極性が反転する（電圧が変動する）。本発明によれば、ネットにおける信号の伝送速度を上げるために中継器を使用することを回避できるので好都合である。加えて、本発明に係るTADは、伝送信号の極性を反転しない。

**【0010】**

本発明の別の形態によれば、近接するネット（近接ネット）をプリチャージし、その電圧を特定の電圧レベルにしておくというプリチャージ法が採用される。このプリチャージ法によれば、従来の手法の「近接効果」の問題を回避することができる。ここで、近接効果は、近接ネットを伝わる信号が反対方向に切り替わるときに生じる。近接効果の問題は、有効切り替え静電容量の増加を引き起し、信号の伝送遅延時間の増加を招く。本発明のプリチャージ法によれば、近接ネット上の信号が反対方向に切り替わることはない。1つのネット上の信号がある方向に切り替わるとき、近接ネット上の他の信号は、同一方向に切り替わるか、或いは、現在の極性を維持する。

10

**【0011】**

第2のドライバをネットに接続して、第1のドライバによって駆動される信号の方向と反対の方向に伝送するように信号を駆動するようにしてもよい。この場合、本発明に係る信号伝送システムにおいて双方向信号伝送が達成される。他のドライバをネット上の別の地点に追加すれば、ネットにおける双方向信号伝送が可能になる。

**【0012】**

本発明に係るTADは、ネットにおける信号の伝送方向に関わらずネット上の対応するノードの電圧レベルを変化させる。TADは、ネット上を伝送する信号によって生じる対応するノードの電圧レベルの変化を自動的に検出し、その対応するノードの電圧レベルを変化させて信号の伝送速度を上げる。

20

**【0013】****【発明の実施の形態】**

図1は本発明の第1実施例に係る信号伝送システム100を示す。図1に示されるように、信号伝送システム100は、信号102の伝送速度を上げることができ、集積回路（図示しない）に適用可能である。例えば、信号伝送システム100は、マイクロプロセッサ（図示しない）内で信号を送信するのに使用される。ドライバ105は、ネット（信号経路）110を介して信号102を駆動する。レシーバ112は信号102を受信する。信号伝送システム100に一方の信号伝送機能を発揮させる場合、ドライバ115、120および125は不活性化されるか省略される。

30

**【0014】**

ネット110上に配置された抵抗およびコンデンサをRおよびCで表す。コンデンサCは、ネット110の容量性特性および/または容量性負荷を表す。抵抗Rは、ネット110の抵抗性特性を表すもので、ネット110の長さが増加するにつれて、および/または、ネット110の幅が減少するにつれて、抵抗値が増大する。

**【0015】**

信号伝送システム100は、さらに、ノード142（または、B2）と144（または、B3）でネット110に接続された状態変化アシストドライバ（TAD）135および140を備えている。或る実施例においては、TAD135はインバータ145を備えている。インバータ145は、プリチャージクロック信号CLKを受信するための入力端子と、Pチャンネル型トランジスタ150のゲートに接続された出力端子とを備えている。Pチャンネル型トランジスタ150は、ソースがVDDなどの正電圧電源に接続され、ドレインがPチャンネル型トランジスタ155のソースに接続される。Pチャンネル型トランジスタ155は、ドレインがノード157に接続され、ゲートがノード142を介してネット110に接続される。Nチャンネル型トランジスタ160は、ドレインがノード157に接続され、ソースが接地（VSS）されゲートがインバータ145の出力端子に接続される。

40

**【0016】**

50

TAD135は、さらにPチャンネル型トランジスタ165を備えている。Pチャンネル型トランジスタ165は、プリチャージクロック信号CLKを受信するためのゲートと、VDDに接続されたソースと、ノード142を介してネット110に接続されたドレインとを備えている。Nチャンネル型トランジスタ170は、ドレインがノード142を介してネット110に接続され、ソースがVSSに接続され、そして、ゲートがノード157に接続される。

#### 【0017】

本発明によれば、ネット110に接続されるTADの個数は様々に異なる。図示していない代わりの実施例によれば、TADは1つだけネット110に接続される。或いは、別のTADとドライバおよび/またはレシーバとが、後述するように、信号伝送システム100内のネット110に追加される。

10

TAD135および/またはTAD140を使用することによって、ネット110上で生じる電圧変動の進捗速度(rate)が上がり、信号102の伝送速度が上がる。TAD135および/またはTAD140によって、TAD135と140とに対応するノードにおける電圧がレベル変化し、信号102に起因する電圧変動の進捗速度が上がる。TAD135と140は、信号の伝送速度の低下を効果的に補償する。信号速度の低下は、ライン線抵抗および配置された静電容量に起因する。別のTADをネット110に追加することによって、ネット110における信号の伝送速度がさらに上がる。このようにして、長いネット或いは容量性負荷の大きいネットにおける信号の伝送遅延を低減できる。

#### 【0018】

20

図1および図2を参照して、信号伝送システム100の作用について考察する。具体的に、図2は、ネット110上のノード142における電圧変動を時間に関連づけて表す第1の波形200を示す。波形205は、TAD135によるアシストがない時のノード142における電圧変動を表す。システムの電力投入中および/またはシステムリセット中、ネット110は、図2の時刻t a 0にプリチャージされ論理レベル『1』の電圧値を帯びる。論理レベル『1』の値は、例えば、およそ1.8ボルトである。プリチャージクロック信号CLKは、ネット110がプリチャージされて論理レベル『1』になっているとき、論理レベル『0』を示す。プリチャージクロック信号CLKは、ネット110のプリチャージ中低レベルなので、Pチャンネル型トランジスタ165はオンである。Pチャンネル型トランジスタ165は、ノード142の電圧をVDD電圧レベルへと変化させる。これによって、ネット110は、プリチャージされてVDD(論理レベル『1』)になる。

30

#### 【0019】

ネット110がプリチャージされて高レベルになっているので、ノード142は評価(evaluation)の前には高レベルである。従って、Pチャンネル型トランジスタ155は、ゲートを介してノード142から論理レベル『1』値を受信しているので、評価前にはオフである。

ネット110のプリチャージ中、インバータ145は、クロック信号CLKの論理レベル『0』値を論理レベル『1』へと反転させる。インバータ145の高レベル出力信号は、Pチャンネル型トランジスタ150とNチャンネル型トランジスタ160とのゲートへ印加される。このように、ネット110のプリチャージ中であって評価期間(evaluation period)の前には、Pチャンネル型トランジスタ150はオフでNチャンネル型トランジスタ160はオンである。従って、ネット110のプリチャージ中、ノード157は、電圧がNチャンネル型トランジスタ160によってVSSへと変化させられる。

40

#### 【0020】

次に、ユーザは、従来の外部の制御回路(図示しない)を使用して評価期間を開始する。制御回路は、プリチャージクロック信号CLKを論理レベル『0』から論理レベル『1』へと切り替える。プリチャージクロック信号CLKが論理レベル『1』へ切り替わると、Pチャンネル型トランジスタ165がオフになる。プリチャージクロック信号CLKの論理レベル『1』の値は、インバータ145によって論理レベル『0』の値へと反転させられる。このように、インバータ145の低レベル出力信号で、Pチャンネル型トランジスタ1

50

50はオンになり、Nチャネル型トランジスタ160はオフになる。この時、ノード157はVSS電圧レベルを維持する。

【0021】

本発明の代わりの実施例によれば、プリチャージクロック信号CLKは、チップ内(内部)クロック源(図示しない)によって生成されるかも知れない。チップ内クロック源は、プリチャージクロック信号CLKを生成する。プリチャージクロック信号は、インバータ145の入力端子およびPチャネル型トランジスタ165(図1)のゲートに印加される。そして、プリチャージクロック信号CLKの状態変化で評価期間の発生が決定する。

【0022】

時刻 $t_{a0}$ (図2参照)の後、ドライバ105は、論理レベル『0』の電圧変動を生じさせる信号102を発生する。ネット110のRC特性によって、ネット110における(論理レベル『1』から論理レベル『0』への)電圧変動の量は、時間と距離との関数になる。電圧変動の量は、ドライバ105に近接した位置(ネット110上)の方が大きい。

10

【0023】

ネット110を伝送する信号102によって、時刻 $t_{a1}$ に、ノード142の電圧はプリチャージVDD値から閾値 $V_{DD} - V_{\text{threshold}(\text{transistor } 155)}$ へと低下する。VDD値は、例えば、およそ1.8ボルトに等しい。 $V_{\text{threshold}(\text{transistor } 155)}$ の電圧は、トランジスタ155の閾値電圧として定義される。 $V_{\text{threshold}(\text{transistor } 155)}$ の値は、典型的には、およそ0.25ボルトに等しい。Pチャネル型トランジスタ155のゲートには、ノード142の電圧が印加される。Pチャネル型トランジスタ155のゲート電圧がおよそ $V_{DD} - V_{\text{threshold}(\text{transistor } 155)}$ へ低下すると、トランジスタ155はオンになる。Pチャネル型トランジスタ150および155は、両方ともオンになり、ノード157の電圧レベルをVSSからVDD(論理レベル『1』)へ変化させる。なお、Nチャネル型トランジスタはオフのままである。

20

【0024】

ノード157の電圧がVDDに変化するので、Nチャネル型トランジスタ170は時刻 $t_{a2}$ (図2)にオンになる。Nチャネル型トランジスタ170は、時刻 $t_{a3}$ にノード142の電圧をVSS(論理レベル『0』)へ変化させる。これで、ノード142における論理レベル『1』から論理レベル『0』への電圧変動は完了する。

【0025】

図2に示すように、TAD135により、ノード142の電圧レベルは、時刻 $t_{a3}$ にV1の電圧値だけさらに低下する。TAD135のアシストがない時、ノード142の電圧変動は、波形205で示すようにゆっくりと進む。長く負荷の大きいネットの場合、TAD135のアシストがないと、ノード142の電圧変動の進捗速度はさらに低下する。

30

【0026】

信号102がネット110を伝わる時、他のTAD(例えばTAD140)は、ネット110上の他のノードの電圧が論理レベル『0』へ変化し易くする。これによって、信号102のネット110における伝送速度はさらに上がる。

従来手法では、中継器(インバータ)を使用してネットにおける信号の伝送速度を上げていた。しかし、中継器を奇数個設けることによって、伝送信号の極性(電圧変動)が反転する。本発明によれば、優位にも、ネットにおける信号の伝送速度を上げるために中継器を使用することを回避できる。加えて、本発明に係るTADは、伝送信号の極性を反転させない。

40

【0027】

本発明のプリチャージ法によれば、近接ネットは、評価期間の前に、特定の電圧レベル(例えば論理レベル『1』)までプリチャージされる。このプリチャージ法によって、従来方法の「近接効果」問題を回避できる。ちなみに、近接効果は、近接ネットを伝わる信号が逆方向へ切り替えられたときに生じる。近接効果の問題は、有効切り替え静電容量の増加を引き起し、信号の伝送遅延時間の増加を招く。本発明のプリチャージ法では、近接ネットを伝わる信号は、逆方向へ切り替わらない。1つのネット上の信号が1つの方向に

50

切り替わると、近接ネット上の他の信号は、同一方向に切り替わるか、或いは、現在の極性を維持する。

【0028】

図3、図4および図5は、本発明の機能性について示すものである。図3は、本発明の第2実施例に係る信号伝送システム300の概略ブロック図である。システム300は、信号305を受信するためのレシーバ112、325および330を備えている。TAD135、140、345および350は、ノードB2、B3、B4およびB5でネット110に接続される。TAD135、140、345および350は、それぞれ対応するノードの電圧レベルが閾値（例えば、 $V_{DD} - V_{\text{threshold}}$ 、ここで、 $V_{\text{threshold}}$ は、例えば、およそ0.25ボルトに等しい）に達すると、そのノードの電圧レベルを変化させる。図4は、ネット410で信号405を送信する従来の信号伝送システム400を示す。ドライバ415は、レシーバ420、425および430によって受信される信号405を駆動する。信号405は、ネット410上のノードB1T~B5Tを介して伝わり、その後レシーバ420によって受信される。

10

【0029】

図5は、ネット110上のノードB1~B5における電圧レベルとネット410上のノードB1T~B5Tにおける電圧レベルとを特定の時間に関連づけて比較するためのグラフを示す。TAD135、140、345および350は、ノードB2、B3、B4およびB5の電圧が論理レベル『1』から論理レベル『0』へと変化し易くする。これによって、論理レベル『1』から論理レベル『0』への電圧変動は、ノードB2T~B5TでのものよりもノードB2~B5の方が速くなる。例えば、ノードB5の電圧レベルは、評価期間（図5参照）の開始からおよそ1.2ナノ秒後に論理レベル『0』（0.0ボルト）まで低下する。一方、ノードB5Tの電圧レベルは、評価期間の開始からおよそ2.2ナノ秒後に最低電圧レベルの200ミリボルトまで低下する。評価期間（evaluation period）は、図5に示すように、プリチャージクロック信号が論理レベル『1』へと立ち上がると同時に開始する。ノードB2~B5における電圧変動の方が進捗速度が高いのは、TAD135、140、345および350によってアシストされるからである。ノードB2~B5における電圧変動の方が進捗速度が高いことによって、ネット110における信号305の伝送速度が上がる。

20

【0030】

図6は、本発明の第3実施例に係る信号伝送システム500の概略ブロック図である。信号伝送システム500は、高い切り替え速度と優れたノイズ不活性との一方を犠牲にして他方を実現することできるプログラマブルTAD（programmable TAD）505を備えている。プログラマブルTAD505は、ノード142でネット110に接続される。TAD505のプログラマブル機能（programmable features）は、TADの回路構成にNチャンネル型トランジスタ510を加えるか否かによって異なる。具体的には、Nチャンネル型トランジスタ510は、ドレインがノード157に接続され、ソースがVSSに接続される。Nチャンネル型トランジスタ510のゲートは、二頭の矢印515で示すように、ノード142に接続されるか、或いは、VSSに接続される。TAD505を備えた集積回路チップ（図示しない）の最終金属層（final metal layer: 図示しない）を改造することによって、Nチャンネル型トランジスタ510のゲートをノード152かVSSかに接続させる。

30

40

[例1：Nチャンネル型トランジスタ510のゲートをVSSに接続した場合]

Nチャンネル型トランジスタ510のゲートがVSSに接続されると、Nチャンネル型トランジスタ510は、TAD505の回路構成から切り離される。従って、TAD505は、図1のTAD135と同様に機能し、ノード142の電圧を論理レベル『1』から論理レベル『0』へと変化させるための高速切り替えを行うことができるようになる。ここで、VDDがおよそ1.8ボルトに等しく、Pチャンネル型トランジスタ155の閾値電圧（ $V_{\text{threshold}}(\text{transistor } 155)$ ）がおよそ0.25ボルトであるとすると、Pチャンネル型トランジスタ155のゲート（或いは、ノード142）の電圧レベルは、 $V_{DD} - V_{\text{threshold}}(\text{transistor } 155) = 1.8 \text{ ボルト} - 0.25 \text{ ボルト} = 1.55 \text{ ボルト}$ まで低下する。

50

そして、Pチャネル型トランジスタ155はオンになる。Pチャネル型トランジスタ150および155がオンになり、Nチャネル型トランジスタ160はオフのままなので、ノード157の電圧は、VSSレベルからVDDレベルへと変化する。Nチャネル型トランジスタ170は、ノード157からVDD電圧レベルを受け取るのでオンになる。Nチャネル型トランジスタ170がオンになるので、ノード142はVSS（論理レベル『0』）へ変化する。このように、Nチャネル型トランジスタ510のゲートがVSSに接続されると、TAD505は、切り替えを開始し、ノード142の電圧レベルが閾値、例えば、1.55ボルトまで低下するのに対応し、そのノード142を論理レベル『0』へ変化させる。

【例2：Nチャネル型トランジスタ510のゲートをノード142に接続した場合】  
Nチャネル型トランジスタ510のゲートがノード142に接続されると、トランジスタ155および510は、インバータ525を構成する。インバータ525は、入力端子がノード142に接続され、出力端子がノード157に接続される。インバータ525の切り替え電圧VSWは、典型的に、およそ $(2/3)VDD = 1.2$ ボルトに維持される。従って、ノード142の電圧がおよそ $(2/3)VDD = 1.2$ ボルトにまで低下すると、インバータ525は、ノード157を論理レベル『1』の電圧レベルへと切り替える。ノード157が高レベルに切り替えられるので、トランジスタ170はオンになる。従って、ノード142はVSSへ変化し、ノード142での論理レベル『1』から論理レベル『0』への電圧変動は完了する。

#### 【0031】

トランジスタ510のゲートをノード142に接続することによって、TAD505によりノード142を論理レベル『0』へと変化させ易くなる前は、ノード142では比較的低い電圧レベルのおよそ0.9ボルトが必要とされる。従って、TAD505は、ノイズに対して優れた不活性を示す。TAD505は、高ノイズ度或いは高干渉度を示す環境において特に有用である。ノイズに対する優れた不活性を得るために犠牲にされた結果として、TAD505の切り替え速度は比較的遅い。TAD505によってノード142の電圧を低下させ易くなる前は、ノード142の電圧を比較的低い電圧レベルへ低下させる必要があるからである。

#### 【0032】

図7は、本発明の第4実施例に係る信号伝送システム600の一部を示す図である。信号伝送システム600は、ノード142でネット110に接続されたプログラマブルTAD605を備えている。TAD605のプログラマブル性は、TAD回路構成にNチャネル型トランジスタ（Nチャネル型トランジスタ610など）を追加して、TAD605のノイズに対する不活性をさらに向上させることによって達成される。Nチャネル型トランジスタ610は、ゲートがノード142に接続され、ドレインがノード157に接続され、そして、ソースがVSSに接続される。Pチャネル型トランジスタ155と並列Nチャネル型トランジスタ対510および610とでインバータ620が構成される。インバータ620は、入力端子がノード142に接続され出力端子がノード157に接続される。並列Nチャネル型トランジスタ対510および610は、インバータ620内の大規模トランジスタ（large size transistor）を効果的に構成する。これによって、インバータ620の切り替え電圧VSWは、 $(2/3)VDD$ 未満まで低下する。このように、インバータ620がノード157を論理レベル『1』へ切り替えてトランジスタ170をオンにする前は、ノード142の電圧を $(2/3)VDD$ 未満まで低下させなければならない。Nチャネル型トランジスタ170がオンになると、ノード142はVSS（論理レベル『0』）へ変化する。

#### 【0033】

Nチャネル型トランジスタ610と同様に、さらなるNチャネル型トランジスタをTAD605の回路構成に追加してもよい。このように、Nチャネル型トランジスタをさらに追加することで、インバータ620の切り替え電圧VSWの値が、典型的には、およそ $(2/3)VDD$ からおよそ $(1/2)VDD$ までの範囲でさらに低下するので、TAD60

10

20

30

40

50

5のノイズ不活性がさらに向上する。

【0034】

図8は、本発明の第5実施例に係る信号伝送システム700であって、システムの電力投入中および/またはシステムリセット中にネット705を論理レベル『0』までプリチャージするという信号伝送システムの概略ブロック図である。TAD710は、ノード712を介してネット705に接続され、インバータ715で構成される。インバータ715は、出力端子がPチャンネル型トランジスタ720およびNチャンネル型トランジスタ725のゲートに接続される。インバータ715の入力端子は、インバータ716の出力端子に接続される。インバータ716は、入力端子を介してプリチャージクロック信号CLKを受け取る。

10

【0035】

Pチャンネル型トランジスタ720は、ソースがVDDに接続され、ドレインがノード730に接続される。Nチャンネル型トランジスタ732は、ドレインがノード730に接続され、ソースがNチャンネル型トランジスタ725のドレインに接続され、そして、ゲートがノード712に接続される。Nチャンネル型トランジスタ725は、ソースがVSSに接続される。

【0036】

Pチャンネル型トランジスタ735は、ソースがVDDに接続され、ドレインがノード712に接続され、そして、ゲートがノード730に接続される。Nチャンネル型トランジスタ737は、ドレインがネット705に接続され、ソースがVSSに接続され、そして、ゲートがインバータ716の出力端子に接続される。

20

図8および図9を参照して、TAD710の作用について考察する。図9では、波形750は、TAD710のアシストがある場合のノード712における電圧変動を時間に関連づけて示す。波形755は、TAD710のアシストがない場合のノード712における電圧変動を時間に関連づけて示す。時刻tb0において、ネット705およびノード712は、論理レベル『0』までプリチャージされる。ネット705が、論理レベル『0』までプリチャージされているとき、プリチャージクロック信号CLKは論理レベル『0』の値を示す。低レベルクロック信号CLKは、インバータ716によって論理レベル『1』の信号へと反転させられる。インバータ716からの論理レベル『1』の出力信号で、Nチャンネル型トランジスタ737はオンになる。Nチャンネル型トランジスタ737は、プリチャージ中で評価期間の前にネット705の電圧レベルをVSS(論理レベル『0』)へ変化させる。

30

【0037】

ネット705のプリチャージ中、インバータ715は、インバータ716の高レベル出力信号を論理レベル『0』の信号へと反転させる。インバータ715の低レベル出力信号は、Pチャンネル型トランジスタ720およびNチャンネル型トランジスタ725のゲートへ印加される。Pチャンネル型トランジスタ720およびNチャンネル型トランジスタ725はオフになる。Nチャンネル型トランジスタ732は、ゲートが、プリチャージされて低レベルになっているノード712に接続されているので、Nチャンネル型トランジスタ732もオフである。Pチャンネル型トランジスタ720はオンなので、ネット705のプリチャージ中であって評価の前にノード730をVDDレベルへ変化させる。

40

【0038】

ユーザは、次に、従来の外部の制御回路(図示しない)を使用して評価期間を開始させる。制御回路は、プリチャージクロック信号CLKを論理レベル『0』から論理レベル『1』へと切り替える。評価期間の開始中にプリチャージクロック信号CLKが論理レベル『1』に切り替わると、インバータ716の出力は論理レベル『0』の信号になる。インバータ716の低レベル出力信号でNチャンネル型トランジスタ737はオフになる。また、インバータ716の低レベル出力信号は、インバータ715によって論理レベル『1』の信号へと反転させられる。インバータ715の高レベル出力信号でPチャンネル型トランジスタ720はオフになり、Nチャンネル型トランジスタ725はオンになる。このとき、ノ

50

ード730はVDDレベルを維持する。

【0039】

時刻tb0後、三状態ドライバ (tri-state driver) 745は、論理レベル『1』への電圧変動を伴う信号740を発生させる。時刻tb1で、ノード712の電圧レベルは、Nチャネル型トランジスタ732の閾値電圧(すなわち、 $V_{\text{threshold(transistor 732)}}$ )まで上昇する。これによって、Nチャネル型トランジスタ732がオンになる。 $V_{\text{threshold(transistor 732)}}$ の値は、典型的に、およそ0.25ボルトである。トランジスタ725と732とはオンでトランジスタ720はオフなので、トランジスタ725および732は、ノード730をVDD電圧レベルからVSS接地電圧レベルへと変化させる。ノード730が低レベルになったので、Pチャネル型トランジスタ735は、ゲートを介してノード730のVSS接地電圧値を受け取り、時刻tb2でオンになる。時刻tb3において、Pチャネル型トランジスタ735は、ノード712をVDD(論理レベル『1』)へと変化させる。これで、ノード712における論理レベル『0』から論理レベル『1』への電圧変動が完了する。

10

【0040】

図9に示すように、TAD710は、ノード712における電圧変動の進捗速度を上げる。例えば、時刻tb3で、波形750は、波形755より電圧値がV2だけ高い。

図10は、本発明の第6実施例に係る信号伝送システム800であって、システムの電力投入中および/またはシステムリセット中にネット705を論理レベル『0』までプリチャージするという信号伝送システムの概略ブロック図である。信号伝送システム800は、プログラブルTAD805を備えている。プログラブルTAD805は、ノード712を介してネット705に接続される。TAD805は、Pチャネル型トランジスタ770を備えている。Pチャネル型トランジスタ770は、ソースがVDDに接続され、ドレインがノード730に接続される。また、Pチャネル型トランジスタ770のゲートは、二頭の矢印775で示すように、ノード712かVSSかのどちらかに接続可能である。

20

【0041】

Pチャネル型トランジスタ770のゲートがVSSに接続された場合、トランジスタ770は、TAD805の回路構成から省かれる。TAD805は、図8のTAD710と同様に作用する。特に、前述したように、TAD805により、ノード712の電圧レベルがトランジスタ732の閾値電圧 $V_{\text{threshold(transistor 732)}}$ まで上昇するのに応えてノード712をVDDへと変化させ易くなる。なお、 $V_{\text{threshold(transistor 732)}}$ は、典型的に、およそ0.25ボルトである。

30

【0042】

Pチャネル型トランジスタ770のゲートがノード712に接続されると、トランジスタ770および732によりインバータ780が構成される。インバータ780は、入力端子がノード712に接続され、出力端子がノード730に接続され、そして、Pチャネル型トランジスタ735のゲートを駆動する。VDDがおよそ1.8ボルトに等しいとすると、ノード712の電圧が $V_{\text{SW}} = V_{\text{DD}} / 3 = 1.8 / 3 = 0.6$ ボルトまで上昇したとき、インバータ780は、ノード730の電圧レベルを論理レベル『1』から論理レベル『0』へと切り替える。しかしながら、Pチャネル型トランジスタ(図示しない)を追加してPチャネル型トランジスタ770に並列に接続することによって、インバータ780の切り替え電圧 $V_{\text{SW}}$ を別の値(典型的には、 $(1/3)V_{\text{DD}}$ から $(1/2)V_{\text{DD}}$ の範囲)へと調節してもよい。

40

【0043】

ノード730における論理レベル『0』の電圧でPチャネル型トランジスタ735はオンになる。Pチャネル型トランジスタ735は、ノード712をVDD(論理レベル『1』)へと変化させる。ノード712における論理レベル『0』から論理レベル『1』への電圧変動は、これで完了する。

TAD805は、ノード712の電圧を例えばVDD/3へと上昇するまでノード712

50

を論理レベル『1』まで変化させ易くなるようにアシストしないので、ノイズに対して優れた不活性を示す。優れたノイズ不活性のために犠牲にされた結果、TAD805の切り替え速度は低い。

【0044】

図示しない別の実施例では、Pチャネル型トランジスタ770と同様に、別のPチャネル型トランジスタ(図示しない)をTAD805の回路構成に加える。このように、Pチャネル型トランジスタを加えることによって、インバータ780の切り替え電圧VSWが上昇し、TADのノイズ不活性が一層優れたものとなる。

【0045】

図11は、本発明の第7実施例に係る信号伝送システム900であって、双方向性の信号伝送機能を備えたシステム900の概略ブロック図である。例えば、ドライバ905は、信号を915方向へネット910を介して駆動し、ドライバ920は、信号を925方向へネット910を介して駆動する。別のドライバ(ドライバ930と935など)を追加してネット910に接続し、ネット910を介して信号を駆動させるようにしてもよい。

10

【0046】

TAD940および/または945は、ネット910に接続されネット910における信号の伝送速度を上昇させ易くする。具体的に、TAD940および945は、ノード947と949でネット910に接続される。ネット910に接続されるTADの個数は様々に異なる。ノードの電圧レベルが、ネット910を伝わる信号によって上昇して閾値に達すると、TAD940および945は、それぞれ対応するノードにおける電圧レベルを変化させる。システムの電力投入中および/またはシステムリセット中にネット910がロウ論理レベルまでプリチャージされた場合、TAD940および945は、対応するノードにおける電圧レベルを論理レベル『1』へと変化させる。TAD940と945は、それぞれ前述した様々なTADの実施例に適用される。

20

【0047】

TAD940および945は、それぞれ915方向に伝送する信号の伝送速度を上昇させるか、或いは、反対方向925に伝送する別の信号の伝送速度を上昇させる。このため、TADのアシストを受けて高速で信号を送信するために、ネット910上の様々な位置にドライバを設置することができる。

図12は、双方向性の信号伝送機能を備えた従来のシステム950を示す。従来のシステム950は、ドライバ955、960および965を備えている。ドライバ955、960および965は、様々に異なるノードでネット970に接続される。ドライバ955は、975方向へネット970を介して信号を送信できるものとする。従来のシステム950では、ドライバ955が信号を送信する場合、中継器980および985をオフにすることが必要である。中継器980および985をオフにすることによって、975方向の信号は中継器990と995を渡って伝送する。また、ドライバ965が、997方向にネット970を介して信号を送信する場合、中継器990および995をオフにしなければならない。こうすれば、997方向の信号は、中継器980および985を渡って伝送できる。このように、従来の方法によれば、ネットを伝送する信号の方向に基づいてネット上の中継器を調節することが必要である。一方、本発明によれば、信号方向の相違に従って信号伝送システムを調節する必要もなく、信号の915方向或いは925方向(図11)への伝送速度を自動的に上昇させることができる。

30

40

【0048】

本発明の様々な実施例によれば、集積回路内に形成されるネットにおける信号の伝送速度を上昇させられる。例えば、先に考察したTADの様々な実施例は、レジスタファイル内のワード線或いは追加命令バッファ(re-order buffer)内のワード線に接続される。ワード線とは、比較的短い導体であって、単一のドライバによって駆動され、信号の伝送遅延時間を増加させる大きな容量性負荷を伴う。

【0049】

先に考察したTADの様々な実施例は、マイクロプロセッサのリザルトバス(result bus

50

) に接続される。リザルトバスは、多数のドライバによって駆動され、その結果、双方向の信号伝送機能を発揮する。

先に考察したTADの様々な実施例は、追加命令バッファ内のビット線に接続することもできる。ビット線は、多数のドライバによって駆動され、その結果、双方向の信号伝送機能を発揮する。ビット線は、比較的短い導体であって、信号の伝送遅延時間を増加させる大きな容量性負荷を伴う。

【0050】

付記 本発明は以下の特徴を有する。

(付記1) 集積回路内に存在する第1のノードを含むネットを介して信号を送信するための装置であって、

10

前記ネットに接続され、該ネットを介して前記信号を駆動するドライバと、  
前記ネットにおける前記第1のノードに接続され、該第1のノードの電圧レベルが閾値に到達するのに応えて当該第1のノードの電圧レベルを変化させる第1の状態変化アシストドライバ(TAD)と、を備えることを特徴とする装置。(請求項1)

【0051】

(付記2) 付記1に記載の装置において、前記ネットが論理レベル『1』にプリチャージされているとき、前記第1のTADは、前記第1のノードを論理レベル『0』へ変化させることを特徴とする装置。

(付記3) 付記1に記載の装置において、前記ネットが論理レベル『0』にプリチャージされているとき、前記第1のTADは、前記第1のノードを論理レベル『1』へ変化させることを特徴とする装置。

20

【0052】

(付記4) 付記1に記載の装置において、前記第1のTADは、前記第1のノードを論理レベル『0』へ変化させ、そして、該第1のTADは、

前記第1のノードに接続された第1の端子、接地された第2の端子、および、ゲート端子を有する第1のトランジスタと、

第1の電源電圧源に接続された第1の端子、第2の端子、および、プリチャージクロック信号の反転信号を受け取るゲート端子を有する第2のトランジスタと、

該第2のトランジスタの第2の端子に接続された第1の端子、前記第1のトランジスタのゲート端子に接続された第2の端子、および、前記第1のノードに接続されたゲート端子を有する第3のトランジスタと、

30

該第3のトランジスタの第2の端子に接続された第1の端子、接地された第2の端子、および、前記プリチャージクロック信号の反転信号を受け取るゲート端子を有する第4のトランジスタと、を備えることを特徴とする装置。(請求項2)

【0053】

(付記5) 付記4に記載の装置において、前記第1のTADは、さらに、前記第1のトランジスタのゲート端子に接続された第1の端子、接地された第2の端子、および、前記第1のノードに接続されるか或いは接地されたゲート端子を有する第5のトランジスタを備えることを特徴とする装置。

(付記6) 付記4に記載の装置において、前記第1のTADは、さらに、前記第1のトランジスタのゲート端子に接続された第1の端子、接地された第2の端子、および、前記第1のノードに接続されたゲート端子を有する第6のトランジスタを備えることを特徴とする装置。

40

【0054】

(付記7) 付記4に記載の装置において、前記第1のTADは、さらに、前記ネットを論理レベル『1』にプリチャージするプリチャージトランジスタを備え、該プリチャージトランジスタは、前記第1の電源電圧源に接続された第1の端子、前記ネットに接続された第2の端子、前記プリチャージクロック信号を受け取るゲート端子を有することを特徴とする装置。

【0055】

50

(付記 8) 付記 1 に記載の装置において、前記第 1 の T A D は、前記第 1 のノードを論理レベル『1』へ変化させ、そして、該第 1 の T A D は、

第 1 の電源電圧源に接続された第 1 の端子、第 2 の端子、および、プリチャージクロック信号を受け取るゲート端子を有する第 1 のプルアップトランジスタと、

該第 1 のプルアップトランジスタの第 2 の端子に接続された第 1 の端子、第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 1 のプルダウントランジスタと、

該第 1 のプルダウントランジスタの第 2 の端子に接続された第 1 の端子、接地された第 2 の端子、および、前記プリチャージクロック信号を受け取るゲート端子を有する第 2 のプルダウントランジスタと、

前記第 1 の電源電圧源に接続された第 1 の端子、前記第 1 のノードに接続された第 2 の端子、および、前記第 1 のプルアップトランジスタの第 2 の端子に接続されたゲート端子を有する第 2 のプルアップトランジスタと、を備えることを特徴とする装置。(請求項 3)

【0056】

(付記 9) 付記 8 に記載の装置において、前記第 1 の T A D は、さらに、

前記第 1 の電源電圧源に接続された第 1 の端子、前記第 1 のプルアップトランジスタの第 2 の端子に接続された第 2 の端子、および、前記第 1 のノードに接続されるか或いは接地されたゲート端子を有する第 3 のプルアップトランジスタを備えることを特徴とする装置。

(付記 10) 付記 8 に記載の装置において、前記第 1 の T A D は、さらに、

前記電源電圧源に接続された第 1 の端子、前記第 1 のプルアップトランジスタの第 2 の端子に接続された第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 4 のプルアップトランジスタを備えることを特徴とする装置。

【0057】

(付記 11) 付記 8 に記載の装置において、前記第 1 の T A D は、さらに、

前記ネットを論理レベル『0』にプリチャージするプリチャージトランジスタを備え、該プリチャージトランジスタは、前記ネットに接続された第 1 の端子、接地された第 2 の端子、および、前記プリチャージクロック信号の反転信号を受け取るゲート端子を有することを特徴とする装置。

(付記 12) 付記 1 に記載の装置において、該装置は、さらに、

さらなる信号を送信して前記ネットにおける双方向信号伝達を可能にする第 2 のドライバを備えることを特徴とする装置。

(付記 13) 付記 1 に記載の装置において、該装置は、さらに、

第 2 のノードで前記ネットに接続され、該第 2 のノードの電圧レベルが閾値に到達するのに応じて当該第 2 のノードの電圧レベルを変化させる第 2 の T A D を備えることを特徴とする装置。

【0058】

(付記 14) 集積回路内において高速の信号伝送を行う装置であって、

第 1 のノードを有し、前記集積回路内で信号を送信するネットと、

前記第 1 のノードに接続され、該第 1 のノードの電圧レベルが閾値に到達するのに応じて当該第 1 のノードの電圧レベルを変化させる第 1 の状態変化アシストドライバ(T A D)と、を備えることを特徴とする装置。(請求項 4)

(付記 15) 付記 14 に記載の装置において、前記ネットが論理レベル『1』にプリチャージされているとき、前記第 1 の T A D は、前記第 1 のノードを論理レベル『0』へ変化させることを特徴とする装置。

(付記 16) 付記 14 に記載の装置において、前記ネットが論理レベル『0』にプリチャージされているとき、前記第 1 の T A D は、前記第 1 のノードを論理レベル『1』へ変化させることを特徴とする装置。

【0059】

(付記 17) 第 1 のノードを含むネットを有する信号伝送システムを使用して集積回路

10

20

30

40

50

内において高速の信号伝送を行う方法であって、

( a ) 前記第 1 のノードの電圧レベルを検知するステップと、  
( b ) 前記第 1 のノードの電圧が閾値に到達するのに対応して、該第 1 のノードの電圧レベルを変化させるステップと、を備えることを特徴とする方法。(請求項 5)

(付記 18) 集積回路内における第 1 のノードを含むネットを介して高速伝送を達成するための方法であって、

( a ) 前記ネットにおける第 1 のノードを介して信号を駆動するステップと、( b ) 前記信号が前記第 1 のノードに接近するのにつれて該第 1 のノードの電圧レベルが閾値に到達するとき、当該第 1 のノードの電圧レベルを変化させるステップと、を備えることを特徴とする方法。(請求項 6)

10

【 0 0 6 0 】

(付記 19) 第 1 のノードを含むネットの電圧レベルを変化させるドライバであって、前記第 1 のノードに接続された入力端子、第 1 の電圧源に接続された第 1 の端子、第 2 の電圧源に接続された第 2 の端子、および、出力端子を有し、前記第 1 のノードの電圧レベルが閾値になるのに対応してオンになるように構成された第 1 の変化回路と、該第 1 の変化回路の出力端子に接続された入力端子、前記第 1 のノードに接続された第 1 の端子、および、前記第 2 の電圧源に接続された第 2 の端子を有し、前記第 1 の変化回路がオンになるのに対応して前記第 1 のノードを前記第 2 の電圧源の電位へ変化させる第 2 の変化回路と、を備えることを特徴とするドライバ。

【 0 0 6 1 】

20

(付記 20) 第 1 のノードを含むネットの電圧レベルを変化させるドライバであって、前記第 1 のノードに接続された入力端子、第 1 の電圧源に接続された第 1 の端子、第 2 の電圧源に接続された第 2 の端子、および、出力端子を有し、前記第 1 のノードの電圧レベルが閾値になるのに対応してオンになるように構成された第 1 の変化回路と、該第 1 の変化回路の出力端子に接続された入力端子、前記第 1 の電圧源に接続された第 1 の端子、および、前記第 1 のノードに接続された第 2 の端子を有し、前記第 1 の変化回路がオンになるのに対応して前記第 1 のノードを前記第 1 の電圧源の電位へ変化させる第 2 の変化回路と、を備えることを特徴とするドライバ。

【 0 0 6 2 】

(付記 21) 付記 14 に記載の装置において、前記第 1 の T A D は、前記ネットを介して第 1 の方向に伝送される信号の伝送速度を増加することを特徴とする装置。

30

(付記 22) 付記 14 に記載の装置において、前記第 1 の T A D は、前記ネットを介して第 2 の方向に伝送される信号の伝送速度を増加することを特徴とする装置。

【 0 0 6 3 】

(付記 23) 付記 14 に記載の装置において、前記第 1 の T A D は、前記第 1 のノードを論理レベル『 0 』へ変化させ、そして、該第 1 の T A D は、前記第 1 のノードに接続された第 1 の端子、接地された第 2 の端子、および、ゲート端子を有する第 1 のトランジスタと、

第 1 の電源電圧源に接続された第 1 の端子、第 2 の端子、および、プリチャージクロック信号の反転信号を受け取るゲート端子を有する第 2 のトランジスタと、

40

前記第 2 のトランジスタの第 2 の端子に接続された第 1 の端子、前記第 1 のトランジスタのゲート端子に接続された第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 3 のトランジスタと、

前記第 3 のトランジスタの第 2 の端子に接続された第 1 の端子、接地された第 2 の端子、および、前記プリチャージクロック信号の反転信号を受け取るゲート端子を有する第 4 のトランジスタと、を備えることを特徴とする装置。

【 0 0 6 4 】

(付記 24) 付記 23 に記載の装置において、前記第 1 の T A D は、さらに、前記第 1 のトランジスタのゲート端子に接続された第 1 の端子、接地された第 2 の端子、および、前記第 1 のノードに接続されるか或いは接地されたゲート端子を備えた第 5 のトランジスタ

50

タを備えることを特徴とする装置。

(付記 25) 付記 23 に記載の装置において、前記第 1 の T A D は、さらに、前記第 1 のトランジスタのゲート端子に接続された第 1 の端子、接地された第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 6 のトランジスタを備えることを特徴とする装置。

(付記 26) 付記 23 に記載の装置において、前記第 1 の T A D は、さらに、前記ネットを論理レベル『1』にプリチャージするプリチャージトランジスタを備え、該プリチャージトランジスタは、前記第 1 の電源電圧源に接続された第 1 の端子、前記ネットに接続された第 2 の端子、前記プリチャージクロック信号を受け取るゲート端子を有することを特徴とする装置。

10

【0065】

(付記 27) 付記 14 に記載の装置において、前記第 1 の T A D は、前記第 1 のノードを論理レベル『1』へ変化させ、そして、該第 1 の T A D は、第 1 の電源電圧源に接続された第 1 の端子、第 2 の端子、および、プリチャージクロック信号を受け取るゲート端子を有する第 1 のプルアップトランジスタと、

該第 1 のプルアップトランジスタの第 2 の端子に接続された第 1 の端子、第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 1 のプルダウントランジスタと、

該第 1 のプルダウントランジスタの第 2 の端子に接続された第 1 の端子、接地された第 2 の端子、および、前記プリチャージクロック信号を受け取るゲート端子を有する第 2 のプルダウントランジスタと、

20

前記第 1 の電源電圧源に接続された第 1 の端子、前記第 1 のノードに接続された第 2 の端子、および、前記第 1 のプルアップトランジスタの第 2 の端子に接続されたゲート端子を有する第 2 のプルアップトランジスタと、を備えることを特徴とする装置。

【0066】

(付記 28) 付記 27 に記載の装置において、前記第 1 の T A D は、さらに、前記第 1 の電源電圧源に接続された第 1 の端子、前記第 1 のプルアップトランジスタの第 2 の端子に接続された第 2 の端子、および、前記第 1 のノードに接続されるか或いは接地されたゲート端子を有する第 3 のプルアップトランジスタを備えることを特徴とする装置。

(付記 29) 付記 27 に記載の装置において、前記第 1 の T A D は、さらに、前記電源電圧源に接続された第 1 の端子、前記第 1 のプルアップトランジスタの第 2 の端子に接続された第 2 の端子、および、前記第 1 のノードに接続されたゲート端子を有する第 4 のプルアップトランジスタを備えることを特徴とする装置。

30

【0067】

(付記 30) 付記 27 に記載の装置において、前記第 1 の T A D は、さらに、前記ネットを論理レベル『0』にプリチャージするプリチャージトランジスタを備え、該プリチャージトランジスタは、前記ネットに接続された第 1 の端子、接地された第 2 の端子、および、前記プリチャージクロック信号の反転信号を受け取るゲート端子を有することを特徴とする装置。

(付記 31) 付記 14 に記載の装置において、該装置は、さらに、第 2 のノードで前記ネットに接続され、該第 2 のノードの電圧レベルが閾値に到達するのに応じて当該第 2 のノードの電圧レベルを変化させる第 2 の T A D を備えることを特徴とする装置。

40

【0068】

(付記 32) 付記 17 に記載の方法において、前記ネットが論理レベル『1』にプリチャージされているとき、前記変化させるステップ (b) において、前記第 1 のノードの電圧レベルを論理レベル『0』へ変化させることを特徴とする方法。

(付記 33) 付記 17 に記載の方法において、前記ネットが論理レベル『0』にプリチャージされているとき、前記変化させるステップ (b) において、前記第 1 のノードの電圧レベルを論理レベル『1』へ変化させることを特徴とする方法。

50

(付記34) 付記17に記載の方法において、前記変化させるステップ(b)は、該ステップ(b)の閾値を、より高速のスイッチング速度と前記信号伝送システムのノイズ不活性との折り合いを付ける特定のレベルに設定することを備えることを特徴とする方法。

【0069】

(付記35) 付記17に記載の方法において、前記変化させるステップ(b)は、第1の信号が前記ネットを介して第1の方向に伝わる時、前記第1のノードの電圧レベルを変化させることを備えることを特徴とする方法。

(付記36) 付記17に記載の方法において、前記変化させるステップ(b)は、第2の信号が前記ネットを介して第2の方向に伝わる時、該第1のノードの電圧レベルを変化させることを備えることを特徴とする方法。

10

(付記37) 付記17に記載の方法において、該方法は、さらに、第2のノードの電圧レベルが閾値に到達するのに対応して、該ネットにおける第2のノードの電圧レベルを変化させるステップを備えることを特徴とする方法。

【0070】

(付記38) 付記17に記載の方法において、該方法は、さらに、隣接するネット間の信号を逆にスイッチングするのを回避するために、前記集積回路における少なくとも2つの隣接するネットの電圧レベルをプリチャージするステップを備えることを特徴とする方法。

(付記39) 付記18に記載の方法において、該方法は、さらに、前記集積回路のノイズ不活性を調整するために、前記ステップ(b)の閾値を設定するステップを備えることを特徴とする方法。

20

【0071】

(付記40) 付記18に記載の方法において、該方法は、さらに、第2のノードを介して前記電圧レベルが閾値に到達して前記信号が該第2のノードに接近するとき、前記ネットにおける第2のノードの電圧レベルをプリチャージするステップを備えることを特徴とする方法。

(付記41) 付記18に記載の方法において、該方法は、さらに、隣接するネット間の信号を逆にスイッチングするのを回避するために、前記集積回路における少なくとも2つの隣接するネットの電圧レベルをプリチャージするステップを備えることを特徴とする方法。

30

【0072】

(付記42) 集積回路内において第1のノードを含むネットを介して信号の高速伝送を行う装置であって、

前記ネットに接続され、該ネットを介して前記信号を駆動する手段と、前記ネットに接続され、前記第1のノードの電圧レベルが閾値に到達するのに対応して当該第1のノードの電圧レベルを変化させる第1の手段と、を備えることを特徴とする装置。

(付記43) 付記42に記載の装置において、該装置は、さらに、前記ネットに接続され、前記第2のノードの電圧レベルが閾値に到達するのに対応して当該第2のノードの電圧レベルを変化させる第2の手段を備えることを特徴とする装置。

40

(付記44) 付記19に記載のドライバにおいて、前記第2の変化回路は、前記第1のノードに接続された第1の端子、前記第2の電圧源に接続された第2の端子、および、前記第1の変化回路の出力端子に接続されたゲート端子を有する第1のトランジスタを備えることを特徴とするドライバ。

【0073】

(付記45) 付記19に記載のドライバにおいて、前記第1の変化回路は、前記第1の電圧源に接続された第1の端子、第2の端子、および、反転されたクロック信号を受け取るゲート端子を有する第2のトランジスタと、

該第2のトランジスタの第2の端子に接続された第1の端子、前記第2の変化回路の入力端子に接続された第2の端子、および、前記第1のノードに接続されたゲート端子を有す

50

る第3のトランジスタと、  
 該第3のトランジスタの第2の端子に接続された第1の端子、前記第2の電圧源に接続された第2の端子、および、前記反転されたクロック信号を受け取るゲート端子を有する第4のトランジスタと、を備えることを特徴とするドライバ。

【0074】

(付記46) 付記19に記載のドライバにおいて、該ドライバは、さらに、前記第1の電圧源に接続された第1の端子、前記ネットに接続された第2の端子、および、クロック信号を受け取るゲート端子を有するプリチャージトランジスタを備えることを特徴とするドライバ。

(付記47) 付記19に記載のドライバにおいて、該ドライバは、さらに、前記第2の変化回路の入力端子に接続された第1の端子、前記第2の電圧源に接続された第2の端子、および、前記第1のノード或いは前記第2の電圧源に接続されたゲート端子を有する第5のトランジスタを備えることを特徴とするドライバ。

10

(付記48) 付記20に記載のドライバにおいて、前記第2の変化回路は、前記第1の電圧源に接続された第1の端子、前記第1のノードに接続された第2の端子、および、前記第1の変化回路の出力端子に接続されたゲート端子を有する第1のトランジスタを備えることを特徴とするドライバ。

【0075】

(付記49) 付記20に記載のドライバにおいて、前記第1の変化回路は、前記第1の電圧源に接続された第1の端子、第2の端子、および、クロック信号を受け取るゲート端子を有する第2のトランジスタと、

20

該第2のトランジスタの第2の端子に接続された第1の端子、前記第2の変化回路の入力端子に接続された第2の端子、および、前記第1のノードに接続されたゲート端子を有する第3のトランジスタと、

該第3のトランジスタの第2の端子に接続された第1の端子、前記第2の電圧源に接続された第2の端子、および、前記クロック信号を受け取るゲート端子を有する第4のトランジスタと、を備えることを特徴とするドライバ。

【0076】

(付記50) 付記20に記載のドライバにおいて、該ドライバは、さらに、前記ネットに接続された第1の端子、前記第2の電圧源に接続された第2の端子、および、クロック信号を受け取るゲート端子を有するプリチャージトランジスタを備えることを特徴とするドライバ。

30

(付記51) 付記20に記載のドライバにおいて、該ドライバは、さらに、前記第1の電圧源に接続された第1の端子、前記第2の変化回路の入力端子に接続された第2の端子、および、前記第1のノード或いは前記第2の電圧源に接続されたゲート端子を有する第5のトランジスタを備えることを特徴とするドライバ。

【0077】

【発明の効果】

以上、詳述したように、本発明によれば、近接効果による伝送遅延時間の増加を招くことなく、集積回路内のネット上での信号の伝送速度を上げることができる。

40

【図面の簡単な説明】

【図1】本発明の第1実施例に係る信号伝送システムであって、状態変化アシストドライバ(TAD)で信号の伝送速度を上げるようにした信号伝送システムを概略的に示すブロック図である。

【図2】図1に示す信号伝送システム内の特定のノードにおける電圧変動を表す第1の波形、および、TADによってアシストされない場合の同一のノードにおける電圧変動を表す第2の波形のグラフを示す図である。

【図3】本発明の第2実施例に係る信号伝送システムであって別のTADが追加された信号伝送システムの概略ブロック図である。

【図4】従来の信号伝送システムを概略的に示すブロック図である。

50

【図5】図3および図4の信号伝送システム内の異なるノードにおける電圧レベルを表す様々な波形のグラフを示す図である。

【図6】本発明の第3実施例に係る信号伝送システムであって、高い切り替え速度と優れたノイズ不活性との一方を犠牲にして他方を実現できるプログラマブルTADを備えた信号伝送システムを概略的に示すブロック図である。

【図7】本発明の第4実施例に係る信号伝送システムであって、ノイズ不活性を向上させたプログラマブルTADを備えた信号伝送システムの一部を示す図である。

【図8】本発明の第5実施例に係る信号伝送システムであって、システムへの電力投入中および/またはシステムリセット中にプリチャージされて論理レベル『0』になったネットにTADが接続される信号伝送システムを概略的に示すブロック図である。

【図9】図8の信号伝送システム内のノードにおける電圧変動を表す第1の波形、および、TADによってアシストされない場合の同一ノードにおける電圧変動を表す第2の波形のグラフを示す図である。

【図10】本発明の第6実施例に係る信号伝送システムであって、高い切り替え速度と優れたノイズ不活性との一方を犠牲にして他方を実現できるプログラマブルTADを備えた信号伝送システムを概略的に示すブロック図である。

【図11】本発明の第7実施例に係る信号伝送システムであって、多数のドライバをネットに接続してネットにおける双方向信号伝送を可能にした信号伝送システムを概略的に示すブロック図である。

【図12】ネットにおける双方向信号伝送を可能にした従来の信号伝送システムを概略的に示すブロック図である。

【符号の説明】

100, 300, 400, 500, 600, 700, 800, 900, 950... 信号伝送システム

105, 115, 120, 125, 415, 905, 920, 930, 935, 955, 960, 965... ドライバ

110, 410, 705... ネット(信号経路)

112, 325, 330, 420, 425, 430... レシーバ

135, 140, 345, 350, 710, 940, 945... 状態変化アシストドライバ(TAD)

505, 605, 805... プログラマブルTAD

510, 610... Nチャンネル型トランジスタ

525, 620, 780... インバータ

745... 三状態ドライバ

770... Pチャンネル型トランジスタ

CLK... プリチャージクロック信号

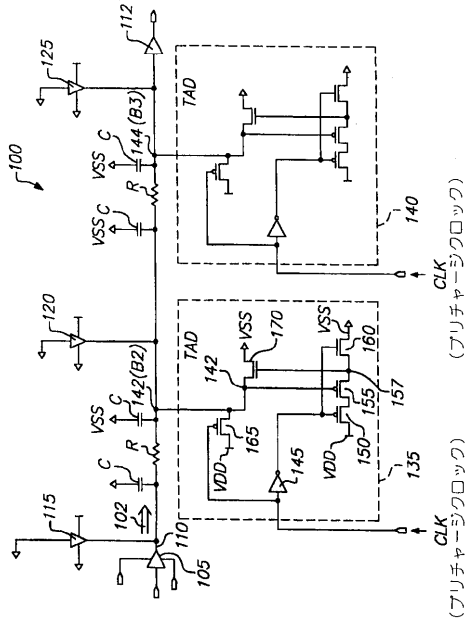
10

20

30

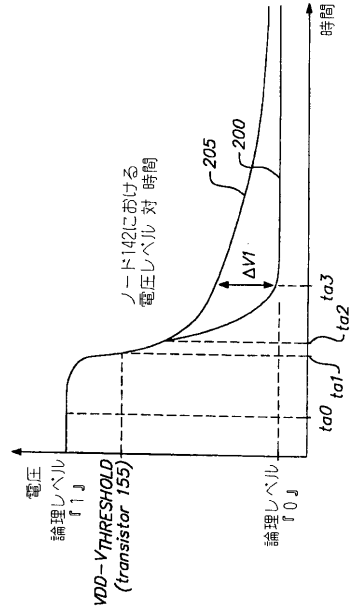
【図1】

図1



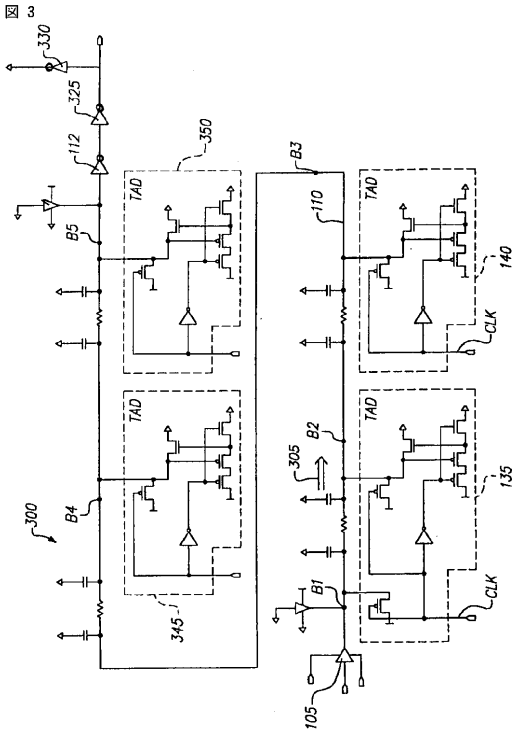
【図2】

図2



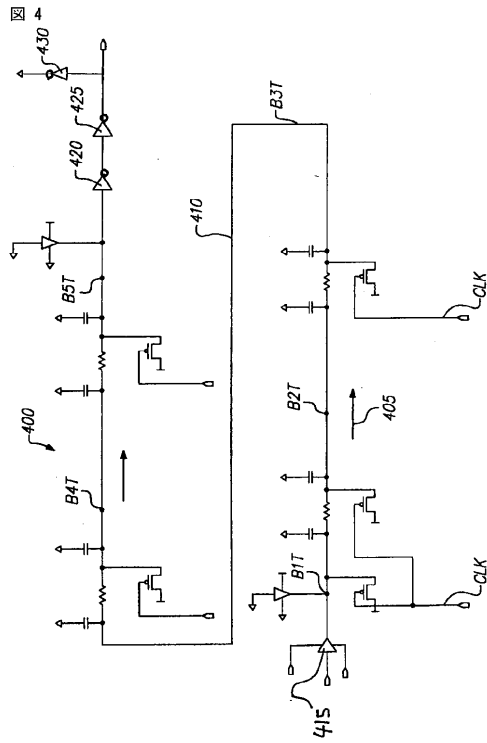
【図3】

図3



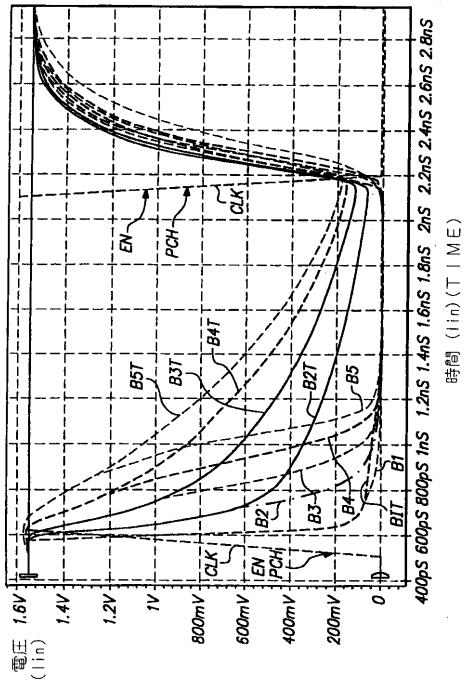
【図4】

図4



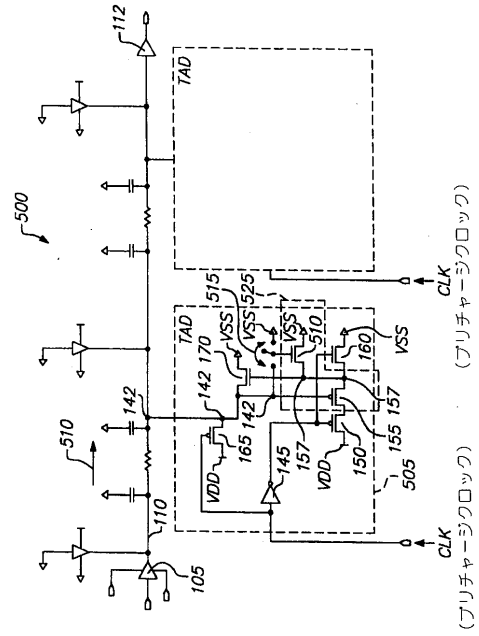
【図5】

図5



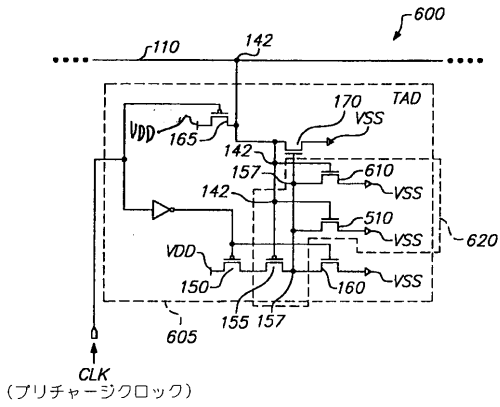
【図6】

図6



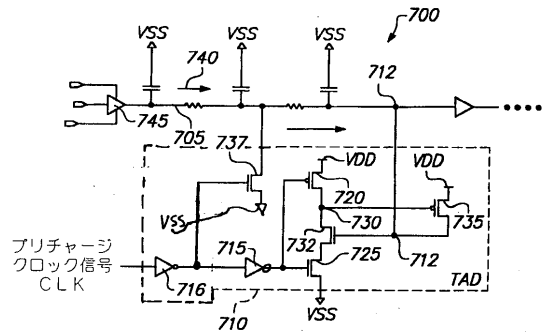
【図7】

図7



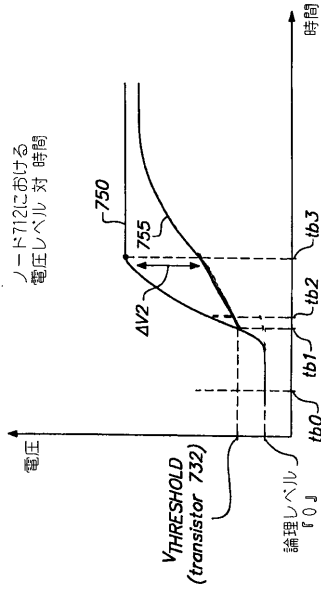
【図8】

図8



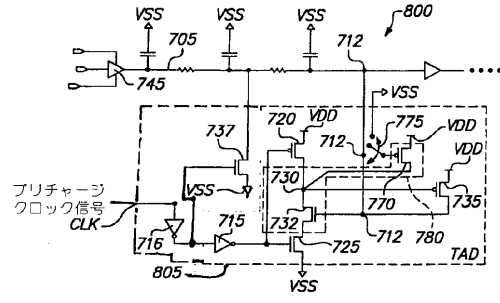
【図9】

図9



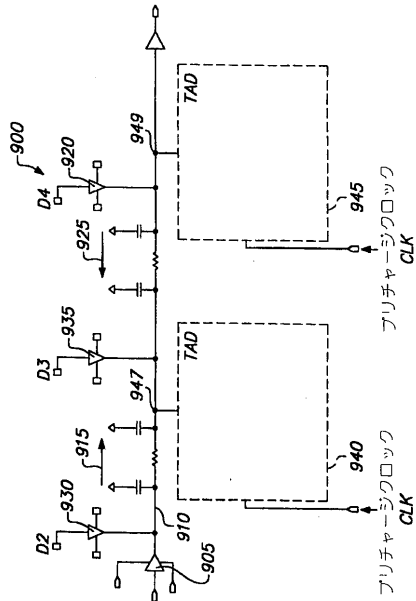
【図10】

図10



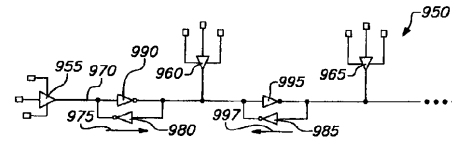
【図11】

図11



【図12】

図12



---

フロントページの続き

- (72)発明者 ジェームズ ビン  
アメリカ合衆国, カリフォルニア 9 5 1 2 1 , サン ホセ, シヤングゾーン コート 2 1 3 6
- (72)発明者 ニタル ピー . パトワ  
アメリカ合衆国, カリフォルニア 9 5 1 3 8 , サン ホセ, アッシュトン オークス ウェイ  
7 1 6

審査官 白井 亮

- (56)参考文献 特開平04 - 3 4 5 0 6 2 ( J P , A )  
国際公開第9 8 / 0 4 2 0 2 1 ( W O , A 1 )

- (58)調査した分野(Int.Cl. , D B名)  
H04L 25/00-25/66