

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-239687

(P2009-239687A)

(43) 公開日 平成21年10月15日(2009. 10. 15)

(51) Int.Cl.		F I		テーマコード (参考)
H04L 27/00	(2006.01)	H04L 27/00	Z	5K004
H04L 7/00	(2006.01)	H04L 7/00	F	5K047

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号	特願2008-84084 (P2008-84084)	(71) 出願人	000003595
(22) 出願日	平成20年3月27日 (2008. 3. 27)		株式会社ケンウッド
			東京都八王子市石川町2967番地3
		(74) 代理人	100085660
			弁理士 鈴木 均
		(72) 発明者	土田 誠幸
			東京都八王子市石川町2967-3 株式
			会社ケンウッド内
		Fターム(参考)	5K004 BA02 BC01 BD02
			5K047 HH12 MM12

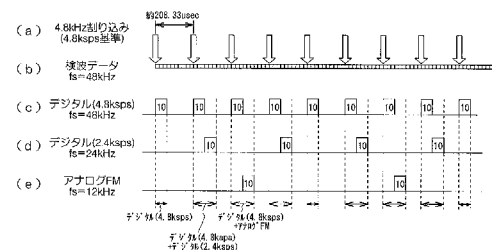
(54) 【発明の名称】 混合型シンボル検出装置

(57) 【要約】

【課題】 データレートが異なる複数のデジタル信号や、アナログ信号が混在する場合のシンボル検出処理において、消費電力が増大するクロック周波数の高速化を伴うことなく、優先度の高い他の割り込みが発生しても、安定した割り込み処理が可能な混合型シンボル検出装置を提供する。

【解決手段】 高速と低速のシンボルデータ取り込みのサンプル数切替え手段、低速データの取り込みタイミング周期切替え手段、低速データ取り込み処理のクロック周波数切替え手段、アナログ信号を低速データとして検出する手段、適宜組み合わせる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

シンボルデータレートが異なる複数のデジタル変調信号を受信検波したベースバンドデータから、シンボルデータを検出する混合型シンボル検出装置であって、最高速シンボルデータレートを基準として複数のサンプルデータを取り込み処理するためのクロック信号発生手段及びシンボル割り込み処理タイミング制御手段と、前記最高速シンボルデータレートより低速のシンボルデータレート信号についての割り込み処理タイミング制御手段とを備えた混合型シンボル検出装置において、前記最高速シンボルデータと低速シンボルデータにおける取り込みサンプルデータ数を切替える手段を備えたことを特徴とする混合型シンボル検出装置。

10

【請求項 2】

請求項 1 記載の混合型シンボル検出装置において、前記低速シンボルデータの取り込みタイミング周期を切替える手段を備えたことを特徴とする混合型シンボル検出装置。

【請求項 3】

請求項 1 又は請求項 2 記載の混合型シンボル検出装置において、前記低速シンボルデータの取り込み処理におけるクロック信号周波数を切替える手段を備えたことを特徴とする混合型シンボル検出装置。

【請求項 4】

請求項 1 乃至請求項 3 何れか一項記載の混合型シンボル検出装置において、アナログ変調信号を復調する手段を備え、該アナログ変調信号を低速シンボルデータのの一つとして検出し、復調する手段を備えたことを特徴とする混合型シンボル検出装置。

20

【請求項 5】

請求項 1 乃至請求項 4 何れか一項記載の混合型シンボル検出装置において、所要サンプリングデータを記憶する複数のサンプリングデータバッファと、

前記サンプリングデータバッファに順次所要数のサンプリングデータを取り込むサンプリングデータ取り込み手段と、

前記サンプリングデータバッファから所要数のサンプリングデータを読み出すサンプリングデータ読み出し手段と、

前記読み出したサンプリングデータを供給してクロックを再生するクロック再生用データバッファと、

30

前記クロック再生用データバッファの中央位置からのナイキスト点のずれを検出するナイキスト位置誤差検出手段と、

前記ナイキスト点のずれを補正するように、前記サンプリングデータバッファへのデータ取り込み、読み出し、又はクロック再生用データバッファへの取り込み、又は前記取り込み／読み出しデータ長の少なくとも 1 つを制御する制御手段と、

を備えたことを特徴とする混合型シンボル検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、混合型シンボル検出装置に関し、詳しくは、シンボルデータレートが異なる複数のデジタル変調信号、更には、アナログ変調信号が混在する通信システムに用いて好適なシンボル検出装置に関する。

40

【背景技術】

【0002】

近年、業務用やレジャー用陸上移動無線通信機（Land Mobile Radio：LMR）を含む無線通信システムでは、周波数利用効率の観点から一チャネルあたりの周波数帯域の狭帯域化が進められ、更には、装置の性能向上、小型化、高機能化、汎用性等の諸観点からデジタル化も進められている。

デジタル化に際しては、既存のアナログ変調方式の無線通信システムとの共存や既設備の流用、制御の容易さ等から FM 変調方式の周波数シフトキーイング方式（Frequency Si

50

ft Keying：F S K）、あるいは位相を変化させる位相シフトキーイング方式（Phase Shift Keying：P S K）を使用した周波数分割多重方式（Frequency Division Multiple Access：F D M A）が採用される場合が多い。

デジタル無線通信システムでは、伝達すべきデータをフレーム単位で送受信するが、送信機側で各フレームの所定位置、例えば、フレーム先頭に特定の信号配列パターンを有する同期信号（フレーム同期ワード：Frame Sync Word、以下「F Sワード」と称する）を配置して送信し、受信機側では、検波出力信号中の上記F Sワードを検出することにより、同期を確立させ、同期タイミングに従って、F Sワードに続く情報データを復調する。このようにデジタル無線通信では、受信側での同期確保がデータを復調する上で極めて重要である。

10

【0003】

また、デジタル無線通信機では、デジタル信号処理の迅速化のために、無線機全体を制御するC P Uとは別に、デジタル信号演算処理部（以下D S P：Digital Signal Processor、あるいはProcessing）を備え、例えば受信部ではシンボルの検出や、音声符号化信号を音声信号に復元する処理（デコード処理）、送信機では、マイクロホンからの音声信号を符号化する処理等（エンコード処理）を行うように構成したものがある。

図5は従来のデジタル無線機のD S Pを用いたベースバンド信号（Base Band Signal：以下B B信号とも記す）処理部の主要部の機能ブロック図である。この例に示す構成では、無線電波が図示を省略したアンテナ、受信フロントエンド部等を経て、ベースバンド信号に変換された後、A / Dコンバータ110に供給される。このA / Dコンバータ110において、例えば、シンボルレートが4.8 k H zの場合、その10倍の48 k H zの周波数でオーバーサンプリングし、各サンプリング値をD S P 111に供給する。

20

D S P 111は、二つのデータバッファD B 0、D B 1を備えたI S R 112部と、デジタル受信処理部113と、デコード部114とを含み、また、上記デジタル受信処理部113には、クロック再生部115とシンボル検出部116を備えている。

D S P 111で割り込み処理が発生すると、それまで実行中の処理を一旦中断して割り込み処理を優先的に処理するが、割り込み処理が終了すると、元の処理を再開する。このため、それまで実行中の処理状況と場所等の情報を別のメモリに記憶する処理を行う。その処理を行うのはI S R（Interrupt Service RoutineあるいはInterrupt Status Register）で、図6に示すように、割り込み処理発生が発生する毎に、二つのバッファ117、118を切り替えながら処理する。

30

クロック再生部115では、クロック再生データバッファ内で、各シンボルのナイキスト点を検出することによってシンボルに同期し、シンボルデータからビットデータに変換する。検出変換されたビットデータ列は、デコード部114のボコーダにおいてデコードされ、送信機側から送信された元の音声信号に復元し、スピーカ等から出力される。なお、割り込み発生は、D M A（Direct Memory Access）やタイマ機能による割り込みを使用することも出来る。

【0004】

なお、同一出願人は、受信検波した信号から検出したシンボルタイミングに同期させる手段として、特願2005-220719（特開2007-36976公報：特許文献1）を出願している。これは、デジタル変調信号を受信検波したベースバンドデータから、シンボルデータを検出するシンボル検出装置において、複数のサンプリングデータバッファを備え、これらに順次所要数のサンプリングデータを取り込みながら、数シンボル分遅らせて、前記サンプリングデータをクロック再生用データバッファに取り込むように構成したものである。

40

この構成によって、上記クロック再生用データバッファの中央位置からのナイキスト点のずれを検出すると共に、このナイキスト点のずれを補正するように、サンプリングデータバッファへのデータ取り込み、読み出し、又はクロック再生用データバッファへの取り込み、又は上記取り込み／読み出しデータ長の少なくとも1つを制御すれば、クロック再生用データバッファには必ず1つのナイキスト点がバッファメモリの中央に位置するよう

50

に制御することが可能となる。

従って、従来のように1つのバッファメモリの中に二つのナイキスト点を取り込まれることや、全くナイキスト点が含まれたりする不具合が解消され、確実なシンボル検出が可能となる。また、上記サンプリングデータバッファの数を4つとし、更に1つの補助バッファを備えることによって、少ないデータバッファによって、効率良くシンボル検出装置を実現することができる。

【特許文献1】特開2007-36976公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

ところで、現在はデジタル（変調）方式移行への過渡期にあたり、アナログ（変調）方式の通信設備が残存し、今なおアナログ変調方式の無線通信機の供給も継続されているので、アナログ方式とデジタル方式の両者に対応できるような無線通信機が求められており、この要請は今なお、しばらく続くものと思われる。このようなアナログ方式とデジタル方式の両者に対応できるように無線通信機を構成する際の一つの解決すべき課題として、受信待ち受け時の割り込み処理がある。

即ち、アナログ方式とデジタル方式の両者の無線信号を受信復調する混合モード（Mixed Mode）において使用するシンボル検出装置（以下、「混合型シンボル検出装置」と称する）では、一般に、アナログ（FM）変調信号を待ち受け中に、デジタル信号の待ち受けを同時に行う。即ち、FSワードの検出（同期検出）、CAI判定OK等のデジタル信号であることを示す諸条件が検出された場合、デジタル信号処理に移行するが、それまではアナログ信号処理を行い、復調した音声信号をスピーカ等から出力する。そしてデジタル信号であることが判定されると、符号化された音声信号を復調するために、アナログ信号処理を中断し、ボコーダによって復号化を行うデコード処理の割り込み処理を開始する。一連の処理が終了し、デジタル信号であることを示す諸条件が検出されなくなると、再び、アナログ信号処理に移行する。

20

更に、同じデジタル方式の信号であってもシンボルレートが異なる複数種類のデジタル信号が使用されており、それら複数のシンボルレートの変調信号に対する待ち受けを可能にすることが求められている。

【0006】

30

図7は、混合モード（Mixed Mode）における受信待ち受け処理の一例を示す機能ブロック図である。この例では特許文献1に示したように、一割り込み一シンボル処理を行う場合を示している。ここではシンボルレートが高いデジタル処理に対応するシンボル割り込みを基準にして、その一シンボル時間分のデータを一括して処理する。即ち、図7に示すように、最高のシンボルデータレートを、APCO P25 Phase1に準じた4.8 k s p s（s p sは一秒間当たりのシンボル数を示す単位）処理ブロック120と、それより低速の2.4 k s p s（再狭帯域化）処理ブロック121を備え、二種類の異なるデータレートのデジタル信号が混在する場合を考える。このとき、クロック信号周波数を4.8 k H zの十倍の周波数48 k H zのクロック信号（= f s）によりオーバーサンプリングし、夫々について十サンプルを取り込むことは、特許文献1に示した例と同じである。

40

このように、データレートが異なるとき、同様に十サンプルのデータを取り込む場合、夫々のクロック周波数（f s）は異なったものとなる。即ち、4.8 k s p sについては一割り込み処理においてf s = 48 k H zのクロック周波数信号に基づいて十サンプルのデータを取り込むのに対して、2.4 k s p sのデータレートのデジタル信号については、f s = 48 k H zからデシメーション（減少）処理ブロック122を介して、二割り込み毎に一回の割り込み処理を行い、十サンプルデータを取り込むことになる。

なお、同時にアナログFM変調信号処理（ブロック）123を行う場合を考えると、陸上移動通信システムにおいては音声帯域（0.3 k H z乃至3 k H z以下）を伝送すればよく周波数帯域として8 k H z程度を考えればよいが、ここでは説明を簡単にするために24 k H zと整数倍の関係にある12 k H zをサンプリング周波数（クロック信号周波数

50

）とする。この場合、デシメーション処理ブロック124により f_s を、48kHzから四分の一の12kHzにデシメーションして四割り込み毎に一回の割り込み処理を行い十サンプルデータを取り込むことになる。

【0007】

図8は、4.8ksp/sのデジタル変調信号と、2.4ksp/sのデジタル変調信号と、アナログ変調信号を、同一優先順により待ち受ける場合の割り込みタイミングの一例を示すタイミング図である。この図8において（a）は4.8ksp/sデータに対する割り込みタイミングを示す図、（b）は $f_s = 48\text{kHz}$ のクロック周波数による検波データのサンプリングタイミング図、（c）は4.8ksp/sデータの十個のサンプリングデータ取り出しタイミング図、（d）は2.4ksp/sデータの十個のサンプリングデータ取り出しタイミング図、（e）はアナログFM変調信号の十個のサンプリングデータ取り出しタイミング図を示している。

上述したように、4.8ksp/sのデジタル信号については $f_s = 48\text{kHz}$ のクロック周波数信号に基づいて検波データをサンプリングし（b）、一割り込み処理において十サンプルのデータを取り込む。2.4ksp/sのデジタル信号（d）については、二割り込み毎に一回の割り込み処理にて十サンプルのデータを取り込む。また、アナログFM変調信号については、 $f_s = 48\text{kHz}$ のクロックに基づけば四割り込み毎に一回の割り込み処理を行い十サンプルデータを取り込むことになる。

シンボル検出処理では、変調モード毎に夫々のサンプリング周波数に応じた処理が必要であり、夫々の割り込み処理に割り当てられた期間内に必要なサンプリングデータを取り込むことが理想的である。

【0008】

しかしながら、通信システムにおいては割り込み処理に優先順位を設けることが通常であり、必ずしも図8に示したような処理が行われない場合が発生する。即ち、図9に示すように、他の処理中に相対的に優先順位が高い割り込み処理が発生すると、優先順位が低い処理が中断されるので所定期間内に処理が完了せず、その間のデータが無効になってしまうことがあった。図9に示す例では、図9（d）の2.4ksp/sのデジタル変調信号のサンプリング処理中に、他の優先順位が高い割り込み処理が発生した場合、2.4ksp/sのサンプリング取り込み処理が中断される結果、その次に行われるべきアナログ変調信号の取り込み処理（e）が、同一サンプリング取り込み期間中（シンボル割り込み期間中）に完了しないことになる。従って、この例ではアナログ信号の復調が完了せず、その間のデータが失われる場合があった。

このような不具合を解消する手段としては、クロック周波数をより一層高くして、処理速度を高めることが考えられるが、クロック周波数の高速化は、消費電力の増大に繋がり、しかも装置のコストアップとなる。

本発明は、このような従来のシンボルデータレートが異なる複数のデジタル変調信号や、アナログ変調信号が混在する通信システムのシンボル復調・検出手段に関する諸事情に鑑みてなされたものであって、消費電力の増大に繋がるクロック周波数の高速化をおこなうことなく、他の割り込みが発生した場合においても安定した割り込み処理が可能である混合型シンボル検出装置を提供することを目的としている。

【課題を解決するための手段】

【0009】

本発明は目的を達成するために、請求項1記載の発明は、シンボルデータレートが異なる複数のデジタル変調信号を受信検波したベースバンドデータから、シンボルデータを検出する混合型シンボル検出装置であって、最高速シンボルデータレートを基準として複数のサンプルデータを取り込み処理するためのクロック信号発生手段及びシンボル割り込み処理タイミング制御手段と、上記最高速シンボルデータレートより低速のシンボルデータレート信号についての割り込み処理タイミング制御手段とを備えた混合型シンボル検出装置において、上記最高速シンボルデータと低速シンボルデータにおける取り込みサンプルデータ数を切替える手段を備えたことを特徴とする。

請求項 2 記載の発明は、請求項 1 記載の混合型シンボル検出装置において、上記低速シンボルデータの取り込みタイミング周期を切替える手段を備えたことを特徴とする。

【0010】

請求項 3 記載の発明は、請求項 1 又は請求項 2 記載の混合型シンボル検出装置において、上記低速シンボルデータの取り込み処理におけるクロック信号周波数を切替える手段を備えたことを特徴とする。

請求項 4 記載の発明は、請求項 1 乃至請求項 3 何れか一項記載の混合型シンボル検出装置において、アナログ変調信号を復調する手段を備え、このアナログ変調信号を低速シンボルデータの一つとして検出し、復調する手段を備えたことを特徴とする。

請求項 5 記載の発明は、請求項 1 乃至請求項 4 何れか一項記載の混合型シンボル検出装置において、所要サンプリングデータを記憶する複数のサンプリングデータバッファと、前記サンプリングデータバッファに順次所要数のサンプリングデータを取り込むサンプリングデータ取り込み手段と、前記サンプリングデータバッファから所要数のサンプリングデータを読み出すサンプリングデータ読み出し手段と、前記読み出したサンプリングデータを供給してクロックを再生するクロック再生用データバッファと、前記クロック再生用データバッファの中央位置からのナイキスト点のずれを検出するナイキスト位置誤差検出手段と、前記ナイキスト点のずれを補正するように、前記サンプリングデータバッファへのデータ取り込み、読み出し、又はクロック再生用データバッファへの取り込み、又は前記取り込み／読み出しデータ長の少なくとも 1 つを制御する制御手段と、を備えたことを特徴とする。

【発明の効果】

【0011】

本発明の混合型シンボル検出装置は、複数のシンボルデータレートのうち、最高速シンボルデータレートを基準として、複数のサンプルデータを取り込み処理するためのクロック信号発生手段、及びシンボル割り込み処理タイミング制御手段と、最高速シンボルデータレートより低速のシンボルデータレート信号についての割り込み処理タイミング制御手段とを備えた混合型シンボル検出装置において、高速シンボルデータと低速シンボルデータにおける取り込みサンプルデータ数を切替える手段、低速シンボルデータの取り込みタイミング周期を切替える手段、低速シンボルデータの取り込み処理におけるクロック信号周波数を切替える手段、更に、アナログ変調信号を復調する手段、該アナログ変調信号を低速シンボルデータの一つとして検出し復調する手段、の各手段を、適宜組み合わせるように構成したので、夫々の各手段を組み合わせ、各割り込み時間（期間）サイクルに多数の割り込み処理が集中しないように制御することが可能であり、優先度の高い割り込みが発生しても、各サイクルに確保した非処理時間（期間）がバッファとなって、所定時間内の低速シンボルデータレートの割り込み処理が完了する確率を大きくすることができ、消費電流を増加することなく安定した割り込み処理やシンボル検出処理が可能である。

【発明を実施するための最良の形態】

【0012】

以下、本発明を図に示した実施形態を用いて詳細に説明する。但し、この実施形態に記載される構成要素、種類、組み合わせ、形状、その相対配置などは特定の記載がない限り、この発明の範囲をそのみに限定する主旨ではなく単なる説明例に過ぎない。

図 1 は、本発明の一実施態様例を示す割り込みタイミング図である。図 1 では、シンボルデータレートが 4.8 k s p s と 2.4 k s p s の二つのデジタル信号の組み合わせにおける処理を示したもので、(a) は 4.8 k s p s データに対する割り込みタイミングを示す図、(b) は $f_s = 48 \text{ kHz}$ のクロック周波数図（ 4.8 k s p s に対する検波データと解釈することも出来る）、(c) は 4.8 k s p s データの十個のサンプリングデータ取り出しタイミング図、(d) は 2.4 k s p s データの十個のサンプリングデータ取り出しタイミング図を示している。

この例においても、クロック信号周波数を 4.8 kHz の十倍の周波数 48 kHz のクロック信号（ $= f_s$ ）によりオーバーサンプリングし、夫々について十サンプルを取り込

むことは、図 8 に示した例と同じであり、十サンプルデータからシンボル値を検出し、F S ワードの検出（同期検出）、C A I 判定 O K 等のデジタル信号であることを示す諸条件が検出されると、そのシンボルデータレートのデジタル信号が受信されたものと判断して、その処理を行う。

【0013】

この例では、最高のシンボルデータレートは 4.8 k s p s であるので、これを基準として、その十倍の 48 k H z のクロック信号 (b) に基づき、(a) の割り込みタイミングに従って十個のサンプリングデータを取得する (c)。そして、この例では、低速シンボルデータレートの 2.4 k s p s については、(a) の 4.8 k s p s に対する割り込みタイミング期間 ($208.33 \mu \text{ s e c}$) 毎に、五個のサンプリングデータを取得する。この例によれば、低速シンボルデータレートの 2.4 k s p s については、上述した図 8 と比較すれば明らかなように、(a) の 4.8 k s p s の二つの割り込みサイクル毎に十個のサンプリングデータが得られることになるので何等不都合なく割り込み処理が完了する。この結果、 4.8 k s p s の各割り込みサイクル期間には、図 8 の第四番目の割り込み処理サイクルに比較して、夫々非処理期間（時間）が確保されることになるので、仮に、このサイクル内に優先度の高い他の割り込み処理が発生しても、サイクルの非処理期間がバッファとなって、低速シンボルデータレートである 2.4 k s p s の割り込み処理が所定期間 ($208.33 \mu \text{ s e c} \times 2 = 416.66 \mu \text{ s e c}$) に完了しない確率が大幅に小さくなる。

【0014】

図 2 は、本発明の他の実施例を示す図であり、この例ではシンボルデータレートが 4.8 k s p s とアナログ信号との二つの信号の組み合わせの場合を示している。図 2 において (a)、(b)、(c) は、上記図 1 と同じであり、最高速シンボルデータレート 4.8 k s p s 信号については十倍の 48 k H z のクロック信号 (b) に基づいて十個のサンプリングデータを取得する (c)。そして、この例では、低速シンボルデータレートのアナログ信号については、三個のサンプリングデータ取り込みと、二個のサンプリングデータ取り込みを交互に行う (d)。この例によれば、低速シンボルデータレートのアナログ信号については、上述した図 8 と比較すれば明らかなように、(a) の 4.8 k s p s の四つの割り込みサイクル毎に十個のサンプリングデータが得られることになり、何等不都合なく割り込み処理が完了する。この結果、上記図 1 と同様に、 4.8 k s p s の各割り込みサイクルにおいて、非処理期間（時間）が確保されることになるので、仮に、優先度の高い他の割り込みが発生しても、各サイクルの非処理期間がバッファとして機能し、低速シンボルデータレートであるアナログ信号の割り込み処理が所定期間内（この例では、 4.8 k s p s 取り込み四サイクル間）に完了しない確率が大幅に小さくなる。

【0015】

図 3 は、本発明の更に他の実施例を示す図であり、この例では、シンボルデータレートが 2.4 k s p s とアナログ信号との二つの信号の組み合わせの場合を示している。この例では、最高速シンボルデータレートは 2.4 k s p s であるので、これを基準として考えるが、クロック周波数は 48 k H z のままとし (b)、割り込み処理は、(a) に示すように、 2.4 k H z の周期 ($416.66 \mu \text{ s e c}$) の割り込みタイミングに基づいて十個のサンプリングデータを取得する (c)。そして、この例では、低速シンボルデータレートのアナログ信号については、各割り込み周期に五個のサンプリングデータ取り込みを行う (d)。この例においても、低速シンボルデータレートのアナログ信号については、上述した図 8 と比較すれば明らかなように、(a) の 4.8 k s p s の四つの割り込みサイクル毎に十個のサンプリングデータが得られることになり何等不都合なく割り込み処理が完了する。この例においても、 2.4 k s p s の各割り込みサイクルにおいて、非処理期間（時間）が確保されることになるので、仮に、優先度の高い他の割り込みが発生しても、各サイクルの非処理期間がバッファとして機能するので、低速シンボルデータレートであるアナログ信号の割り込み処理が所定期間内に完了しない確率が大幅に小さくなる。なお、この例ではクロック周波数を 2.4 k H z に変更しても同様の効果が得られる。

従って、クロック周波数を、最高のシンボルデータレートに合わせて変更すれば、消費電力の低減効果を得ることができる。

【0016】

図4は、本発明の更に他の実施例であり、シンボルデータレートが4.8 k s p sと2.4 k s p sの二つのデジタル信号と、アナログ信号との三者の異なるシンボルデータレートの組み合わせにおける処理を示したものである。

この例では、(a)に示す4.8 k s p sデータ割り込みタイミングを基準として、(b)に示す $f_s = 48 \text{ kHz}$ のクロック周波数に基づき、4.8 k s p sデータの十個のサンプリングデータ取り出し(c)、2.4 k s p sデータについては、(d)に示すように、二サイクル毎に十個のサンプリングデータ取り出し、アナログ信号については(e)に示すように2.4 k s p sデータの割り込みが存在しない期間に十個のサンプリングデータを取り込む処理を行っている。この例においても上述した他の例と同様に、各割り込みサイクルにおいて非処理期間(時間)が確保されることになり、優先度の高い他の割り込みが発生しても、各サイクルの非処理期間がバッファとなり、低速シンボルデータレートである2.4 k s p sデータや、アナログ信号の割り込み処理が所定期間内に完了しない確率が小さくなる。

10

【0017】

以上説明したように本発明は、異なるデータレートの信号のシンボル検出処理に際して、最もレートの高い信号に対するサンプリング周波数を基準として、それよりレートの低い信号に対するサンプリングシンボル数、サンプリング周期、サンプリングクロック周波数の幾つかを適宜変更することによって、一つのサンプリング期間内(サイクル内)に複数の信号の割り込み処理が集中しないようにしたものである。この手段によれば、各割り込みサイクルにおいて非処理期間(時間)が確保されることになり、優先度の高い他の割り込みが発生しても、各サイクルの非処理期間がバッファとなり、低速シンボルデータレート信号の割り込み処理が所定期間内に完了しない確率が小さくなることが理解できる。

20

なお、具体的な装置の構成については、例えば図5に示した(特許文献1に従来例として示した構成)従来の回路構成において、その割り込み処理を上述したように行う機能を備えればよい。

【0018】

また、同一出願人が提案した特許文献1記載の発明を利用すれば、更に、正確なシンボル検出が可能となる。

30

即ち、特許文献1に示したように、所要サンプリングデータを記憶する複数のサンプリングデータバッファと、そのサンプリングデータバッファに順次所要数のサンプリングデータを取り込むサンプリングデータ取り込み手段と、このサンプリングデータバッファから所要数のサンプリングデータを読み出すサンプリングデータ読み出し手段と、読み出したサンプリングデータを供給してクロックを再生するクロック再生用データバッファと、このクロック再生用データバッファの中央位置からのナイキスト点のずれを検出するナイキスト位置誤差検出手段と、検出したナイキスト点のずれを補正するように、上記サンプリングデータバッファへのデータ取り込み、読み出し、又はクロック再生用データバッファへの取り込み、又は取り込み/読み出しデータ長の少なくとも1つを制御するように構成すれば、本発明を実施しながら、特許文献1に開示した発明に基づいた制御を利用することも可能となる。

40

なお、特許文献1に記載した発明では、検出したナイキスト点のずれを補正するように、上記サンプリングデータバッファへのデータ取り込み、読み出し、又はクロック再生用データバッファへの取り込み、又は取り込み/読み出しデータ長の少なくとも1つを制御するように構成したが、本発明の目的に沿うように、所定割り込み処理期間内に複数のデータレートが異なる信号割り込み処理が集中しないように制御する手段を備えれば、特許文献1に示したものとほぼ同様に構成したシンボル検出装置、あるいはシンボル検出方法を利用して本発明を実施することも可能である。

【0019】

50

本発明は、以上の実施例に限定することなく種々の変形や、組み合わせが可能である。例えば、上述した例では、各シンボル割り込み処理時間がシンボル割り込み期間（各サイクル）の約60%程度になるようにしたが、その割合や、高速シンボルデータと低速シンボルデータにおける取り込みサンプルデータ数、低速シンボルデータの取り込みタイミング周期、低速シンボルデータの取り込み処理におけるクロック信号周波数は、適宜設定が可能であり、また割り込み発生の度合いに応じて、これらの組み合わせ等を自動的に変更することも可能である。これらの変更は、実際の受信処理において着信の割合が多いシンボルレートに対する待ち受けの割り込み処理を優先的に配分することも可能である。また、一割り込み一シンボル処理に限らず、一つの割り込みにおいて、複数のシンボル検出を行う場合であっても、本発明を適用することは可能である。

10

更に、本発明によるシンボル検出装置を実現するための処理をコンピュータが制御可能なOSに従ってプログラミングすることも可能である。同一のOSを備えたコンピュータ機能を備えた装置に上記プログラムをインストールすることによって同じ処理方法により制御することができる。このようなプログラムを記録媒体に記録すれば、記録媒体を持ち運ぶことにより何処でもプログラムを稼動することができる。また、プログラムを格納する記録媒体としては半導体媒体（例えば、ROM、不揮発性メモリカード等）、光媒体（例えば、DVD、MO、MD、CD等）、磁気媒体（例えば、磁気テープ、フレキシブルディスク等）等のいずれであってもよい。

【図面の簡単な説明】

【0020】

20

【図1】本発明の一実施形態に係る混合型シンボル検出装置における割り込み処理タイミング図であり、（a）は4.8ksp/sデータ、に対する割り込みタイミング、（b）は48kHzのクロック周波数、（c）は4.8ksp/sデータのサンプリングデータ取り出しタイミング、（d）は2.4ksp/sデータのサンプリングデータ取り出しタイミングを示す図。

【図2】本発明の他の実施形態に係る割り込み処理タイミング図であり、（a）は4.8ksp/sデータに対する割り込みタイミング、（b）は48kHzのクロック周波数、（c）は4.8ksp/sデータのサンプリングデータ取り出しタイミング、（d）はアナログ変調信号のサンプリングデータ取り出しタイミングを示す図。

【図3】本発明の他の実施形態に係る割り込み処理タイミング図であり、（a）は2.4ksp/sデータに対する割り込みタイミング、（b）は48kHzのクロック周波数、（c）は2.4ksp/sデータのサンプリングデータ取り出しタイミング、（d）はアナログ変調信号のサンプリングデータ取り出しタイミングを示す図。

30

【図4】本発明の他の実施形態に係る割り込み処理タイミング図であり、（a）は4.8ksp/sデータに対する割り込みタイミング、（b）は48kHzのクロック周波数、（c）は4.8ksp/sデータのサンプリングデータ取り出しタイミング、（d）は2.4ksp/sデータのサンプリングデータ取り出しタイミング、（e）はアナログ変調信号のサンプリングデータ取り出しタイミングを示す図。

【図5】従来のベースバンド信号処理部の機能ブロック図。

【図6】ISRの割り込み処理時の機能ブロック図。

40

【図7】従来のシンボル検出装置における混合モード待ち受け時の機能ブロック図。

【図8】（a）～（e）は従来の混合モード待ち受けにおける割り込み処理タイミング図。

【図9】（a）～（e）は従来の混合モード待ち受けにおける不具合を説明する割り込み処理タイミング図。

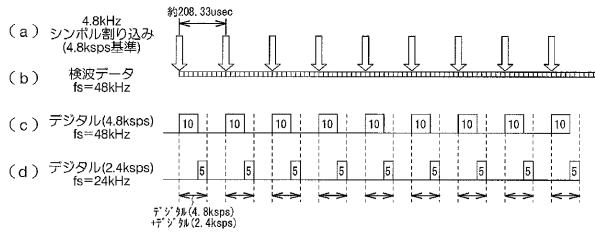
【符号の説明】

【0021】

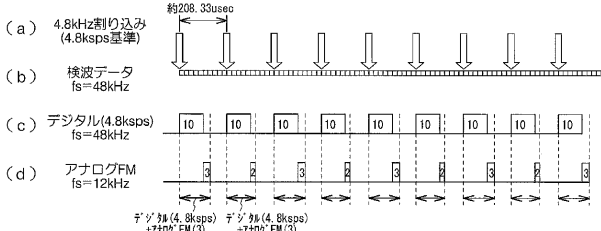
110 A/Dコンバータ、111 DSP部、112 ISR部、113 デジタル受信処理部、114 デコーダ部、115 クロック再生部、116 シンボル検出部、117、118 データバッファ

50

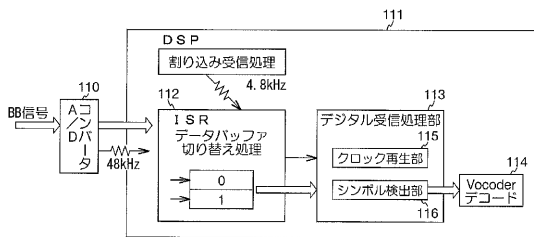
【図 1】



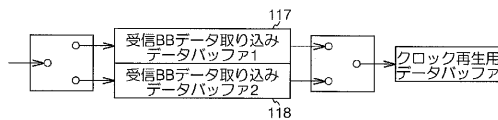
【図 2】



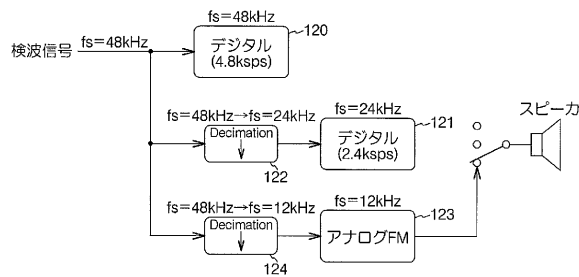
【図 5】



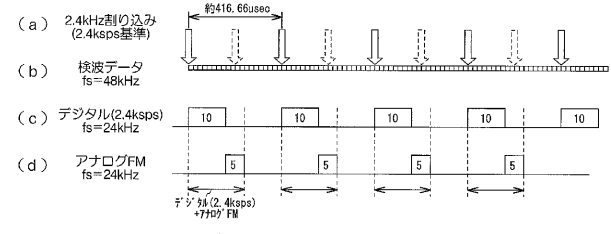
【図 6】



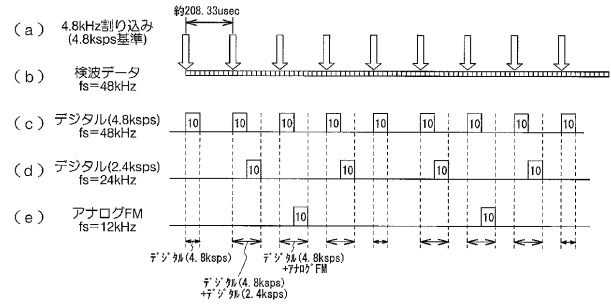
【図 7】



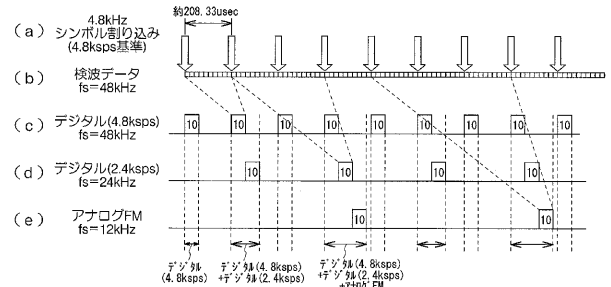
【図 3】



【図 4】



【図 8】



【図 9】

