



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월12일
(11) 등록번호 10-1878091
(24) 등록일자 2018년07월06일

(51) 국제특허분류(Int. Cl.)
G05F 1/575 (2006.01) G05F 1/46 (2006.01)
(52) CPC특허분류
G05F 1/575 (2013.01)
G05F 1/461 (2013.01)
(21) 출원번호 10-2017-0005927
(22) 출원일자 2017년01월13일
심사청구일자 2017년01월13일
(56) 선행기술조사문헌
JP2009211667 A
JP2016009230 A
US20130169251 A1
US20150008893 A1

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
최재혁
울산광역시 울주군 언양읍 유니스트길 50
임영현
울산광역시 울주군 언양읍 유니스트길 50
이정현
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

전체 청구항 수 : 총 10 항

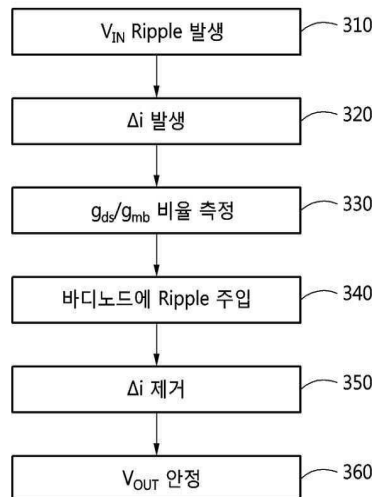
심사관 : 김재호

(54) 발명의 명칭 저 전압 강하 전압 안정 장치 및 방법

(57) 요약

공급전압 리플(Ripple) 제거기술을 이용한 PVT변화에 안정적이고 전 주파수 대역에서 높은 PSRR(Power Supply Rejection Ratio)을 갖는 전압안정기에 관한 것으로서, 보다 구체적으로는 패스 트랜지스터(Pass Transistor)의 바디 노드로 입력 전압의 리플에 대응하는 바디 리플을 주입하여 전압을 안정시키는 장치 및 방법에 연관한다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 N0001883

부처명 지식경제부

연구관리전문기관 한국산업기술진흥원

연구사업명 지능형반도체 전문인력양성사업

연구과제명 지능형반도체 전문인력양성사업

기 여 율 1/1

주관기관 한국반도체산업협회

연구기간 2016.03.01 ~ 2017.02.28

명세서

청구범위

청구항 1

기준전압과 출력전압의 차이를 증폭하여 제1 전압을 출력하는 에리 증폭기;

소스에 입력전압이 입력되고, 게이트에 상기 제1 전압이 입력되며, 드레인에서 상기 출력 전압을 출력하는 패스 트랜지스터;

상기 입력 전압과 상기 패스 트랜지스터의 게이트를 연결하고, 상기 게이트를 통해 흐르는 리플을 제거하는 연결 캐패시터;

상기 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds} \text{ to } g_{mb})$ 를 측정하는 센서; 및

상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 바디 리플 주입기;

를 포함하는 전압 안정기.

청구항 2

제1항에 있어서,

상기 연결 캐패시터는 상기 패스 트랜지스터의 게이트 단자와 그라운드 사이에 형성되는 기생 캐패시터 보다 캐패시턴스가 10배 이상 큰 캐패시터

를 포함하는 전압 안정기.

청구항 3

제2항에 있어서,

상기 센서는 상기 바디 리플 주입기의 제1 저항과 제2 저항의 비율 값이 GTG 값과 동일하도록 제2 저항의 값을 조절하고,

상기 제1 저항은 상기 기준전압 노드와 비반전 증폭기의 (-) 입력 전압 단자 사이의 저항이고, 상기 제2 저항은 상기 (-) 입력 전압 단자와 상기 패스 트랜지스터의 바디 노드 사이의 가변 저항인 전압 안정기.

청구항 4

패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds} \text{ to } g_{mb})$ 를 측정하는 센서; 및

상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 바디 리플 주입기

를 포함하는 공급전원 리플 제거기.

청구항 5

제4항에 있어서,

상기 GTG를 측정하는 센서는,

상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 1/N 로 축소하고, 드레인-소스 트랜스컨덕턴스를 측정하는 제1 트랜지스터;

상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 1/N 로 축소하고, 바디 트랜스컨덕턴스를 측정하는

제2 트랜지스터;

게이트는 제3 센싱 증폭기의 출력에 연결되고, 소스는 출력 전압에 연결되고, 드레인에는 상기 제3 센싱 증폭기의 (-) 입력 전압 단자에 연결되는 제3 트랜지스터;

출력 전압과 상기 제1 트랜지스터의 드레인 전압 차이를 증폭하여, 제1 내지 제3 트랜지스터의 드레인 전류가 모두 같아지도록 바이어싱(Biasing)하는 제1 센싱 증폭기;

상기 제1 트랜지스터 및 상기 제2 트랜지스터의 드레인 전압차이를 증폭하여, 상기 제2 트랜지스터의 바디 노드로 주입하는 제2 센싱 증폭기; 및

상기 제2 트랜지스터의 바디 전압과 상기 제3 트랜지스터의 드레인 전압 차이를 증폭하여 상기 제3 트랜지스터의 게이트로 주입함으로써 상기 제3 트랜지스터의 드레인-소스 저항값을 조절하는 제3 센싱 증폭기

를 포함하는 공급전원 리플 제거기.

청구항 6

여러 증폭기가 기준전압과 출력전압의 차이를 증폭하여 제1 전압을 출력하는 단계;

패스 트랜지스터의 소스에 입력전압이 입력되고, 게이트에 상기 제1 전압이 입력되며, 드레인에서 상기 출력 전압을 출력하는 단계;

연결 캐패시터가 상기 입력 전압과 상기 패스 트랜지스터의 게이트를 연결하고, 상기 게이트를 통해 흐르는 리플을 제거하는 단계;

센서가 상기 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds} \text{ to } g_{mb})$ 를 측정하는 단계; 및

바디 리플 주입기가 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 단계;

를 포함하는 전압 안정 방법.

청구항 7

제6항에 있어서,

상기 연결 캐패시터는 상기 패스 트랜지스터의 게이트 단자와 그라운드 사이에 형성되는 기생 캐패시터 보다 캐패시턴스가 10배 이상 큰 캐패시터

를 포함하는 전압 안정 방법.

청구항 8

제7항에 있어서,

상기 센서는 상기 바디 리플 주입기의 제1 저항과 제3 트랜지스터에 의해 구현되는 제2 저항의 비율 값이 GTG 값과 동일하도록 제2 저항의 값을 조절하고,

상기 제1 저항은 상기 기준전압 노드와 비반전 증폭기의 (-) 입력 전압 단자 사이의 저항이고,

상기 제2 저항은 상기 비반전 증폭기의 (-) 입력 전압 단자와 상기 패스 트랜지스터의 바디 노드 사이의 가변 저항이고,

상기 제3 트랜지스터는 드레인 노드와 소스 노드 사이가 상기 제2 저항으로 동작하는 전압 안정 방법.

청구항 9

센서가 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds} \text{ to } g_{mb})$ 를 측정하는 단계; 및

바디 리플 주입기가 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해

흐르는 리플을 제거하는 단계
를 포함하는 공급전원 리플 제거 방법.

청구항 10

제9항에 있어서,

상기 GTG를 측정하는 센서는,

상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 1/N 로 축소하고, 드레인-소스 트랜스컨덕턴스를 측정하는 제1 트랜지스터;

상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 1/N 로 축소하고, 바디 트랜스컨덕턴스를 측정하는 제2 트랜지스터;

게이트가 제3 센싱 증폭기의 출력에 연결되고, 소스가 출력 전압에 연결되고, 드레인이 상기 제3 센싱 증폭기의 (-) 입력 전압 단자에 연결되는 제3 트랜지스터;

출력 전압과 상기 제1 트랜지스터의 드레인 전압 차이를 증폭하여, 제1 내지 제3 트랜지스터를 바이어싱(Biasing)하는 제1 센싱 증폭기;

상기 제1 트랜지스터 및 상기 제2 트랜지스터의 드레인 전압차이를 증폭하여, 상기 제2 트랜지스터의 바디 노드로 주입하는 제2 센싱 증폭기; 및

상기 제2 트랜지스터의 바디 전압과 상기 제3 트랜지스터의 드레인 전압 차이를 증폭하여 상기 제3 트랜지스터의 게이트로 주입함으로써 상기 제3 트랜지스터의 드레인-소스 저항값을 조절하는 제3 센싱 증폭기

를 포함하는 공급전원 리플 제거 방법.

발명의 설명

기술 분야

[0001] 전압 안정 장치 및 방법에 연관되며, 보다 특정하게는 공급 전원의 리플을 제거하여 부하로 리플 없는 안정한 전압을 공급하고, 큰 전압 강하 없이 높은 공급전원 리플 제거율을 유지하는 전압 안정 장치 및 방법에 연관된다.

배경 기술

[0002] 저전압강하 전압안정기(Low Drop Out Voltage Regulator)는 우세 극점(Dominant Pole)의 위치에 따라 두 가지로 분류한다. 첫 번째는 우세 극점이 부하(Load)에 있는 경우이고, 두 번째는 패스 트랜지스터(Pass Transistor)의 게이트에 있는 경우이다.

[0003] 첫 번째 구조의 경우 우세 극점의 주파수 보다 높은 주파수 대역에서 공급 전원의 리플을 줄일 수 있다. 그러나 부하 전류가 증가하면 전압 안정기의 안정성 확보를 위해 부하 캐패시터의 캐패시턴스도 커져야 하기 때문에 큰 외부 축전기의 사용이 요구된다.

[0004] 두 번째 구조의 경우 우세 극점 주파수보다 높고 부하 극점의 주파수 보다 낮은 주파수 대역에서는 공급전원 리플 제거율이 급격히 낮아지는 PSRR-Hump(Power Supply Rejection Ratio - Hump)가 발생한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0005] 일실시예에 따르면 기준전압과 출력전압의 차이를 증폭하여 제1 전압을 출력하는 에러 증폭기, 소스에 입력전압이 입력되고, 게이트에 상기 제1 전압이 입력되며, 드레인에서 상기 출력 전압을 출력하는 패스 트랜지스터, 상기 입력 전압과 상기 패스 트랜지스터의 게이트를 연결하고, 상기 게이트를 통해 흐르는 리플을 제거하는 연결

캐패시터, 상기 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds}$ to g_{mb})를 측정하는 센서 및 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 바디 리플 주입기를 포함하는 전압 안정기가 개시된다.

[0006] 다른 일실시예에 따르면 상기 연결 캐패시터(C_c)는 상기 패스 트랜지스터의 기생 캐패시터(C_p) 보다 캐패시턴스가 10배 이상 큰 캐패시터를 포함할 수 있고, 상기 센서는 상기 바디 리플 주입기의 제1 저항과 제2 저항의 비율 값이 GTG 값과 동일하도록 제2 저항의 값을 조절할 수 있다.

[0007] 또 다른 일실시예에 따르면 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds}$ to g_{mb})를 측정하는 센서 및 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 바디 리플 주입기를 포함하는 공급전원 리플 제거기가 개시된다.

[0008] 일실시예에 따르면 상기 GTG 센서는, 상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 $1/N$ 로 축소하고, 드레인-소스 트랜스컨덕턴스를 측정하는 제1 트랜지스터, 상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 $1/N$ 로 축소하고, 바디 트랜스컨덕턴스를 측정하는 제2 트랜지스터, 출력 전압과 상기 제1 트랜지스터의 드레인 전압 차이를 증폭하여 제1 내지 제3 트랜지스터를 바이어싱(Biasing)하는 제1 센싱 증폭기(Sensing Amplifier), 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 드레인 전압차이를 증폭하여 상기 제2 트랜지스터의 바디 노드로 주입하는 제2 센싱 증폭기 및 상기 제2 트랜지스터의 바디 전압과 드레인 전압 차이를 증폭하고 제3 트랜지스터의 게이트로 주입하여 상기 제3 트랜지스터의 드레인-소스 저항값을 조절하는 제3 센싱 증폭기를 포함하는 공급전원 리플 제거기일 수 있다.

[0009] 다른 일실시예에 따르면 에러 증폭기가 기준전압과 출력전압의 차이를 증폭하여 제1 전압을 출력하는 단계, 패스 트랜지스터의 소스에 입력전압이 입력되고, 게이트에 상기 제1 전압이 입력되며, 드레인에서 상기 출력 전압을 출력하는 단계, 연결 캐패시터가 상기 입력 전압과 상기 패스 트랜지스터의 게이트를 연결하고, 상기 게이트를 통해 흐르는 리플을 제거하는 단계, 센서가 상기 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds}$ to g_{mb})를 측정하는 단계 및 바디 리플 주입기가 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 단계를 포함하는 전압 안정 방법이 개시된다.

[0010] 또 다른 일실시예에 따르면 상기 연결 캐패시터는 상기 패스 트랜지스터의 기생 캐패시터 보다 캐패시턴스가 10배 이상 큰 캐패시터일 수 있고, 상기 센서는 상기 바디 리플 주입기의 제1 저항과 제3 트랜지스터의 드레인-소스 저항의 비율 값이 GTG 값과 동일하도록 제2 저항의 값을 조절하는 전압 안정 방법일 수 있다.

[0011] 일실시예에 따르면 센서가 패스 트랜지스터의 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율 $GTG(g_{ds}$ to g_{mb})를 측정하는 단계 및 바디 리플 주입기가 상기 패스 트랜지스터의 바디 노드로 상기 GTG에 따라 바디 리플을 입력하여 바디를 통해 흐르는 리플을 제거하는 단계를 포함하는 공급전원 리플 제거 방법이 제안된다.

[0012] 다른 일실시예에 따르면 상기 GTG 센서는, 상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 $1/N$ 로 축소하고, 드레인-소스 트랜스컨덕턴스를 측정하는 제1 트랜지스터, 상기 패스 트랜지스터의 폭/길이(Width/Length, W/L) 값을 $1/N$ 로 축소하고, 바디 트랜스컨덕턴스를 측정하는 제2 트랜지스터, 출력 전압과 상기 제1 트랜지스터의 드레인 전압 차이를 증폭하여 제1 내지 제3 트랜지스터를 바이어싱(Biasing)하는 제1 센싱 증폭기, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 드레인 전압차이를 증폭하여 상기 제2 트랜지스터의 바디 노드로 주입하는 제2 센싱 증폭기 및 상기 제2 트랜지스터의 바디 전압과 드레인 전압 차이를 증폭하고 제3 트랜지스터의 게이트로 주입하여 상기 제3 트랜지스터의 드레인-소스 저항값을 조절하는 제3 센싱 증폭기를 포함하는 공급전원 리플 제거 방법일 수 있다.

도면의 간단한 설명

[0013] 도 1은 일실시예에 따른 지배극점의 위치를 표시한 전압 안정기 회로도 및 PSR 그래프이다.

도 2는 다른 일실시예에 따른 지배극점의 위치를 표시한 전압 안정기 회로도 및 PSR 그래프이다.

도 3은 일실시예에 따른 전압안정기의 동작 흐름도이다.

- 도 4는 일실시예에 따른 전압안정기의 구조를 도시한다.
- 도 5는 일실시예에 따른 패스 트랜지스터의 회로도이다.
- 도 6은 일실시예에 따른 공급전원 리플 제거 방식을 나타낸다.
- 도 7은 일실시예에 따른 공급전원 리플 제거 장치의 회로도를 도시한다.
- 도 8은 일실시예에 따른 GTG센서의 구조를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 권리범위는 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0015] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [0016] 또한 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0017] 도 1은 일실시예에 따른 지배극점(Dominant Pole)의 위치를 표시한 회로도 및 PSR(Power Supply Rejection) 그래프이다. 도 1의 상단에는 지배극점이 부하에 위치한 전압 안정기 회로도가 도시되어 있고, 하단에는 이 경우의 PSR 그래프를 도시하고 있다. PSR은 공급 전원의 리플에 대한 출력 전압의 리플로 정의한다.
- [0018] 도 1의 상단을 살펴보면, 에러 증폭기(Error Amplifier) 및 패스 트랜지스터(Pass Transistor)로 구성되는 전압안정기가 개시되며, 부하(Load) 단에 X표시되어 있는 부분이 지배극점을 나타낸다. 도 1의 하단을 살펴보면, 이 경우의 PSR 그래프의 개형은 지배극점의 각속도 ω_D 가 ω_{OUT} 이 되는 시점부터 감소한다. 따라서 지배극점이 부하에 있는 기존의 전압안정기의 경우에는 고주파수에서 공급전원 리플 제거 성능이 좋다. 그러나 고주파수에서 이 성능을 유지하기 위해서는 부하에 큰 캐패시터를 갖는 캐패시터(C_L)가 요구된다.
- [0019] 도 2는 다른 일실시예에 따른 지배극점의 위치를 표시한 회로도 및 PSR 그래프이다. 도 2의 상단에는 도 1과 마찬가지로 에러 증폭기 및 패스 트랜지스터를 포함하며, 공급전원 리플 제거부(Supply Ripple Cancellation, SRC)가 추가로 나타나 있다. 도 2의 하단에는 위 경우의 PSR 그래프를 도시하고 있다.
- [0020] 도 2의 상단을 살펴보면, 에러 증폭기의 출력 단과 패스 트랜지스터의 게이트가 연결되고, 이 부분에 지배극점이 존재하며 X표시 되는 부분이다. 지배극점이 패스 트랜지스터의 게이트에 있는 경우에는 부하 캐패시터(C_L)의 큰 캐패시터를 필요로 하지는 않으나, PSRR-Hump(Power Supply Rejection Ratio-Hump)가 발생한다.
- [0021] 도 2의 하단을 살펴보면, 지배극점의 각속도 ω_D 가 ω_{OUT} 부근에서 PSR이 상승하는 PSRR-Hump가 점선으로 표시되어 있다. PSRR-Hump는 ω_D 가 ω_G 인 지점부터 시작되어 ω_D 가 ω_{OUT} 일 때 최고점을 찍는다. 따라서 지배극점의 각속도 ω_D 가 증가하는 경우에 SRC(Supply Ripple Cancellation)를 이용하여 PSR(Power Supply Rejection)을 낮춰주어야 한다. SRC에 의해 PSRR-Hump를 일부 제거한 그래프가 실선으로 도시되어 있다.
- [0022] 도 3은 일실시예에 따른 전압안정기의 동작 흐름도이다. 입력 전압(V_{IN})의 리플(Ripple) 발생부터 출력 전압(V_{OUT})을 안정시키는 과정이 나타나 있다.
- [0023] 310 단계는 입력 전압(V_{IN})에 리플(Ripple)이 발생하는 단계이다. 입력 전압에 발생한 리플(Ripple)에 의해 출력 전류(I_L)에 변화(Δi)가 발생한다(320). 제안되는 적응형 공급전원 리플제거회로(Adaptive Supply Ripple Cancellation Circuit)는 GTG 센서(g_{ds} to g_{mb} Sensor)에 의해 g_{ds} / g_{mb} 비율을 측정한다(330). g_{ds} / g_{mb} 비율에 따라 바디 리플 주입기(Body Ripple Injector, BRI)가 패스 트랜지스터(Pass Transistor)의 바디 노드(Body Node)에 증폭된 바디 리플(Ripple)을 주입한다(340).
- [0024] 위 단계들에 의해 바디 노드에 리플을 주입하게 되면 입력 전압의 리플에 의해 발생하였던 출력 전류의 변화(Δ

i)가 제거된다(350). 따라서 출력 전류(I_L)는 안정되고, 출력 전압(V_{OUT})도 안정되어(360) 리플이 제거된다.

[0025] 도 4는 일실시예에 따른 전압안정기의 회로도이다. 전압안정기는 에러 증폭기(Error Amplifier, A_E), 패스 트랜지스터(Pass Transistor, M_P) 및 연결 캐패시터(C_C)로 구성된다. 에러 증폭기는 기준 전압(V_{REF})과 출력 전압(V_{OUT})을 비교하여 게이트 전압 V_G 를 출력한다. 입력 전압(V_{IN})은 패스 트랜지스터는 소스 단으로 입력되고, 드레인 단은 부하와 연결되어 출력 전압(V_{OUT})을 출력한다. 캐패시터 C_P 는 패스 트랜지스터의 기생 캐패시터이며, 상기 연결 캐패시터는 입력 전압과 패스 트랜지스터의 게이트를 연결하는 캐패시터이다.

[0026] 상기 연결 캐패시터는 상기 기생 캐패시터에 비해 충분히 큰 캐패시턴스를 가지며, 예시적으로 그러나 한정되지 않게 10개 큰 캐패시턴스 값을 가질 수 있다. 상기 기생 캐패시터보다 상기 연결 캐패시터가 충분히 큰 경우에 입력 전압(V_{IN})의 리플(Ripple)이 그대로 패스 트랜지스터의 게이트로도 전달된다. 따라서 제2 캐패시터에 의해 출력 전류(I_L)의 변화(Δi) 중 일부가 제거된다. 구체적인 수식에 따른 결과는 도 5에서 살펴본다.

[0027] 도 5는 일실시예에 따른 패스 트랜지스터의 구조도이다. 패스 트랜지스터는 총 4개의 노드(Node)가 존재하며, 입력 전압(V_{IN})이 소스로 입력되고, 게이트에서는 에러 증폭기의 출력이 입력되며, 드레인으로 출력 전압(V_{OUT})을 출력한다.

[0028] 여기서 출력 전류의 변화(Δi)를 구하기 위해서는 아래의 수학적식을 이용한다.

수학식 1

[0029]
$$\Delta i = g_m(V_{R,I} - V_{R,G}) + g_{ds}V_{R,I} + g_{mb}(V_{R,I} - V_{R,B})$$

[0030] 여기서 Δi 는 출력 전류의 변화량, g_m 은 게이트 트랜스컨덕턴스, g_{ds} 는 드레인-소스 트랜스컨덕턴스, g_{mb} 는 바디 트랜스컨덕턴스이다. 또한 $V_{R,I}$ 는 입력 전압의 리플, $V_{R,G}$ 는 게이트 전압의 리플, $V_{R,B}$ 는 바디 전압의 리플이다.

[0031] 출력 전류의 변화는 세 부분으로 구성되며 각 부분은, 게이트를 통해 흐르는 리플, 소스로 직접 흐르는 리플, 바디를 통해 흐르는 리플에 의한 변화이다. 게이트를 통해 흐르는 리플은 상기 수학식 1의 첫 번째 텀(term)인 $g_m(V_{R,I} - V_{R,G})$ 로 표현되며, 상기 기생 캐패시터(C_P)보다 상기 연결 캐패시터(C_C)의 캐패시턴스가 충분히 크면 ($C_C \gg C_P$), 입력 전압의 리플과 게이트 전압의 리플이 같아져($V_{R,I} = V_{R,G}$) 제거된다. 두 번째 텀과 세 번째 텀을 0 으로 두고 정리하면 아래의 수학식 2를 얻을 수 있다.

수학식 2

[0032]
$$V_{R,B} = \left(1 + \frac{g_{ds}}{g_{mb}}\right) V_{R,I}$$

[0033] 따라서 입력 전압 리플($V_{R,I}$)의 $(1+g_{ds}/g_{mb})$ 배 되는 바디 리플($V_{R,B}$)을 상기 패스 트랜지스터의 바디 노드에 주입하면 두 번째 텀과 세 번째 텀을 모두 제거할 수 있다. 결국 출력 전류의 변화 Δi 를 모두 제거할 수 있고, Δi 가 제거 되면 출력 전압(V_{OUT})도 리플 없이 안정된다. 구체적인 바디 리플의 주입은 도 6에서 살펴본다.

[0034] 도 6은 일실시예에 따른 공급전원 리플 제거기의 작동 원리를 나타낸다. 제안되는 적응형 공급전원 리플제거기(ASRC)는 GTG값을 측정하는 센서(GTGS)와 바디 리플 주입기(Body Ripple Injector, BRI)로 구성된다.

[0035] 상기 센서는 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율을 측정한다. 측정되는 드레인-소스 트랜스컨덕턴스(g_{ds})와 바디 트랜스컨덕턴스(g_{mb})의 비율과 동일하게 제3 트랜지스터의 저항 값(R_2)과 제1 저항의 저항 값(R_1)이 같도록 제3 트랜지스터의 저항 값(R_2)을 조절한다($R_2/R_1 = g_{ds}/g_{mb}$). 여기서 상기 제3 트랜지스터는 가변저항 역할을 한다.

- [0036] 바디 리플 주입기(BRI)는 상기 센서에 의해 조절되는 제3 트랜지스터의 저항 값(R_2)에 따라 입력전압의 리플($V_{R,I}$)값을 증폭하여 바디 리플($V_{R,B}$)을 상기 패스 트랜지스터의 바디 노드에 주입한다. 바디 리플 전압은 입력 전압 리플의 $(1+R_2/R_1)$ 배 하여 주입한다.
- [0037] 도 7은 일실시예에 따른 공급전원 리플 제거기의 회로도를 도시한다. 보다 구체적으로 적응형 공급전원 리플 제거기(ASRC)는 바디 리플 주입기와 GTG 값을 측정하는 센서로 구성된다.
- [0038] 바디 리플 주입기는 비반전 증폭기를 포함하며, 입력 전압의 리플을 증폭하여 패스 트랜지스터의 바디 노드로 주입한다. 증폭하는 비율은 앞서 설명한 바와 같이 상기 GTG 값을 측정하는 센서에 의해 결정되며, 상기 센서는 입력되는 상기 패스 트랜지스터의 입력 전압, 출력 전압 및 게이트 전압을 통해 제2 저항(R_2)값을 조절한다.
- [0039] 각 소자의 구체적인 값은 예시적으로 그러나 한정되지 않게 제1 저항(R_1)이 50Ω , 제2 저항(R_2)가 50 내지 200Ω , R_W 은 $2M\Omega$ 일 수 있다. V_B 노드의 전압 값은 직류 전압에서 기준 전압(V_{REF})과 같다. 여기에 비반전 증폭기에 의해 증폭되는 바디 리플이 합쳐져 패스 트랜지스터의 바디 노드로 주입된다.
- [0040] 도 8은 일실시예에 따른 GTG를 측정하는 센서의 구조를 나타낸다. 상기 센서는 복수의 트랜지스터, 복수의 센싱 증폭기로 구성된다. 제1 트랜지스터(M_{PR1})와 제2 트랜지스터(M_{PR2})는 상기 패스 트랜지스터의 레플리카(Replica) 트랜지스터로서, 폭/길이(Width/Length, W/L)값은 $1/N$ 로 축소하고, 폭/길이 값을 제외한 다른 물리량은 상기 패스 트랜지스터와 동일하다. 예시적으로 그러나 한정되지 않게 상기 폭/길이(W/L) 값은 패스 트랜지스터의 폭/길이(W/L) 값보다 $1/500$ 로 작을 수 있다. 또한 상기 제1 트랜지스터와 상기 제2 트랜지스터는 폭/길이(W/L) 값까지 동일한 트랜지스터이다. 제3 트랜지스터(M_{R2})는 바디 리플 주입기에 연결되는 가변저항 역할을 하는 트랜지스터이다.
- [0041] 각 소자의 역할을 살펴보면, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 상기 패스 트랜지스터와 동일한 방식으로 소스와 게이트가 연결된다. 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 소스에 입력 전압(V_{IN}), 게이트에 게이트전압(V_G)을 연결한다. 상기 제1 트랜지스터의 바디에는 기준입력(V_{REF})을 주입한다. 제1 소스 증폭기는 출력 전압(V_{OUT})과 상기 제1 트랜지스터의 드레인 출력 전압차이를 증폭하여 각 전류원(I_{D1} , I_{D2} , I_{D3})을 바이어싱(Biasing) 한다. 제2 소스 증폭기는 상기 제1 트랜지스터의 드레인 출력 전압과 상기 제2 트랜지스터의 드레인 출력 전압 차이를 증폭하여 상기 제2 트랜지스터의 바디로 주입한다. 상기 제1 및 제2 트랜지스터는 연결되는 전압 값은 같고, 폭/길이 값이 패스 트랜지스터에 비해 $1/500$ 로 작기 때문에 출력 전류가 $1/500$ 로 작아지며 g_{ds} 및 g_{mb} 의 값도 $1/500$ 로 작아진다. 그러나 측정하고자 하는 것은 g_{ds} 와 g_{mb} 의 비율이기 때문에 비율의 측정에는 축소된 트랜지스터를 사용하더라도 문제되지 않는다.
- [0042] 제1 저항(R_1)에 ΔV_D 의 전압이 걸리고, $I_L/500$ 의 전류가 흐른다. 상기 제1 트랜지스터(M_{PR1})와 상기 제2 트랜지스터(M_{PR2})는 소스 전압과 게이트 전압이 같기 때문에 대칭(Symmetry)을 이룬다. 그러나 상기 제2 트랜지스터의 드레인에 R_1 이 연결되어 있기 때문에 상기 제1 트랜지스터에 비해 상기 제2 트랜지스터의 드레인 전압이 ΔV_D 만큼 더 크다. 상기 제2 트랜지스터의 드레인 전압이 ΔV_D 만큼 더 크기 때문에 드레인-소스 전압은 상기 제1 트랜지스터에 비해 ΔV_D 만큼 더 작다.
- [0043] 따라서 드레인-소스 전압이 상기 제1 트랜지스터에 비해 작기 때문에 상기 제2 트랜지스터의 드레인 전류가 일시적으로 작아질 수 있다. 그러나 제1 센싱 증폭기(Sensing Amplifier)가 상기 제1 및 제2 트랜지스터의 바이어스 전류를 $I_L/500$ 으로 동일하게 유지하므로 상기 제2 트랜지스터의 감소되는 드레인 전류는 보상을 해주어야 한다. 상기 보상은 제2 센싱 증폭기(Sensing Amplifier)가 수행한다. 상기 제2 센싱 증폭기는 상기 제2 트랜지스터의 바디 전압(V_{B2})를 낮추어, 감소된 드레인 전류를 보상한다. 최종적으로 상기 제2 트랜지스터는 상기 제1 트랜지스터보다 드레인 전압이 ΔV_D 만큼 크고, 바디 전압은 ΔV_B 만큼 작다. 상기 제1 트랜지스터의 바디 전압은 V_{REF} 로 고정되어 있기 때문에 상기 제2 트랜지스터의 바디 전압(V_B)은 $V_{REF} - \Delta V_B$ 가 된다.
- [0044] 상기 제2 트랜지스터의 바디 전압(V_B)이 제3 센싱 증폭기의 (+)단자로 입력되기 때문에 (-)단자도 동일한 값 $V_{REF} - \Delta V_B$ 로 제어(regulation)된다. 여기서 제3 트랜지스터는 가변저항 역할을 하며, 구체적으로 상기 제3 트

랜지스터의 드레인 전압은 상기 제3 센싱 증폭기의 (-)단자와 연결되어 $V_{REF} - \Delta V_B$ 이고, 소스 전압은 V_{OUT} 이다. V_{OUT} 의 직류(DC) 성분은 V_{REF} 와 같기 때문에 드레인-소스 전압 차이는 ΔV_B 가 된다. 제3 트랜지스터의 게이트 전압은 상기 제3 센싱 증폭기에 의해 제어된다.

[0045] 앞서 설명한 바와 같이 제1 저항에 걸리는 전압은 ΔV_D 이고, 가변저항 역할을 하는 제3 트랜지스터(즉, 제2 저항)의 양단에 걸리는 전압은 ΔV_B 이고, 가변저항 값은 $\Delta V_B / (I_L/500)$ 로 나타낼 수 있다. 따라서 $R_2 / R_1 = \Delta V_B / \Delta V_D$ 로 고정되며, 감소한 바디 전압(ΔV_B)과 증가한 드레인 전압(ΔV_D)의 비율은 g_{ds} 와 g_{mb} 의 비율과 같기 때문에 $R_2 / R_1 = g_{ds} / g_{mb}$ 과 같다.

[0046] 상기 센서는 이러한 방식으로 제2 저항 값을 입력 전압(V_{IN})의 리플에 실시간으로 대응하여 바디 리플 주입기를 제어한다. 바디 리플 주입기(BRI)는 상기 센서가 제2 저항을 조절함에 따라 패스 트랜지스터를 통과하는 리플을 적절히 제거할 수 있는 바디 리플을 상기 패스 트랜지스터의 바디 노드로 주입한다.

[0047] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0048] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0049] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

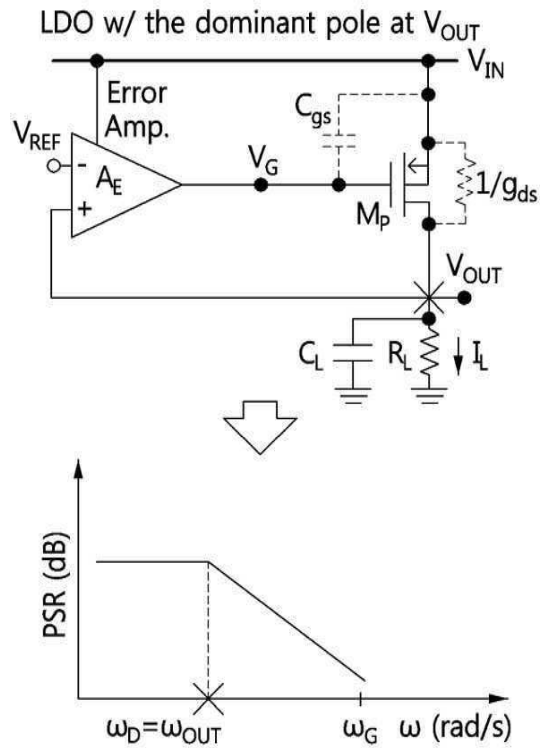
[0050] 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0051] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한

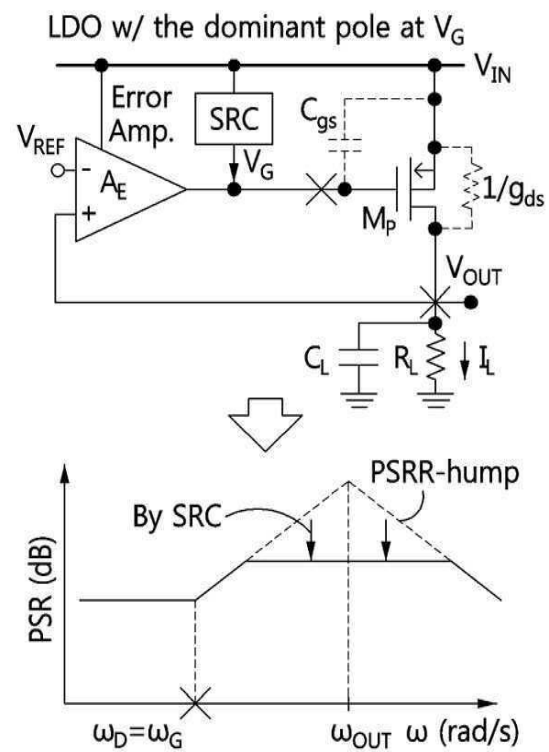
다.

도면

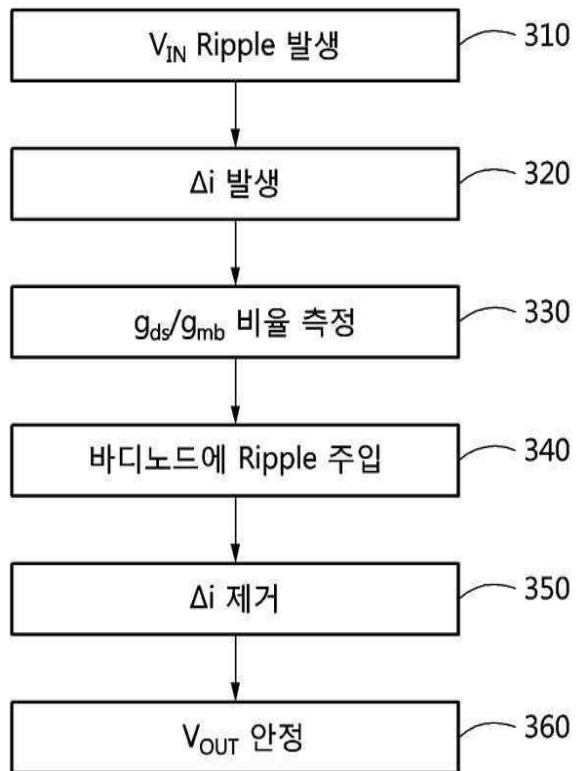
도면1



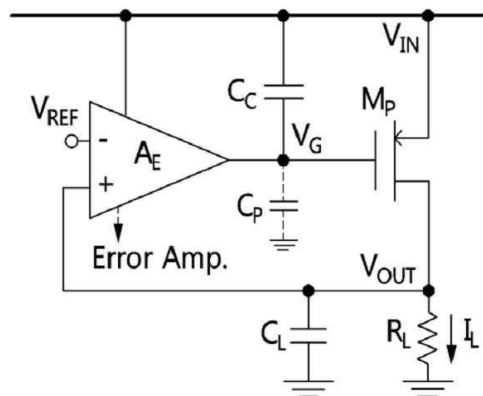
도면2



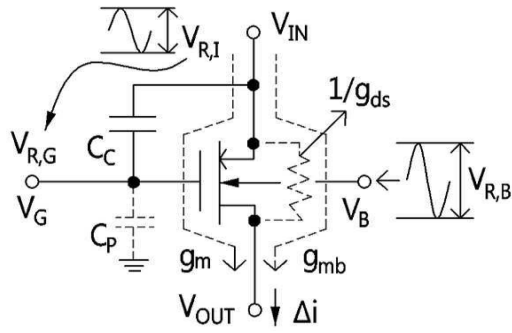
도면3



도면4



도면5



도면6

Proposed ASRC

g_{ds} -to- g_{mb} sensor (GTGS) + Body-ripple injector (BRI)

$$\frac{R_2}{R_1} = \frac{g_{ds}}{g_{mb}} \quad + \quad V_{R,B} = \left(1 + \frac{R_2}{R_1}\right) \cdot V_{R,I}$$

도면7

