



(12)发明专利

(10)授权公告号 CN 105210187 B

(45)授权公告日 2017. 10. 10

(21)申请号 201480021099.1

(22)申请日 2014.10.03

(65)同一申请的已公布的文献号

申请公布号 CN 105210187 A

(43)申请公布日 2015.12.30

(30)优先权数据

2013-209632 2013.10.04 JP

(85)PCT国际申请进入国家阶段日

2015.10.14

(86)PCT国际申请的申请数据

PCT/JP2014/076633 2014.10.03

(87)PCT国际申请的公布数据

W02015/050262 JA 2015.04.09

(73)专利权人 富士电机株式会社

地址 日本神奈川县川崎市

(72)发明人 田村正树 吉田崇一 安达新一郎

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 金玉兰 金光军

(51)Int.Cl.

H01L 27/04(2006.01)

H01L 21/8234(2006.01)

H01L 27/06(2006.01)

H01L 29/06(2006.01)

H01L 29/417(2006.01)

H01L 29/423(2006.01)

H01L 29/47(2006.01)

H01L 29/739(2006.01)

H01L 29/78(2006.01)

H01L 29/861(2006.01)

H01L 29/868(2006.01)

H01L 29/872(2006.01)

审查员 王俊山

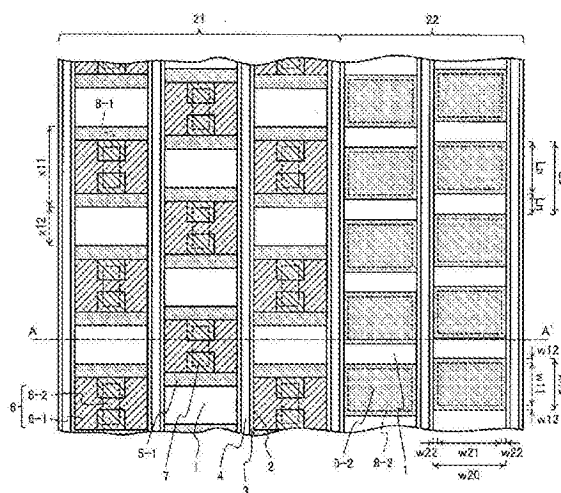
权利要求书2页 说明书19页 附图29页

(54)发明名称

半导体装置

(57)摘要

在IGBT部(21)配置IGBT,在FWD部(22)配置FWD。在IGBT部(21)中,在相邻的沟槽(2)间的台面部,在基板正面沿着沟槽(2)长度方向交替地露出p基区(5-1)与n漂移区(1)。在FWD部(22)中,在台面部,在基板正面沿着沟槽(2)长度方向交替地露出p阳极区(5-2)与n漂移区(1),形成n漂移区(1)的被夹在p阳极区(5-2)间的部分和与该部分接触的一个p阳极区(5-2)作为一个单元区域的重复结构。在一个单元区域内,p阳极区(5-2)所占的比例(阳极比率)(α)为50%~100%。由此,能够提高将IGBT与FWD内置于同一半导体基板的RC-IGBT的二极管特性。



1. 一种半导体装置,在成为第一导电型的漂移区的半导体基板上具备设有绝缘栅型双极晶体管的第一元件区域和设有二极管的第二元件区域,其特征在于,具备:

多个沟槽,在所述半导体基板的正面从所述第一元件区域到所述第二元件区域上被设置为沿着与所述第一元件区域和所述第二元件区域并排的方向正交的长度方向延伸的条纹状;

栅极绝缘膜,沿着所述沟槽的侧壁和底面而设置;

栅极,设置在所述沟槽的内部的所述栅极绝缘膜的内侧;

第二导电型的基区,选择性地设置于所述第一元件区域的相邻的所述沟槽之间的台面部;

第二导电型的阳极区,选择性地设置于所述第二元件区域的相邻的所述沟槽之间的台面部;

第一导电型的发射区,选择性地设置于所述基区的内部;

第一电极,与所述基区、所述发射区和所述阳极区接触;

第二导电型的集电区,在所述第一元件区域中设置于所述半导体基板的背面;

第一导电型的阴极区,在所述第二元件区域中设置于所述半导体基板的背面;以及

第二电极,与所述集电区和所述阴极区接触;

在所述第二元件区域的相邻的所述沟槽之间的台面部,沿着所述沟槽的长度方向交替反复地配置有所述阳极区与所述漂移区,

在由所述阳极区以及被该阳极区和该阳极区的在所述沟槽的长度方向上相邻的所述阳极区所夹的部分中的所述漂移区构成的单位区域中,该阳极区所占的比例为50%以上且小于100%。

2. 根据权利要求1所述的半导体装置,其特征在于,从所述相邻的所述阳极区分别向所述台面部扩展的内置耗尽层彼此相互连接。

3. 一种半导体装置,在成为第一导电型的漂移区的半导体基板上具备设有绝缘栅型双极晶体管的第一元件区域和设有二极管的第二元件区域,其特征在于,具备:

多个沟槽,在所述半导体基板的正面从所述第一元件区域到所述第二元件区域上被设置为沿着与所述第一元件区域和所述第二元件区域并排的方向正交的长度方向延伸的条纹状;

栅极绝缘膜,沿着所述沟槽的侧壁和底面而设置;

栅极,设置在所述沟槽的内部的所述栅极绝缘膜的内侧;

第二导电型的基区,选择性地设置于所述第一元件区域的相邻的所述沟槽之间的台面部;

第二导电型的阳极区,选择性地设置于所述第二元件区域的相邻的所述沟槽之间的台面部;

第一导电型的发射区,选择性地设置于所述基区的内部;

第一电极,与所述基区、所述发射区和所述阳极区接触;

第二导电型的集电区,在所述第一元件区域中设置于所述半导体基板的背面;

第一导电型的阴极区,在所述第二元件区域中设置于所述半导体基板的背面;以及

第二电极,与所述集电区和所述阴极区接触;

在所述第二元件区域的相邻的所述沟槽之间的台面部,沿着所述沟槽的长度方向而交替反复地配置有所述阳极区与所述漂移区,

所述第一电极进一步与所述第二元件区域中的所述漂移区接触,

在由所述阳极区以及被该阳极区和该阳极区的在所述沟槽的长度方向上相邻的所述阳极区所夹的部分中的所述漂移区构成的单位区域中,该阳极区所占的比例小于50%。

4.根据权利要求3所述的半导体装置,其特征在于,从所述相邻的所述沟槽分别向该沟槽间的台面部扩展的内置耗尽层彼此相互连接。

半导体装置

技术领域

[0001] 本发明涉及一种半导体装置。

背景技术

[0002] 为了应对近年来的对电力电子领域中的电源设备的小型化、高性能化的要求,在电力用半导体装置中关注高耐压化、大电流化,并且关注针对低损耗化、高破坏耐量化、高速化的性能的改善。作为这些能够实现大电流化、低损耗化的电力用半导体装置,公知有通过MOS栅(由金属-氧化膜-半导体构成的绝缘栅)驱动的MOS功率器件。

[0003] 作为该MOS功率器件的MOS栅结构,众所周知有在半导体基板上呈平板状地设置了MOS栅的平面栅结构和在形成于半导体基板的沟槽内埋入有MOS栅的沟槽栅结构这两种结构。在目前的垂直型功率器件中,由于容易获得结构上低导通电阻的特性,所以沟槽栅结构备受关注。

[0004] 作为该沟槽栅结构的垂直型MOS功率器件,提出了如下装置:配设为在并排沟槽间的长度方向上交替出现p型沟道区和n型半导体基板的各表面,选择性地形成在该p型沟道区的表面层的n⁺型发射区的表面形状在沟槽侧变宽,在沟槽间的中央侧变窄(例如,参照下述专利文献1)。

[0005] 另外,作为其它的垂直型MOS功率器件,为了实现电力变换装置整体的小型化,正在开发在同一半导体基板(半导体芯片)中内置绝缘栅型双极晶体管(IGBT)和与该IGBT反向并联连接的续流二极管(FWD)并进行一体化的结构的反向导通型IGBT(RC-IGBT)。

[0006] 对现有的RC-IGBT进行说明。图18是表示现有的RC-IGBT的结构的平面图。图19是表示沿图18的切割线AA-AA'的截面结构的剖面图。如图18、19所示,现有的RC-IGBT在成为n⁻漂移区101的同一n⁻型半导体基板上具备通常的场终止型IGBT(FS-IGBT)和与该FS-IGBT反向并联连接的FWD。

[0007] 通常,对于RC-IGBT而言,为了使FWD与FS-IGBT反向并联连接,具有将构成n⁻型半导体基板的正面侧的MOS栅结构的p基区设为p阳极区105-2,将设置于n⁻型半导体基板的背面侧的p⁺集电区111的一部分置换为n⁺阴极区112的结构。具体而言,在同一n⁻型半导体基板设有设置了FS-IGBT的IGBT部121和设置了FWD的FWD部122。

[0008] 在IGBT部121中,在n⁻型半导体基板的正面侧设有由沟槽102、栅极绝缘膜103、栅极104、p基区105-1、n⁺发射区106和p⁺接触区107构成的沟槽栅型的MOS栅结构以及发射极109。p基区105-1在相邻的沟槽102之间的台面部(被夹在相邻的沟槽102间的区域)中,在沟槽102的长度方向上以预定的间隔配置。

[0009] 由沟槽102、栅极绝缘膜103和栅极104构成的沟槽栅设置为从IGBT部121到FWD部122,在与IGBT部121同FWD部122并排的方向(短边方向)正交的方向(长度方向)延伸的条纹状。在FWD部122中,在相邻的沟槽102之间的台面部,在n⁻型半导体基板的正面的整个面设有p阳极区105-2。

[0010] p阳极区105-2与发射极109导通连接。在n⁻型半导体基板的背面侧,在IGBT部121

设有 p^+ 集电区111,在FWD部122设有 n^+ 阴极区112。在 p^+ 集电区111和 n^+ 阴极区112与 n^- 漂移区101之间设有 n 缓冲层110。集电极113与 p^+ 集电区111和 n^+ 阴极区112接触。符号108为层间绝缘膜。

[0011] 作为这样的RC-IGBT,提出了如下的集电极短路型的装置:在半导体芯片的正面以与通常的IGBT相同的图案反复配置MOS栅结构,在半导体芯片的背面并排配置有FWD部的 n^+ 阴极区和IGBT部的 p^+ 集电区(例如,参照下述专利文献2)。

[0012] 另外,作为其它RC-IGBT,提出了如下装置:在包含 n^- 型漂移层的半导体基板交替反复配置作为IGBT元件动作的IGBT部和作为二极管元件动作的二极管区域,在二极管区域中的最靠近IGBT部侧且在 n^- 型漂移层的表层部设有从 n^- 型漂移层抽出空穴的 p 型的肖特基接触区(例如,参照下述专利文献3)。

[0013] 另外,作为其它RC-IGBT,提出了如下装置:设计为在半导体基板的第一主面侧的第一区域设置发射层、在第二区域不设置发射层的结构,并且设计为在半导体基板的第二主面侧的第一区域设置集电层、在第二区域设置阴极层的结构(例如,参照下述专利文献4)。

[0014] 另外,作为其它RC-IGBT,提出了如下装置:在二极管部的基板正面侧以不同的间隔形成多个沟槽栅,进一步在沟槽栅间的间隔窄的一方形成 n 型发射区和 p 型基区(例如,参照下述专利文献5)。

[0015] 另外,作为具备台面部的装置,提出了如下半导体装置:在基板正面侧具备沟槽的垂直型的二极管中,沟槽以不同的间隔配置,且具备在沟槽的短边方向上的沟槽间的间隔长的区域和短的区域这两个区域(例如,参照下述专利文献6)。

[0016] 另外,作为其它RC-IGBT,提出了如下装置。在层间绝缘膜的表面和第二沟槽的内表面,使用钛(Ti)和/或钨(W)等形成阻挡金属。发射极(阳极)电极隔着阻挡金属而与 p 基(阳极)层、 n 发射区和 p 接触区接触(例如,参照下述专利文献7(第0054、0080段,图5))。

[0017] 另外,作为其它RC-IGBT,提出了如下装置。背面电极以与 p 型集电区和 n 型阴极区这两方接触的方式形成在第二主面上,且具有从第二主面侧起依次层叠的钛层、镍(Ni)层和金(Au)层。钛层与 p 型集电区和 n 型阴极区这两方欧姆接触(例如,参照下述专利文献8)。

[0018] 另外,作为其它RC-IGBT,提出了IGBT区域与FWD区域相互邻接地交替设置且具有宽度不同的两种FWD区域的装置(例如,参照下述专利文献9(第0068段,图6))。在下述专利文献9中,通过将作为宽度宽的区域FWD区域的宽度(将作为宽度窄的区域FWD区域夹在其间的两个沟道间距离)设为 $170\mu\text{m}$ 以上,从而使作为FWD区域不发挥功能的区域的比例相对减少而抑制正向电压的snapback。

[0019] 另外,作为其它RC-IGBT,提出了如下装置。在IGBT部的 p 基极层设有在沟槽的深度方向比发射区和接触区深的浮置层。在二极管部不设置浮置层和发射区。二极管部的栅极为发射极电位(例如,参照下述专利文献10)。在下述专利文献10中,通过设置浮置层,从而抑制从IGBT部的接触区向二极管部的过多的空穴注入。

[0020] 现有技术文献

[0021] 专利文献

[0022] 专利文献1:日本特开2008-034794号公报

[0023] 专利文献2:日本特开2005-101514号公报

- [0024] 专利文献3:日本特开2009-071217号公报
- [0025] 专利文献4:日本特开2008-053648号公报
- [0026] 专利文献5:日本特开2012-009629号公报
- [0027] 专利文献6:日本特开2008-047565号公报
- [0028] 专利文献7:日本特开2009-027152号公报
- [0029] 专利文献8:日本特开2013-012783号公报
- [0030] 专利文献9:日本特开2010-171385号公报
- [0031] 专利文献10:日本特开2012-043890号公报

发明内容

[0032] 技术问题

[0033] 然而,在上述的现有技术中,在IGBT部,以较窄的间距将沟槽配置成沿着与沟槽并排的方向正交的方向延伸的条纹状。因此,在FWD部中不设置从基板正面贯通p阳极区(p基区)与n⁻漂移层的肖特基接合的沟槽的情况下,设置在IGBT部的最靠近FWD部侧的沟槽的底部,在断开状态下电场强度集中,存在耐压降低的问题。

[0034] 另外,在上述的专利文献2中,由于在IGBT部整体上部分地设置FWD部,所以载流子从FWD部得到抽出,IGBT部的载流子减少而导致导通电阻升高,因而有可能使导通电压升高。另外,像上述的专利文献4那样,在FWD部的基板正面侧整体设置p阳极区的构成中,虽然FWD部中的电场强度得到缓和,但在FWD部中,空穴的注入效率增加,且反向恢复电流增加,因此导致IGBT的导通损耗增加,除此之外,还存在FWD的反向恢复耐量降低的问题。

[0035] 本发明为了消除上述现有技术的问题点,目的在于提供一种在将绝缘栅型双极晶体管与二极管内置于同一半导体基板并使其一体化的结构的反向导通型半导体装置中,能够提高二极管特性的半导体装置。

[0036] 技术方案

[0037] 为了解决上述课题,实现本发明的目的,本发明的半导体装置在成为第一导电型的漂移区的半导体基板上具备设有绝缘栅型双极晶体管的第一元件区域和设有二极管的第二元件区域,具有如下特征。在上述半导体基板的正面,在从上述第一元件区域到上述第二元件区域设有多个沟槽,其是与上述第一元件区域和上述第二元件区域并排的方向正交的长度方向延伸的条纹状。沿着上述沟槽的侧壁和底面而设有栅极绝缘膜。在上述沟槽的内部的、上述栅极绝缘膜的内侧设有栅极。在上述第一元件区域的相邻的上述沟槽之间的台面部选择性地设有第二导电型的基区。在上述第二元件区域的相邻的上述沟槽之间的台面部选择性地设有第二导电型的阳极区。在上述基区的内部选择性地设有第一导电型的发射区。设有与上述基区、上述发射区和上述阳极区接触的第一电极。在上述第一元件区域中,在上述半导体基板的背面设有第二导电型的集电区。在上述第二元件区域中,在上述半导体基板的背面设有第一导电型的阴极区。设有与上述集电区和上述阴极区接触的第二电极。并且,在上述第二元件区域的相邻的上述沟槽之间的台面部,沿着上述沟槽的长度方向而交替反复地配置有上述阳极区与上述漂移区。在由上述阳极区以及被该阳极区和该阳极区的在上述沟槽的长度方向相邻的上述阳极区所夹的部分中的上述漂移区构成的单位区域中,该阳极区所占的比例为50%以上且小于100%。

[0038] 另外,对于本发明的半导体装置而言,在上述的发明中,从上述相邻的上述阳极区分别向上述台面部扩展的内置耗尽层彼此相互连接。

[0039] 另外,为了解决上述课题,实现本发明的目的,本发明的半导体装置在成为第一导电型的漂移区的半导体基板上具备设有绝缘栅型双极晶体管的第一元件区域和设有二极管的第二元件区域,具有如下特征。在上述半导体基板的正面,在从上述第一元件区域到上述第二元件区域设有多个沟槽,其是在与上述第一元件区域和上述第二元件区域并排的方向正交的长度方向延伸的条纹状。沿着上述沟槽的侧壁和底面而设有栅极绝缘膜。在上述沟槽的内部的、上述栅极绝缘膜的内侧设有栅极。在上述第一元件区域的相邻的上述沟槽之间的台面部选择性地设有第二导电型的基区。在上述第二元件区域的相邻的上述沟槽之间的台面部选择性地设有第二导电型的阳极区。在上述基区的内部选择性地设有第一导电型的发射区。设有与上述基区、上述发射区和上述阳极区接触的第一电极。在上述第一元件区域中,在上述半导体基板的背面设有第二导电型的集电区。在上述第二元件区域中,在上述半导体基板的背面设有第一导电型的阴极区。设有与上述集电区和上述阴极区接触的第二电极。并且,在上述第二元件区域的相邻的上述沟槽之间的台面部,沿着上述沟槽的长度方向而交替反复地配置有上述阳极区与上述漂移区。上述第一电极进一步与上述第二元件区域中的上述漂移区接触。并且,在由上述阳极区以及被该阳极区和该阳极区的在上述沟槽的长度方向上相邻的上述阳极区所夹的部分中的上述漂移区构成的单位区域中,该阳极区所占的比例小于50%。

[0040] 另外,对于本发明的半导体装置而言,在上述的发明中,从上述相邻的上述沟槽分别向该沟槽间的台面部扩展的内置耗尽层彼此相互连接。

[0041] 有益效果

[0042] 根据本发明的半导体装置,是将绝缘栅型双极晶体管与二极管内置于同一半导体基板并使其一体化的结构的反向导通型半导体装置,能够降低反向恢复电流,能够降低反向恢复损耗,因此起到能够提高二极管特性的效果。

附图说明

[0043] 图1是表示实施方式一的半导体装置的结构平面图。

[0044] 图2是表示沿图1的切割线A-A'的截面结构的剖面图。

[0045] 图3是表示实施方式一的半导体装置的反向恢复特性的特性图。

[0046] 图4是表示实施方式一的半导体装置的反向恢复特性的特性图。

[0047] 图5是表示实施方式一的半导体装置的制造过程中的状态的剖面图。

[0048] 图6是表示实施方式一的半导体装置的制造过程中的状态的剖面图。

[0049] 图7是表示实施方式一的半导体装置的制造过程中的状态的剖面图。

[0050] 图8是表示实施方式一的半导体装置的制造过程中的状态的剖面图。

[0051] 图9是表示实施方式一的半导体装置的制造过程中的状态的说明图。

[0052] 图10是表示实施方式一的半导体装置的制造过程中的状态的说明图。

[0053] 图11是表示实施方式一的半导体装置的制造过程中的状态的说明图。

[0054] 图12是表示实施方式一的半导体装置的制造过程中的状态的说明图。

[0055] 图13是表示实施方式二的半导体装置的结构平面图。

- [0056] 图14是表示沿图13的切割线C-C'的截面结构的剖面图。
- [0057] 图15是表示实施方式二的半导体装置的反向恢复特性的特性图。
- [0058] 图16是表示实施方式二的半导体装置的反向恢复特性的特性图。
- [0059] 图17是表示实施方式三的半导体装置的结构剖面图。
- [0060] 图18是表示现有的RC-IGBT的结构平面图。
- [0061] 图19是表示沿图18的切割线AA-AA'的截面结构的剖面图。
- [0062] 图20A是表示实施方式四的半导体装置的结构平面图。
- [0063] 图20B是表示实施方式四的半导体装置的另一个例子的结构平面图。
- [0064] 图21是表示沿图20A、20B的切割线D-D'的截面结构的剖面图。
- [0065] 图22A是表示实施方式五的半导体装置的结构平面图。
- [0066] 图22B是表示沿图22A的切割线E-E'的截面结构的剖面图。
- [0067] 图22C是表示沿图22A的切割线F-F'的截面结构的剖面图。
- [0068] 图23A是表示实施方式六的半导体装置的结构平面图。
- [0069] 图23B是表示沿图23A的切割线G-G'的截面结构的剖面图。
- [0070] 图23C是表示沿图23A的切割线G-G'的截面结构的另一个例子的剖面图。
- [0071] 图24是表示实施方式二的半导体装置的IGBT部的宽度与FWD部的宽度之间的关系特性图。
- [0072] 图25是表示实施方式二的半导体装置的平面结构的平面图。
- [0073] 图26是表示实施方式二的半导体装置的另一个例子的平面图。
- [0074] 图27是表示沿图26的切割线H-H'的截面结构的剖面图。
- [0075] 图28是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与反向恢复电流 I_{AK} 之间的关系特性图。
- [0076] 图29A是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与正向压降 V_f 之间的关系特性图。
- [0077] 图29B是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与反向恢复峰电流 I_{rp} 之间的关系特性图。
- [0078] 图30A是表示导通稳定的正向电流时的二极管内部的电流密度的特性图(沟槽间隔比 $L_b/L_a=8$)。
- [0079] 图30B是表示导通稳定的正向电流时的二极管内部的电流密度的特性图(沟槽间隔比 $L_b/L_a=1$)。
- [0080] 图31是表示实施方式七的半导体装置的结构剖面图。
- [0081] 图32是表示实施方式七的半导体装置的另一个例子的结构剖面图。
- [0082] 图33是表示比较例的半导体装置的结构剖面图。
- [0083] 符号说明
- [0084] 1:n⁻漂移区
- [0085] 2:沟槽
- [0086] 3:栅极绝缘膜
- [0087] 4、54:栅极
- [0088] 5-1:p基区

- [0089] 5-2:p阳极区
- [0090] 6:n⁺发射区
- [0091] 6-1:n⁺发射区的构成部(第一n⁺区)
- [0092] 6-2:n⁺发射区的构成部(第二n⁺区)
- [0093] 7:p⁺接触区
- [0094] 8:层间绝缘膜
- [0095] 8-1:IGBT部的接触孔(第一接触孔)
- [0096] 8-2:FWD部的接触孔(第二接触孔)
- [0097] 9:发射极
- [0098] 10:n缓冲层
- [0099] 11:p⁺集电区
- [0100] 12:n⁺阴极区
- [0101] 13:集电极
- [0102] 21:IGBT部
- [0103] 22:FWD部
- [0104] Lc:单元长度
- [0105] Lp:p阳极区的沟槽长度方向的宽度(不包括由热扩散引起的增量)
- [0106] Ln:被n⁻漂移区的p阳极区所夹的部分的沟槽长度方向的宽度(不包括由热扩散引起的增量)
- [0107] w10:p阳极区的沟槽长度方向的宽度
- [0108] w20:p阳极区的沟槽短边方向的宽度(台面宽度)
- [0109] w11:第二接触孔的沟槽长度方向的开口宽度
- [0110] w21:第二接触孔的沟槽短边方向的开口宽度
- [0111] x11:p基区的沟槽长度方向的宽度
- [0112] x12:被n⁻漂移区的p基区所夹的部分的沟槽长度方向的宽度
- [0113] α:阳极比率

具体实施方式

[0114] 以下,参照附图,详细说明本发明的半导体装置的优选的实施方式。在本说明书和附图中,在记载为n或p的层和区域中,各个电子或空穴表示多数载流子。另外,标记于n或p的+和-分别表示相比未标记+和-的层或区域的杂质浓度高和低。应予说明,在以下的实施方式的说明和附图中,对同样的构成标注相同的符号,省略重复的说明。

[0115] (实施方式一)

[0116] 对实施方式一的半导体装置的构成进行说明。图1是表示实施方式一的半导体装置的结构平面图。图2是表示沿图1的切割线A-A'的截面结构的剖面图。如图1、2所示,实施方式一的半导体装置在成为n⁻漂移区1的同一n⁻型半导体基板上具备设有绝缘栅型双极晶体管(IGBT)的IGBT部21和设有续流用二极管(FWD)的FWD部22。

[0117] FWD部22的FWD与IGBT部21的IGBT反向并联连接。即,实施方式一的半导体装置是反向导通型IGBT(RC-IGBT)。在n⁻型半导体基板的正面,从IGBT部21到FWD部22,按沿着与

IGBT部21同FWD部22并排的方向(短边方向)正交的方向(长度方向)延伸的条纹状以预定的间隔设有多个沟槽2。

[0118] 在沟槽2的内部,沿着沟槽2的内壁设有栅极绝缘膜3。另外,在沟槽2的内部,在栅极绝缘膜3的内侧设有栅极4。在IGBT部21,在相邻的沟槽2之间的台面部,沿着沟槽2长度方向以预定的间隔设有p基区5-1。p基区5-1以与沟槽2接触的方式且深度(距基板正面的深度)比沟槽2浅的方式设置。

[0119] 即,在IGBT部21中,在n⁻型半导体基板的正面,p基区5-1与n⁻漂移区1沿着沟槽2长度方向交替地露出。p基区5-1的沟槽2长度方向的宽度x11比被n⁻漂移区1的p基区5-1所夹的部分的沟槽2长度方向的宽度,即p基区5-1的沟槽2长度方向的第一间距(配置间隔)x12宽(x11>x12)。在p基区5-1的内部选择性地设有n⁺发射区6和p⁺接触区7。

[0120] n⁺发射区6与设置在沟槽2的侧壁的栅极绝缘膜3接触,并隔着栅极绝缘膜3而与栅极4对置。n⁺发射区6例如包括在夹入p基区5-1的沟槽2侧分别设置的第一n⁺区6-1以及设置在第一n⁺区6-1间并将该第一n⁺区6-1彼此连结的第二n⁺区6-2。第二n⁺区6-2的沟槽2长度方向的宽度例如比第一n⁺区6-1的沟槽2长度方向的宽度窄,n⁺发射区6例如呈H形状的平面形状。

[0121] p⁺接触区7设置在第一n⁺区6-1之间,并与n⁺发射区6接触。据此,IGBT部21的n⁻型半导体基板的正面侧成为如下的结构:间隔地配置p基区5-1,且在沟槽2长度方向反复配置有由沟槽2、栅极绝缘膜3、栅极4、p基区5-1、n⁺发射区6和p⁺接触区7构成的沟槽栅型的MOS栅结构。各MOS栅分别构成IGBT(IGBT相当于IGBT部21中的1个单元部)。

[0122] 在FWD部22中,为了在IGBT部21和FWD部22中统一布线布局而使制造工艺简化,FWD部22的沟槽2也与IGBT部21的沟槽2同样地成为沟槽栅结构。在FWD部22中,在相邻的沟槽2之间的台面部,沿着沟槽2长度方向,以预定的间隔设置p阳极区5-2。即,在n⁻型半导体基板的正面,使p阳极区5-2与n⁻漂移区1沿着沟槽2长度方向交替露出。

[0123] 由此,在FWD部22中,设置在相邻的沟槽2之间的台面部的p基区构成p阳极区5-2。在p阳极区5-2的内部可以设置有p⁺接触区。以下,以在FWD部22不形成p⁺接触区的情况为例进行说明。p阳极区5-2设置为与沟槽2接触,且深度比沟槽2浅。p阳极区5-2的杂质浓度可以与p基区5-1的杂质浓度相同,也可以比p基区5-1的杂质浓度低。

[0124] FWD部22的n⁻型半导体基板的正面侧成为沿着沟槽2长度方向反复配置p阳极区5-2的结构,各p阳极区5-2分别构成FWD(FWD相当于FWD部22中的1个单元部)。具体而言,在相邻的沟槽2之间的台面部形成有将n⁻漂移区1的、被在沟槽2长度方向上相邻的p阳极区5-2所夹的部分(以下,称为被n⁻漂移区1的p阳极区5-2所夹的部分)和与该部分接触的一个p阳极区5-2为一个单位(以下,称为单元区域)的重复结构。在一个单元区域内,对于p阳极区5-2所占的比例(以下,称为阳极比率) α ,在后面进行叙述。p阳极区5-2在沟槽2长度方向的宽度w10例如比台面部的沟槽2短边方向的宽度(即台面宽度)w20宽为好。其理由是因为容易将阳极比率 α 设定在后述的优选的范围内。

[0125] n⁻型半导体基板的正面被具有第一接触孔8-1、第二接触孔8-2的层间绝缘膜8覆盖。第一接触孔8-1设置于IGBT部21的每个单元部,在一个第一接触孔8-1中露出有一个单元部的n⁺发射区6和p⁺接触区7。第二接触孔8-2设置于FWD部22的每个单元部,在一个第二接触孔8-2露出有一个单元部的p阳极区5-2。在第一接触孔8-1、第二接触孔8-2未露出n⁻漂移

区1。

[0126] 优选地,第二接触孔8-2的沟槽2长度方向的开口宽度 w_{11} 和第二接触孔8-2的沟槽2短边方向的开口宽度 w_{21} 大到能够使p阳极区5-2整体大致露出的程度。其理由是因为能够降低接触电阻,能够降低导通电压。具体而言,考虑到用于形成第二接触孔8-2的蚀刻用掩模的定位偏差,第二接触孔8-2在沟槽2长度方向的开口宽度 w_{11} 和第二接触孔8-2在沟槽2短边方向的开口宽度 w_{21} 可以分别比p阳极区5-2在沟槽2长度方向的宽度 w_{10} 和p阳极区5-2在沟槽2短边方向的宽度(沟槽2间的台面宽度 w_{20})稍窄。

[0127] 更具体而言,第二接触孔8-2在沟槽2长度方向的开口宽度 w_{11} 可以较窄地形成,以使第二接触孔8-2在沟槽2长度方向的两端部分别从p阳极区5-2与 n^- 漂移区1的边界以宽度 w_{12} (例如 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ 程度)位于p阳极区5-2的内侧。第二接触孔8-2在沟槽2短边方向的开口宽度 w_{21} 可以较窄地形成,以使第二接触孔8-2在沟槽2短边方向的两端部分别从p阳极区5-2与沟槽2的侧壁的边界以宽度 w_{22} (例如 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ 程度)位于p阳极区5-2的内侧。

[0128] 发射极9经由第一接触孔8-1而与 n^+ 发射区6和 p^+ 接触区7接触。另外,发射极9兼作阳极电极,经由第二接触孔8-2而与p阳极区5-2接触。发射极9通过层间绝缘膜8而与栅极4电绝缘。在 n^- 型半导体基板的背面的表面层,在IGBT部21中设有 p^+ 集电区11,在FWD部22中设有 n^+ 阴极区12。

[0129] 在 p^+ 集电区11以及 n^+ 阴极区12与 n^- 漂移区1之间设有n缓冲层10。n缓冲层10具有作为在断开时以使从p基区5-1以及p阳极区5-2与 n^- 漂移区1之间的pn结扩展的耗尽层达不到 p^+ 集电区11的方式进行抑制的n场终止层的功能。集电极13与 p^+ 集电区11接触。另外,集电极13兼作阴极电极,并与 n^+ 阴极区12接触。

[0130] 接着,对阳极比率 α 进行说明。阳极比率 α 可以由相对于配置在相邻的沟槽2之间的台面部内的一个单元区域的基板正面的露出面积(表面积)的、该单元区域内的p阳极区5-2的基板正面的露出面积的比例来表示。具体而言,阳极比率 α 由下述(1)式表示。对于阳极比率 α 而言,考虑到用于形成p阳极区5-2的离子注入用掩模的定位偏差等,根据p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量) L_p 来进行设定。

[0131] $\alpha = L_p / L_c = L_p / (L_p + L_n) \cdots (1)$

[0132] 具体而言,将阳极比率 α 设为例如50%~75%。即,在配置于FWD部22的相邻的沟槽2之间的台面部的一个单元区域内,以使热扩散前的p阳极区5-2的露出面积为基板正面的 n^- 漂移区1的露出面积以上的方式间隔地配置p阳极区5-2。优选地,阳极比率 α 接近于75%。间隔地配置p阳极区5-2是指设置未配置p阳极区5-2的区域,并在沟槽2长度方向上使 n^- 漂移区1与p阳极区5-2交替露出。

[0133] p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量) L_p 是指用于形成p阳极区5-2的离子注入用掩模的开口部(露出p阳极区5-2的形成区域的开口部)在沟槽2长度方向的宽度。即,p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量) L_p 不包括通过离子注入后的热扩散处理而扩散的p阳极区5-2在沟槽2长度方向的宽度的增量,比热扩散后的p阳极区5-2在沟槽2长度方向的宽度 w_{10} 窄。

[0134] L_n 是被 n^- 漂移区1的p阳极区5-2所夹的部分在沟槽2长度方向的宽度(即p阳极区5-2在沟槽2长度方向的第二间距)。 L_c 是p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量) L_p 与被 n^- 漂移区1的p阳极区5-2所夹的部分在沟槽2长度方向的宽度 L_n 的

总和(以下,称为单元长度)。Lp、Ln、Lc是各区域在热扩散前的在沟槽2长度方向的宽度,但是为了明确Lp、Ln、Lc是否是表示任一区域的尺寸,在图1中分别图示符号Lp、Ln、Lc(在图13、20A、20B、22A、26中也是同样)。

[0135] 接下来,对于阳极比率 α 与反向恢复特性之间的关系进行验证,将结果示于图3、4。图3、4是表示实施方式一的半导体装置的反向恢复特性的特性图。在图3中示出反向恢复电流 I_{ak} 波形。在图4中示出阳极比率 α 与反向恢复峰电流(反向恢复电流 I_{ak} 波形的峰值) I_{rp} 之间的关系。使用仿真技术算出了将上述的实施方式一的半导体装置的阳极比率 α 设为12.5%、25%、50%、75%和100%时的反向恢复电流 I_{ak} 。

[0136] 具体而言,将沟槽2的重复间距设为 $5\mu\text{m}$ 。沟槽2短边方向的宽度为 $1\mu\text{m}$,沟槽2间的台面宽度 w_{20} 为 $4\mu\text{m}$ 。将p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量)Lp设为 $5\mu\text{m}$ 。并且,通过将单元长度Lc设为 $40\mu\text{m}$ ($\alpha=12.5\%$)、 $20\mu\text{m}$ ($\alpha=25\%$)、 $10\mu\text{m}$ ($\alpha=50\%$)、约 $6.7\mu\text{m}$ ($\alpha=75\%$)和 $5\mu\text{m}$ ($\alpha=100\%$),从而改变阳极比率 α 而计算反向恢复电流 I_{ak} 。阳极比率 α 为100%是指不间隔设置p阳极区5-2的情况,即在FWD部22中的相邻的沟槽2之间的台面部中,在基板正面整体露出有p阳极区5-2的情况(在图15、16中也是同样)。

[0137] 由图3、4所示的结果确认到通过将阳极比率 α 设为50%以上且小于100%,从而与阳极比率 α 为100%的情况相比,能够减小反向恢复峰电流 I_{rp} 。另外,确认到在阳极比率 α 为75%的情况下能够使反向恢复峰电流 I_{rp} 最小。应予说明,在图4中,虽然数据点为5个点,但确认到以各点间的条件进行实验评价,显示连结各点的直线的特性。

[0138] 通常而言,在 n^- 漂移区1的表面不经由p阳极区5-2而直接与氧化膜(层间绝缘膜8)接触的部分中,在导通时,过多的载流子蓄积为p阳极区5-2的掺杂浓度以上。因此,相比于p阳极区5-2在整个面上形成的情况(即,阳极比率 α 为100%的情况),反向恢复峰电流 I_{rp} 会增加。相对于此,在本发明中,在阳极比率 α 为50%以上且小于100%的情况下未增加,反而比阳极比率 α 为100%时还减少。这是在现有的二极管中未出现过的特异效果。

[0139] 作为其理由,考虑如下。在阳极比率 α 为50%以上且小于100%时,沿着沟槽2长度方向而相邻的p阳极区5-2的间隔比pn结的内置(built-in)耗尽层宽度小。因此,从相邻的p阳极区5-2分别扩展的内置耗尽层彼此在被它们所夹的 n^- 漂移区1中相互连接。对于该内置耗尽层而言,由于对pn结施加反向偏压,所以即使对该pn结施加正向偏压,在消灭内置耗尽层之前空穴不会注入到 n^- 漂移区1。即,利用公知的JFET效果抑制空穴的注入。因此,阳极比率 α 为50%以上且小于100%时的空穴的注入效率比阳极比率 α 为100%时低。由此,与 n^+ 阴极区12侧相比,流通额定电流的状态的载流子浓度分布变成p阳极区5-2侧相对低的分布。以上的一系列作用如图3、4所示,起到降低反向恢复峰电流 I_{rp} 的效果。

[0140] 在阳极比率 α 小于50%时反向恢复峰电流 I_{rp} 增加的理由是因为从两侧的p阳极区5-2起分别扩展到 n^- 漂移区1的内置耗尽层彼此不连接,所以JFET效果降低。由于JFET效果降低,所以氧化膜正下方的累积载流子变成增加,所以反向恢复峰电流 I_{rp} 增加。

[0141] 如上所述,优选地,相邻的p阳极区5-2的间隔是从各p阳极区5-2起分别扩展的内置耗尽层彼此连接的程度的距离以下。此时,进一步起到如下效果。例如使p阳极区5-2在沟槽2长度方向的宽度Lp与沟槽2间的台面宽度 w_{20} 相比足够小。由此,即使p阳极区5-2在沟槽2长度方向的宽度Lp短,也能够使相邻的p阳极区5-2的间隔成为从该各p阳极区5-2起分别扩展的内置耗尽层彼此连接的程度的距离以下。因此,能够进一步降低反向恢复峰电流

I_{rp} ,例如能够进一步降低图4所示的反向恢复峰电流 I_{rp} 的最小值。由此,能够使反向恢复峰电流 I_{rp} 成为最小的阳极比率 α 在75%以上(进一步而言是80%以上)且小于100%之间。

[0142] 接下来,以制作(制造)额定电压1200V、额定电流400A的RC-IGBT的情况为例对实施方式一的半导体装置的制造方法进行说明。图5~8是表示实施方式一的半导体装置的制造过程中的状态的剖面图。图9~12是表示实施方式一的半导体装置的制造过程中的状态的说明图。在图9~12中,(b)表示制造过程中的平面结构,(a)表示沿(b)的B-B'切割线的截面结构。首先,如图5所示,准备例如厚度650 μm 且直径6英寸的成为 n^- 漂移区1的 n^- 型硅(Si)基板(n^- 型半导体基板)31。

[0143] 在额定电压1200V的情况下,硅基板的电阻率例如为40 Ωcm ~80 Ωcm 左右。因此, n^- 型半导体基板31的电阻率例如可以为55 Ωcm 左右。硅基板的主面的面方位例如为(100)。接下来,在省略图示的终端结构部中,在 n^- 型半导体基板31的正面侧形成构成耐压结构的例如p保护环。终端结构部是指缓和活性区域的 n^- 漂移区1的电场并保持耐压的区域。活性区域是指形成有RC-IGBT的元件结构的区域。在图1、2、5~14、17、20A~23C、26、27中,也同样地对终端结构部省略图示。

[0144] 具体而言,在 n^- 型半导体基板31的正面形成p保护环的形成区域开口的抗蚀掩模(未图示)。接着,将抗蚀掩模作为掩模而对 n^- 型半导体基板31的正面进行例如硼(B)等p型杂质的离子注入。接下来,在除去抗蚀掩模后,通过热扩散处理使注入到 n^- 型半导体基板31的p型杂质扩散,由此形成p保护环。另外,如图6所示,通过用于形成p保护环的热扩散处理,从而在 n^- 型半导体基板31的正面形成氧化膜32。

[0145] 接下来,利用光刻法去除与沟槽2的形成区域对应的部分的氧化膜32。接着,将氧化膜32作为掩模,进行例如各向异性干式蚀刻,在 n^- 型半导体基板31的正面,以预定的深度形成沟槽2。接下来,通过牺牲氧化而在沟槽2的内壁形成牺牲氧化膜(未图示),通过去除该牺牲氧化膜,从而去除根据沟槽2的形成而在 n^- 型半导体基板31表面产生的缺陷层。接着,在活性区域中,去除覆盖 n^- 型半导体基板31的正面的氧化膜32。

[0146] 接下来,如图7所示,利用热氧化而在 n^- 型半导体基板31的正面,以沿着沟槽2的内壁的方式形成栅极绝缘膜3。栅极绝缘膜3的厚度例如为100nm~120nm,在实施方式一中例如为110nm。接着,将导电性多晶硅膜33堆积在 n^- 型半导体基板31的正面并埋入到沟槽2的内部。接下来,如图8所示,直到露出栅极绝缘膜3为止对导电性多晶硅膜33进行蚀刻,且仅在沟槽2的内部保留成为栅极4的导电性多晶硅膜33。接着,除去 n^- 型半导体基板31的正面上的栅极绝缘膜3和氧化膜32。

[0147] 接下来,如图9所示,利用热氧化法在 n^- 型半导体基板31的正面形成屏蔽氧化膜34。在图9(b)中,对屏蔽氧化膜34省略图示(图10~12的(b)也是一样)。接着,利用光刻法在 n^- 型半导体基板31的正面形成具有露出p基区5-1的形成区域的第一开口部35a以及露出p阳极区5-2的形成区域的第二开口部35b的抗蚀掩模35。设定抗蚀掩模35的第二开口部35b的沟槽2长度方向的宽度 L_p ,以使得由上述(1)式表示的阳极比率 α 在50%~75%的范围内。

[0148] 接着,将抗蚀掩模35作为掩模,对 n^- 型半导体基板31的正面进行越过屏蔽氧化膜34的例如硼等p型杂质的第一离子注入41。通过该第一离子注入41,从而在向抗蚀掩模35的第一开口部35a、第二开口部35b露出的 n^- 漂移区1形成p型杂质区域5-1a、5-2a。此后,除去抗蚀掩模35。此时,当以不同的杂质浓度形成IGBT部21的p基区5-1和FWD部22的p阳极区5-2

时,可以进一步进行抗蚀掩模的形成和p型杂质的离子注入。

[0149] 具体而言,当以不同的杂质浓度形成p基区5-1与p阳极区5-2时,例如,首先形成仅在IGBT部21的区域内的、p基区5-1的形成区域选择性地开口的抗蚀掩模。接下来,将该抗蚀掩模作为掩模,例如以剂量为 $2 \times 10^{13}/\text{cm}^2$ 左右且加速能量为100keV左右进行硼的离子注入后,去除抗蚀掩模。接着,形成仅在FWD部22的区域内的、p阳极区5-2的形成区域选择性地开口的抗蚀掩模。然后,可以将该抗蚀掩模作为掩模,例如以剂量为 $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{13}/\text{cm}^2$ 左右的范围且加速能量为100keV左右的条件进行硼的离子注入后,去除抗蚀剂。

[0150] 接下来,如图10所示,以 $1050^\circ\text{C} \sim 1150^\circ\text{C}$ 左右的范围的温度进行热扩散处理,以形成p型杂质区域5-1a热扩散而成的p基区5-1和p型杂质区域5-2a热扩散而成的p阳极区5-2。通过以上的处理,将半导体装置的栅极阈值设为约6V。

[0151] 接着,如图11所示,利用光刻法在n⁻型半导体基板31的正面形成具有露出p⁺接触区7的形成区域的开口部的抗蚀掩模36。抗蚀掩模36的开口部仅在IGBT部21的区域内形成,在FWD部22不形成。接下来,将抗蚀掩模36作为掩模,在n⁻型半导体基板31的正面,进行越过屏蔽氧化膜34的例如硼等p型杂质的第二离子注入42。例如,离子注入的剂量可以例如在 $1 \times 10^{15}/\text{cm}^2 \sim 5 \times 10^{15}/\text{cm}^2$ 左右的范围,且加速能量为100keV左右。接下来,在去除抗蚀掩模36后,通过使经第二离子注入42后的p型杂质在例如 1000°C 左右的温度下进行热扩散,从而仅在IGBT部21的p基区5-1的内部形成p⁺接触区7。在图11(b)中,对抗蚀掩模36省略图示。

[0152] 接着,如图12所示,利用光刻法在n⁻型半导体基板31的正面形成具有露出n⁺发射区6的形成区域的开口部的抗蚀掩模37。接下来,将抗蚀掩模37作为掩模,在n⁻型半导体基板31的正面,进行越过屏蔽氧化膜34的例如砷(As)等n型杂质的第三离子注入43。接下来,在去除抗蚀掩模37后,通过使经第三离子注入43后的n型杂质热扩散,从而在p基区5-1的内部形成n⁺发射区6。在图12(b)中,对抗蚀掩模37省略图示。

[0153] 接着,在n⁻型半导体基板31的正面整个面形成BPSG(Boro Phospho Silicate Glass,硼磷硅玻璃)等层间绝缘膜8。接下来,利用光刻法选择性地去除层间绝缘膜8,形成第一接触孔8-1、第二接触孔8-2。接着,利用通常的方法在n⁻型半导体基板31的正面形成发射极9后,用例如抗蚀剂膜(未图示)保护n⁻型半导体基板31的正面侧。接下来,磨削n⁻型半导体基板31的背面,使n⁻型半导体基板31的厚度磨薄到例如 $125\mu\text{m}$ 后,进行蚀刻而除去磨削应变层。

[0154] 接下来,从n⁻型半导体基板31的背面起进行例如硒(Se)等n型杂质的第四离子注入。第四离子注入是用于形成n缓冲层10的离子注入,例如可以将剂量设为 $3 \times 10^{14}/\text{cm}^2$ 左右,将加速能量设为100keV左右。从n⁻型半导体基板31的背面,在比第四离子注入浅的区域进行例如硼等p型杂质的第五离子注入。第五离子注入是用于形成p⁺集电区11的离子注入,例如可以将剂量设为 $8 \times 10^{13}/\text{cm}^2$ 左右,将加速能量设为40keV左右。

[0155] 接下来,利用光刻法,在n⁻型半导体基板31的背面形成具有露出n⁺阴极区12的形成区域(即,FWD部22)的开口部的例如 $2\mu\text{m}$ 左右厚度的抗蚀掩模(未图示)。接下来,将抗蚀掩模作为掩模,在n⁻型半导体基板31的背面进行例如磷(P)等n型杂质的第六离子注入。第六离子注入例如可以将剂量设为 $2 \times 10^{15}/\text{cm}^2$ 左右,将加速能量设为110keV左右。

[0156] 接下来,去除保护n⁻型半导体基板31的正面的抗蚀剂膜和n⁻型半导体基板31的背面的抗蚀掩模。接着,通过在例如 950°C 左右的温度下进行30分钟左右的热处理,从而使利

用第四离子注入~第六离子注入形成的杂质区域活化。接下来,在n⁻型半导体基板31的正面侧形成例如5μm左右厚度的铝硅(Al-Si,例如含有1%的Si的Al)膜。然后,对该Al-Si膜进行图案化而形成发射极9。

[0157] 接下来,从n⁻型半导体基板31的背面起,例如将氦(4He)以23MeV左右的加速能量且剂量 $1 \times 10^{13}/\text{cm}^2$ 左右的条件进行照射。接着,在370℃左右的温度下进行1小时左右的退火(热处理),通过氦照射而使在n⁻型半导体基板31的内部产生的缺陷恢复。此后,通过在n⁻型半导体基板31的背面分别以1μm、0.07μm、1μm和0.3μm左右的厚度依次堆积Al膜、Ti膜、Ni膜和金(Au)膜而形成集电极13,从而完成图1、2所示的RC-IGBT。

[0158] 如上所说明,根据实施方式一,通过将阳极比率设为50%~75%,从而能够使反向恢复电流降低,由于能够降低反向恢复损耗,所以能够提高二极管特性。另外,根据实施方式一,由于在FWD部不形成发射极与n⁻漂移区的肖特基接合,所以能够防止断开时漏电流增加。另外,根据实施方式一,通过分开配置IGBT部与FWD部,从而相比上述专利文献2能够更宽地地确保仅设有IGBT的区域(IGBT部)。由此,即使载流子从FWD部被抽出,也能够较高地维持IGBT部的载流子浓度。因此,能够降低导通电阻,能够降低导通电压。

[0159] (实施方式二)

[0160] 接下来,对实施方式二的半导体装置的构成进行说明。图13是表示实施方式二的半导体装置的结构平面图。图14是表示沿图13的切割线C-C'的截面结构的剖面图。实施方式二的半导体装置与实施方式一的半导体装置的不同之处在于以下两点。第一个不同点是在FWD部22中,相邻的沟槽2之间的台面的几乎整个面朝第二接触孔58-2露出,p阳极区5-2与n⁻漂移区1均与发射极9连接。

[0161] 即,在FWD部22中,形成n⁻漂移区1与发射极9的肖特基接合。发射极9的至少与FWD部22的硅部接触的部分的构成材料优选使用例如含有1%的Si的Al、铂(Pt)或铂硅化物(PtSi)等与硅部的界面中的肖特基势垒的势垒高度 $\Delta \Phi_B$ 为0.8eV以上的材料。由此,能够降低漏电流。在因小型化等而在IGBT部21中的发射极9与硅部之间设置阻挡金属(barrier metal)的情况下有效。

[0162] 第二个不同之处是阳极比率α越低越优选(α≠0%),例如可以小于50%,优选为25%以下。其理由是因为使阳极比率α越低越能够减小反向恢复峰电流I_{rp}。对阳极比率α与反向恢复特性之间的关系进行了验证,将结果示于图15、16。图15、16是表示实施方式二的半导体装置的反向恢复特性的特性图。在图15中示出反向恢复电流I_{ak}波形。在图16中示出阳极比率α与反向恢复峰电流I_{rp}之间的关系。

[0163] 利用仿真技术算出了将上述的实施方式二的半导体装置的阳极比率α设为15%、25%、50%、75%和100%时的反向恢复电流I_{ak}。具体而言,将p阳极区5-2在沟槽2长度方向的宽度(不包括由热扩散引起的增量)L_p设为5μm。并且,通过将单元长度L_c设为约33μm(α=15%)、20μm(α=25%)、10μm(α=50%)、约6.7μm(α=75%)和5μm(α=100%),从而改变阳极比率α来计算反向恢复电流I_{ak}。

[0164] 由图15、16所示的结果确认到使阳极比率α越低,相比阳极比率α为100%的情况,越能够使反向恢复峰电流I_{rp}最小。

[0165] 对于实施方式二的半导体装置的制造方法而言,在实施方式一的半导体装置的制造方法中,只要进行如下步骤即可:以使阳极比率α变小的方式配置p阳极区5-2;在FWD部22

中以使相邻的沟槽2之间的台面部的几乎整个面露出的方式形成第二接触孔58-2。除了实施方式二的半导体装置的制造方法的这两点以外,与实施方式一的半导体装置的制造方法相同。

[0166] 接下来,对IGBT部21和FWD部22的优选的宽度进行说明。图24是表示实施方式二的半导体装置的IGBT部的宽度与FWD部的宽度之间的关系的特性图。图25是表示实施方式二的半导体装置的平面结构的平面图。如图25所示,在由IGBT部21和FWD部22构成的反向导通型IGBT的芯片的外周部,以包围活性区域的方式形成有边缘终端区域72。浇道(gate runner)73以沿着活性区域的外周部且被边缘终端区域72包围的方式形成。浇道73是用于从栅极垫74向活性区域内部的IGBT单元供应门信号的配线。在被浇道73包围的区域(活性区域的内侧的区域)交替反复配置具备预定大小的IGBT部21与FWD部22。由此,通过交替反复配置多个IGBT部21与FWD部22,从而在IGBT部21导通时和FWD部22反向导通时,使电流均等地分布在整个芯片。

[0167] 将IGBT部21的宽度 W_{IGBT} 设为IGBT部21与FWD部22交替反复配置方向的、相邻的FWD部22之间的长度。即,将例如大致矩形状的平面形状的IGBT部21的短的一侧的宽度记为 W_{IGBT} 。同样地,将FWD部22的宽度 W_{FWD} 设为IGBT部21与FWD部22交替反复配置的方向的、相邻的IGBT部21间的长度。即,将例如大致矩形状的平面形状的FWD部22中的短的一侧的宽度记为 W_{FWD} 。对于该IGBT部21的宽度 W_{IGBT} 和FWD部22的宽度 W_{FWD} ,将表示电流密度为 $400A/cm^2$ 且温度为 $125^{\circ}C$ 时的导通电压的图表示于图24。在图24中,用连结多个数据点的近似曲线表示将FWD部22的宽度 W_{FWD} 设为 $1\mu m$ 、 $3\mu m$ 、 $10\mu m$ 、 $100\mu m$ 、 $1000\mu m$ 时的各自的导通电压。在图24中,纵轴为导通电压,横轴为IGBT部的宽度 W_{IGBT} 。在此,被浇道73包围的区域全部是IGBT部的情况下(即未设置FWD部)的导通电压为 $1.1V$,在图24中由最粗的虚线(横线)表示导通电压 $=1.1V$ 的位置。

[0168] 如图24所示,在各FWD部22的宽度 W_{FWD} 中,如果IGBT部21的宽度 W_{IGBT} 比一定程度的宽度短,则导通电压增加。特别是,了解到在全部的FWD部22的宽度 W_{FWD} 中,如果导通电压为 $1.3V$ 以上,则相对于IGBT部21的宽度 W_{IGBT} 的减少而导通电压急剧增加。在图24中,用实线(FWD部22的宽度 $W_{FWD}=1\mu m$ 时的数据点右侧的横线)表示导通电压 $=1.3V$ 的位置,用点划线表示导通电压大于 $1.3V$ 的部分的近似曲线(对于FWD部22的宽度 W_{FWD} 为 $1\mu m$ 、 $3\mu m$ 、 $10\mu m$ 、 $1000\mu m$ 的情况,用空心符号表示导通电压比 $1.3V$ 大的数据点)。导通电压为 $1.3V$ 的情况在电流-电压曲线中对应于电流未增加而发生snapback的情况。snapback是指为了使从IGBT部21的MOS栅注入的电子通过场终止层(n缓冲层10)而流入到与IGBT部21邻接的FWD部22的 n^+ 阴极区12,阻碍来自IGBT部21的 p^+ 集电区11的空穴注入的现象。为了抑制该snapback现象,需要将IGBT部21的宽度 W_{IGBT} 设为使导通电压比 $1.3V$ 低的宽度。

[0169] 具体而言,虽然也取决于IGBT部21的单位单元的尺寸,即沟槽2的重复间距,但在沟槽2的重复间距为 $1\mu m$ 以上时,FWD部22的宽度 W_{FWD} 至少要为 $1\mu m$ 以上,因此IGBT部21的宽度 W_{IGBT} 为 $20\mu m$ 以上为好。然而,通常FWD部22负担比IGBT部21大的电流密度,对于电流密度比,FWD部22是IGBT部21的2倍以上。因此,IGBT部21与FWD部22的宽度之比($=W_{IGBT}/W_{FWD}$)设为2以上。此时,如果将FWD部22的宽度 W_{FWD} 设为 $10\mu m$,将IGBT部21的宽度 W_{IGBT} 设为 $20\mu m$ 以上,则能够抑制导通电压的增大。另外,FWD部22的宽度 W_{FWD} 例如为 $100\mu m$ 的情况下,需要使IGBT部21的宽度 W_{IGBT} 形成 $100\mu m$ 以上,FWD部22的宽度 W_{FWD} 例如为 $1000\mu m$ 的情况下,需要使IGBT部

21的宽度 W_{IGBT} 形成为 $1000\mu m$ 以上。如果IGBT部21和FWD部22的各区域的宽度变得比空穴的扩散长度长,则由于电流分别流过IGBT部21和FWD部22,所以电流产生偏流。因此,特别优选IGBT部21的宽度 W_{IGBT} 为 $300\mu m$ 以下,此时FWD部22的宽度 W_{FWD} 虽然也取决于电流密度比,但优选 $150\mu m$ 以下。综上,优选IGBT部21的宽度 W_{IGBT} 为 $20\mu m \sim 300\mu m$,FWD部22的宽度 W_{FWD} 为 $10\mu m \sim 150\mu m$ 。特别是,通过将IGBT部21的宽度 W_{IGBT} 设为 $20\mu m \sim 100\mu m$,将FWD部22的宽度 W_{FWD} 设为 $10\mu m \sim 50\mu m$,从而能够兼顾snapback现象的抑制和芯片内电流分散的效果。

[0170] 另外,作为实施方式二的变形例一,可以使沟槽2间的台面宽度 w_{20} 进一步比 $4\mu m$ 窄。内置耗尽层从沟槽2与台面部的边界起向台面部扩展。通过使该台面部的台面宽度 w_{20} 进一步变窄,使从两侧的沟槽2扩展的内置耗尽层彼此连接,从而能够使台面部以零偏压完全耗尽化。由此,即使在FWD部22中不形成p阳极区5-2而仅形成 n^- 漂移区1与阳极电极的肖特基接触,也能够台面部中耗尽层从沟槽2扩展而使其夹断。由此,能够抑制接近元件耐压的程度的反向偏压中的公知的势垒高度降低的现象。因此,例如即使像现有的MPS (Merged PiN/Schottky,混合PiN/肖特基) 二极管那样的没有p阳极区5-2的情况下也能够抑制随着反向偏压增加而发生的漏电流的增加。此外,由于完全没有来自p阳极区5-2的空穴注入,仅由上述的阻挡金属的势垒高度决定空穴注入量,所以能够极大地降低空穴的注入效率。

[0171] 实际上,不仅可以形成 n^- 漂移区1与阳极电极的肖特基接触,也可以形成相对于沟槽2间的台面宽度 w_{20} ,在沟槽2短边方向的宽度较窄的p阳极区5-2,且使该p阳极区5-2在沟槽2长度方向的重复间距为沟槽2间的台面宽度 w_{20} 的10倍或其以上。由此,能够使阳极比率 α 小于10%,使来自p阳极区5-2的空穴注入充分降低到仅为 n^- 漂移区1与阳极电极的肖特基接触(阳极比率 $\alpha=0\%$)的程度。由此,能够极大地降低反向恢复峰电流 I_{rp} ,并且在反向偏置时,p阳极区5-2能够增强耗尽层的夹断效果。因此,与仅为 n^- 漂移区1与阳极电极的肖特基接触的情况相比,漏电流不易受到肖特基界面的缺陷的影响,能够使元件特性稳定化。

[0172] 另外,作为实施方式二的变形例2,可以以不同的沟槽间隔设置FWD部22的沟槽2。图26是表示实施方式二的半导体装置的另一个例子的平面图。图27是表示沿图26的切割线H-H'的截面结构的剖面图。如图26、27所示,将FWD部22的沟槽2配置成由第一沟槽间隔 L_a 和比第一沟槽间隔 L_a 宽的第二沟槽间隔 L_b 构成。在实施方式二的变形例2中,在将FWD部22的阳极比率 α 设为50%时的、沟槽2的第二沟槽间隔 L_b 相对于第一沟槽间隔 L_a 的比例($=L_b/L_a$,以下称为沟槽间隔比 L_b/L_a)与反向恢复电流 I_{AK} 之间的关系示于图28。图28是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与反向恢复电流 I_{AK} 之间的关系的特性图。在图28中示出使沟槽间隔比 $L_b/L_a=8$ 时的反向恢复电流波形,并作为比较而示出沟槽间隔比 $L_b/L_a=1$ 时的反向恢复电流波形。如图28所示,可知通过使沟槽2的第二沟槽间隔 L_b 比第一沟槽间隔 L_a 大,从而与第一沟槽间隔 L_a 和第二沟槽间隔 L_b 相等的情况相比,可减少反向恢复峰电流 I_{rp} 。

[0173] 另外,将使沟槽2的第二沟槽间隔 L_b 比第一沟槽间隔 L_a 大时的、沟槽间隔比 L_b/L_a 与正向压降 V_f 之间的关系以及沟槽间隔比 L_b/L_a 与反向恢复峰电流 I_{rp} 之间的关系分别示于图29A、29B。图29A是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与正向压降 V_f 之间的关系的特性图。图29B是表示图26的半导体装置的沟槽间隔比 L_b/L_a 与反向恢复峰电流 I_{rp} 之间的关系的特性图。在图29A、29B中,最左侧的数据点是沟槽间隔比 $L_b/L_a=1$ 的情况。如图

29A所示,在沟槽间隔比 L_b/L_a 大于1时,随着沟槽间隔比 L_b/L_a 增大,正向压降 V_f 逐渐增加,正向压降 V_f 的增加量即使在沟槽间隔比 $L_b/L_a=20$ 的情况下也约为3%。另一方面,如图29B所示,随着沟槽间隔比 L_b/L_a 增大,反向恢复峰电流 I_{rp} 逐渐减小。反向恢复峰电流 I_{rp} 的减小量在沟槽间隔比 $L_b/L_a=20$ 时约为10%。即,在沟槽间隔比 L_b/L_a 大于1的情况下,与正向压降 V_f 相比,反向恢复电流 I_{AK} 的减小效果大。

[0174] 使用图30A、30B说明在沟槽间隔比 L_b/L_a 大于1时,与正向压降 V_f 相比反向恢复电流 I_{AK} 的减少效果大的理由。图30A、30B是表示导通稳定的正向电流($=400A/cm^2$)时的二极管内部的电流密度的特性图。在图30A(a)中示出沟槽间隔比 $L_b/L_a=8$ 时的电流密度分布。在图30A(b)中示出用图30A(a)的切割线I-I', J-J'切割后的各截面的电流密度分布。在图30B(a)中示出沟槽间隔比 $L_b/L_a=1$ 时的电流密度分布。在图30B(b)中示出用图30B(a)的切割线K-K', L-L'切割后的各截面的电流密度分布。在图30A(a)、30B(a)中,仅图示一个沟槽82,对与该沟槽82的短边方向的两侧相邻的沟槽82省略图示,半导体基板81的沟槽82的右侧区域是以第一沟槽间隔 L_a 被夹在相邻的沟槽82间的区域,沟槽82的左侧区域是以第二沟槽间隔 L_b 被夹在相邻的沟槽82间的区域。在图30A(b)、30B(b)中,纵轴为霍尔电流密度,横轴为距离半导体基板81的正面(深度 $=0\mu m$)的深度。在半导体基板81的内部图示的不同的阴影线表示霍尔(空穴)电流密度的高低,如图30A(b)、30B(b)分别所示,距离半导体基板81的正面越深,半导体基板81的内部的霍尔电流密度越低。另外,在沟槽82的短边方向,越远离沟槽82,半导体基板81的内部的霍尔电流密度越低。

[0175] 在沟槽间隔比 $L_b/L_a=8$ 的情况下,构成沟槽间隔比 $L_b/L_a=8$ 的自然数中的最小的数值(即1和8)的总和(以下,记为间距 L_a+L_b)为9($=1+8$),在沟槽间隔比 $L_b/L_a=1$ 的情况下,间距 L_a+L_b 为2($=1+1$)。即,沟槽间隔比 $L_b/L_a=8$ 的间距 L_a+L_b 是沟槽间隔比 $L_b/L_a=1$ 的间距 L_a+L_b 的4.5倍,与此相应地,沟槽间隔比 $L_b/L_a=8$ 的电流密度在整体上比沟槽间隔比 $L_b/L_a=1$ 的电流密度低。此外,在沟槽间隔比 $L_b/L_a=8$ 时,半导体基板81的、被夹在以第一沟槽间隔 L_a 相邻的沟槽82间的窄的区域的电流密度比其它区域的电流密度高。特别是间距 L_a+L_b 大是将正向压降 V_f 的增量抑制到2%左右的理由。另一方面,反向恢复电流 I_{AK} 的情况下,通过利用沟槽82将阳极区(未图示)划分(分割)为多个,从而半导体基板81的、被夹在以第一沟槽间隔 L_a 相邻的沟槽82间的窄的区域的动作变为主要动作,所以注入效率降低。因此,反向恢复动作时的空穴的排出变得容易,反向恢复峰电流 I_{rp} 降低。

[0176] 综上,沟槽间隔比 L_b/L_a 可以大于1($1 < L_b/L_a$),优选为2以上($2 \leq L_b/L_a$)。另外,由于沟槽间隔比 L_b/L_a 为10以上则特性几近饱和,所以10以下为好($L_b/L_a \leq 10$),优选为能够降低正向电压的5以下($L_b/L_a \leq 5$)。如果仅着重于反向恢复电流 I_{AK} ,则沟槽间隔比 L_b/L_a 可以为10以上,但在被夹在以第一沟槽间隔 L_a 相邻的沟槽82间的窄的区域中容易发生电流集中,因此从防止电流集中的观点考虑,优选为沟槽间隔比 L_b/L_a 为10以下。

[0177] 应予说明,该实施方式二的变形例2的情况下,即使阳极比率 α 为100%,即在FWD部22的整面形成p阳极区也可起到同样的效果。

[0178] 如上所说明,根据实施方式二,能够获得与实施方式一同样的效果。另外,根据实施方式二,通过在FWD部形成 n^- 漂移区与发射极的肖特基接合,从而能够进一步降低反向恢复峰电流。另外,根据实施方式二,通过间隔配置p阳极区,从而容易夹断p阳极区与 n^- 漂移区之间的pn结以及从沟槽与 n^- 漂移区的边界延伸的耗尽层,因此能够防止在断开时漏电流

增加。

[0179] (实施方式三)

[0180] 接下来,对实施方式三的半导体装置的构成进行说明。图17是表示实施方式三的半导体装置的结构剖面图。实施方式三的半导体装置与实施方式二的半导体装置的不同之处在于FWD部22中的栅极54与发射极9导通连接。即,FWD部22的栅极54成为发射极电位。此时,IGBT部21的栅极4在图示省略部分与FWD部22的栅极54电绝缘。

[0181] 如以上所说明,根据实施方式三,能够获得与实施方式一、实施方式二同样的效果。

[0182] (实施方式四)

[0183] 接下来,对实施方式四的半导体装置的构成进行说明。图20A是表示实施方式四的半导体装置的结构平面图。图20B是表示实施方式四的半导体装置的另一个例子的结构的平面图。图21是表示沿图20A、20B的切割线D-D'的截面结构的剖面图。实施方式四的半导体装置是仅有实施方式三中的FWD部,且从两侧的沟槽2起在台面部分别扩展的内置耗尽层彼此连接而构成的二极管。实施方式四的半导体装置的除此以外的构成与实施方式三相同。符号59为阳极电极,符号63为阴极电极。

[0184] 例如,额定电压为600V~6500V的情况下,成为n⁻漂移区1的n⁻型硅基板的电阻率典型的是针对0.05倍于额定电压的值进行单位换算后的30 Ω cm~325 Ω cm。因此,从一侧的沟槽2起在台面部扩展的内置耗尽层的宽度利用泊松公式约为2.4 μm~7.8 μm。因此,对于额定电压为600V~6500V,如果使沟槽2间的台面宽度w20分别比4.8 μm~15.6 μm短,则从台面的两侧的沟槽2扩展的内置耗尽层会形成连接。更优选地,使沟槽2间的台面宽度w20进一步变短,从而对于额定电压为600V~6500V,使其分别为例如上述值的一半的2.4 μm~7.8 μm以下时,则能够进一步可靠地抑制因镜像效果而导致的漏电流的增加。

[0185] 对于额定电压为600V~6500V,使沟槽2间的台面宽度w20为4.8 μm~15.6 μm时,将额定电压记为V,将沟槽的台面宽度记为W时,可根据下述(2)式计算相对于额定电压V的台面宽度w20。

$$[0186] \quad W = -1.12590 \times 10^{-21} \cdot V^6 + 2.36081 \times 10^{-17} \cdot V^5 - 2.00947 \times 10^{-13} \cdot V^4 + 9.15899 \times 10^{-10} \cdot V^3 - 2.55808 \times 10^{-6} \cdot V^2 + 6.11403 \times 10^{-3} \cdot V + 2.01005 \times 10^0 \quad (2)$$

[0187] 上述(2)式是利用上述方法对额定电压V定义典型的半导体基板的电阻率,在额定电压V为600V~6500V之间的七个点(600V,1200V,1700V,2500V,3300V,4500V,6500V)中,根据泊松公式求出内置耗尽层宽度,将其值用六次多项式进行拟合。使沟槽2间的台面宽度w20变窄的情况下,使其比利用上述(2)式计算的台面宽度W的算出值小即可,例如使沟槽2间的台面宽度w20为利用上述(2)式计算的台面宽度W的算出值的一半即可。

[0188] 另外,如图20B所示,p阳极区5-2可以配置为与隔着沟槽2的相邻的两个p阳极区5-2之间的区域(n⁻漂移区1)相对。由于从p阳极区5-2注入空穴,所以p阳极区5-2下部的电流密度增加。如果像图20B那样配置p阳极区5-2,则由于隔着沟槽2而引起相邻的p阳极区5-2彼此分开,因此电流密度高的区域得到分散,能够抑制发热、电流集中等。

[0189] 这样,根据实施方式四,通过使沟槽间的台面宽度足够窄,从而即使在没有p阳极区的情况下也能够形成抑制漏电流增加的二极管。

[0190] (实施方式五)

[0191] 接下来,对实施方式五的半导体装置的构成进行说明。图22A是表示实施方式五的半导体装置的结构平面图。图22B是表示沿图22A的切割线E-E'的截面结构的剖面图。图22C是表示沿图22A的切割线F-F'的截面结构的剖面图。实施方式五的半导体装置与实施方式四的半导体装置的不同之处在于以下两点。第一个不同点是沿着沟槽2长度方向选择性地形成p阳极区5-2,以使得阳极比率 α 成为10%以下。第二个不同点是使沟槽2的重复间距比内置耗尽层宽度足够短,例如使沟槽2间的台面宽度 w_{20} 为上述(2)式的值的一半以下,且为沟槽2短边方向的宽度以上。

[0192] 在图22B、22C中示出内置耗尽层90扩展的情况。内置耗尽层90是指对阳极电极59和阴极电极(未图示)均未施加电压,并在热平衡状态下从p阳极区5-2与n⁻漂移区1之间的pn结向n⁻漂移区1扩展的耗尽层。使沟槽2间的台面宽度 w_{20} 为上述(2)式的值的一半以下时,如图22B所示,从相邻的沟槽2向台面部扩展的内置耗尽层9相互连接。由此,内置耗尽层90的耗尽层端91与p阳极区5-2的深度成为同等的深度,内置耗尽层90的耗尽层端91的面形状成为与基板主面平行的大致平坦的状态。因此,内置耗尽层90的耗尽层端91成为接近平面结的形状,从而耐压得到提高。平面结是指在n⁻型半导体基板的正面的表面层同样地设置p阳极区5-2情况下的p阳极区5-2与n⁻漂移区1之间的pn结。

[0193] 另外,由于内置耗尽层90的耗尽层端91是接近于平面结的形状,所以也能够抑制肖特基接触中的势垒高度降低,因此即使是高的施加电压,漏电流也几乎不会增加。此外,即使使p阳极区5-2在沟槽2长度方向的第二间距比内置耗尽层90的宽度足够长,以使阳极比率 α 为10%以下,耐压和漏电流也不均取决于p阳极区5-2在沟槽2长度方向的第二间距。由此,几乎可以忽视从p阳极区5-2向n⁻漂移区1的空穴的注入。另外,如图22C所示,即使在切割线上不设置p阳极区5-2的区域中,内置耗尽层90的耗尽层端91的面形状也充分接近于平面结的情况。在这样的结构中,通过将阳极比率 α 设为10%以下,从而能够极大地降低阳极电极59的空穴的注入效率(10%以下),因此能够在不产生耐压降低和漏电流增加的情况下降低反向恢复电流。

[0194] 如上所说明,根据实施方式五,能够得到与实施方式三、实施方式四同样的效果。

[0195] (实施方式六)

[0196] 接下来,对实施方式六的半导体装置的构成进行说明。图23A是表示实施方式六的半导体装置的结构平面图。图23B是表示沿图23A的切割线G-G'的截面结构的剖面图。图23C是表示沿图23A的切割线G-G'的截面结构的另一个例子的剖面图。实施方式六的半导体装置与实施方式五的半导体装置的不同之处在于不形成p阳极区,而是如图23B所示,使n⁻漂移区1与阳极电极59仅为肖特基接触。

[0197] 在实施方式六中,也与实施方式五同样地通过充分减小沟槽2的重复间距,从而即使没有p阳极区5-2,内置耗尽层90的耗尽层端91的面形状也充分与平面结的情况相近。并且,通过不形成p阳极区5-2,从而不产生耐压的降低和漏电流的增加且能够使从p阳极区5-2向n⁻漂移区1的空穴的注入效率几乎为0(零)。使用肖特基势垒高度高的铝-硅(Al-Si)合金和/或铂硅化物(PtSi)等形成阳极电极59时,由于产生从p阳极区5-2向n⁻漂移区1的空穴的注入,所以无法使空穴的注入效率为零,然而与形成p阳极区5-2的情况相比,能够变为其一半以下的注入效率。

[0198] 另外,如图23C所示,作为实施方式六的变形例,可以形成比实施方式五的p阳极区

5-2足够浅而杂质浓度低的浅的p层5-3。 n^- 漂移区1与阳极电极59的肖特基接触的情况下,耗尽层向元件形成工艺过程中导入的表面缺陷(表面准位)扩展,容易因热激发而产生载流子。因此,可能导致漏电流增加,合格率降低。因此,像图23C的实施方式六的变形例那样,通过形成浅的p层5-3,从而能够防止耗尽层与表面缺陷(表面准位)接触,因此漏电流稳定在低的值,能够抑制合格率降低。

[0199] 应予说明,在实施方式二中的半导体装置的FWD部22中,也可以适用实施方式四~实施方式六中记载的二极管的结构。另外,在实施方式四~实施方式五中,可以形成实施方式六的变形例中的浅的p层5-3。由此,能够起到与实施方式六同样的效果。

[0200] 如上所说明,根据实施方式六,能够获得与实施方式三~实施方式五同样的效果。

[0201] (实施方式七)

[0202] 接下来,对实施方式七的半导体装置的构成进行说明。图31是表示实施方式七的半导体装置的结构剖面图。图31所示的实施方式七的半导体装置的平面结构与图1相同,图31是沿图1的切割线A-A'的截面结构。图32是表示实施方式七的半导体装置的另一个例子的结构的剖面图。图32所示的实施方式七的半导体装置的另一个例子的平面结构图13相同,图32是沿图13的切割线C-C'的截面结构。图33是表示比较例的半导体装置的结构剖面图。实施方式七的半导体装置与实施方式一的半导体装置的不同之处在于将p基区5-1和p阳极区5-2分别经由接触电极18与发射极9电连接。接触电极18是从基板正面侧依次层叠钛(Ti)层14、氮化钛(TiN)层15和钨(W)层16而成。

[0203] 具体而言,如图31所示,在p阳极区5-2的内部选择性地设置 p^+ 接触区17。 p^+ 接触区17实现与钛层14的欧姆接触(欧姆性的电接触)。 p^+ 接触区17的深度和杂质浓度与IGBT部21的 p^+ 接触区7不同,从而被调整(最佳化)为获得根据设计条件的预定的FWD特性。例如,优选地, p^+ 接触区17的深度比 p^+ 接触区7的深度浅, p^+ 接触区17的杂质浓度比 p^+ 接触区7的杂质浓度低。其理由是因为将与IGBT部21的 p^+ 接触区7相同程度深且杂质浓度高的 p^+ 接触区17形成在p阳极区5-2时,在FWD导通时从p阳极区5-2向 n^- 漂移区1的空穴注入过度增加而成为硬恢复(Hard recovery)。

[0204] 接触电极18分别埋入到例如第一接触孔8-1、第二接触孔8-2的内部。即便由于使沟槽2的重复间距L30变窄到例如 $4\mu\text{m}$ 以下,从而第一接触孔8-1在沟槽2短边方向的开口宽度 w_{31} 和第二接触孔8-2在沟槽2短边方向的开口宽度 w_{21} 也变窄的情况下,接触电极18也可实现良好的欧姆接触。例如,在像图33所示的比较例那样不具备接触电极18的情况下,由于使沟槽2的重复间距L30变窄,从而第一接触孔8-1在沟槽2短边方向的开口宽度 w_{31} 和第二接触孔8-2在沟槽2短边方向的开口宽度 w_{21} 也变窄。因此,仅利用由铝硅膜构成的发射极9是无法完全埋入到第一接触孔8-1、第二接触孔8-2的内部。由此,在发射极9与硅部(IGBT部21的至少 p^+ 接触区7、FWD部22的p阳极区5-2)之间产生间隙19,接触电阻增大,因此难以得到发射极9与硅部的良好的欧姆接触。

[0205] 另一方面,在本发明中,可利用由钛层14、氮化钛层15和钨层16构成的接触电极18而完全埋入第一接触孔8-1、第二接触孔8-2的内部。因此,能够防止在发射极9与硅部之间产生间隙19。具体而言,钛层14在第一接触孔8-1、第二接触孔8-2各自的内部沿着侧壁和基板正面而得到设置。钛层14在IGBT部21中与 n^+ 发射区6和 p^+ 接触区7接触,在FWD部22中与p阳极区5-2和 p^+ 接触区17接触。在第一接触孔8-1、第二接触孔8-2的内部,在钛层14的内侧沿

着钛层14而设有氮化钛层15,在氮化钛层15的内侧设有钨层16。发射极9与钛层14、氮化钛层15和钨层16接触。

[0206] 另外,发明人等确认到例如FWD部22中的栅极4为栅极电位时,在使沟槽2的重复间距L30例如窄到 $4\mu\text{m}$ 以下而谋求IGBT部的低导通电压化时,施加栅极电压时的正向电压大幅上升。例如,施加通常使用的栅极电压15V时,正向电压的上升率与未施加栅极电压的情况($=0\text{V}$)相比,在沟槽2的重复间距L30 $=5\mu\text{m}$ 中为3%左右,相对于此,在沟槽2的重复间距L30 $=4\mu\text{m}$ 中为10%左右,在沟槽2的重复间距L30 $=2.3\mu\text{m}$ 中为21%左右。另外,正向电压的上升率与栅极电压的大小成比例地增加。其理由如下。由于施加栅极电压时,电子集中到沟槽2的周边,所以从p阳极区5-2向n⁻漂移区1的空穴注入根据集中到FWD部22中的沟槽2的周边的电子而得到抑制。由于使沟槽2的重复间距L30越窄,p阳极区5-2在沟槽2短边方向的宽度(由图1的符号w20所示的部分)变得越窄,所以利用沟槽2周边的电子而抑制从p阳极区5-2向n⁻漂移区1的空穴注入的比例变大,不进行电导率调制。

[0207] 因此,可以在实施方式七中应用实施方式三,将FWD部22中的栅极4与发射极9导通连接。通过将FWD部22中的栅极4与发射极9导通连接,从而在施加栅极电压时,电子不集中到FWD部22中的沟槽2的周边。因此,即使将沟槽2的重复间距L30微细化,从p阳极区5-2到n⁻漂移区1的空穴注入也不会因电子而得到抑制,因此能够实现低正向电压化。另外,如图32所示,可以在实施方式二中应用实施方式七。具体而言,即使在FWD部22中使相邻的沟槽2之间的台面部的几乎整个面暴露于第二接触孔58-2,也可以在p阳极区5-2的内部设置p⁺接触区17,且经由接触电极18将发射极9与p⁺接触区17连接。这样,无论第二接触孔58-2的平面形状是什么样子,均能够通过接触电极18实现与硅部的良好的欧姆接触。

[0208] 如以上所说明,根据实施方式七,能够得到与实施方式一、实施方式二同样的效果。根据实施方式七,即便在使沟槽的重复间距窄到例如 $4\mu\text{m}$ 以下而实现低导通电压化的情况下,也能够施加栅极电压抑制正向电压上升,并且能够在FWD部的阳极侧实现良好的欧姆接触。

[0209] 以上,本发明不限于上述实施方式,可以在不脱离本发明的主旨的范围内进行各种改变。例如,在上述的各实施方式中,各部的尺寸、表面浓度等根据所要求的规格等进行各种设定。另外,在各实施方式中,使第一导电型为n型,使第二导电型为p型,但本发明使第一导电型为p型,使第二导电型为n型也同样成立。

[0210] 产业上的可利用性

[0211] 如上,本发明的半导体装置对于在电力变换装置等中使用的功率半导体装置有用。

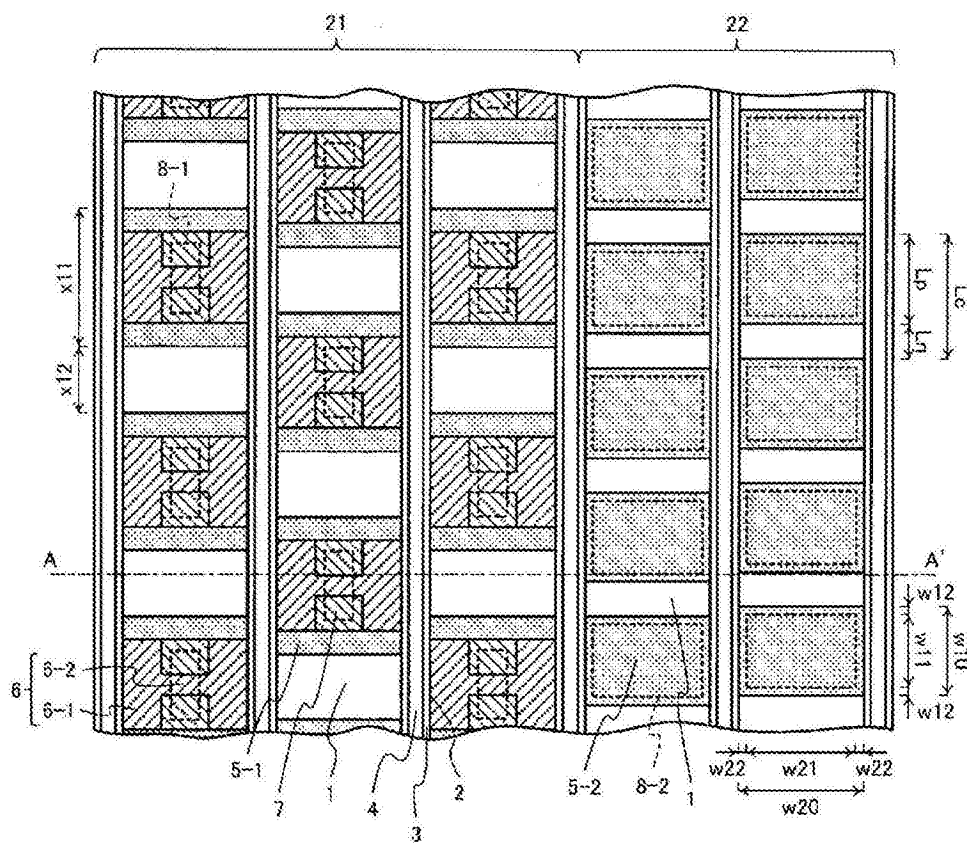


图1

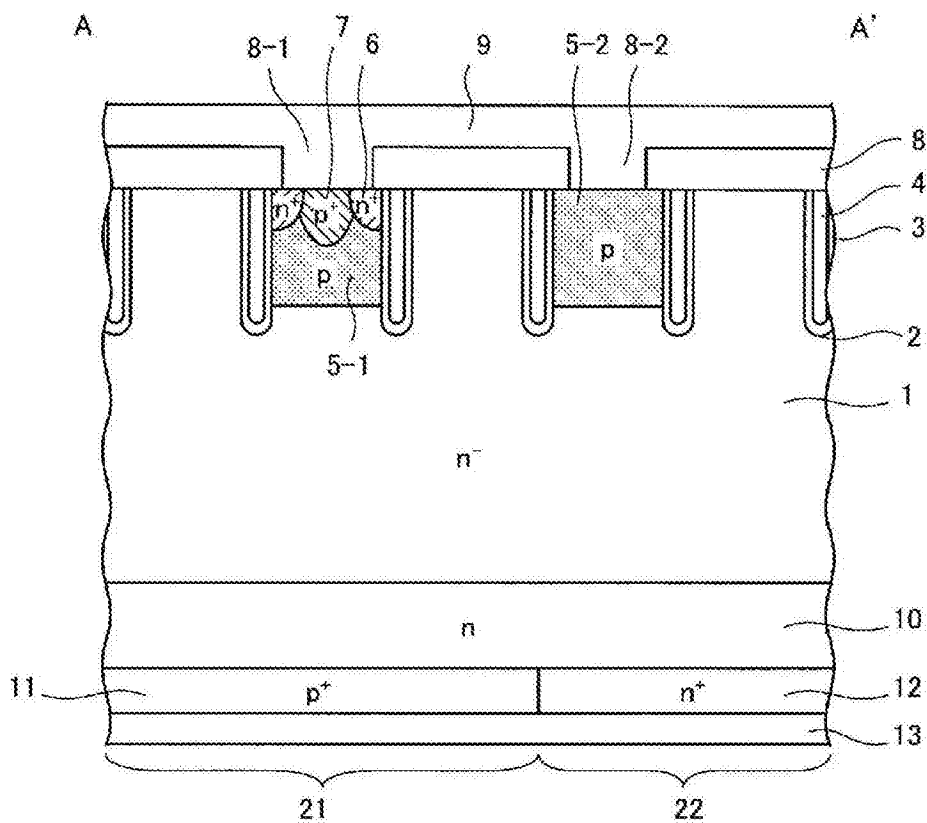


图2

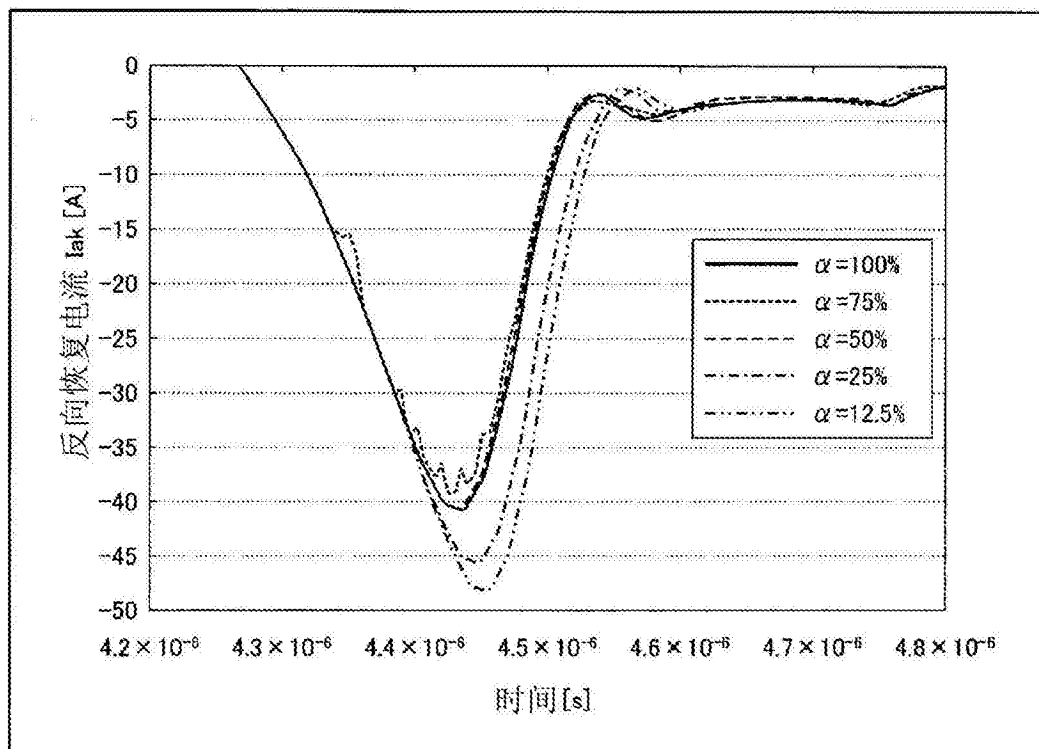


图3

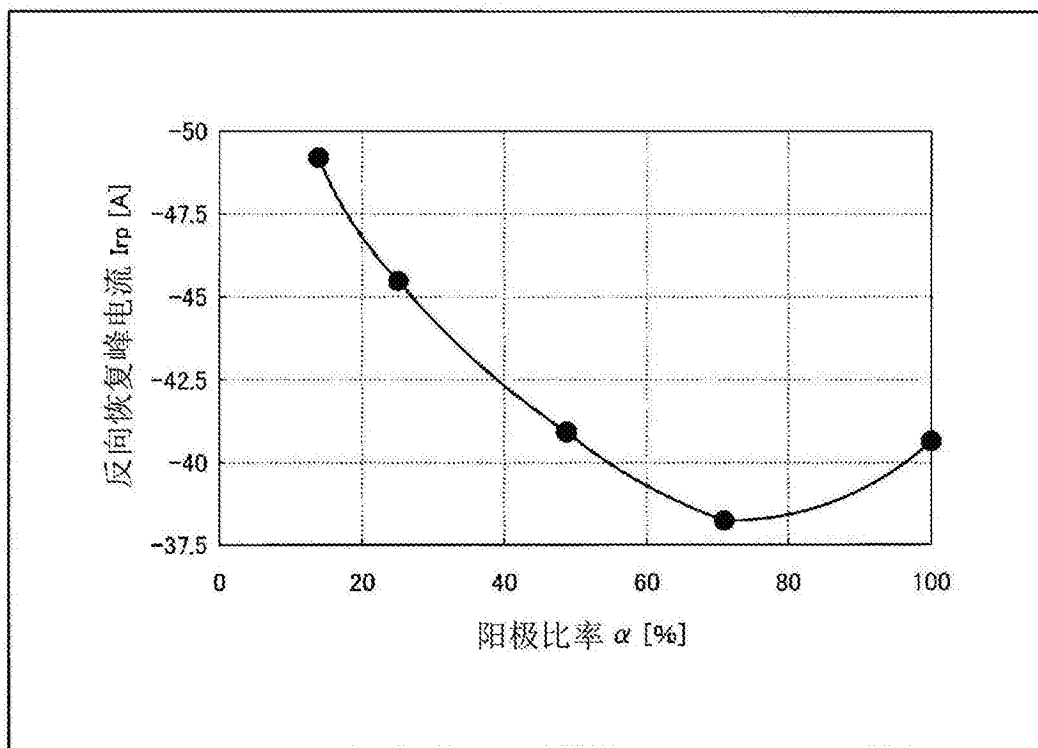


图4

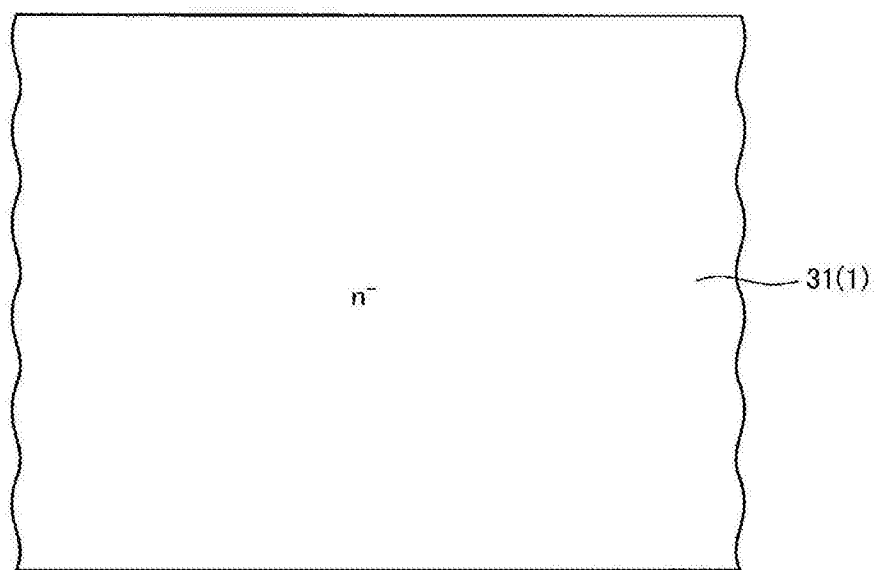


图5

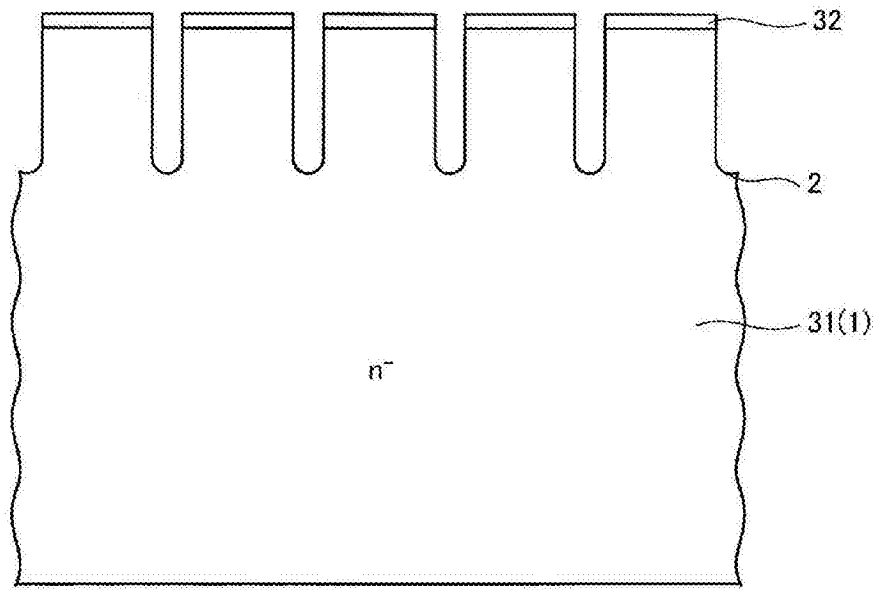


图6

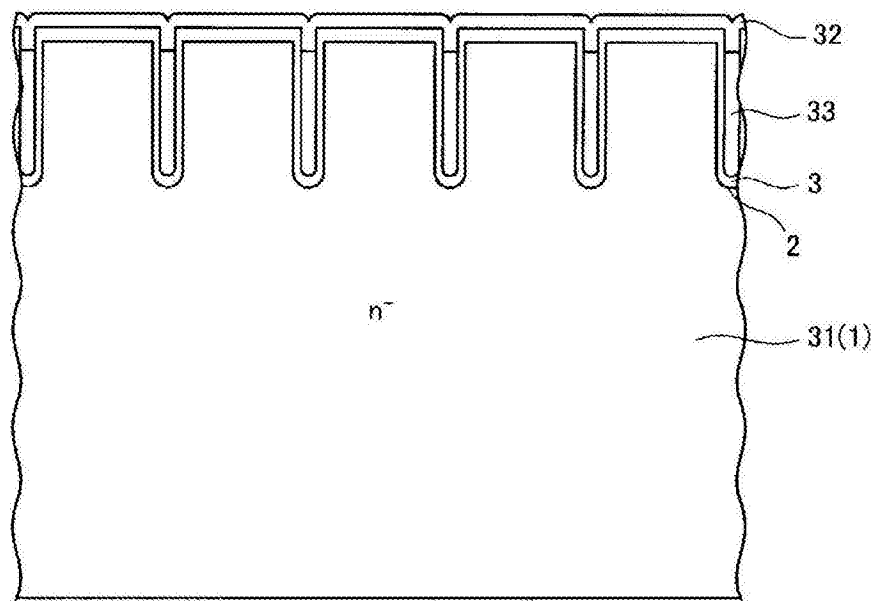


图7

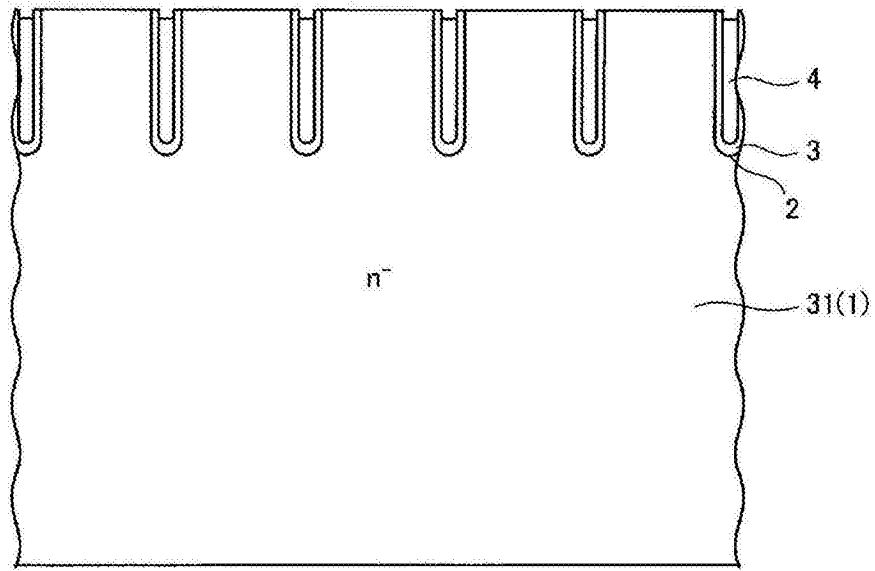


图8

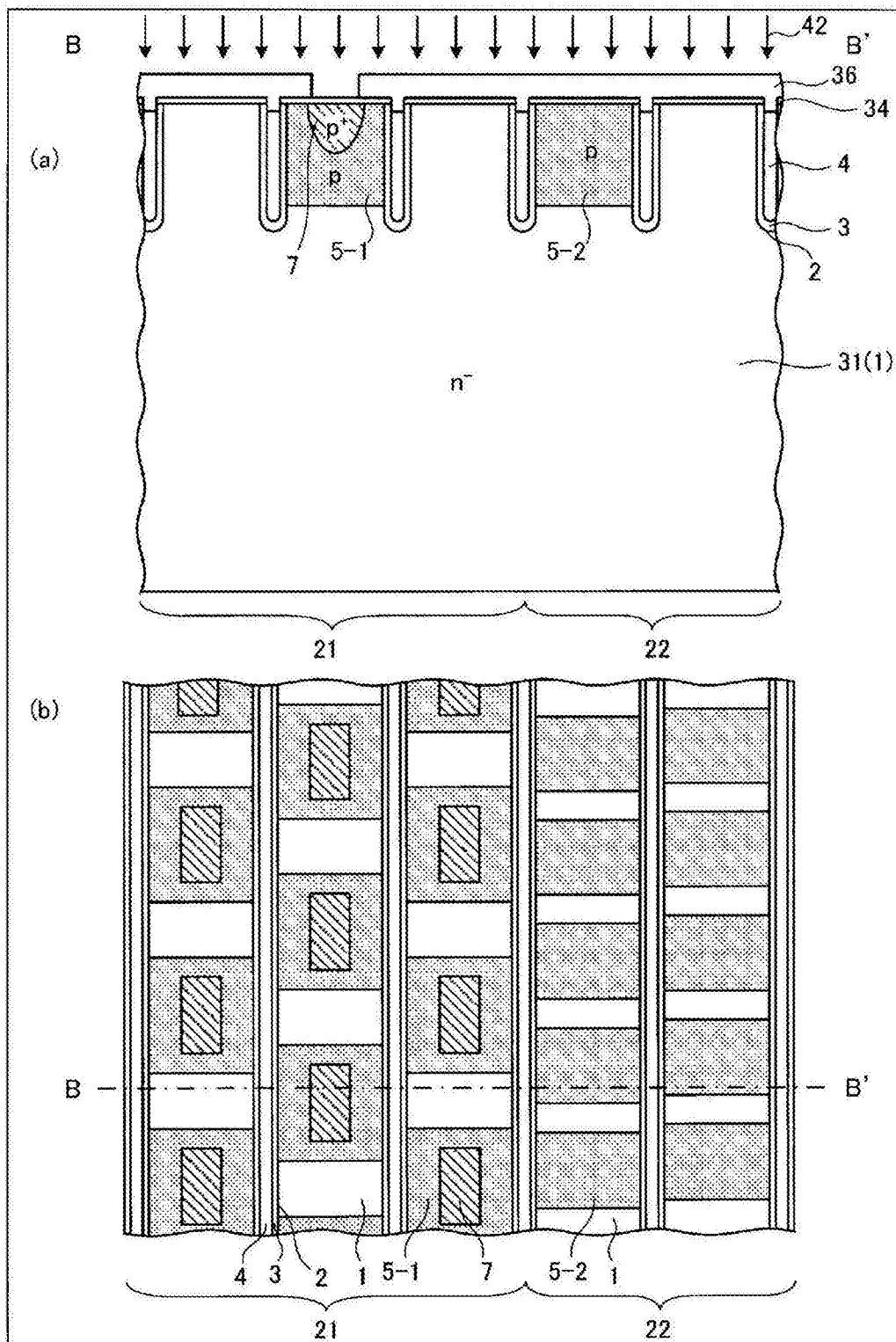


图11

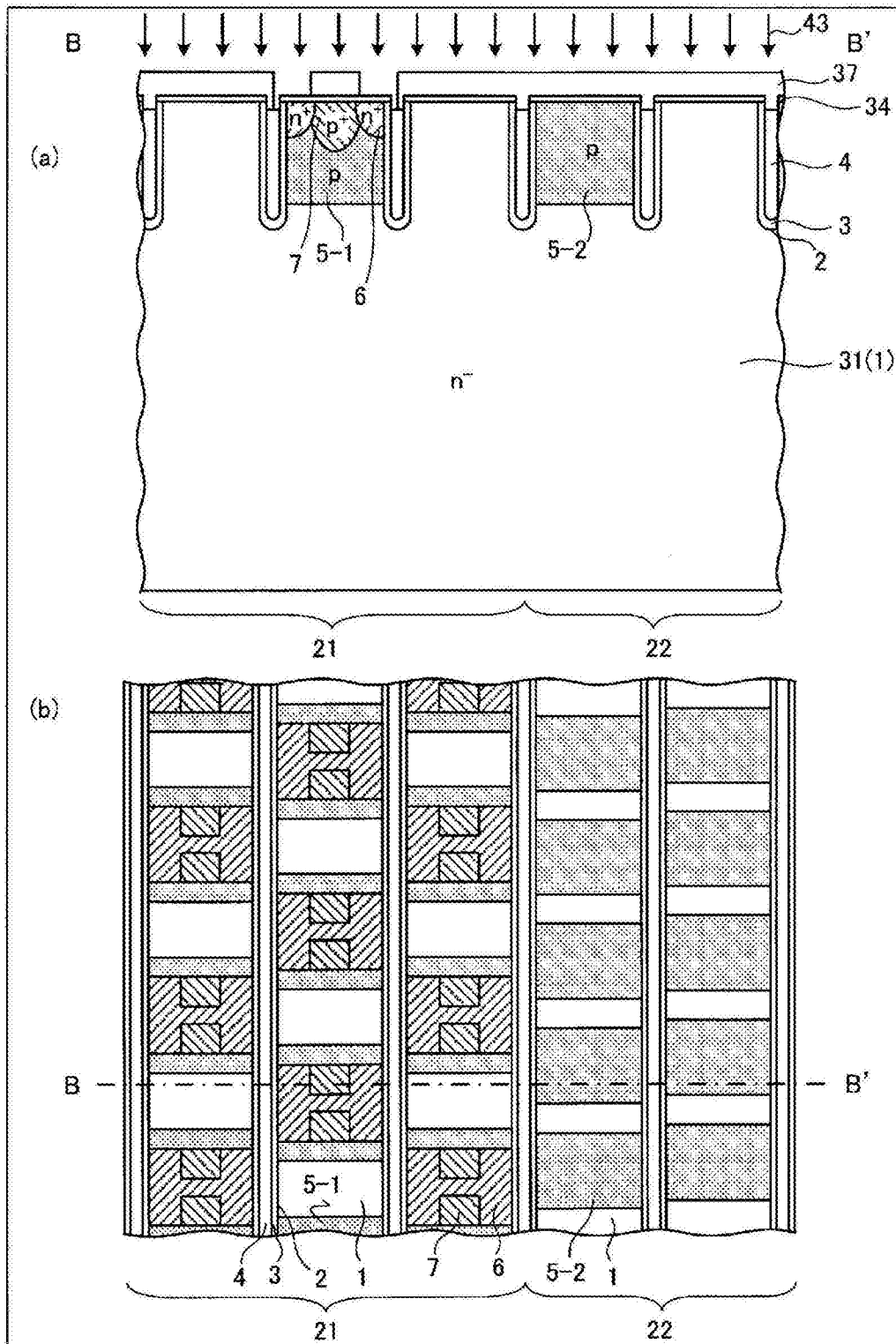


图12

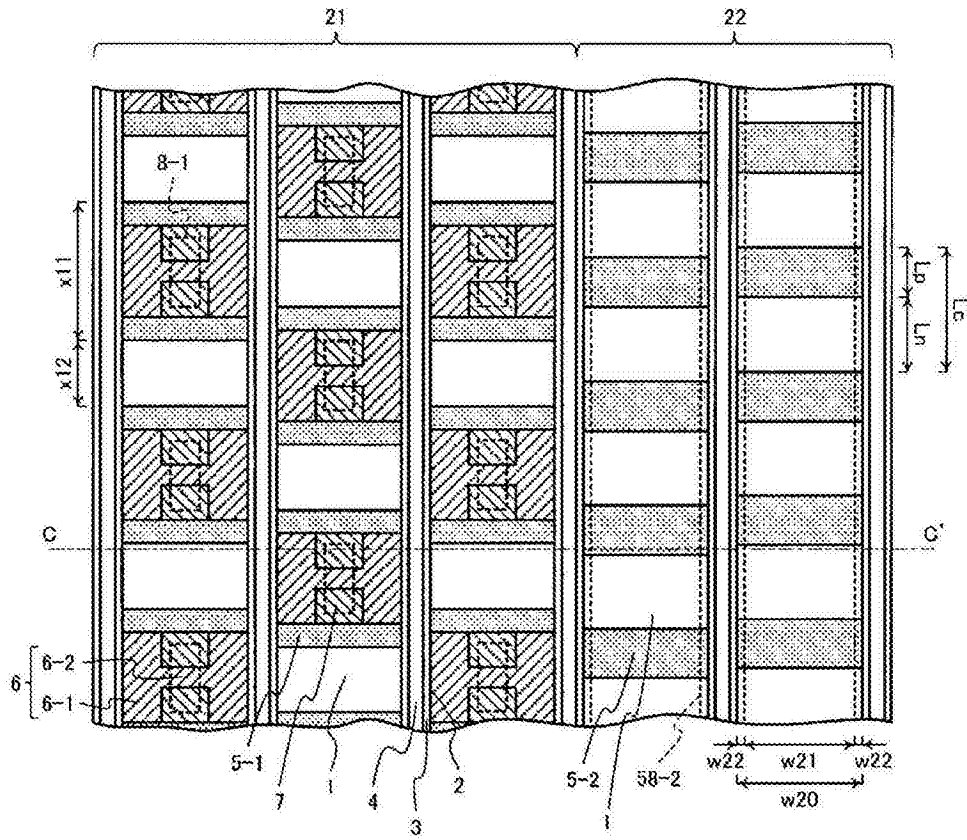


图13

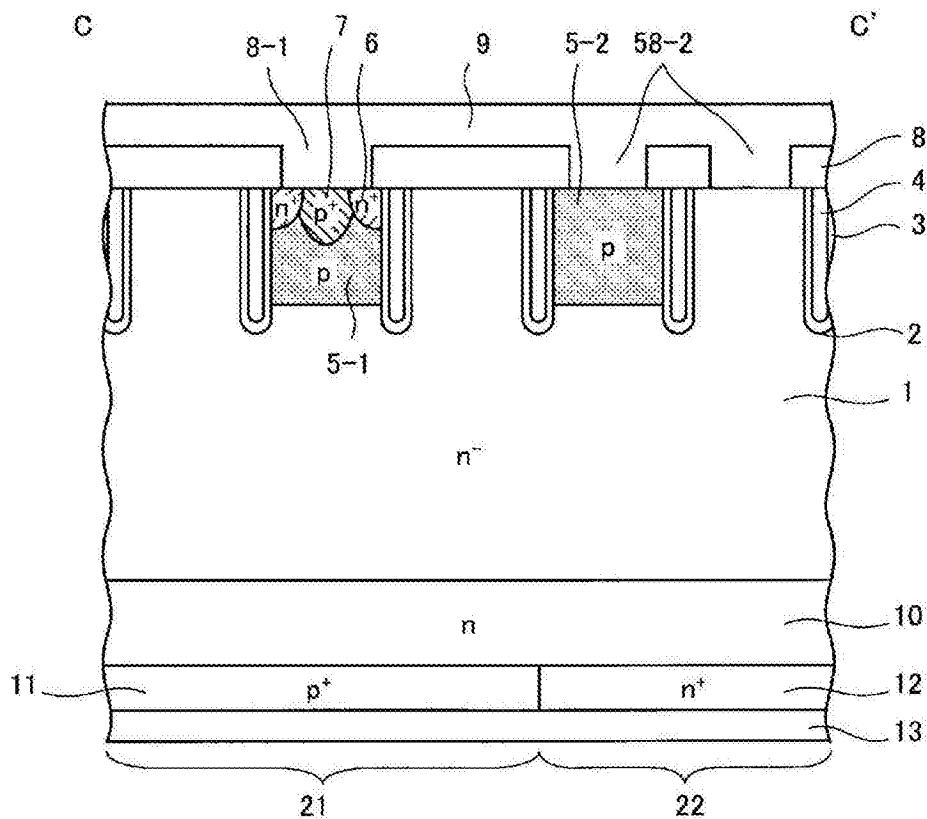


图14

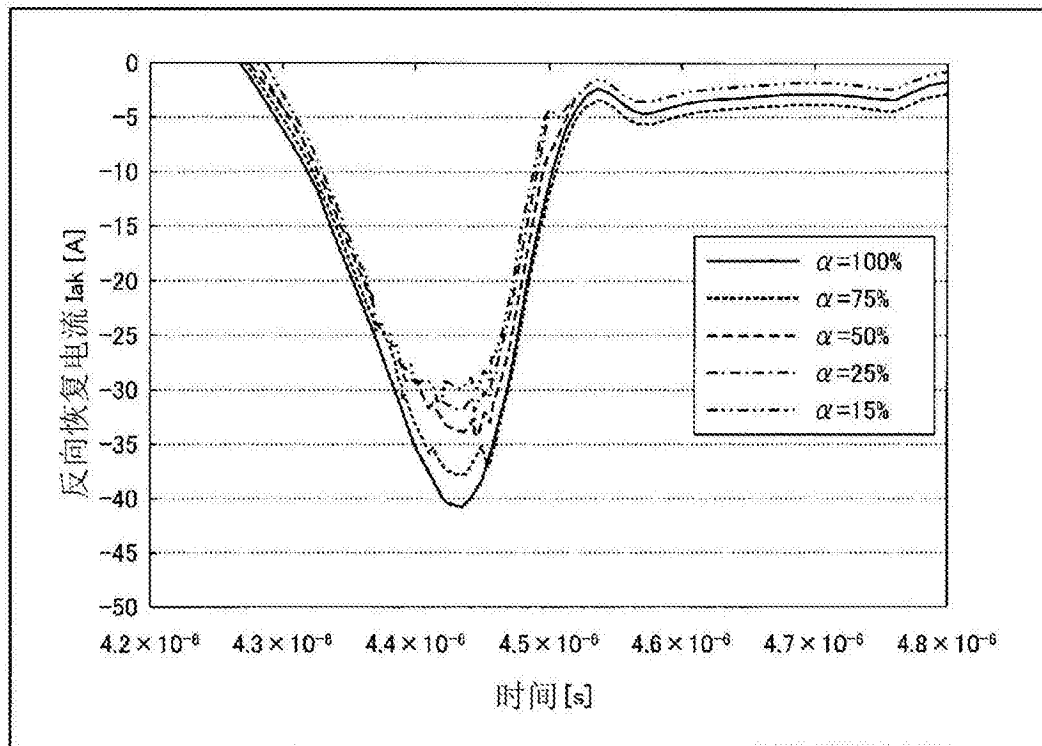


图15

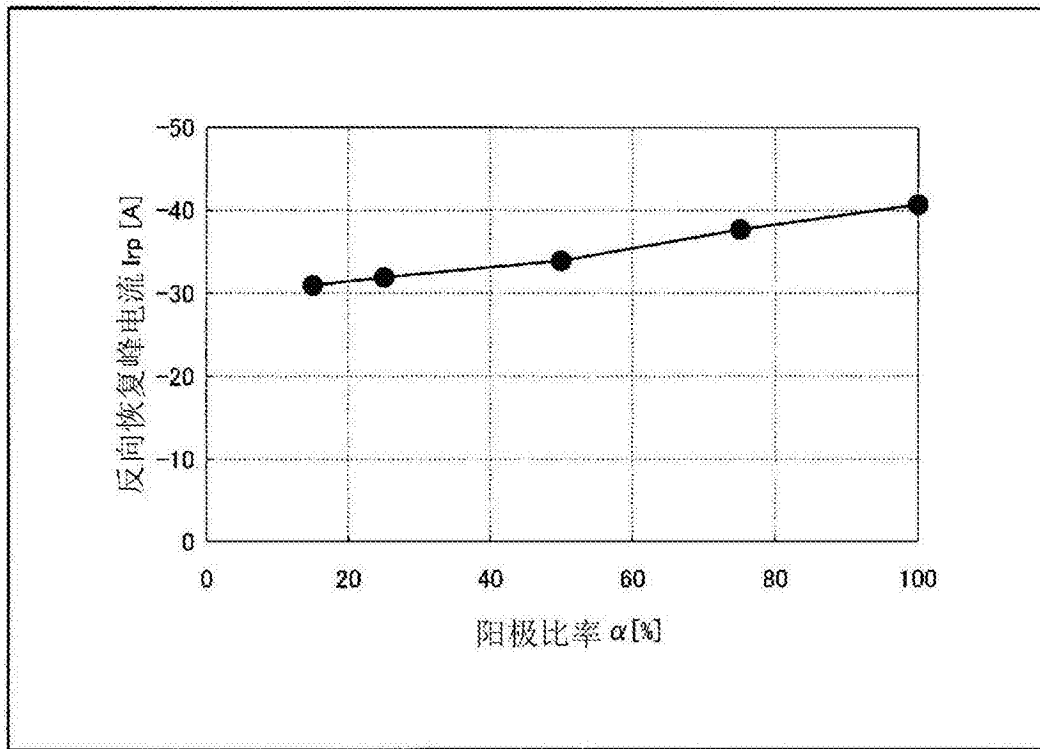


图16

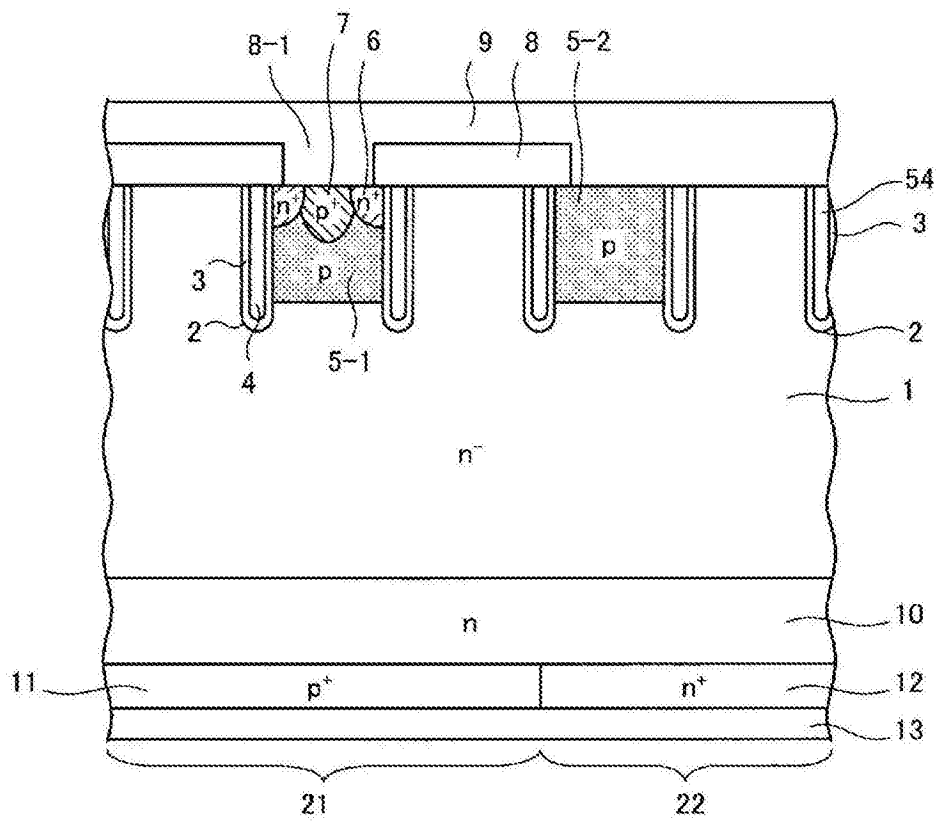


图17

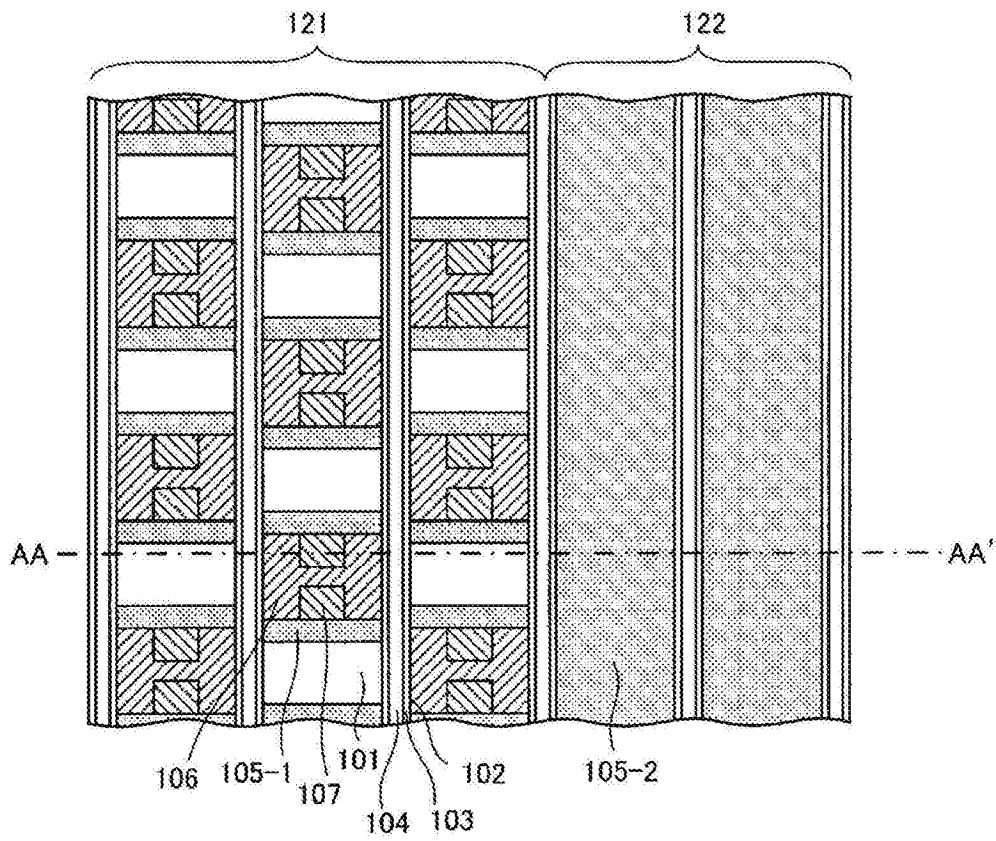


图18

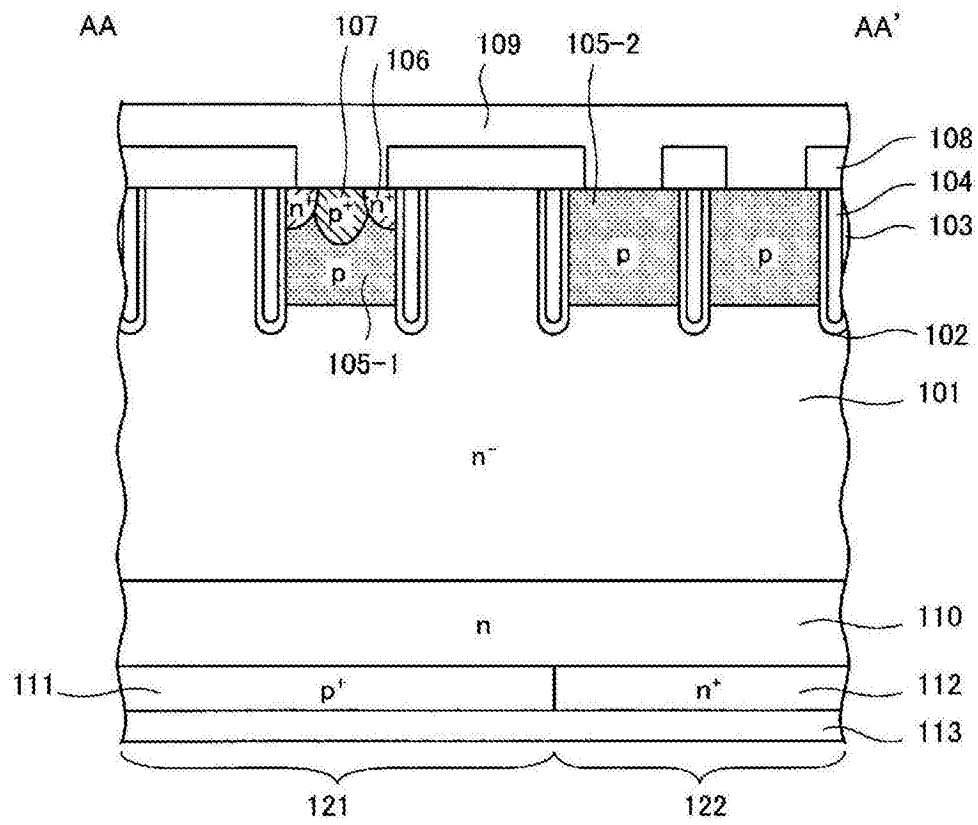


图19

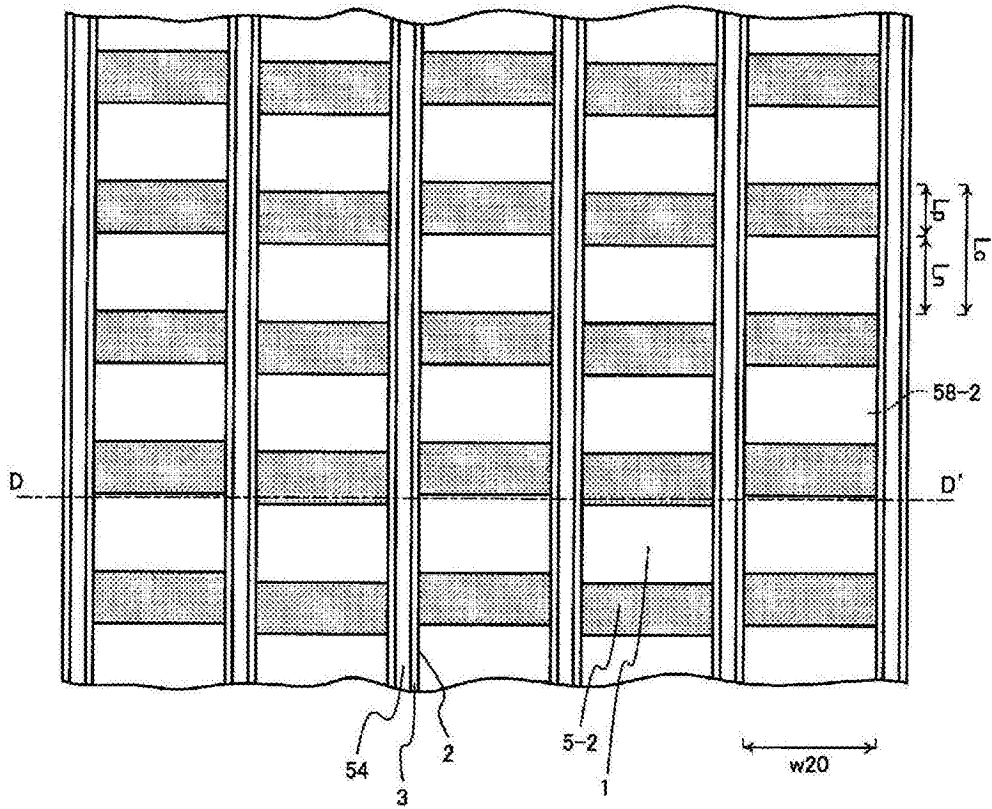


图20A

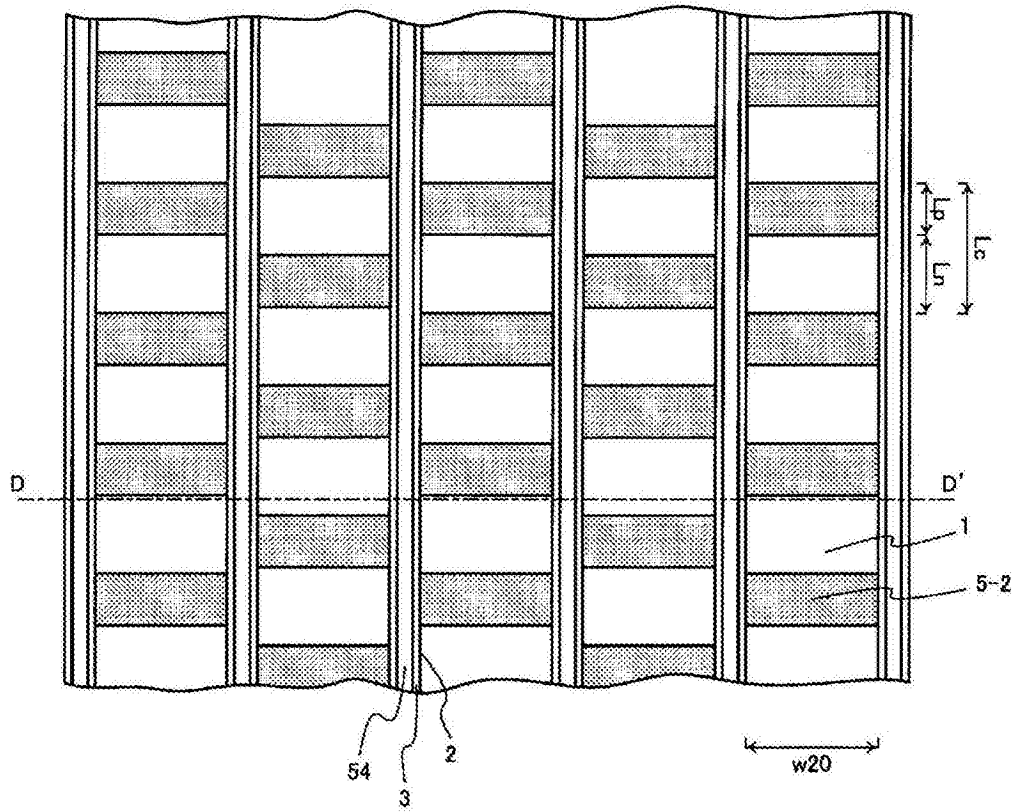


图20B

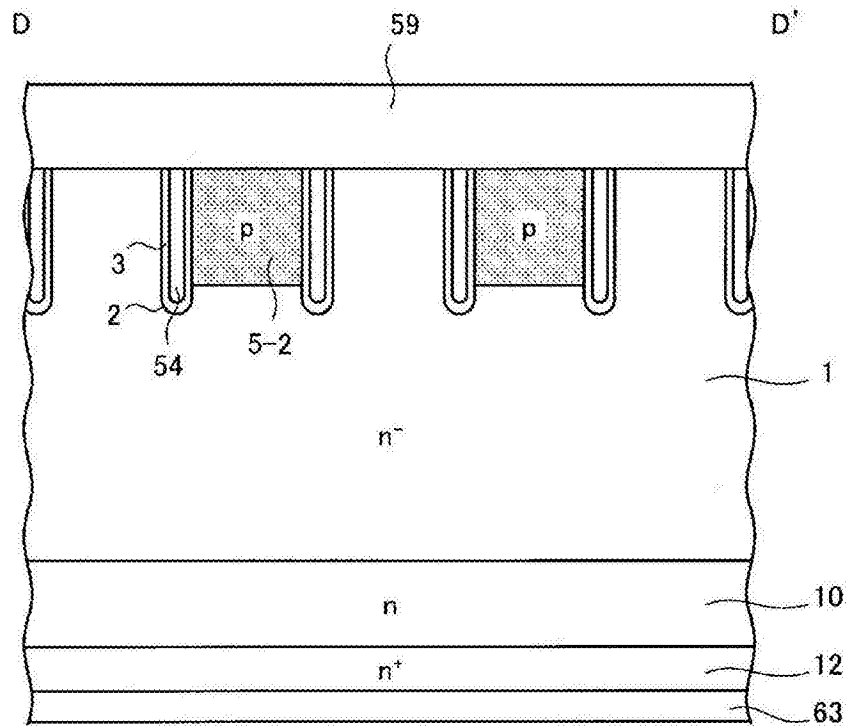


图21

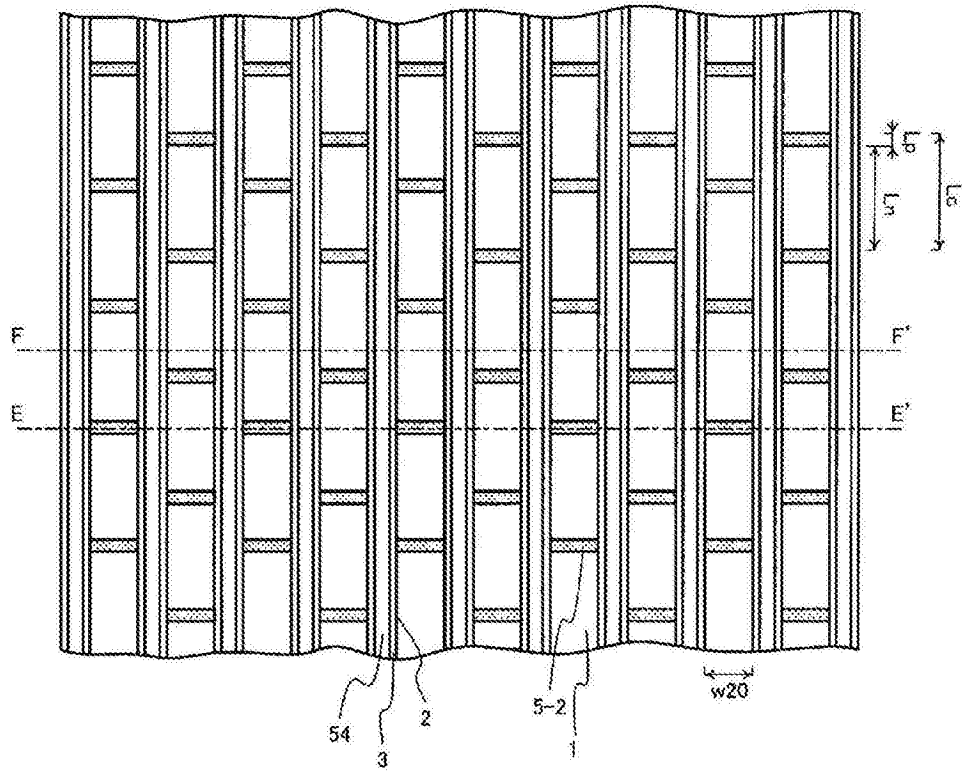


图22A

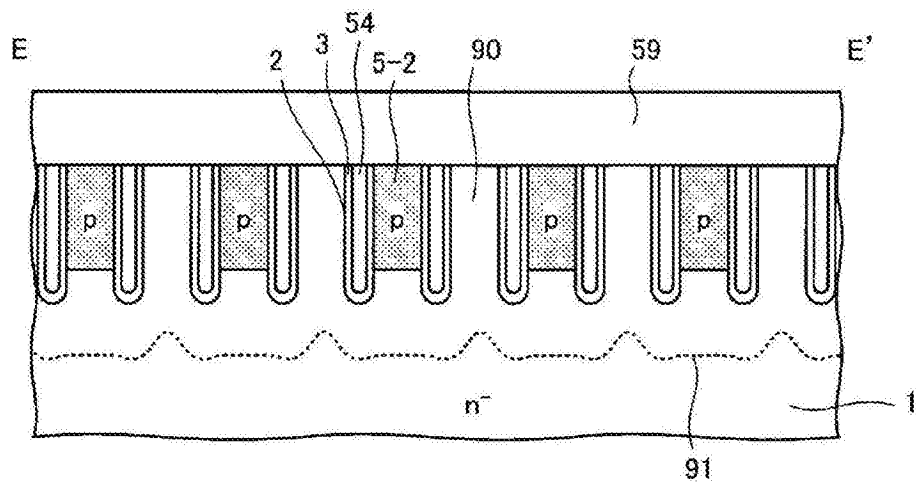


图22B

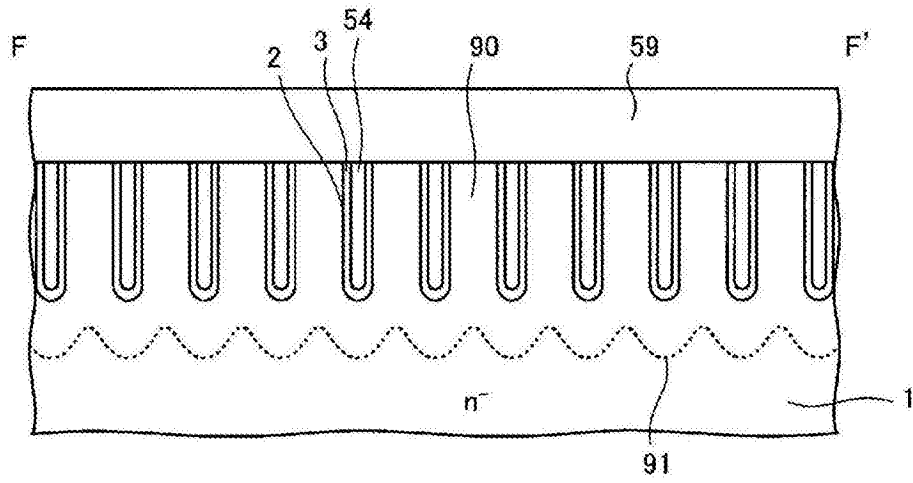


图22C

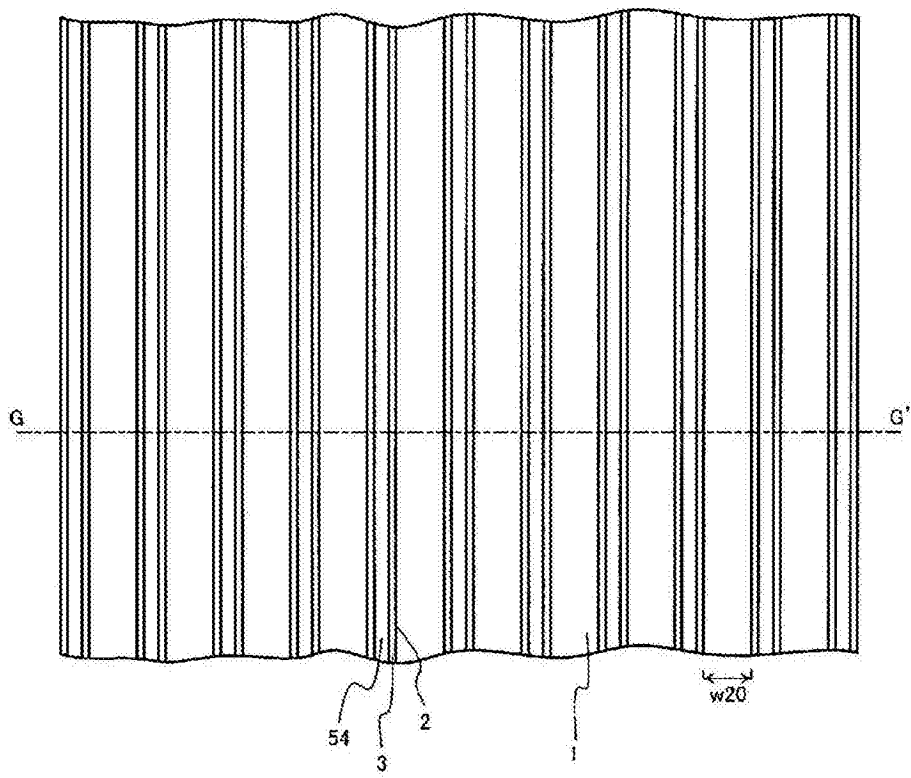


图23A

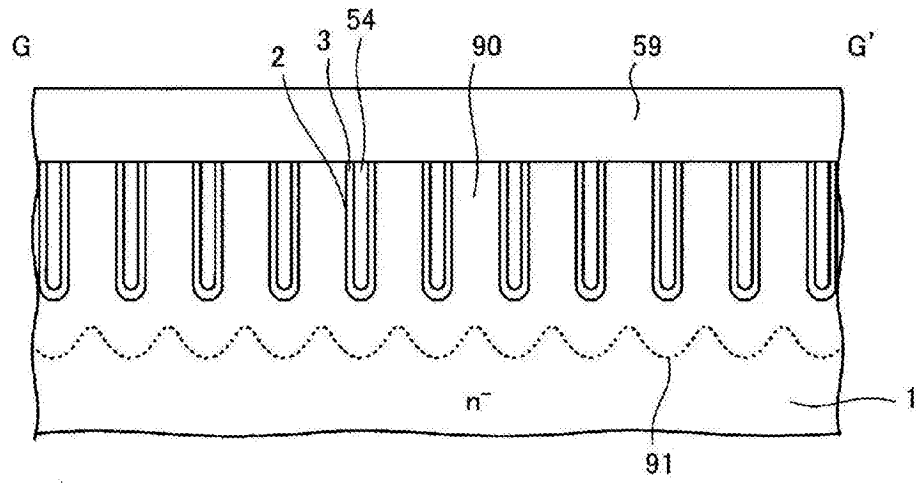


图23B

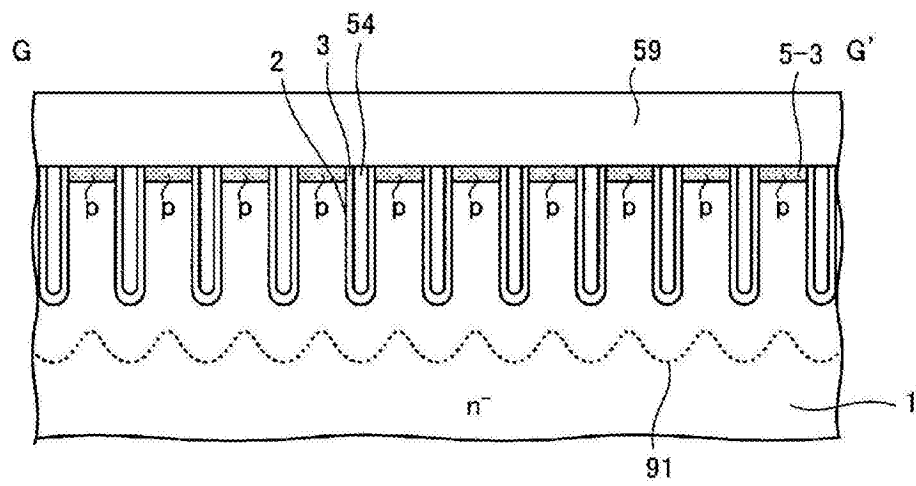


图23C

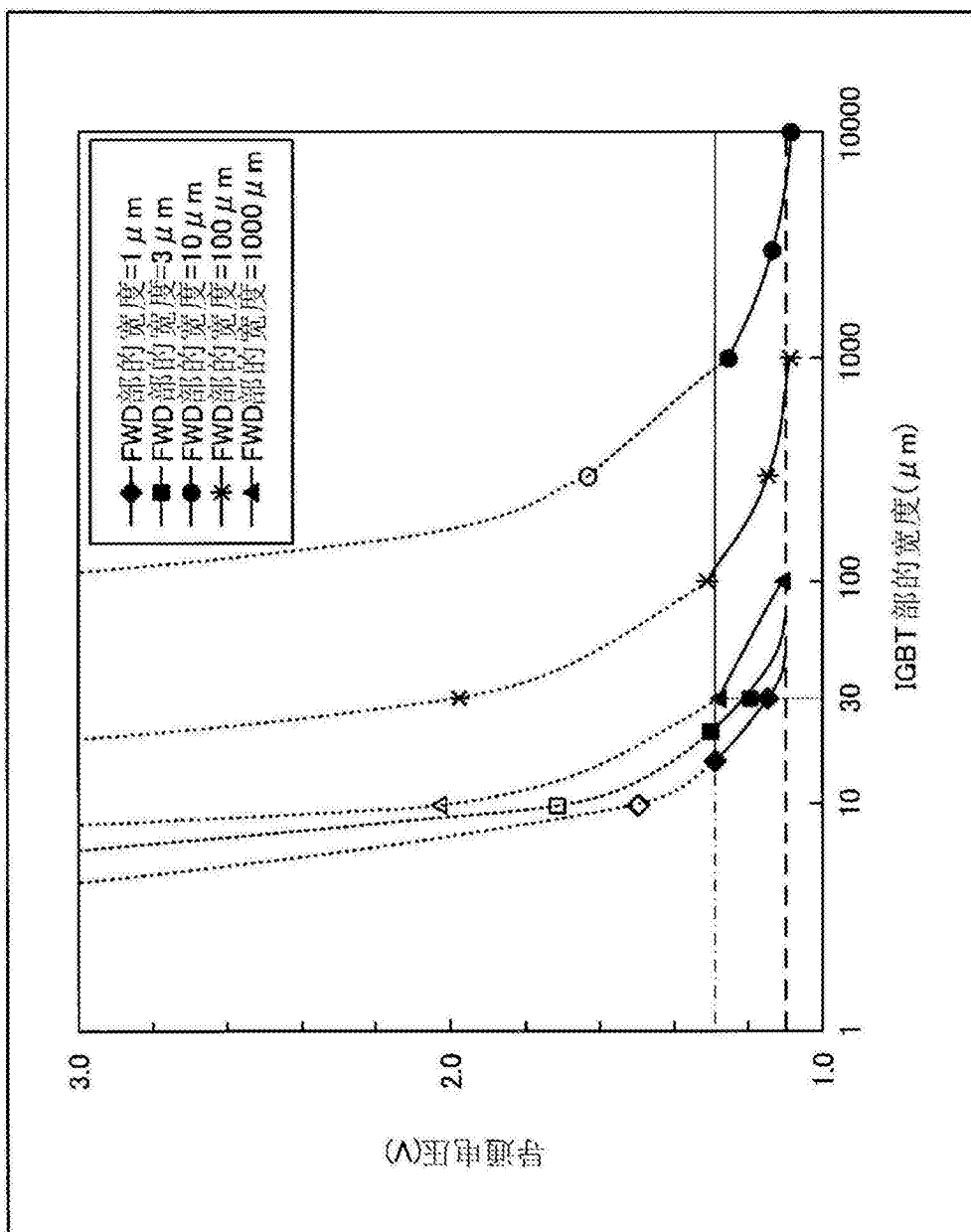


图24

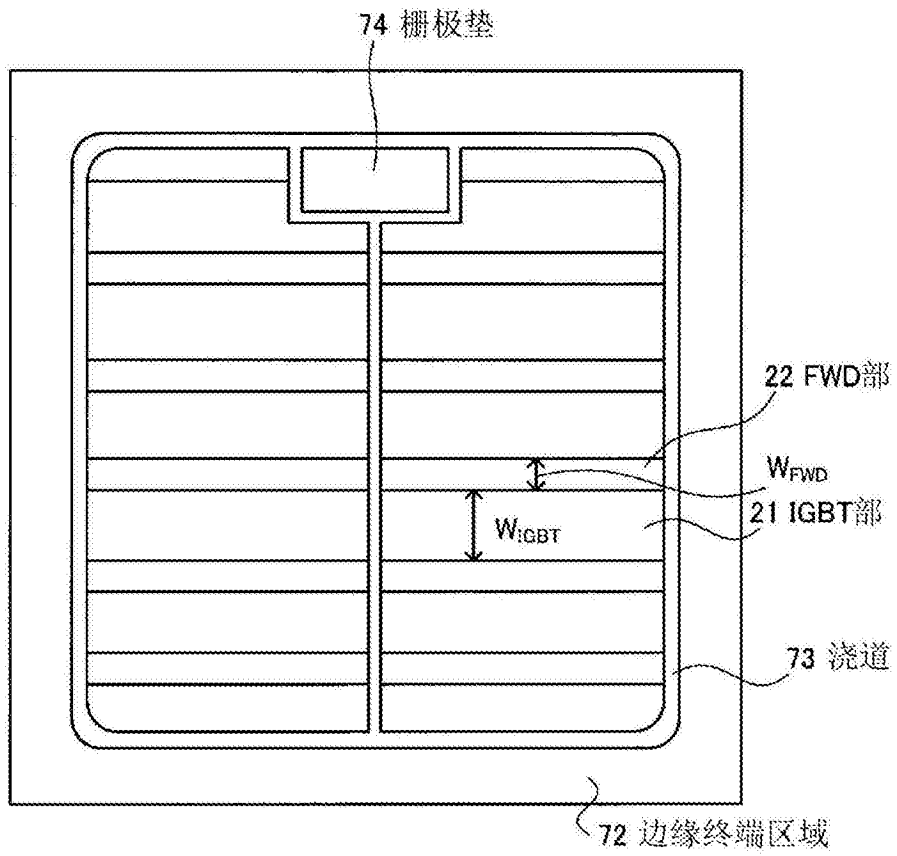


图25

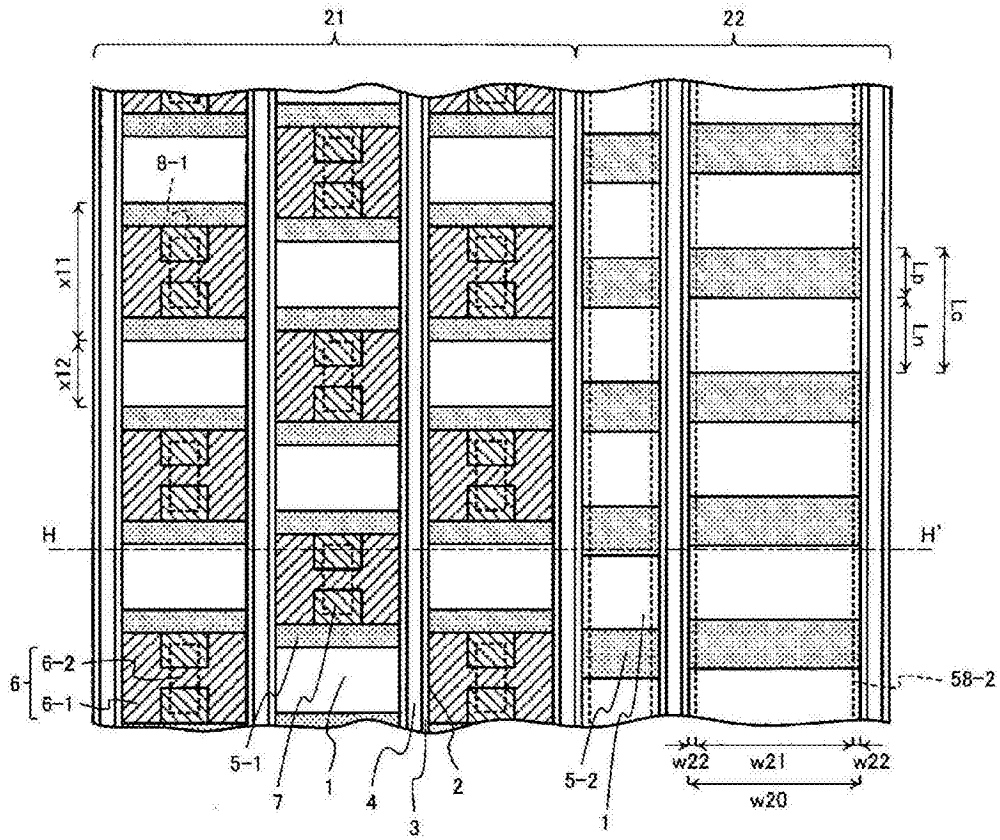


图26

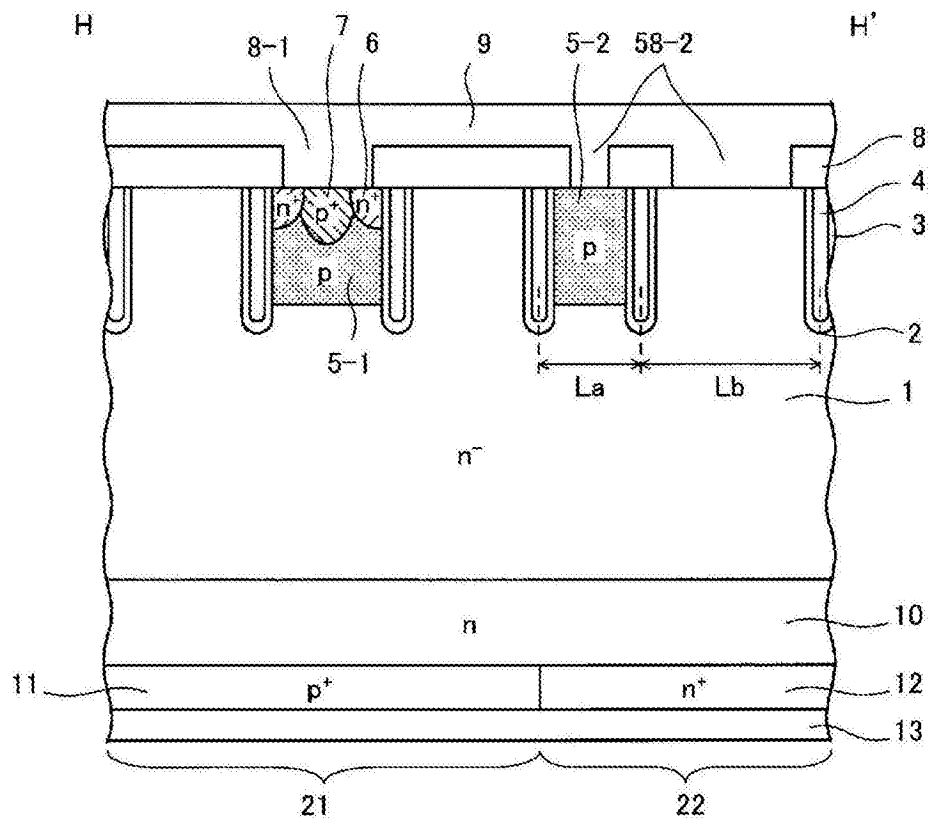


图27

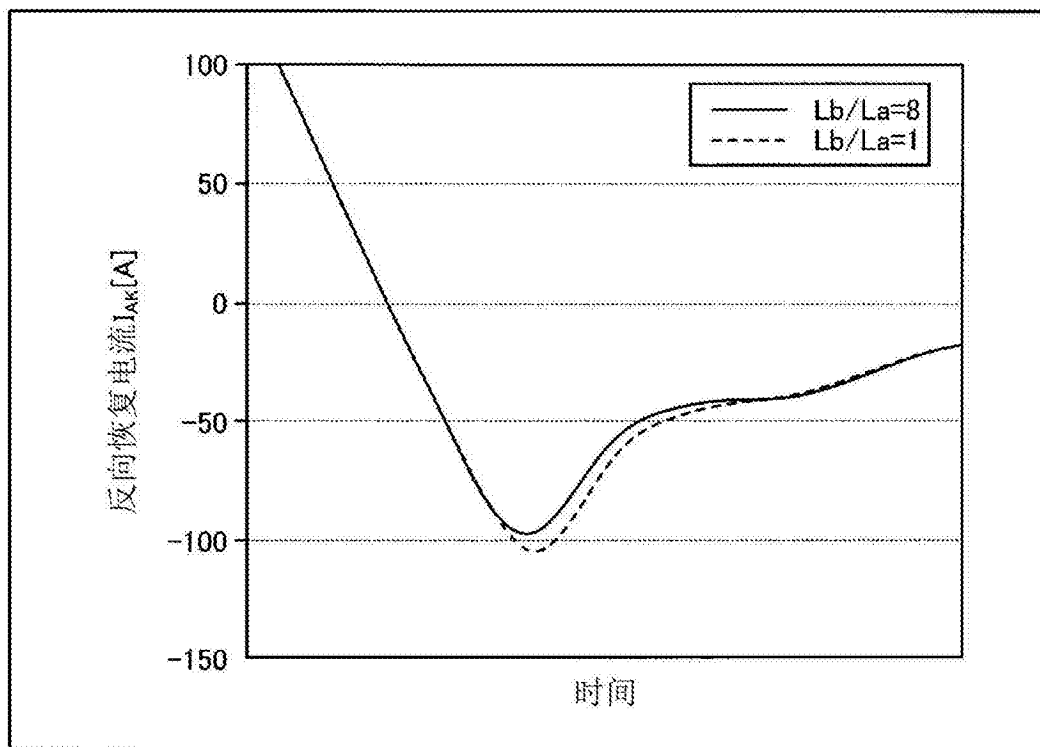


图28

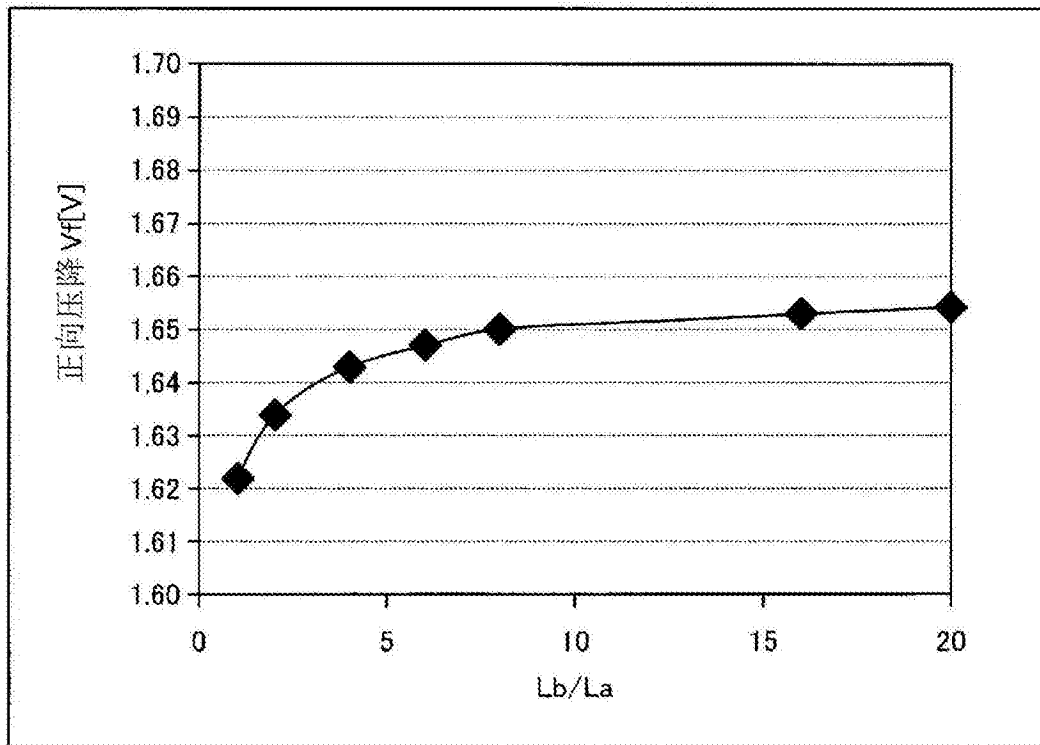


图29A

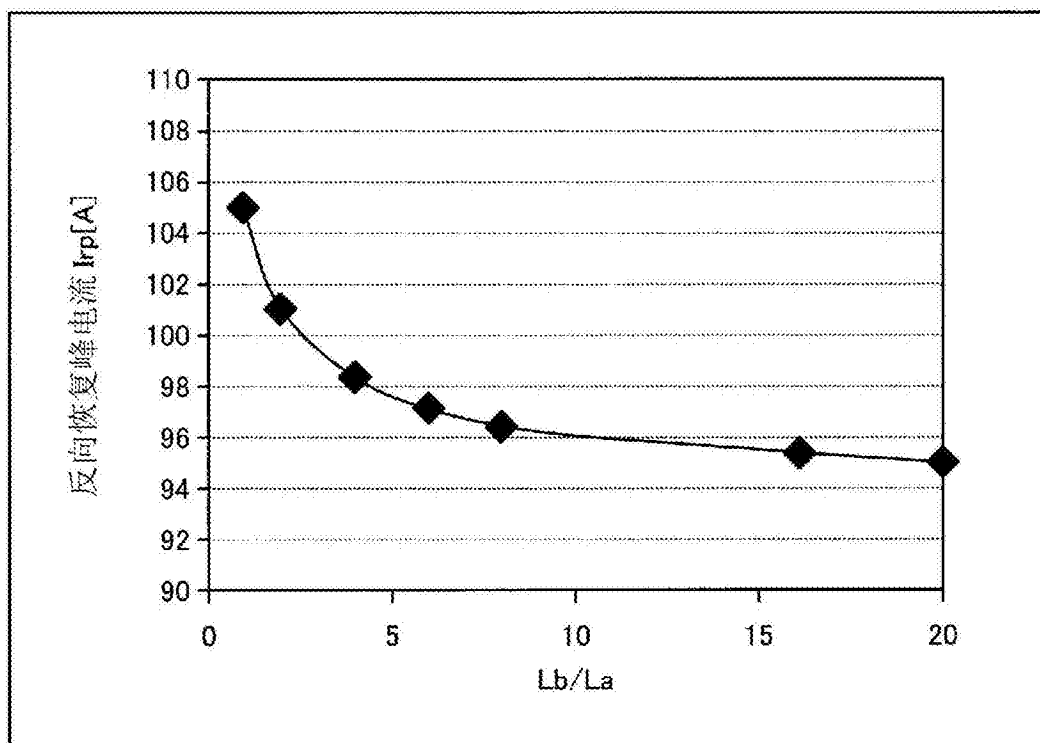


图29B

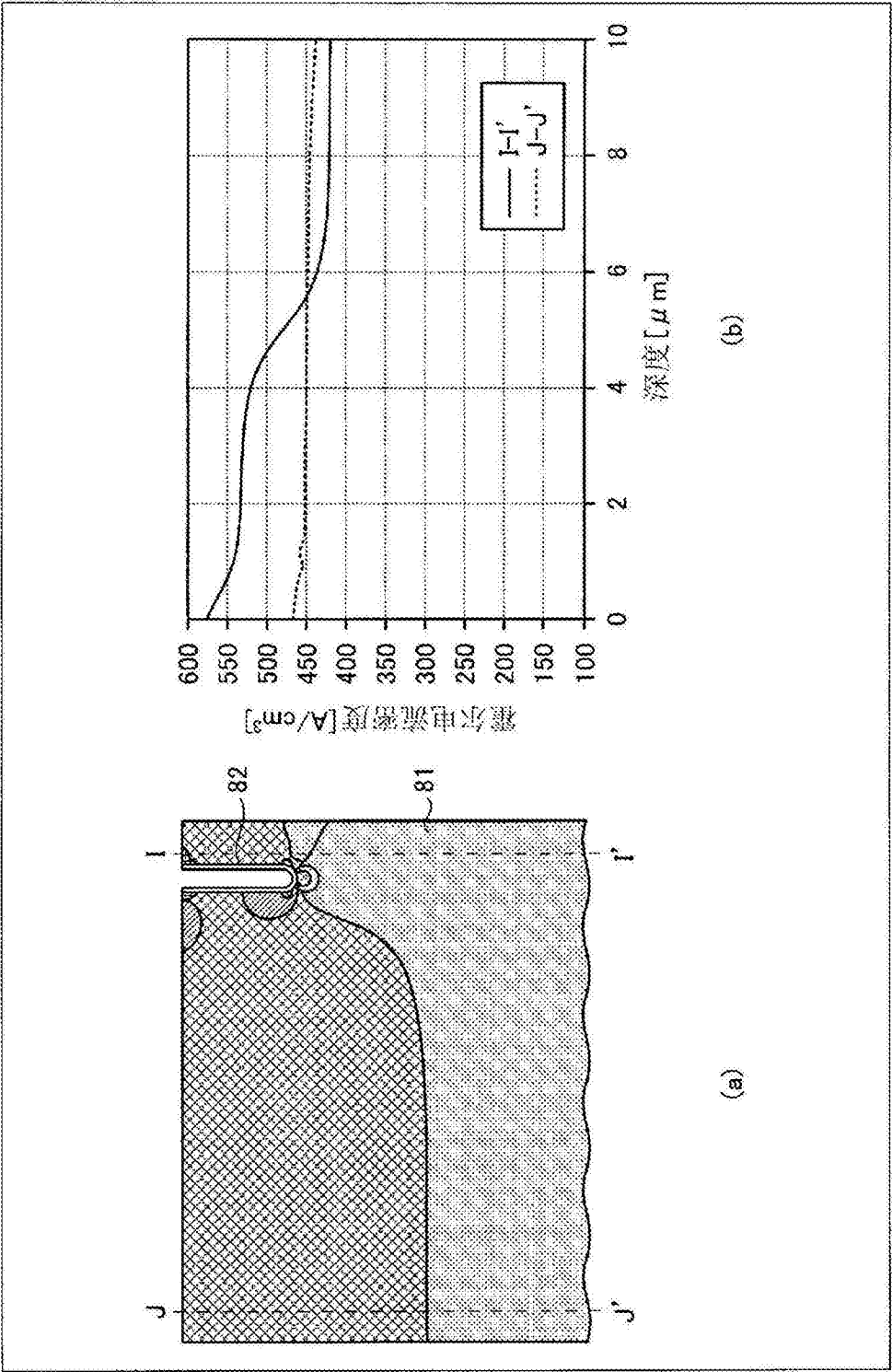


图30A

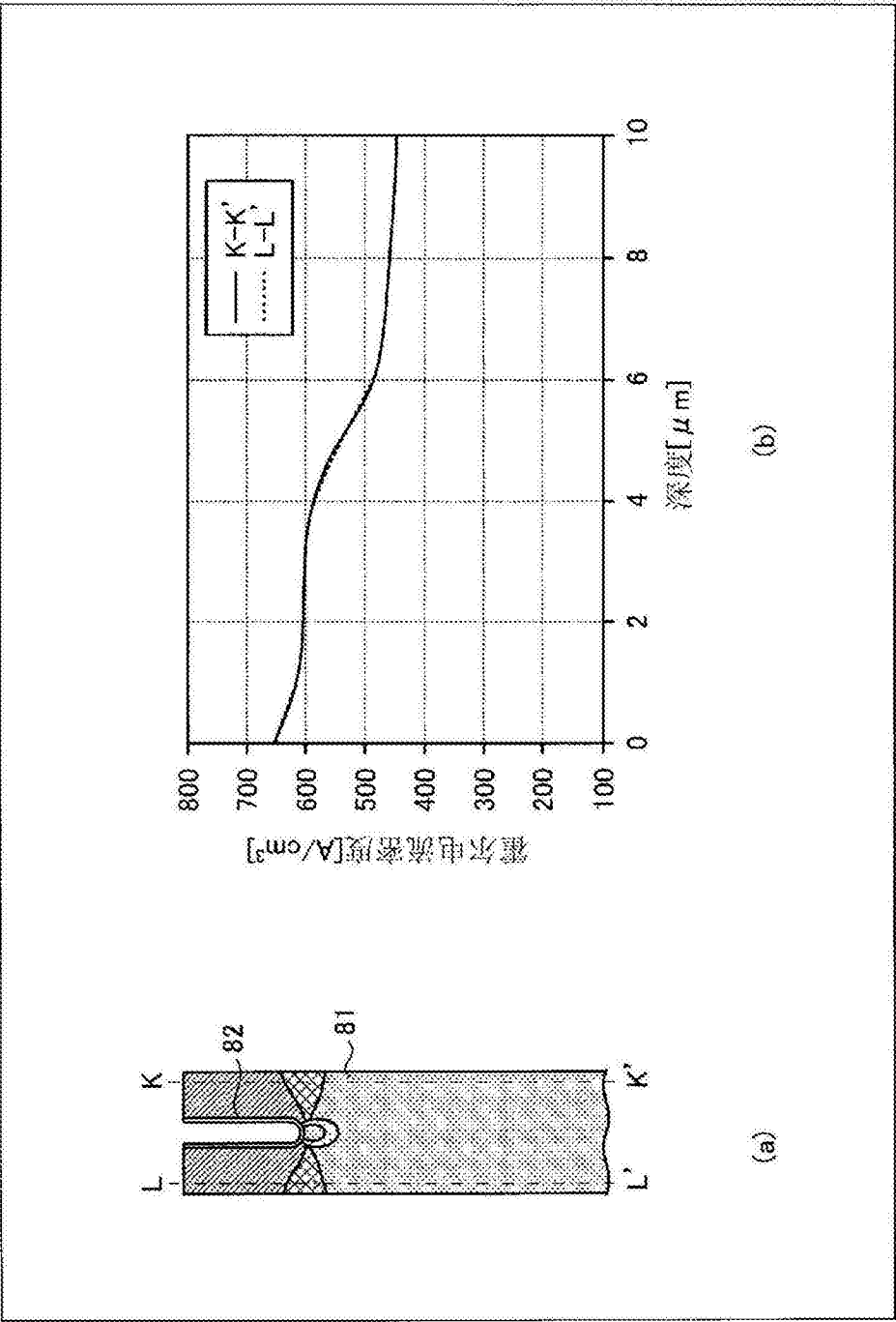


图30B

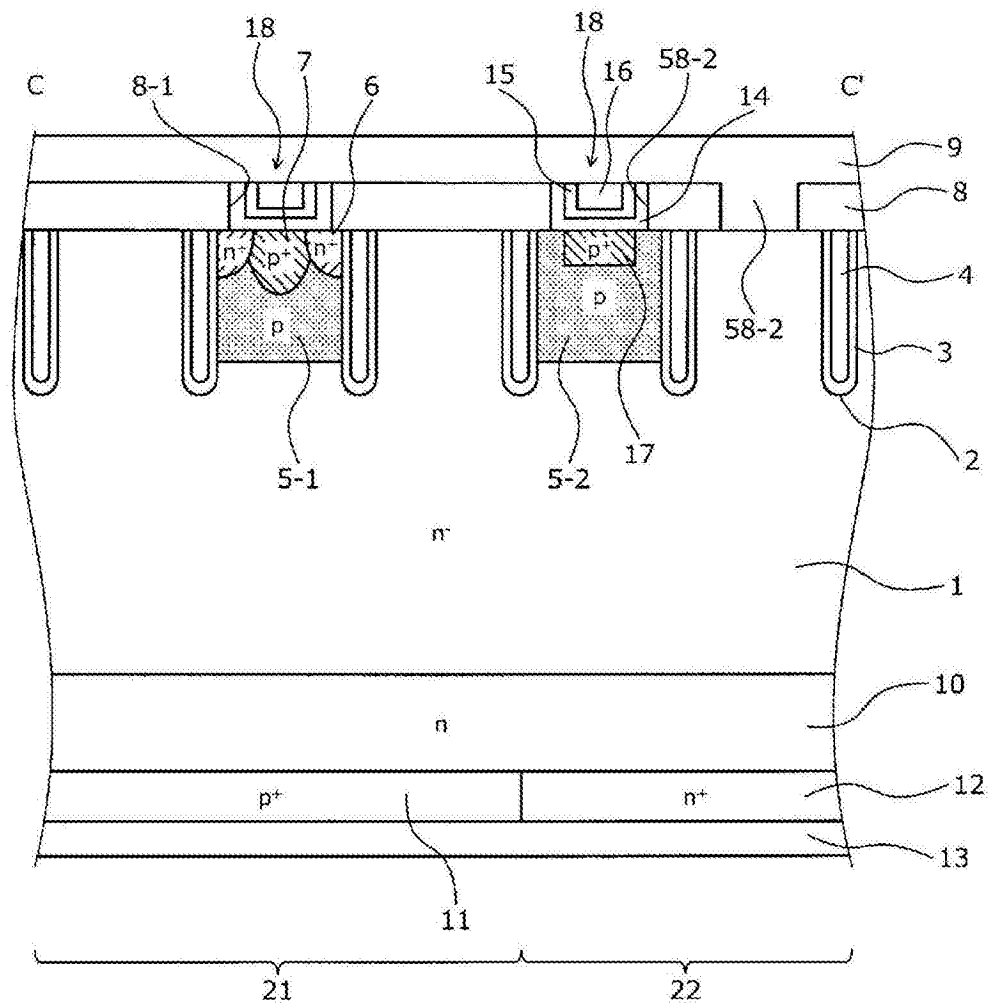


图32

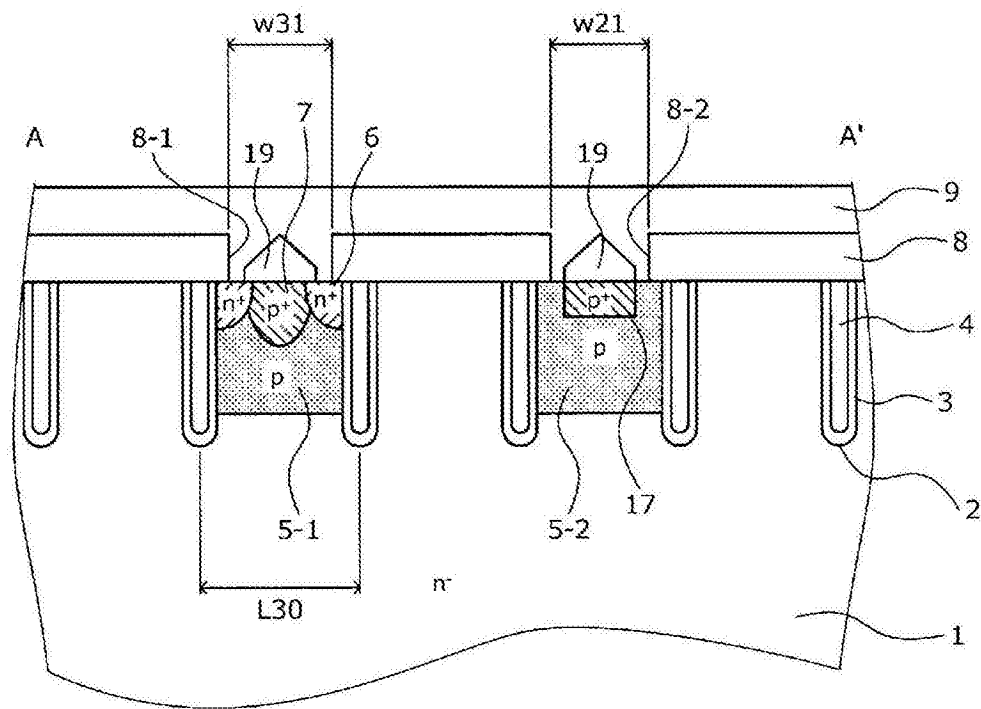


图33