(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G01R 19/165

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0194488
(24) 등록일자 1999년02월09일

(21) 출원번호 10-1995-0003040
(22) 출원일자 1995년02월17일
(65) 공개번호 특1995-0025977
(43) 공개일자 1995년09월18일

(30) 우선권주장 94-20445 1994년02월17일 일본(JP)
(73) 특허권자 가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72
(72) 발명자 도미타나오토
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바연구개발센터내
(74) 대리인 김윤배, 이세진

심사관 : 김재문

(54) 전위검지회로

요약

본 발명은, 피검지전위에 영향을 미치지 않으면서 검지레벨의 전원전위에 대한 의존성을 낮게 할 수 있는 전위검지회로를 제공하는 것을 목적으로 하고 있다.

본 발명은, MOSFET(T6)의 드레인에 전원전위(V2)를 인가하고, 게이트에 피검지전위(V1)를 인가한다.

이 MOSFET(T6)의 소스에 정전류회로(12)를 접속한다.

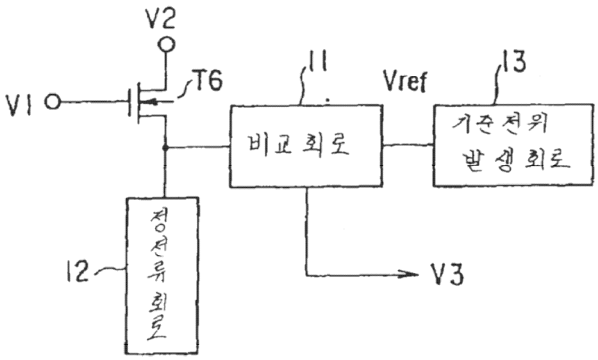
그리고, 기준전위발생회로(13)로부터 출력되는 기준전위(Vref)와 MOSFET (T6)의 소스전위를 비교회로(11)로 비교하여, 피검지전위의 레벨을 검지하는 것을 특징으로 하고 있다.

피검지전위(V1)는 MOSFET(T6)의 게이트에 인가함으로써 피검지전위(V1)에 영향을 미치지 않고서 전위를 검지할 수 있다.

MOSFET(T6)는 오극관영역에서 동작시키면 전원전위(V2)에 대한 의존성을 작게 할수있다.

기준전위발생회로(13)를 전원전위(V2)에 대한 의존성이 없는 회로로 구성하면 보다 전원전위(V2)에 대한 의존성을 감소시킬 수 있다.

대표도



명세서

[발명의 명칭]

전위검지회로

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 따른 전위검지회로의 개략구성을 나타낸 블럭도.

제2도는 제1도에 나타낸 전위검지회로의 상세한 구성예를 나타낸 회로도.

제3도는 제2도에 나타낸 회로에 있어서 전위검지용 MOSFET 및 정전류회로를 구성하는 MOSFET의 부하특성을 나타낸 특성도.

제4도는 제2도에 나타낸 회로에 있어서 기준전위발생회로를 구성하는 MOSFET의 부하특성을 나타낸 특성도.

제5도는 피검지전위를 변화시켰을때의 각 전위를 나타낸 파형도.

제6도는 제2도에 도시한 회로에 있어서 정전류회로의 다른 구성예를 나타낸 도면.

제7도는 제6도에 나타낸 구성의 정전류회로의 부하특성에 대해 설명하기 위한 특성도.

제8도는 제2도에 나타낸 회로에 있어서 정전류회로의 또 다른 구성예를 나타낸 도면.

제9도는 제2도에 나타낸 회로에 있어서 기준전위발생회로의 다른 구성예를 나타낸 도면.

제10도는 종래의 전위검지회로에 대해 설명하기 위한 회로도.

제11도는 제10도에 나타낸 회로의 동작에 대해 설명하기 위한 상세한 파형도이다.

* 도면의 주요부분에 대한 부호의 설명

T6 : N채널형 MOSFET　　11 : 비교회로

12 : 정전류회로(부하수단)　　13 : 기준전위발생회로

V1 : 피검지전위　　V2 : 전원전위

Vref : 기준전위

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 집적회로장치에 있어서 전위검지회로에 관한 것으로, 특히 전원전압보다 높은 전위를 전류의 방전을 수반하지 않고서 검지하기 위한 전위검지회로에 관한 것이다.

[종래의 기술 및 그 문제점]

최근 반도체 집적회로장치에 있어서는 전원전압의 저전압화가 소망되고 있고, 예컨대 플래시메로리에서는 전원전압을 3V화하는 방향으로 진행되고 있다.

플래시메모리에서 전원전압을 저전압화하여 수행하면, 독출시 워드선의 전위를 전원전압으로 구동하는 경우에는 부유게이트로부터 전자를 인출한 상태의 셀(1셀)의 임계치전압의 분포폭도 전원전압과 같은 정도로 줄어들 필요가 있다.

왜냐하면, 1셀의 임계치전압은 워드선 전위보다 낮지 않으면 안되기 때문이다.

그러나, 현재의 기술수준은 1셀의 임계치전압의 분포를 전원전압과 마찬가지로 줄어들게 하는 것은 곤란하다.

여기서, 이 대책으로서, 워드선의 전위를 전원전위보다 높게 승압하고, 임계치전압의 분포폭을 줄어들지 않게 하도록 하는 방법이 고려되고 있다.

그런데, 워드선의 승압에는 개시하고나서 전위가 안정될 때까지 독출시간이상의 시간이 필요하게 되고, CE억세스를 위해서는 스탠바이시로부터 승압을 행할 필요가 있다.

여기서, 스탠바이 초기는 전류소비를 허용하고 승압을 행하여 전위가 목포치에 도달한 지점에서 승압을 정지하고, 전위가 저하하면 다시 승압함으로써 저소비전력화를 도모하는 기술이 제안되어 있다.

그를 위해서는, 전위가 목포치에 도달한 것 및 전위가 저하한 것을 검지하는 전위검지회로가 필요하게 된다.

제10도는 전원저위보다도 높은 전위를 검지하는 종래의 일반적인 전위검지회로를 나타낸 것으로, 이러한 종류의 전위검지회로에 관한 기술로서, 예컨대 U.S.P. 4,709,165의 VOLTAGE SUPPLLY LEVEL DETECTING CIRCUIT가 알려져 있다.

제10도에 나타낸 전위검지회로는 P채널형 MOSFET(T1,T2,T4) 및 N채널 형MOSFET(T3,T5)로 구성되어 있다.

피검지전위(V1)는 MOSFET(T1)의 소스에 인가되고, 이MOSFET(T1)의 게이트 드레인은 MOSFET(T2)의 소스에 접속된다.

MOSFET(T2)의 드레인은 MOSFET(T3)의 드레인에 접속되고, MOSFET (T3)의 소스는 접지점(GND)에 접속되며, 상기 MOSFET(T2,T3)의 게이트는 각각 전원(V2)에 접속된다.

상기 MOSFET(T2,T3)의 드레인(노드(N1))에는 MOSFET(T4,T5)로 이루어진 인버터의 입력단이 접속되고, 이 인버터의 출력단(노드(N2))으로부터 검지출력(V3)을 얻도록 되어 있다.

상기 제10도에 나타낸 회로는 피검지전위(V1)가 전원전위(V2)와 동일한 전위이든지 그 이하이면, 제11도에 나타낸 바와 같이 노드(N1)는 로우레벨, 노드(N2)는 하이레벨로 된다.

피검지전위(V1)가 상승하면, 노드(N1)의 전위는 이에 이끌려 상승하고, MOSFET(T4,T5)로 이루어진 인버터의 회로 임계치전압(Vth(T4,T5))에 도달한 곳에서 노드(N2)가 로우레벨로 반전한다.

이때의 피검지전위(V1)가 검지레벨(VL)로 된다.

단, 제11도에 있어서 Vth(T2)는 MOSFET(T2)의 임계치전압이다.

그러나, 상기와 같은 구성의 전위검지회로에서는 모니터하고자 하는 임계치전위(피검지전위(V1))로부터 MOSFET(T1,T2,T3)의 전류통로를 매개로 전지점(GND)에 관통전류가 흐르기 때문에, 승압전위(V1)가 단시간에 저하해 버린다.

이 결과 재승압을 빈번히 행할 필요가 있어, 스탠바이시 저소비전력화를 도모할 수 없게 된다.

또한, 종래의 전위검지회로에서는 전원전위(V2)의 변동에 의해 MOSFET (T4,T5)로 이루어진 인버터의 회로임계치 전압(Vth)이 변하기 때문에, 이것에 의해 검지레벨(VL)이 변화해 버린다는 문제도 있다.

상기한 바와 같이 종래의 전위검지회로는 피검지전위가 저하해 버린다는 문제가 있었다.

또한, 검지레벨이 전원전위에 의존하여 변화해 버린다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 이루어진 것으로, 피검지전위에 영향을 미치지 않으면서, 검지레벨의 전원전위에 대한 의존성을 감소시킬 수 있는 전위검지회로를 제공하는데 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명의 전위검지회로는, 드레인에 전원전위(V2)가 인가되고, 게이트에 피검지전위(V1)가 인가되는 MOSFET(T6)와, 이MOSFET(T6)의 소스에 접속되는 부하수단(12), 기준전위를 발생시키는 기준전위 발생수단(13) 및, 상기MOSFET의 소스전위가 상기 기준전위발생수단으로부터 출력되는 기준전위를 비교하는 비교수단(11)을 구비하고, 상기 비교수단의 비교출력에 의해 상기 피검지전위의 레벨을 검지하는 것을 특징으로 하고 있다.

[작용]

상기와 같이 구성된 본 발명은, 피검지전위가 MOSFET의 게이트에 인가되기 때문에, 피검지전위에 영향을 미치지 않고 전위를 검지할 수 있다.

또한, 피검지전위(V1)로부터 MOSFET의 임계치전압을 이끌어낸 값을 전원전위보다도 낮게 하면, 상기 MOSFET는 오극관영역에서 동작하기 때문에 검지레벨(VL)의 전원전위(V2)에 대한 의존성을 낮게 감소시킨다.

상기 기준전위발생수단(13)을 전원전위에 대해 의존성이 없는 회로로 구성하면, 보다 전원전위에 대한 의존성을 감소시킬 수 있다.

따라서, 피검지전위(V1)에 영향을 미치지 않으면서 검지레벨(VL)의 전원전위(V2)에 대한 의존성을 감소시킬수 있는 전위검지회로가 얻어진다.

[실시예]

이하, 본 발명의 1실시예에 대해 도면을 참조하여 설명한다.

제1도는 본 발명의 1실시예에 따른 전위검지회로의 개략 구성을 나타낸 블럭도, 도면에 참조부호T6은 N채널형 MOSFET, 11은 비교회로, 12는 정전류회로, 13은 기준전위발생회로이다.

상기 MOSFET(T6)의 드레인에는 전원전위(V2)가 인가되고, 게이트에는 검지하는 전위[(피검지전위)V1(V1V2)]가 인가되며, 이 MOSFET(T6)의 소스에는 정전류회로(12)가 접속된다.

그리고, 상기 MOSFET(T6)의 소스전위와 상기 기준전위발생회로(13)로부터 출력되는 기준전위(Vref)가 비교회로(11)에 의해 비교되어 검지출력(V3)을 얻도록 되어 있다.

상기와 같은 구성에서는 피검지전위(V1)의 상승에 따라 MOSFET(T6)의 소스전위도 상승하고, 기준전위(Vref)와 같게 될 때의 전위가 검지레벨로 된다.

제2도는 상기 제1도에 나타낸 전위검지회로의 상세한 구성예를 나타내고 있다.

정전류회로(12)는 N채널 디플레션형 MOSFET(T7)로 구성하고 있고, 비교회로(11)는 P채널형 MOSFET(T8,T9) 및 N채널형 MOSFET(T10~T12)로 이루어진 차동증폭기와 파형정형용 인버터(IN)로 구성하고 있으며, 기준전위발생회로(13)는, N채널 디플레션형 MOSFET(T13)와 N채널형 MOSFET(T14)로 구성하고 있다.

즉, MOSFET(T6)의 게이트에는 피검지전위(V1)가 인가되고, 드레인에는 전원(V2)이 접속되며, 소스에는 MOSFET(T7)의 드레인이 접속된다.

이 MOSFET(T7)의 게이트 및 소스는 접지점(GND)에 접속된다.

MOSFET(T8,T9)의 소스는 전원(V2)에 접속되고, 게이트는 공통접속되고, 이들 MOSFET(T8,T9)의 드레인에는 각각 MOSFET(T10,T11)의 드레인이 접속된다.

상기 MOSFET(T10)의 드레인은 상기 MOSFET(T8,T9)의 게이트 및 MOSFET(T12)의 게이트에 접속되고, 그 게이트는 상기 MOSFET(T6)의 소스에 접속된다.

상기 MOSFET(T10,T11)의 소스는 공통접속되고, 이 소스 공통접속점과 접지점(GND)간에는 상기 MOSFET(T12)가 접속된다.

또한, 전원(V2)과 접지점(GND)간에는 MOSFET(T13,T14)의 전류통로가 직렬접속된다.

상기 MOSFET(T11)의 게이트는 MOSFET(T13,T14)의 게이트 및 이들 MOSFET(T13,T14)의 전류통로의 공통접속점에 접속된다.

그리고, 인버터(IN)의 입력단이 MOSFET(T9와 T11)의 접속점에 접속되고, 이 인버터(IN)로부터 검출출력(V3)을 얻도록 되어 있다.

제3도는 상기 제2도에 나타낸 회로에 있어서 MOSFET(T6,T7)의 부하특성을 나타낸 것으로, 이 제3도에서는 MOSFET(T6)의 소스전위 및 MOSFET(T7)의 드레인전위를 횡축, 각각의 MOSFET(T6,T7)의 전류통로를 흐르는 전류를 종축으로 취하여 나타내고 있다.

피검출전위(V1)는 MOSFET(T6)의 게이트에 인가되어 있을 뿐이므로 전류패스는 없다.

또한, 2개의 특성곡선의 교점(X)의 전위(VD5)는 MOSFET(T6,T7)의 구동능력비를 변화시킴으로써 전원전위(V2)보다 낮은 전위로 조정할 수 있다.

MOSFET(T6)의 임계치전압(Vth;백게이트 바이어스 효과를 포함함)과 피검지전위(V1), 전원전위(V2)와의 관계가,

$$V1-Vth \leq V2 \ldots\ldots (2)$$

를 만족하면, MOSFET(T6)는 오극관동작영역으로 되기 때문에 전원전위(V2)에 대한 의존성을 없게(감소)할 수 있다.

제4도는 상기 제2도에 나타낸 회로에 있어서 MOSFET(T13,T14)의 부하특성을 나타낸 것으로, 이 제4도에서는 MOSFET(T13)의 소스전위 및 MOSFET(T14)의 드레인 전위를 횡축, 각각의 MOSFET(T13,T14)의 전류통로를 흐르는 전류를 종축으로 취하여 나타내고 있다.

또한,MOSFET(T13)의 전압-전류특성곡선에 있어서 Vcc1,Vcc2는 각각 전원전위(V2)를 변화시킨 때의 특성변화를 나타내고 있다.

제4도에 있어서 2개의 특성곡선의 교점(Y)의 전위(VD6)가 기준전위(Vref)에 상당한다.

도시한 바와 같이, 전원전위(V2)가 Vcc1,Vcc2로 변화하여도 오극관동작영역에서는 특성곡선이 일치하고 있다.

따라서, 전위(VD6)를 전원전위(V2)의 오차의 최저치로 MOSFET(T13)의 오극관동작하는 영역으로 설정하면, 기준전위(Vref)는 전원전위(V2)에 대한 의존성이 없게 된다.

그런데 불휘발성 메모리의 경우에는 셀트랜지스터의 임계치전압이 높게 될 수 있는 것을 이용하여 MOSFET(T6)로서 셀트랜지스터를 사용하는 것이 고려된다.

이 경우에는, 셀트랜지스터의 임계치전압이 변동하면, 검지레벨이 변화되어 버리는 것으로 되기 때문에, 셀트랜지스터에 대해 오기록, 오소거가 없도록 주의할 필요가 있다.

제5도는 피검지전위(V1)를 변화시킨 때의 각 전위의 관계를 나타낸 것으로, 제5도에 있어서 VC는 차동증폭기의 출력전위(인버터(V1)의 입력단의 전위),VD는 MOSFET(T6)의 소스전위다.

차동증폭기의 출력전위(VC) 및 검지출력(V3)은 기준전위(Vref), 피검지전위(V1)를 강압한 전위(VD)가 일치한 곳에서 반전한다.

상기와 같은 구성에 의하면, 피검지전위(V1)를 MOSFET(T6)의 게이트에 입력하고 있기 때문에, 피검지전위(V1)에 영향을 미치지 않고서 피검지전위(V1)의 레벨을 검지할 수 있다.

또한, N채널형 MOSFET(T6)의 임계치전압(Vth)과 피검지전위(V1), 전원전위(V2)가 상기 식(1)을 만족시키면,MOSFET(T6)는 오극관영역에서 동작하기 때문에, 전원전위(V2)에 대한 의존성이 없는 검지를 실현할 수 있다. 더욱이, 기준전위발생회로(13)도 전원전위(V2)에 대한 의존성이 없기 때문에, 전원전위(V2)의 변화에 의한 검지레벨의 변동도 억제될 수 있다.

플래시메모리에 있어서 워드선전위를 승압하여 사용하는 경우, 그 전위는 전원전위 이상으로 되지만, 너무 높으면 비선택셀의 오기록의 원인이 되기 때문에 적당한 전위로 억제하지 않으면 안된다.

더욱이, 기록소거에 고전위를 사용하기 때문에, 임계치전압이 높은 고전위계 트랜지스터를 사용하고 있는 것이 많다.

따라서, 이와 같은 트랜지스터를 MOSFET(T6)로서 이용하면 상기(1)식을 만족하는데 유리한 방향으로 된다.

또한, 오기로, 오소거의 문제를 해결하면, 셀트랜지스터를 이용하여 보다 높은 임계치전압으로 전원전위 의존성을 없게 할 수 있다.

이들로부터, 플래시메모리에서의 스탠바이전류 억제를 위한 워드선의 승압전위검지를 위해 제1도 및 제2도에 나타낸 것과 같은 구성의 전위검지회로를 사용하는 것은 대단히 유효하다.

또한, 그 이외의 용도로 전위검지의 정밀도를 그다지 필요로 하지 않는 경우는 전원전위의 의존성은 다소 있지만, 높은 레벨의 피검지전위(V1)를 그 곳으로 부터의 전류공급없이 동작시킬 수 있게 된다.

또한, 그 이외의 용도로 전위검지의 정밀도를 그다지 필요로 하지 않는 경우는 전원전위의 의존성은 다소 있지만, 높은 레벨의 피검지전위(V1)를 그곳으로 부터의 전류공급없이 동작시킬 수 있게 된다.

또한, 제1도에 나타낸 비교회로(11)와, 정전류회로(12) 및 기준전위발생회로(13)는 각각 제2도에 나타낸 구성예에 한정되는 것은 아니고, 각각의 기능을 달성할 수 있는 회로이면 다른 구성이라도 된다.

예컨대, 정전류회로(12)로 서는 제6도에 나타낸 바와 같은 게이트와 드레인을 접속한 N채널형

MOSFET(T15)를 이용할 수 있다.

제7도는 상기 제6도에 나타낸 구성의 정전류회로(12)를 이용한 경우의 MOSFET(T15)와 MOSFET(T6)의 부하 특성을 나타낸 것으로, 교점(Z)의 전위(VD7), 즉 MOSFET(T15)의 드레인측의 전위가 비교회로(11)에 입력되는 것으로 된다.

제6도에 나타낸 바와 같은 구성의 정전류회로(12)에 있어서도 제2도에 나타낸 구성과 마찬가지의 작용효과가 얻어진다.

제8도는 상기 제2도에 나타낸 회로에 있어서 정전류회로(12)의 또 다른 구성예를 나타낸 것으로, 이 회로는 N채널형 MOSFET(T16)와 이 MOSFET(T16)의 게이트에 바이어스전압을 인가하는 바이어스회로(14)로 구성되어 있고, 바이어스회로(14)는 전원(V2)과 접지점(GND)사이에 직렬접속된 부하저항(R1) 및 MOSFET(T17, T18)로 구성되어 있다.

이와 같은 구성에 있어서도 제2도 및 제6도에 나타낸 정전류회로(12)와 마찬가지의 작용효과가 얻어진다.

또한, 제8도에 나타낸 회로에서는 전원(V2)으로부터 저항(R1) 및 MOSFET (T17, T18)를 매개로 접지점(GND)에 직류관통전류가 흐르지만, 저항(R1)의 저항치를 충분히 크게 한 값으로 설정하면, 소비전류의 증대는 거의 문제가 되지 않는다.

제9도는 상기 제2도에 나타낸 회로에 있어서 기준전위발생회로(13)의 다른 구성예를 나타낸 것으로, 본 회로는 P채널형 MOSFET(T19,T20,T21), N채널형 MOSFET(T22) 및 부하저항(R2) 으로 구성되어 있다.

MOSFET(T19,T20) 및 저항(R2)은 바이어스회로(15)를 구성하고 있고, 이 바이어스회로(15)에 의해 MOSFET(T21)의 게이트가 바이어스된다.

그리고, MOSFET T21,T22의 접속점으로부터 기준전위를 출력하도록 되어 있다.

제9도에 나타낸 회로에서는 제8도에 나타낸 회로와 마찬가지로 전원(V2)으로부터 MOSFET(T19,T20) 및 저항(R2)을 매개로 접지점(GND)에 직류관통전류가 흐르지만, 저항(R2)의 저항치를 충분히 크게 한 값으로 설정함으로써 소비전류의 증대를 억제할 수 있다.

상기 제8도 및 제9도에 나타낸 구성에서는 디프레션형 MOSFET를 이용하지않고 있기 때문에, 제2도에 나타낸 회로보다도 제조공정을 간단화할 수 있게 된다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예를 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 피검지전위에 영향을 주지 않으면서 검지레벨의 전원전위에 대한 의존성을 감소시킬 수 있는 전위검지회로가 얻어진다.

(57) 청구의 범위

청구항 1

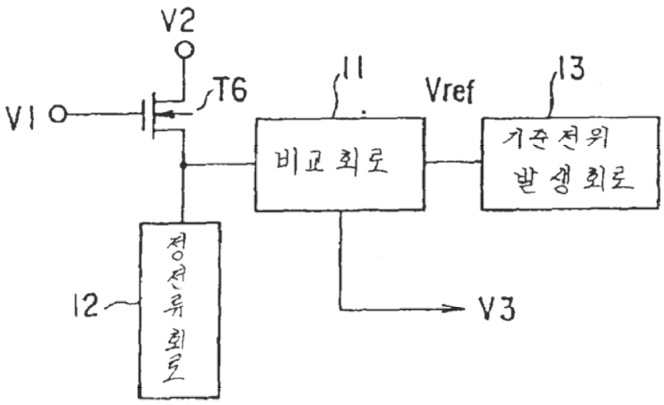
임계치전압(Vth)을 갖고, 소스와, 전위를 공급하는 전원전위(V2)가 접속된 드레인 및 검지되는 피검지전위(V1)가 인가된 게이트를 갖춘 인헨스먼트형 N채널 MOSFET(T6)와, 상기 MOSFET(T6)의 소스에 접속되는 부하수단(12), 기준전위(Vref)를 발생시키는 기준전위발생수단(13) 및, 상기 MOSFET(T6)의 소스전위와 상기 기준전위발생수단(13)으로부터 출려되는 상기 기준전위를 비교하는 비교수단(11)을 구비하여 구성되고, 상기 비교수단(11)의 비교출력에 의해 상기 피검지전위(V1)의 레벨을 검지하고, 상기 기준전위발생수단(13)은 MOSFET(T19,T20)을 갖추고, 이 MOSFET(T19,T20)의 임계치전압을 이용하여 상기 전원전위(V2)에 대한 의존성이 없는 기준전위를 생성하며, V1-Vth ≤V2인 것을 특징으로 하는 전위검지회로.

청구항 2

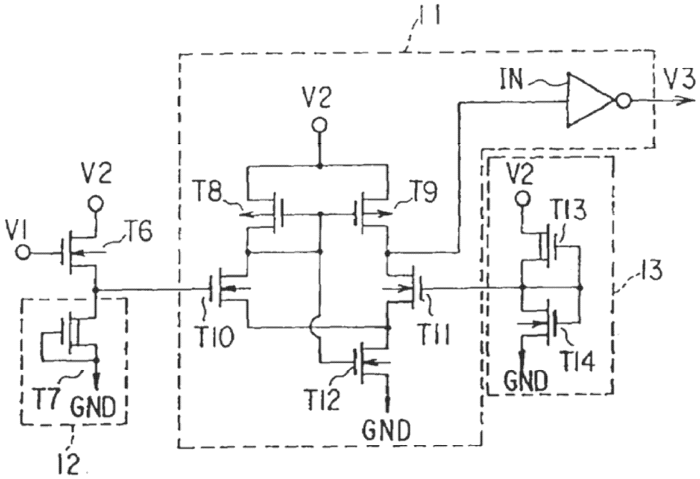
제1항에 있어서, 상기 부하수단(12)이 정전류회로인 것을 특징으로 하는 전위검지회로.

도면

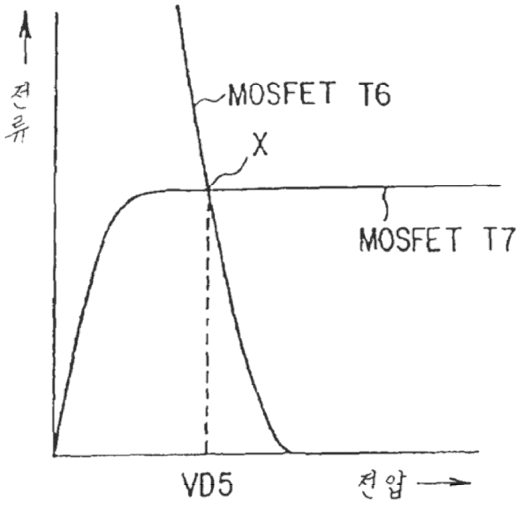
도면1


V2
V1
T6
11
Vref
13
비교회로
기준전위
발생회로
정전류회로
12
V3

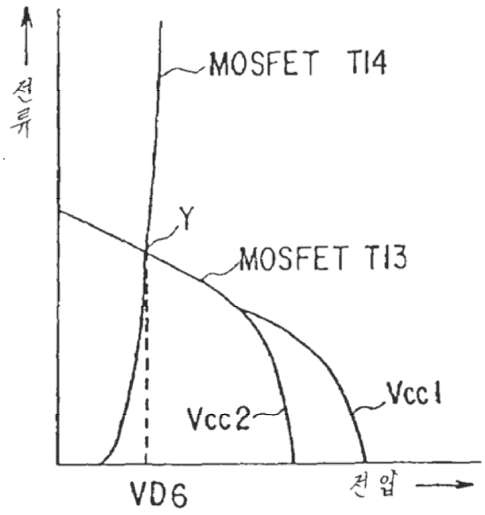
도면2


11
IN
V3
V2
V2
V1
T6
T8
T9
V2
T13
13
T10
T11
T7
GND
T12
T14
GND
GND
12

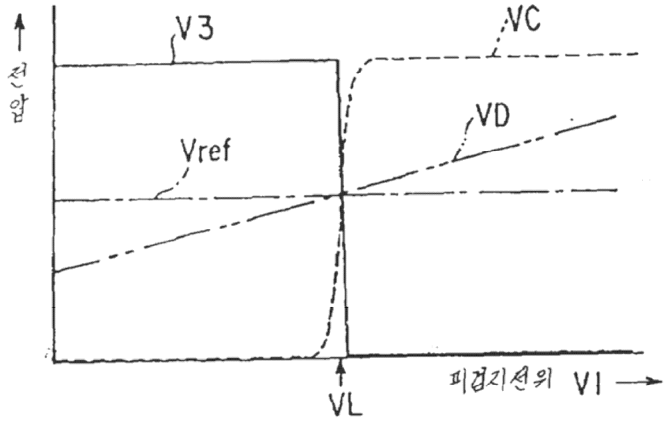
도면3


전류
MOSFET T6
X
MOSFET T7
VD5
전압

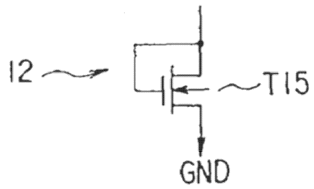
도면4


전류
MOSFET TI4
Y
MOSFET TI3
Vcc1
Vcc2
VD6
전압

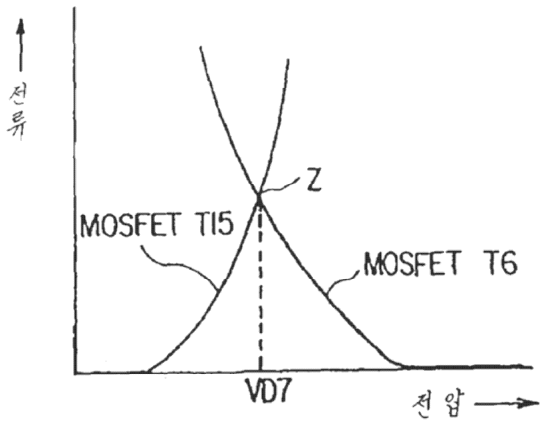
도면5


전압
V3
VC
VD
Vref
VL
피검지선의 VI

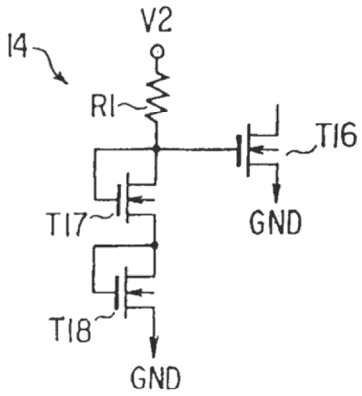
도면6


I2
TI5
GND

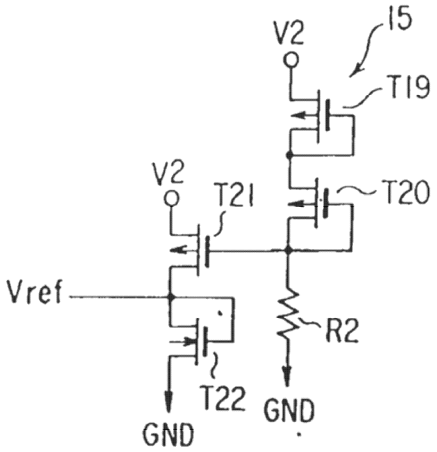
도면7


전류
Z
MOSFET T15
MOSFET T6
VD7
전압

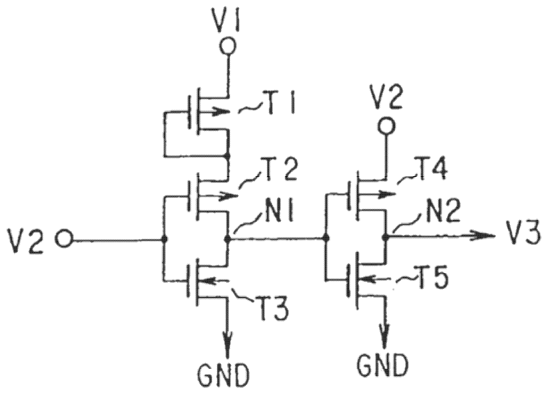
도면8


I4
V2
R1
T16
GND
T17
T18
GND

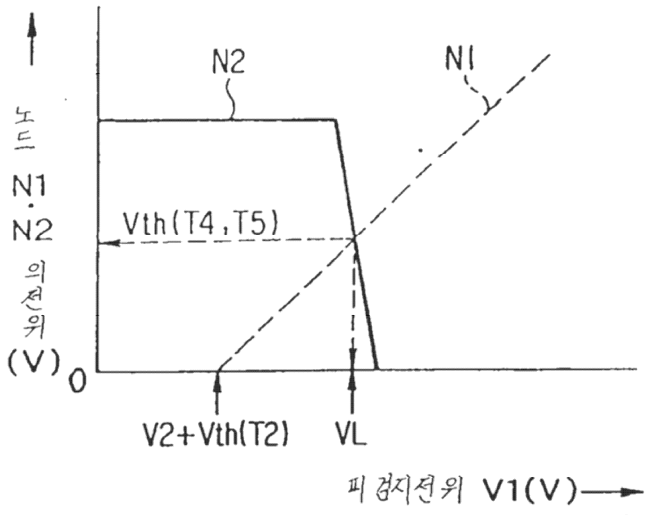
도면9


V2
I5
T19
V2
T21
T20
Vref
R2
T22
GND
GND

도면10


V1
T1
V2
T2
T4
N1
N2
V2
V3
T3
T5
GND
GND

도면11


N2
N1
노드
N1
N2
의전위
(V)
Vth(T4,T5)
0
V2+Vth(T2)
VL
피검지전위 V1(V)