

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 5 月 12 日 (2005.5.12)

【公開番号】特開 2003-142994 (P2003-142994A)
 【公開日】平成 15 年 5 月 16 日 (2003.5.16)
 【出願番号】特願 2002-298312 (P2002-298312)
 【国際特許分類第 7 版】

H 0 3 K 17/00

G 1 1 C 17/06

【F I】

H 0 3 K 17/00 E

G 1 1 C 17/06 D

【手続補正書】

【提出日】平成 16 年 6 月 28 日 (2004.6.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の段からなるマルチプレクサであって、各段がデータ入力、電源入力およびデータ出力を有し、各段が、

前記データ出力に接続された記憶素子と、

前記データ入力と前記電源入力との間に接続された第 1 のダイオードと、

前記電源入力と前記データ出力との間に接続された第 2 のダイオードと

を含む、マルチプレクサ。

【請求項 2】

前記第 1 のダイオードの陰極が前記データ入力に接続され、前記第 1 のダイオードの陽極が前記電源入力に接続され、前記第 2 のダイオードの陰極が前記データ出力に接続され、前記第 2 のダイオードの陽極が前記電源入力に接続される、請求項 1 のマルチプレクサ。

【請求項 3】

前記記憶素子が電荷蓄積素子である、請求項 1 のマルチプレクサ。

【請求項 4】

整数 $M > 1$ および $N > 1$ としたとき、 M 個のラッチからなるマルチプレクサであって、各ラッチが N 個の段を有し、前記段の各々がデータ入力、電源入力およびデータ出力を有し、前記段の各々が、前記データ出力に接続された電荷蓄積素子、前記データ入力と前記電力供給入力との間に接続された第 1 のダイオード、および前記電力供給入力と前記データ出力との間に接続された第 2 のダイオードを含む、マルチプレクサ。

【請求項 5】

各ラッチが N 段のデータ入力によって形成された N ビット幅の入力を有し、各ラッチが N 段のデータ出力によって形成された N ビット幅の出力を有する、請求項 4 のマルチプレクサ。

【請求項 6】

前記ラッチのうちの少なくとも 1 つを一度に有効にするための論理回路を更に含む、請求項 4 のマルチプレクサ。

【請求項 7】

各段が、クロック入力、および該クロック入力と前記電源入力との間に接続された第3のダイオードを更に有し、前記段のクロック入力と前記電源入力との間に接続される、請求項4のマルチプレクサ。

【請求項8】

各段が、データクリア入力、および該データクリア入力と前記データ出力との間に接続された第3のダイオードのダイオードを更に有し、前記段のデータクリア入力と前記データ出力との間に接続される、請求項4のマルチプレクサ。

【請求項9】

入力データによって前記第1のダイオードが順方向にバイアスされるか逆方向にバイアスされるかが決まり、それによって、前記第1のダイオードが順方向にバイアスされた場合、前記ラッチが第1の論理状態に設定され、前記第1のダイオードが逆方向にバイアスされた場合、前記ラッチが第2の論理状態に設定される、請求項4のマルチプレクサ。

【請求項10】

ダイオードベースのメインメモリと、

前記メインメモリ用の、ダイオードベースのアドレス論理回路と、

前記メインメモリおよび前記アドレス論理回路のうちのいずれか一方のためのマルチプレクサであって、複数のラッチを有し、整数 $N > 1$ としたときに、各ラッチが N 個の段を有し、各段がデータ入力、電源入力、およびデータ出力を有し、各段が前記データ出力に接続された電荷蓄積素子、前記データ入力と前記電源入力との間に接続された第1のダイオード、および前記電源入力と前記データ出力との間に接続された第2のダイオードを含む、マルチプレクサと

からなる固体メモリ素子。

【請求項11】

前記アドレス論理回路用のアドレスラインを更に含み、該アドレスラインが前記段のデータ出力に接続される、請求項10の固体メモリ素子。

【請求項12】

各ラッチが N ビットの出力を有し、前記アドレス論理回路が複数のグループに分割され、異なる N ビット出力が異なるグループに対応する、請求項11の固体メモリ素子。

【請求項13】

前記メインメモリ用のデータラインを更に含み、該データラインが前記段のデータ出力に接続される、請求項10の固体メモリ素子。

【請求項14】

各ラッチが N ビットの出力を有し、前記メインメモリが複数のグループに分割され、異なる N ビット出力が異なるグループに対応する、請求項13の固体メモリ素子。

【請求項15】

前記メインメモリおよび前記アドレス論理回路を形成するための土台となる基板であって、前記ラッチに対してタイミング信号を生成するための論理回路を含む基板と、

前記基板上に形成され、前記タイミング信号に応じて前記ラッチを有効にするため、ゲートとを更に含む、請求項10の固体メモリ素子。

【請求項16】

各段が、クロック入力、および該クロック入力と前記電源入力との間に接続された第3のダイオードを更に有し、前記段のクロック入力と前記電源入力との間に接続される、請求項10の固体メモリ素子。

【請求項17】

各段が、データクリア入力、および該データクリア入力と前記データ出力との間に接続された第3のダイオードを更に有し、前記段のデータクリア入力と前記データ出力との間に接続される、請求項10の固体メモリ素子。

【請求項18】

前記メインメモリおよび前記アドレス論理回路のうちの他方のための第2のマルチプレクサを更に含む、請求項10の固体メモリ素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

各段 110 には、データ出力 (Qn) に接続された電荷蓄積素子 (例えばコンデンサ) 114、データ入力 (Dn) と電源入力 (Pn) との間に接続された第 1 のダイオード 116、及び、電源入力 (Pn) とデータ出力 (Qn) との間に接続された第 2 のダイオード 118 が含まれる。第 1 のダイオード 116 の陰極はデータ入力 (Dn) に接続され、第 1 のダイオード 116 の陽極は電源入力 (Pn) に接続される。第 2 のダイオード 118 の陰極はデータ出力 (Qn) に接続され、第 2 のダイオード 118 の陽極は電源入力 (Pn) に接続される。