



(12)发明专利申请

(10)申请公布号 CN 108807452 A

(43)申请公布日 2018.11.13

(21)申请号 201710302215.2

(22)申请日 2017.05.02

(71)申请人 上海磁宇信息科技有限公司

地址 201800 上海市嘉定区城北路235号二
号楼二层

(72)发明人 肖荣福 郭一民 陈峻

(74)专利代理机构 上海容慧专利代理事务所

(普通合伙) 31287

代理人 于晓菁

(51)Int.Cl.

H01L 27/22(2006.01)

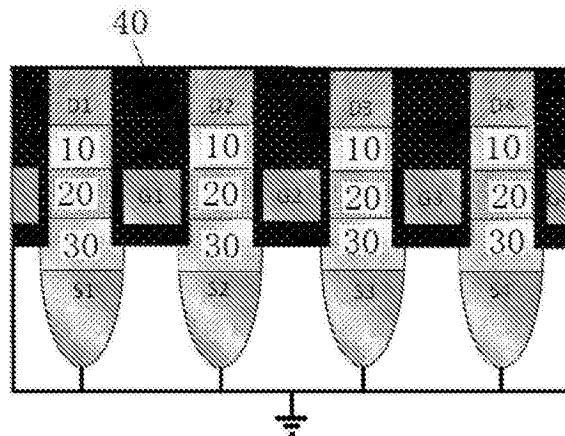
权利要求书1页 说明书5页 附图4页

(54)发明名称

一种超高密度随机存储器架构

(57)摘要

本发明公开了一种超高密度随机存储器架构，包括：以矩阵列方式排布布置的多个存储单元；其中，每个存储单元包括：以垂直叠加的形式生成的第一半导体区域、第二半导体区域和第三半导体区域，其中第一半导体区域和第三半导体区域具有第一掺杂类型，第二半导体区域具有第二掺杂类型；在第三半导体区域正上方邻接地形成有漏极，在第一半导体区域正下方邻接地形成有源极，在第二半导体区域垂直两侧形成有两个栅极，其中栅极与第二半导体区域经由氧化物绝缘物隔开。



1. 一种超高密度随机存储器架构，其特征在于包括：以矩阵列方式排布布置的多个存储单元；其中，每个存储单元包括：以垂直叠加的形式生成的第一半导体区域、第二半导体区域和第三半导体区域，其中第一半导体区域和第三半导体区域具有第一掺杂类型，第二半导体区域具有第二掺杂类型；在第三半导体区域正上方邻接地形成有漏极，在第一半导体区域正下方邻接地形成有源极，在第二半导体区域垂直两侧形成有两个栅极，其中栅极与第二半导体区域经由氧化物绝缘物隔开。

2. 如权利要求1所述的超高密度随机存储器架构，其特征在于，第一掺杂类型为n+型掺杂类型，第二掺杂类型为p型掺杂类型；或者第一掺杂类型为p+型掺杂类型，第二掺杂类型为n型掺杂类型。

3. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，第一半导体区域和第三半导体区域的掺杂浓度大于第二半导体区域的掺杂浓度。

4. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，所有存储单元的源极通过衬底接地。

5. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，存储单元的源极经由氧化物绝缘层与衬底隔离；而且，各个存储单元的源极经由各自的源线引出。

6. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，各个漏极分别与一个存储器单元相连接，然后再与一条位线相连接。

7. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，每个存储单元上的记忆信息是通过开启各自的栅极和流经相对应的漏源之间的写电流来写入的。

8. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，每个存储单元上的记忆信息是通过开启栅极和流经漏源之间的读电流来读取的，并且读电流小于写电流的绝对值。

9. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，每个栅极可以同时控制相邻两侧与漏极或源极连接的存储单元中的写电流和读电流。

10. 如权利要求1或2所述的超高密度随机存储器架构，其特征在于，每组源漏极可以通过两侧的两个栅极来分别或同时控制连接在漏极或源极上的存储单元中的写电流和读电流。

一种超高密度随机存储器架构

技术领域

[0001] 本发明涉及存储器领域,尤其涉及一种超高密度随机存储器架构。

背景技术

[0002] 随着大数据时代的来临,数据存储器的需求迎来了爆发式增长。在中国,高速发展的半导体产业对存储器的对外依赖,已经严重影响国家高科技的发展。

[0003] DRAM (Dynamic Random Access Memory) 也称动态随机存取存储器,是最为常见的系统内存,具有高速度(读写速度:<50ns),大容量(>1GB)的特性。DRAM的内部结构可以说是电子芯片中最简单的,是由许多重复的“单元”组成,每一个单元由一个电容和一个晶体管(一般是N沟道MOSFET)构成,电容可储存1位(bit)数据量,充放电后电荷的多少(电势高低)分别对应二进制数据0和1。由于电容会有漏电现象,因此过一段时间之后电荷会丢失,导致电势不足而丢失数据,因此必须经常进行充电保持电势,这个充电的动作叫做刷新,因此动态存储器具有刷新特性,这个刷新的操作一直要持续到数据改变或者断电。

[0004] 除了DRAM以外,近年来出现的几种新型的随机存取存储器,将记忆电容用一个可变电阻替代的RRAM,通过控制材料相变的PRAM,特别是用磁性隧道结(MTJ)的磁性随机存储器(MRAM)。近年来,采用磁性隧道结(MTJ)的MRAM被人们认为是未来的固态非易失性记忆体,它具有高速读写、大容量以及低能耗的特点。铁磁性MTJ通常为三明治结构,其读写中有磁性记忆层它可以改变磁化方向以记录不同的数据;位于中间的绝缘的隧道势垒层;磁性参考层,位于隧道势垒层的另一侧,它的磁化方向不变。为能在这种磁电阻元件中记录信息,建议使用基于自旋动量转移或称自旋转移矩(STT, Spin Transfer Torque)转换技术的写方法,这样的MRAM称为STT-MRAM。根据磁极化方向的不同,STT-MRAM又分为面内STT-MRAM和垂直STT-MRAM(即pSTT-MRAM),后者有更好的性能。依此方法,即可通过向磁电阻元件提供自旋极化电流来反转磁性记忆层的磁化强度方向。此外,随着磁性记忆层的体积的缩减,写或转换操作需注入的自旋极化电流也越小。因此,这种写方法可同时实现器件微型化和降低电流。

[0005] 上述各种随机存取存储器(DRAM、RRAM、PRAM、MRAM)的制作过程中,进一步缩小存储器尺寸的关键之一是CMOS场效应三极管(FET)的小型化。对于FET,它的电流曲线与漏-源(D-S)之间的沟道,即栅(G)极下面的尺寸(LENGTH)成反比,要得到一个较大的电流(例如在MRAM的情况下),沟道长度需要进一步缩短。而一般常规的FET结构,漏-源-栅(D-G-S)是并排放置在n+/p/n+串联半导体薄膜的同一侧,其尺寸是不可能任意缩小的。所以需要寻找新的FET的结构部局,以达到缩小整个记忆芯片尺寸的目的。

发明内容

[0006] 有鉴于现有技术的上述缺陷,本发明所要解决的技术问题是提供一种通用随机存储器(RAM)的垂直型场效应三极管(vMOSFET)的小型化新型架构,特别是通过使用磁性隧道结(MTJ)替代DRAM中的记忆电容,制作一种高速度、大容量、非忆失性的新型超高密度随机

存储器架构。

[0007] 为实现上述目的,本发明提供了一种超高密度随机存储器架构,包括:以矩阵列方式排布布置的多个存储单元;其中,每个存储单元包括:以垂直叠加的形式生成的第一半导体区域、第二半导体区域和第三半导体区域,其中第一半导体区域和第三半导体区域具有第一掺杂类型,第二半导体区域具有第二掺杂类型;在第三半导体区域正上方邻接地形成有漏极,在第一半导体区域正下方邻接地形成有源极,在第二半导体区域的垂直两侧形成有两个栅极,其中栅极与第二半导体区域经由氧化物绝缘物隔开。

[0008] 优选地,第一掺杂类型为n+型掺杂类型,第二掺杂类型为p型掺杂类型。

[0009] 可替换地,优选地,第一掺杂类型为p+型掺杂类型,第二掺杂类型为n型掺杂类型。

[0010] 优选地,第一半导体区域和第三半导体区域的掺杂浓度大于第二半导体区域的掺杂浓度。

[0011] 优选地,所有存储单元的源极通过衬底接地。

[0012] 优选地,存储单元的源极经由氧化物绝缘层与衬底隔离;而且,各个存储单元的源极经由各自的源线引出。

[0013] 优选地,各个漏极分别与一个存储器单元相连接,然后再与一条位线相连接。

[0014] 优选地,每个存储单元上的记忆信息是通过开启各自的栅极和流经相对应的漏源之间的写电流来写入的。

[0015] 优选地,每个存储单元上的记忆信息是通过开启栅极和流经漏源之间的读电流来读取的,并且读电流小于写电流的绝对值。

[0016] 优选地,每个栅极可以同时控制相邻两侧的两个垂直型场效应三极管(1G2F),从而控制两个存储单元中的写电流和读电流。

[0017] 优选地,每个垂直型场效应三极管可以通过其两侧的两个栅极(2G1F)来控制连接在源极上存储单元中的写电流和读电流。

[0018] 由此,本发明提供了一种通用随机存储器(RAM)的垂直型场效应三极管(vMOSFET)的小型化新型架构,即把传统平面型MOSFET改成垂直式vMOSFET,实现一个FET共享两个栅极(2G1F)型或者两个FET分享一个栅极(1G2F),从而更有效的控制流经FET电流的大小和极性,最大限度地缩小随机存储器芯片的CMOS控制线路的尺寸。通过使用磁性隧道结(MTJ)替代DRAM中的记忆电容,制作一种高速度、大容量、非忆失型的新型磁性随机存储器MRAM。

[0019] 以下将结合附图对本发明的构思、具体结构及产生的技术效果作进一步说明,以充分地了解本发明的目的、特征和效果。

附图说明

[0020] 结合附图,并通过参考下面的详细描述,将会更容易地对本发明有更完整的理解并且更容易地理解其伴随的优点和特征,其中:

[0021] 图1A是根据本发明优选实施例的其中漏极通过衬底接地的随机存储器垂直型场效应三极管的一种架构示意图。

[0022] 图1B是根据本发明优选实施例的其中漏极与衬底绝缘并接各自的源线的随机存储器垂直型场效应三极管的一种架构示意图。

[0023] 图1C是根据本发明优选实施例的随机存储器垂直型场效应三极管关键部分的3D

架构示意图。

[0024] 图2A是与图1A相对应的(4X2)vMOSFET的电路连接图。

[0025] 图2B是与图1B相对应的(4X2)vMOSFET的电路连接图。

[0026] 图3A是根据本发明优选实施例的随机存储器的一种读过程,其中开启一个栅极,控制连接在同一条位线上相邻的两个FET的电流。

[0027] 图3B是根据本发明优选实施例的随机存储器的另一种读过程,其中开启相邻的两个栅极,控制两个栅极之间的一个FET,可以提供更大的写电流。

[0028] 需要说明的是,附图用于说明本发明,而非限制本发明。注意,表示结构的附图可能并非按比例绘制。并且,附图中,相同或者类似的元件标有相同或者类似的标号。

具体实施方式

[0029] 图1A是根据本发明优选实施例的其中漏极通过衬底接地的随机存储器垂直型场效应三极管的一种架构示意图,图1B是根据本发明优选实施例的其中漏极与衬底绝缘并接各自的源线的随机存储器垂直型场效应三极管的一种架构示意图,图1C是根据本发明优选实施例的随机存储器垂直型场效应三极管关键部分的3D架构示意图。

[0030] 如图1A、图1B、图1C所示,根据本发明优选实施例的超高密度随机存储器架构包括:以矩阵列方式排布布置的多个存储单元;其中,每个存储单元包括:以垂直叠加的形式生成的第一半导体区域10、第二半导体区域20和第三半导体区域30;在第三半导体区域30正上方邻接地形成有漏极D1、D2、D3、D4,在第一半导体区域10正下方邻接地形成有源极S1、S2、S3、S4,在第二半导体区域20的沿存储单元的垂直两侧分别形成有一个矩形栅极G1、G2、G3、G4,其中栅极G1、G2、G3、G4与第二半导体区域20经由氧化物绝缘物40隔开。

[0031] 其中,第一半导体区域10和第三半导体区域30具有第一掺杂类型,第二半导体区域20具有第二掺杂类型。

[0032] 例如,第一掺杂类型为n+型掺杂类型,第二掺杂类型为p型掺杂类型。或者,第一掺杂类型为p+型掺杂类型,第二掺杂类型为n型掺杂类型。

[0033] 而且,优选地,第一半导体区域10和第三半导体区域30的掺杂浓度大于第二半导体区域20的掺杂浓度。

[0034] 如在图1A所示的实施例那样,所有存储单元的源极通过衬底接地。或者,在图1B所示的实施例那样,存储单元的源极S1、S2、S3、S4经由氧化物绝缘层50与衬底隔离;而且进一步地,各个存储单元的源极经由各自的源线引出。

[0035] 更具体地说,本发明提供了一种通用随机存储器(RAM)垂直型场效应三极管(vMOSFET)的小型化新型结构,具体方法是将传统平面型MOSFET做成垂直型结构,把栅极以垂直方式放置于相邻的n+/p/n+之间,并用绝缘电介质将其与中间的p层半导体层隔开,把漏极放在最上方与记忆单元相连,源极放在最下方并通过Si衬底接地从而最大限度的缩小FET的尺寸,达到最大化的布线(4F²)密度。

[0036] 图1A所示为4只垂直排列的场效应三极管(vMOSFET),每只FET与相邻的FET通过氧化物绝缘体(OX)隔离。本发明通过一个栅极可以同时控制两侧的两个FET(1G2F)或者两个栅极同时控制中间的一个FET(2G1F),有效提高了FET对记忆单元电流的输出,也更加便于对FET中漏电流的控制。

[0037] 这样以来,既解决了存储器尺寸受限于栅极的尺寸,又可以进一步缩短p沟道的尺寸,增加了FET的输出电流,更有效的对漏电流加以控制,为记忆单元特别是对MRAM提供足够的写电流。由于栅极闸位置的改变,FET中流经D-S的电流不再受栅极尺寸的限制。除了上述小尺寸,大电流出的优点,本发明的垂直型FET还为随机存储器芯片的生产简化了工艺难度,增加了D-S和G工艺灵活性和独立性。

[0038] 本发明的另外一种垂直型FET阵列架构通过使用一层氧化物绝缘将FET底部与Si衬底相隔离(图1B),然后将每个源极通过一条源线将其引出,从而更有效的为MRAM提供所需电流。

[0039] 图1C是上述垂直型场效应三极管阵列的3D示意图,从图1C可以更清楚地了解本发明的结构,图1C中列出了两排四列(4X2)共8个vMOSFET,它们之间均有氧化物绝缘相互隔离。栅极由其中的黑色矩形导线引出。

[0040] 依据本发明所述垂直型场效应三极管(vMOSFET)的结构部局,随机存储器记忆单元与FET阵列(F1、F2、F3、F4、F5、F6、F7、F8)的线路链接可以用图2A和图2B来表示,其中图2A是图1A所示的FET架构的线路链接,图2B是图1B所示的FET架构的线路链接。每个漏极分别单独与一个存储器单元(M1、M2、M3、M4、M5、M6、M7、M8)相连接,然后再与位线(BL1、BL2、BL3、BL4)相连接。所有的源极相互连接并接地(图2A),或每个源极与一条源线相连(图2B)。所述的栅极与相应的字线(WL1、WL2、WL3、WL4)相连接,并能同时控制两个FET(图2A中的100区域所示),或者两个栅极同时控制一个FET(图2A中的200区域所示)。

[0041] 所述垂直型场效应三极管(vMOSFET)的写过程可以用图3A和图3B的写周期W1和W0来说明。当图2A和图2B中的一条G1线路开启的时候,如方框100所示,可以同时控制两个FET(F1,F2)中从漏线D1流入的写电流Iw1或Iw0($I_{F1,F2}$),在记忆单元M1、M2上同时写入1或同时写入0信号(图3A)。当图2A、图2B中的G1,G2线路同时开启的时候,如方框200所示,D1线路导通可以为F2提供更大的电流IF2(图3B)。如果图2中的G1、G2线路同时开启,但G1、G2具有不同的电压(或极性相反)的VG1、VG2,便可以用来控制FET中的漏电流(leakage current),使之接近于零,从而得到最大的开关比(I_{ON}/I_{OFF})。

[0042] 至于读操作,当选中的栅极开启后并且使用一个较低的电压VR,对应的一组FET中的漏-源导通,只需加一个较小的读电流(其中,读电流小于写电流的绝对值)即可读出对应的记忆体的记忆状态。

[0043] 在上诉n+/p/n+中,与漏极、源极接着是重掺杂的n+型半导体材料,与栅极接着的就是p掺杂的半导体材料。当然也可以将其做成p+/n/p+,型的,与漏极、源极接着就应换成p+型半导体材料,而与栅极接着的就是n掺杂的半导体材料。为了提高CMOS场效应三极管(FET)的电子(空隙)输运性能,除了Si、Ge以外,也可以用具有更高电子输运性能的III-V(例如GaAs, InP, GaN, ...)或II-VI(例如,CdS, ZnS, CdTe, ...)半导体基底材料。

[0044] 上述CMOS场效应三极管(FET)结构是一种通用随机存储器控制器。如果用电容作为记忆单元,就是DRAM;将电容换为一个常规电阻,就是RRAM;换为一种相变材料,就是PRAM;通过使用磁性隧道结(MTJ)替代DRAM中的记忆电容,就可以制作一种高速度、大容量、非忆失型的新型磁性随机存储器MRAM,特别是使用垂直型磁电阻材料,就可以做成所谓的pSTT-MRAM芯片。

[0045] 上述说明示出并描述了本发明的优选实施例,如前所述,应当理解本发明并非局

限于本文所披露的形式，不应看作是对其他实施例的排除，而可用于各种其他组合、修改和环境，并能够在本文所述发明构想范围内，通过上述教导或相关领域的技术或知识进行改动。而本领域人员所进行的改动和变化不脱离本发明的精神和范围，则都应在本发明所附权利要求的保护范围内。

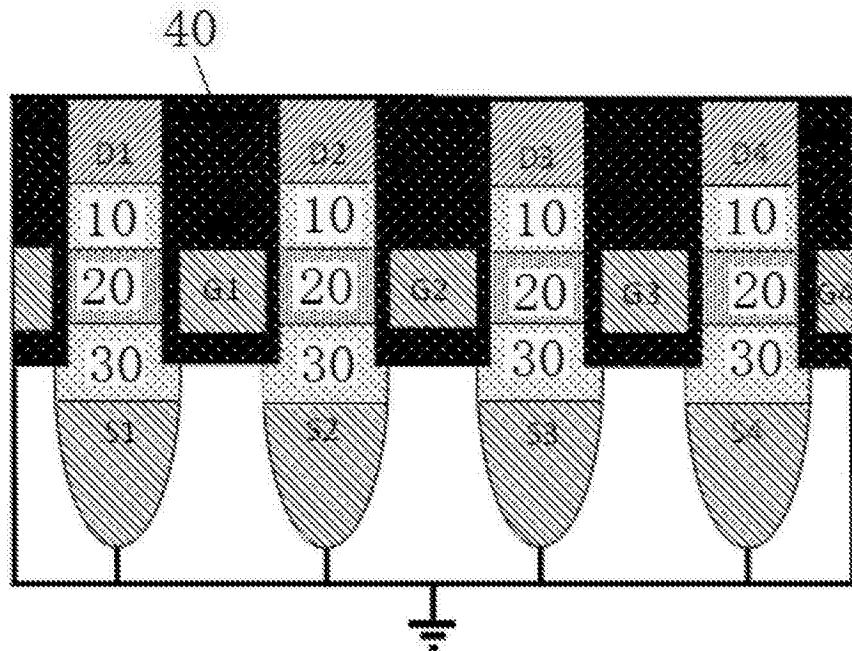


图1A

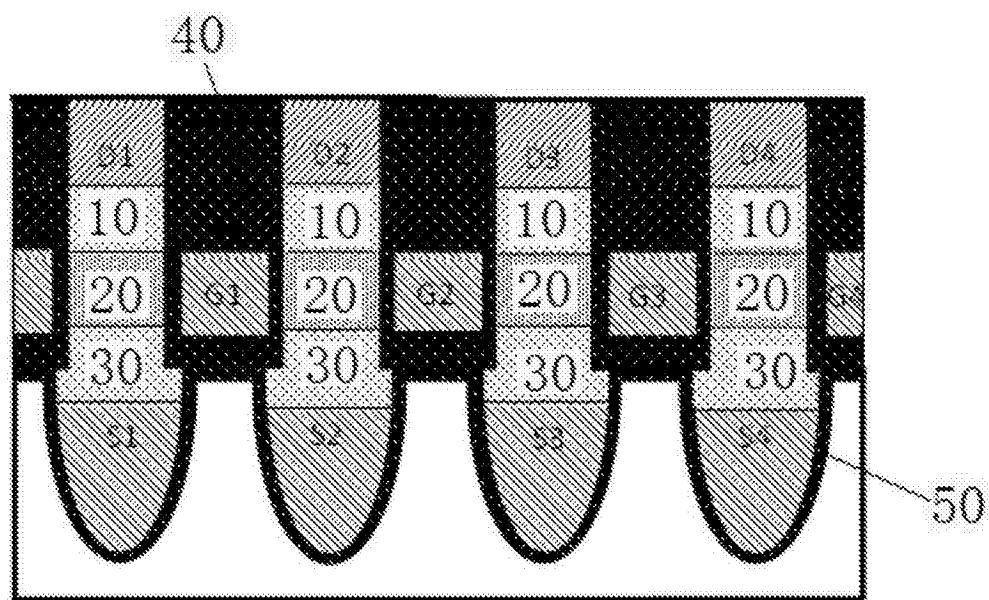


图1B

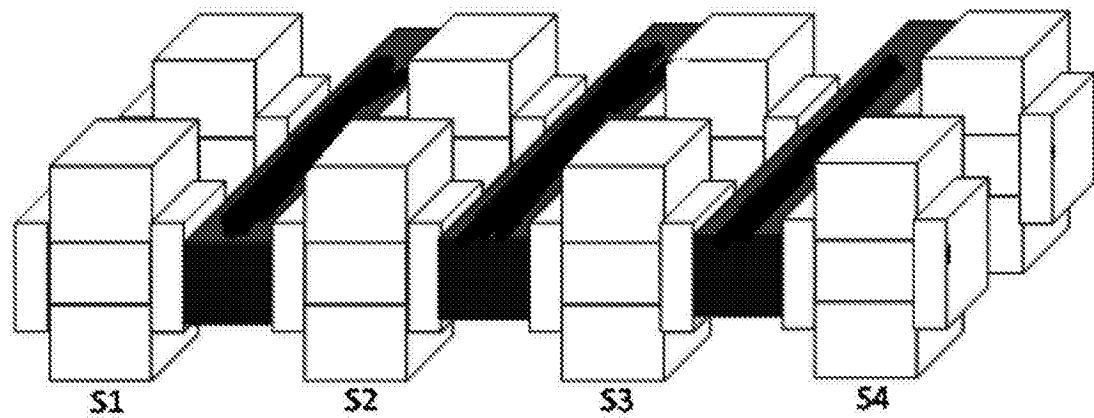


图1C

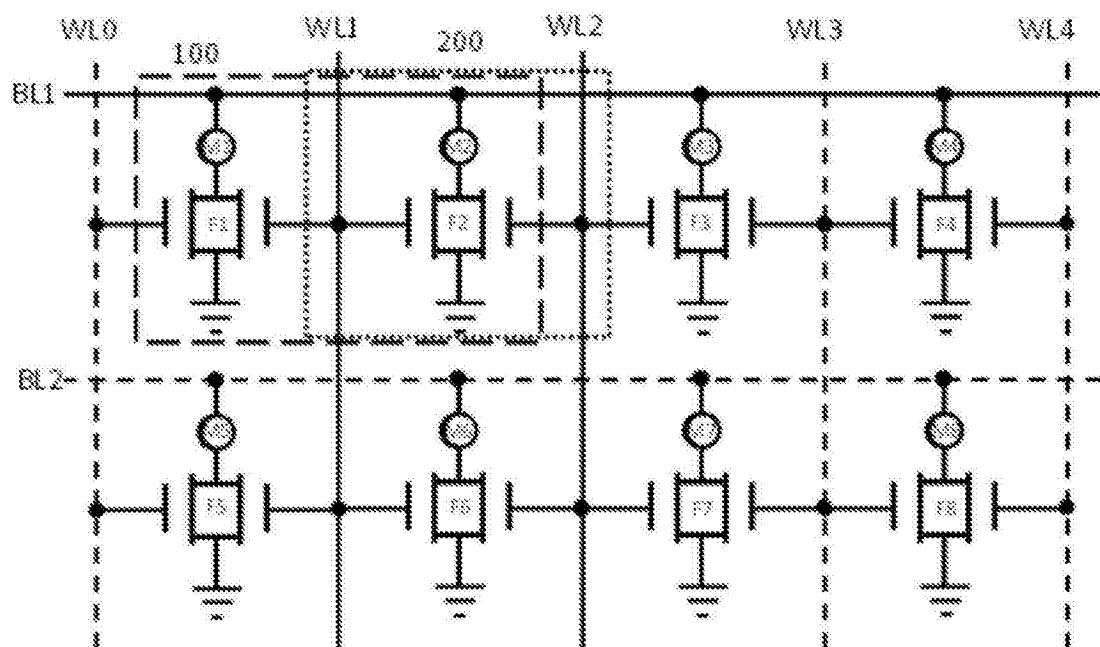


图2A

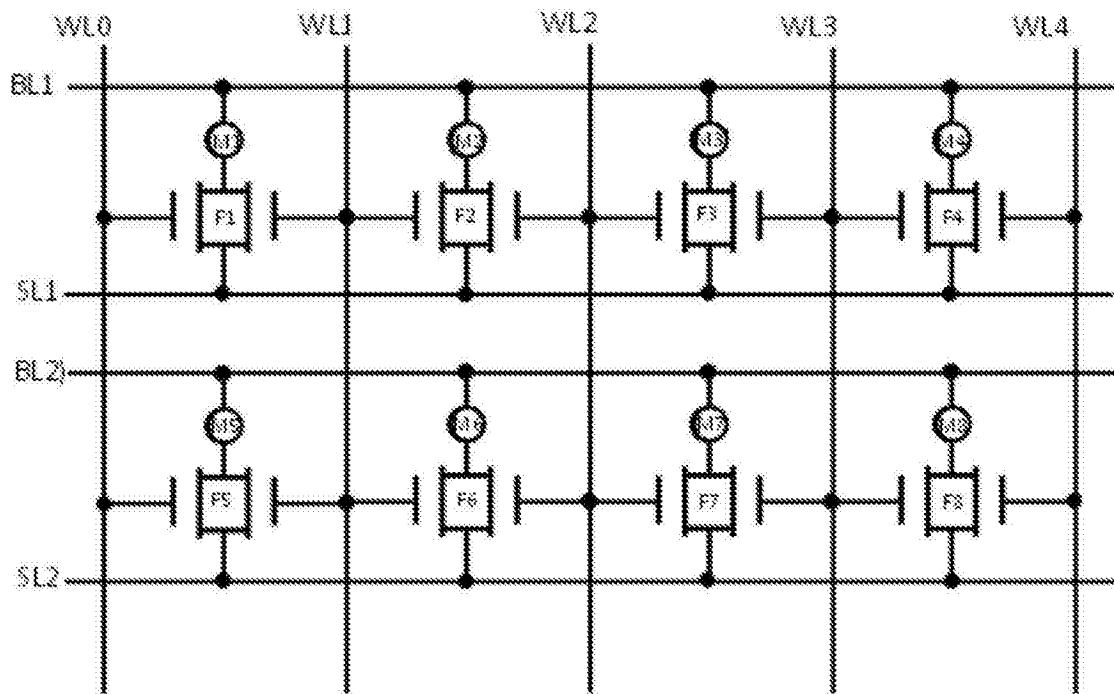


图2B

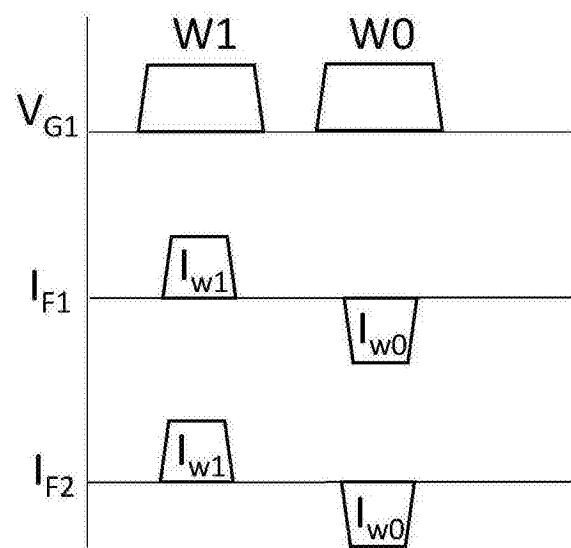


图3A

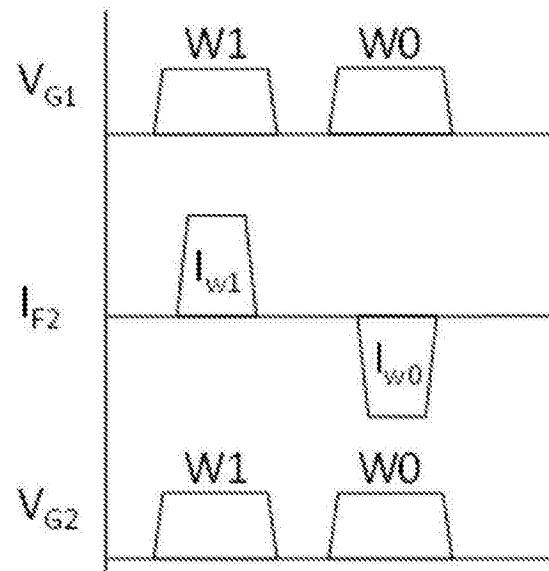


图3B