(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3781787号

(P3781787)

(45)発行日　平成18年5月31日(2006.5.31)　(24)登録日　平成18年3月17日(2006.3.17)

(51)Int.Cl.		F I		
H01L 21/677	(2006.01)	H01L	21/68	A
H01L 21/02	(2006.01)	H01L	21/02	Z
H01L 21/205	(2006.01)	H01L	21/205	
H01L 21/31	(2006.01)	H01L	21/31	C

請求項の数 6　(全 10 頁)

(21)出願番号　特願平5-291268
(22)出願日　平成5年10月26日(1993.10.26)
(65)公開番号　特開平7-122621
(43)公開日　平成7年5月12日(1995.5.12)
審査請求日　平成12年10月26日(2000.10.26)
審判番号　不服2003-10781(P2003-10781/J1)
審判請求日　平成15年6月12日(2003.6.12)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100110858
弁理士　柳瀬　睦肇
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　寺本　聡
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】多目的基板処理装置およびその動作方法および薄膜集積回路の作製方法

(57)【特許請求の範囲】

【請求項１】

第１、第２、第３および第４の減圧可能な処理室を有し、

前記第１、第２、第３および第４の処理室は減圧可能な共通室を介してつなげられており、

各処理室にガラス基板を搬送するための手段を前記共通室に設けている多目的基板処理装置を用いた薄膜集積回路の作製方法であって、

ガラス基板上に窒化アルミニウム膜を前記第１の処理室で形成し、

前記窒化アルミニウム膜のアニールを前記第２の処理室で行い、

前記アニールを行った後に、前記窒化アルミニウム膜上に第１の酸化珪素膜を前記第３の処理室で形成し、

前記第１の酸化珪素膜上にアモルファスシリコン膜を前記第４の処理室で形成し、

前記アモルファスシリコン膜上に第２の酸化珪素膜を前記第３の処理室で形成し、

前記第３の処理室から前記共通室を介して前記多目的基板処理装置の外部に、前記窒化アルミニウム膜、前記アモルファスシリコン膜、前記第１および第２の酸化珪素膜が形成された前記ガラス基板を取り出し、

前記第２の酸化珪素膜および前記アモルファスシリコン膜をパターニングすることにより、前記第２の酸化珪素膜および前記アモルファスシリコン膜からなる島状シリコン領域を前記第１の酸化珪素膜上に形成し、

前記島状シリコン領域および前記第１の酸化珪素膜の上にゲイト絶縁膜を形成し、

前記島状シリコン領域の前記アモルファスシリコン膜を結晶化し、
結晶化されたシリコン膜を用いて前記ガラス基板上に薄膜トランジスタを形成することを特徴とする薄膜集積回路の作製方法。
【請求項２】
請求項１において、前記薄膜トランジスタを形成することは、前記ゲイト絶縁膜上にゲイト電極を形成し、前記結晶化されたシリコン膜にソース領域およびドレイン領域を形成し、前記ゲイト電極、前記ゲイト絶縁膜および前記結晶化されたシリコン膜の上に層間絶縁膜を形成し、前記窒化アルミニウム膜をエッチングストッパーとして前記層間絶縁膜をエッチングすることにより、前記ソース領域および前記ドレイン領域に対して、それぞれ、当該領域上からはみだしたコンタクトホールを前記層間絶縁膜に形成し、前記コンタクトホールにおいて、それぞれ、前記ソース領域または前記ドレイン領域の上面および側面に接する配線を前記層間絶縁膜上に形成することを特徴とする薄膜集積回路の作製方法。
【請求項３】
請求項１又は２において、前記薄膜トランジスタを形成する際に、前記薄膜トランジスタのゲイト絶縁膜と、前記薄膜トランジスタの層間絶縁膜とを前記第３の処理室で形成することを特徴とする薄膜集積回路の作製方法。
【請求項４】
請求項３において、前記ゲイト絶縁膜を前記第３の処理室で形成した後、前記ゲイト絶縁膜のアニールを前記第２の処理室で行うことを特徴とする薄膜集積回路の作製方法。
【請求項５】
請求項１乃至４のうちのいずれか一項において、前記第１、第２、第３および第４の処理室で処理を行っている際、前記第１、第２、第３および第４の処理室のうち処理を行っていない処理室の少なくとも一つをプラズマクリーニングすることを特徴とする薄膜集積回路の作製方法。
【請求項６】
請求項５において、前記プラズマクリーニングのガスにNF_3を用いることを特徴とする薄膜集積回路の作製方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は基板上あるいは基板表面に半導体装置を形成する装置に関する。特に外気に曝すことなく連続して行なわれる必要のあるプロセスを行なうことのできる装置に関する。また薄膜集積回路の作製に利用することのできる多目的基板処理装置に関する。
【０００２】
【従来の技術】
半導体基板やガラス基板を用いた集積回路が知られている。前者としてはＩＣやＬＳＩが知られており、後者としてはアクティブマトリックス型の液晶表示装置が知られている。このような集積回路を形成するには、各種プロセスを連続して行なう必要がある。例えば絶縁ゲイト型電界効果半導体装置を形成する場合であれば、チャネルが形成される半導体領域とそれに接して設けられるゲイト絶縁膜とを外部に取り出すことなく連続して形成することが望まれる。また各種プロセスを効率良く連続して行なうことが工業上必要である。
【０００３】
【発明が解決しようとする課題】
本発明は、半導体装置の作製に必要とされる各種プロセスを一つの装置で連続して処理することのできる多目的に利用できる基板処理装置を提供することを目的とする。
【０００４】
【課題を加熱するための手段】
本発明の多目的基板処理装置は、
複数の減圧可能な処理室を有し、

前記複数の処理室は減圧可能は共通室を介して連結されており、
前記共通室には各処理室間において基板を搬送するための手段を有し、
ていることを特徴とする。
【０００５】
また本発明の多目的基板処理装置は、
複数の減圧可能な処理室を有し、
複数の処理室の少なくとも一つは気相反応による成膜機能を有し、
複数の処理室の少なくとも一つは光照射によるアニール機能を有し、
複数の処理室の少なくとも一つは加熱を行なう機能を有し、
前記複数の処理室は減圧可能な共通室を介して連結されており、
前記共通室には各処理室間において基板を搬送するための手段を有し、
ていることを特徴とする。
【０００６】
また本発明の多目的基板処理装置の動作方法は、
同一圧力に保持された状態において、いずれか一つの処理室に保持された基板を共通室に移送すること、
あるいは共通室に保持された基板をいずれか一つの処理室に移送することを特徴とする。
【０００７】
本発明の具体的な例を図１に示す。図１に示す装置は多目的に利用できるものであって、必要とする成膜やアニール処理を施す処理室を必要とする数で組み合わせることができる。
【０００８】
例えば１０７を共通室である基板の搬送室とし、基板の各種処理を行なう処理室の内、１０１と１０２とを予備室とし、一方を基板の搬入用に用い、他の一方を基板の搬出用に用いる。また、１０３は絶縁膜を形成するためにスパッタリング装置とし、１０４をアモルファスシリコンを成膜するためのプラズマＣＶＤ装置とし、１０５を熱酸化膜を形成するための加熱炉とし、１０６を光照射によるアニールを行なうためのアニール炉とする、といった構成を採ることができる。なお、予備室も基板の搬入や搬出を行なう機能を有するという意味で処理室ということができる。
【０００９】
このような組み合わせは任意に行なえるものである。これら組み合わせのできる要素としては、プラズマＣＶＤ、ＬＰＣＶＤ、光ＣＶＤ、マイクロ波ＣＶＤ、加熱炉、光照射によるアニール炉、スパッタリング、プラズマアニールを挙げることができる。
【００１０】
【実施例】
〔実施例１〕
本実施例の構成を図１に示す。本実施例においては、１０１と１０２が予備室であり、基板の出し入れを行なう機能を有する。これらのチャンバーは、複数の基板が収められたカセットを保持する機能を有する。また当然不活性ガスの導入手段やクリーニングガスの導入手段、さらにはガス排気手段を有している。
【００１１】
１０３～１０６は処理室であり、１０３と１０４と１０６とがプラズマＣＶＤ装置であり、１０４が温度調節チャンバーである。温度調節チャンバーとは、基板を所定の温度に加熱する機能を有するものであり、他のチャンバーでの成膜に先立ち、予め基板を加熱しておくために使用される。各処理室の仕様を下記表１に示す。
【００１２】
【表１】

	１０６	１０５	１０４	１０３
処理内容	ＰＣＶＤ	予備加熱 ＲＴＰ	ＰＣＶＤ ＬＰＣＶＤ	ＰＣＶＤ
ＲＦ電源	13.56MHz 500 W	――――	13.56MHz 500 W	13.56MHz 500 W
電　極	平行平板	平行平板	平行平板	平行平板
プロセスガス	N_2, SiH_4, NH_3 $Al(CH_3)_3$	N_2O, N_2, NH_3, O_2	N_2, SiH_4, H_2 Si_2H_6, Si_3H_8	N_2, TEOS, O_2 C_2F_6
クリーニングガス	NF_3 ＋N_2	――――	NF_3 ＋N_2	NF_3 ＋N_2
基板加熱温度	４５０℃	４５０℃	５５０℃	６００℃
膜	Si_3H_4 ＡｌＮ	――――	Ｓｉ	SiO_2 SiF_x
排気設備	到達圧力 5×10^{-2}Torr	到達圧力 5×10^{-2}Torr	到達圧力 5×10^{-5}Torr	到達圧力 5×10^{-2}Torr

尚、基板サイズとしては、４インチ角、５インチ角、５×６インチ角を利用することができる。

【００１３】

１０７は基板の搬送室であり、ロボットアーム１０８によって基板が各チャンバー間を搬送される。ロボットアーム１０８は基板（１０９で示される）を１枚づつ予備室１０１あるいは１０２から取り出し、必要とする反応室に移動させる機能を有する。当然各処理室間においても基板を移動させることができる。また、この搬送室にも排気手段が設けられており、必要とする真空度にすることができる。

【００１４】

各チャンバー間の基板の移動は以下のようにして行なわれる。例えば、予備室１０１に保持される基板を処理室１０３と１０４とで処理し、予備室１０２に搬入する場合を考える。この場合まず、

（１）予備室１０１と搬送室１０７とを同一減圧状態（高真空状態が望ましい）とし、その状態においてゲイトバルブ１１０を開け、ロボットアーム１０８によって基板１０９を搬送室に取り出す。その後ゲイトバルブ１１０は閉める。

（２）搬送室１０７と処理室１０３とを同一減圧状態とし、その状態においてゲイトバルブ１１２を開け、ロボットアーム１０８に保持された基板１０９をプロセス室に搬入する。その後ゲイトバルブ１１２は閉める。

（３）処理室１０３において所定のプロセスが行なわれる。

（４）処理室１０３でのプロセス終了後、処理室１０３の真空度を搬送室１０７と同一減圧状態とし、その後ゲイトバルブ１１２を開け、ロボットアーム１０８によって基板を搬送室１０７に搬出する。そしてゲイトバルブ１１２は閉める。

（５）搬送室１０７と処理室１０４とを同一減圧状態とし、その状態においてゲイトバルブ１１３を開け、ロボットアーム１０８に保持された基板を処理室１０４に搬入する。そ

の後ゲイトバルブは閉める。
（６）処理室１０４において所定のプロセスが行なわれる。
（７）処理室１０４でのプロセス終了後、処理室１０４の真空度を搬送室１０７と同一減圧状態とし、その後ゲイトバルブ１１３を開け、ロボットアーム１０８によって基板を搬送室１０７に搬出する。そしてゲイトバルブ１１３は閉める。
（８）搬送室１０７と予備室１０２とを同一減圧状態とし、その状態においてゲイトバルブ１１１を開け、ロボットアーム１０８によって基板を予備室１０２に搬入し、その後ゲイトバルブ１１１を閉める。
【００１５】
以上のようにして、一枚の基板を外気に曝すことなく、２回またはそれ以上の処理を連続的に行なうことができる。これらの処理としては成膜だけでなく、アニール等も行なえることは有用である。
【００１６】
上記（１）～（８）の工程を繰り返すことにより、予備室１０１に搬入されているカートリッジに保持された複数の基板を次から次へと連続的に処理することができる。そして、処理の終了した基板は、予備室１０２のカートリッジに自動的に保持されることになる。また上記の成膜工程において、処理室１０３が稼働中において処理室１０４をクレーニングし、逆に処理室１０４が稼働中に処理室１０３をクリーニングすることによって、全体の動作を止めることなく、クレーニングを行いながら連続した処理工程を行うことができる。このようなクレーニングとしては、NF_3 によるチャンバー内のプラズマクリーニングを挙げることができる。
【００１７】
〔実施例２〕
図１に示す多目的成膜装置を用いてＴＦＴを少なくとも一つ有する薄膜集積回路を作製する例を図２に示す。まず、本実施例において用いる多目的成膜装置について説明する。本実施例においては、１０１、１０６を基板の搬入搬出を行なうために予備室とした。特にここでは１０１を基板搬入用に、１０６を基板搬出用とした。また１０４を赤外光の短時間照射によるラピットサーマルアニールプロセス（ＲＴＡまたはＲＴＰという）、または予備加熱を行なう処理室とし、１０３をプラズマＣＶＤ法によって窒化アルミニウムを主成分とする膜（窒化アルミオキサイドを以下窒化アルミニウムという）または窒化珪素膜を成膜する処理室とし、１０４をＴＥＯＳを原料としてプラズマＣＶＤ法により酸化珪素膜を成膜する処理室とし、１０５をプラズマＣＶＤ法によりアモルファス状のシリコン膜を成膜する処理室とする。また各処理室には、各処理室を減圧状態にするための排気手段、さらには必要とされるガスを導入するためのガス導入手段が設けられている。
【００１８】
以下に作製工程を示す。まず、基板としてコーニング７０５９等のガラス基板（４インチ角、５インチ角または５×６インチ角）２０１を予備室１０１に搬入し、十分真空引きをする。この真空引きは、十分真空引きをされた搬送室１０７とほぼ同一の圧力になるまで行なうのが好ましい。そしてゲイトバルブ１１０を開け、ロボットアーム１０８によって、予備室１０１内の基板を搬送室１０７に移送する。図１においては、図２における基板２０１は１０９として示されている。なお、以下においてはその上に成膜されている膜も含めて基板という。そして、同じくほぼ同一圧力に真空引きがされた反応室１０３との間のゲイトバルブ１１２を開け、基板を搬入する。基板搬入後にゲイトバルブ１１２を閉め、この反応室１０３内において、厚さ２０００～５０００Åの窒化アルミニウム膜２０２をプラズマＣＶＤ法で形成する。成膜は、$Al(C_4H_9)_3$ または $Al(CH_3)_3$ と N_2 とを用いて行なう。また、N_2O を微量添加して熱膨張歪を緩和させてもよい。
【００１９】
窒化アルミニウム膜２０２の成膜後は、反応室１０３を搬送室１０７と同じ真空度まで真空引きする。そして、ゲイトバルブ１１２を開き、ロボットアーム１０８によって基板を搬送室に基板を移送する。次に同じく真空引きのされたアニール室１０４に基板を搬入す

る。このアニール室１０４では、赤外線の照射によるラピットサーマルアニール（ＲＴＡ）が行なわれる。このアニールは、窒素、アンモニア（NH_3）、もしくは亜酸化窒素（N_2O）の雰囲気中で行なわれ、短時間に窒化アルミニウム膜を急速に加熱するものである。このアニールによって、窒化アルミニウム膜は透明となり、またその絶縁性や熱伝導性が向上する。また、ガラス基板からのナトリューム等の不純物の半導体への進入を防ぐには、窒化珪素膜を形成してもよい。この場合、窒化珪素膜をプラズマＣＶＤ法により、基板温度３５０℃、０．１Ｔｏｒｒ、SiH_4 とNH_3 との混合雰囲気で成膜する。

【００２０】

そして、反応室１０４を真空引きし、ロボットアーム１０８によって、基板を再び真空引きがされた搬送室１０７に移送する。そして同じく真空引きがされた反応室１０６に基板を搬送する。この反応室１０６ではＴＥＯＳを原料としたプラズマＣＶＤ法で酸化珪素膜２０３が成膜される。成膜条件を以下に示す。

$TEOS/O_2$ ＝１０／１００ｓｃｃｍ
ＲＦパワー　　３５０Ｗ
基板温度　　４００℃
成膜圧力　　０．２５Ｔｏｒｒ

また、上記反応において、C_2F_6 を添加して、$SiOF_x$ で示される膜を形成してもよい。

【００２１】

この酸化珪素膜はＴＦＴを形成する面に下地酸化膜２０３として厚さ２０００～５０Åに成膜される。この反応室１０６で成膜された酸化珪素膜２０３をアニール室１０４に搬送し、ラピットサーマルアニールを行なってもよい。

【００２２】

そして、再び基板を搬送室１０７に搬送し、次に反応室１０５に基板を搬入する。これら基板の移送の際において、搬送室とそれぞれの処理室とは同一真空度（同一減圧状態）に真空引きがされた上でゲイトバルブを開閉させることは全て共通である。

【００２３】

反応室１０５では、プラズマＣＶＤ法やＬＰＣＶＤ法によってアモルファス状のシリコン膜を１００～１５００Å、好ましくは３００～８００Å堆積する。プラズマＣＶＤ法での成膜条件を以下に示す。

SiH_4 ＝２００ｓｃｃｍ
ＲＦパワー　　２００Ｗ
基板温度　　２５０℃
成膜圧力　　０．１Ｔｏｒｒ

また、この成膜をSi_2H_6、Si_3H_8 を用いたＬＰＣＶＤ法（減圧熱ＣＶＤ法）で行なってもよい。この場合、基板温度を４５０℃、反応圧力を１Ｔｏｒｒとして気相反応を起こせばよい。

【００２４】

さらに反応室１０６に基板を移送し、ＴＥＯＳを原料とするプラズマＣＶＤ法によって、酸化珪素膜２１２を５００～１５００Å程度堆積する。この膜はシリコン膜の保護膜として機能する。成膜条件を以下に示す。

$TEOS/O_2$ ＝１０／１００ｓｃｃｍ
ＲＦパワー　　３００Ｗ
基板温度　　３５０℃
成膜圧力　　０．２５Ｔｏｒｒ

かくして、図２（Ａ）に示す如くガラス基板２０１上に窒化アルミニューム、または窒化珪素のブロッキング層２０２、酸化珪素膜２０３、シリコン半導体膜２０４、保護膜２１２を連続して多層に形成することができる。この図１に示す装置は、各チャンバーとロボットアームのある搬送室とはそれぞれゲイトバルブで仕切られているので、個々のチャンバー間において不純物が相互に混入することがなく、特にシリコン膜中におけるＣ、Ｎ、

Ｏの値を少なくなくと５×１０^{18}ｃｍ$^{-3}$以下とすることができる。

【００２５】

次に基板を予備室１０１から外部に出し、島状シリコン領域２０４を形成するためのパターニングを行なう。そして、図２（Ｂ）に示しように厚さ２００～１５００Å、好ましくは５００～１０００Åの酸化珪素膜２０５を形成する。この酸化珪素膜はゲイト絶縁膜としても機能する。そのためその作製には十分な注意が必要である。ここでは、ＴＥＯＳを原料とし、酸素とともに基板温度３５０～６００℃、好ましくは３００～４５０℃で、ＲＦプラズマＣＶＤ法で分解・堆積した。ＴＥＯＳと酸素の圧力比は１：１～１：３、また、圧力は０．０５～０．５ｔｏｒｒ、ＲＦパワーは１００～２５０Ｗとした。この工程は、搬入室１０１より、基板を搬入し、前記したとは別の操作をして反応室１０６で行なってもよい。あるいはＴＥＯＳを原料としてオゾンガスとともに減圧ＣＶＤ法もしくは常圧ＣＶＤ法によって、基板温度を３５０～６００℃、好ましくは４００～５５０℃として形成してもよい。成膜後、酸素もしくはオゾンの雰囲気で４００～６００℃で３０～６０分アニールした。

【００２６】

上記ゲイト絶縁膜となる酸化珪素膜２０５を反応室１０６で成膜する場合は、その工程終了後、基板をアニール室１０４に搬入し、赤外線の照射によるラピットサーマルアニールをN_2Ｏ雰囲気で行なうことは有効である。これは、酸化珪素膜２０５とシリコン領域２０４との界面準位を減少させることに極めて効果がある。

【００２７】

そして、図２（Ｂ）に示すようにＫｒＦエキシマーレーザー２１３（波長２４８ｎｍまたは３０８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、シリコン領域２０４を結晶化させた。レーザーのエネルギー密度は２００～４００ｍＪ／ｃｍ^2、好ましくは２５０～３００ｍＪ／ｃｍ^{2}とし、また、レーザー照射の際には基板を３００～５００℃に加熱した。このようにして形成されたシリコン膜２０４の結晶性をラマン散乱分光法によって調べたところ、単結晶シリコンのピーク（５２１ｃｍ$^{-1}$）とは異なって、５１５ｃｍ$^{-1}$付近に比較的ブロードなピークが観測され、結晶性半導体例えば多結晶半導体となっていることが判明した。その後、水素中で３５０℃で２時間アニールした。この結晶化の工程は、加熱によることで行なってもよい。

【００２８】

その後、厚さ２０００Å～１μｍのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターニングし、ゲイト電極２０６を形成した。アルミニウムにはスカンジウム（Ｓｃ）を０．１５～０．２重量％ドーピングしておいてもよい。次に基板をｐＨ　７、１～３％の酒石酸のエチレングリコール溶液に浸し、白金を陰極、このアルミニウムのゲイト電極を陽極として、陽極酸化をおこなった。陽極酸化は、最初一定電流で２２０Ｖまで電圧を上げ、その状態で１時間保持して終了した。本実施例では定電流状態では、電圧の上昇速度は２～５Ｖ／分が適当であった。このようにして、厚さ１５００～３５００Å、例えば、２０００Åの陽極酸化物２０９を形成した。（図２（Ｃ））

【００２９】

その後、イオンドーピング法（プラズマドーピング法ともいう）によって、各ＴＦＴの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物（燐）を注入した。ドーピングガスとしてはフォスフィン（PH_3）を用いた。ドーズ量は、１～４×１０^{15}ｃｍ$^{-2}$とした。

【００３０】

さらに、図２（Ｄ）に示すようにＫｒＦエキシマーレーザー（波長２４８ｎｍまたは３０８ｎｍ、パルス幅２０ｎｓｅｃ）２１６を照射して、上記不純物領域の導入によって結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は１５０～４００ｍＪ／ｃｍ^2、好ましくは２００～２５０ｍＪ／ｃｍ^{2}であった。こうして、Ｎ型不純物（燐）領域２０８、２０９を形成した。これらの領域のシート抵抗は２００～８００Ω／□であった。本工程において、レーザーを用いるかわりに、フラッシュランプを使用して短

時間に１０００～１２００℃（シリコンモニターの温度）まで上昇させ、試料を加熱する、いわゆるＲＴＰ（ラピッド・サーマル・プロセス）を用いてもよい。

【００３１】

その後、再び図１の装置を用い、全面に層間絶縁物２１０として、図１の反応装置の反応室１０４を再び用い、ＴＥＯＳを原料として、これと酸素とのプラズマＣＶＤ法、もしくはオゾンとの減圧ＣＶＤ法あるいは常圧ＣＶＤ法によって酸化珪素膜を厚さ０．３μｍ～１μｍここでは３０００Å（０．３μｍ）形成した。基板温度は２５０～４５０℃、例えば、３５０℃とした。成膜後、表面の平坦性を得るため、この酸化珪素膜を機械的に研磨した。この工程は、図１の装置内に設けられた反応室を用いて等方性ドライエッチングを行なってもよい。さらに、スパッタ法によってＩＴＯ被膜を堆積し、これをパターニングして画素電極２１１とした。（図２（Ｅ））

【００３２】

かくすると、図２の電気光学装置の一方の基板側に薄膜集積回路を作ることができる。勿論、この図面に示す回路と同時に周辺回路を同一基板上に形成してもよい。そして、層間絶縁物２１０をエッチングして、図２（Ｅ）に示すようにＴＦＴのソース／ドレインにコンタクトホールを形成し、クロムもしくは窒化チタンの配線２１２、２１３を形成し、配線２１３は画素電極２１１に接続させた。なお、この際には、ソース／ドレイン領域（島状シリコン）をはみだしてコンタクトホールを形成してもよい。この場合にはコンタクトホールのうち、島状シリコンをはみだした面積は３０～７０％であった。この場合には、ソース／ドレインの上面のみならず、側面においてもコンタクトが形成される。以下、このようなコンタクトをトップサイドコンタクトと称する。従来の構造において、トップサイドコンタクトを形成しようとすれば、層間絶縁物のエッチング工程によって、島状シリコン以外の部分の下地の酸化珪素膜、さらには、基板までエッチングされたが、本実施例では、窒化アルミニウム膜または窒化珪素膜２０２がエッチングストッパーとなって、ここでエッチングが止まる。

【００３３】

通常の場合には、コンタクトホールの大きさは、ソース／ドレインよりも小さくする必要があったが、トップサイドコンタクトにおいては、逆にアイランドの大きさをコンタクトホールのよりも小さくでき、結果として、アイランドの微細化できる。また、逆にコンタクホールを大きくすることができるので、量産性、信頼性を高めることができた。

【００３４】

最後に、水素中で３００～４００℃で０．１～２時間アニールして、シリコンの水素化を完了した。このようにして、ＴＦＴを有する薄膜集積回路が完成した。そして同時に作製した多数のＴＦＴをマトリクス状に配列せしめ、かつ周辺回路をも同一基板上に形成したモノシリック型のアクティブマトリクス型液晶表示装置とした。

【００３５】

【効果】

本発明の構成を採用することで、基板上に半導体装置を作製する際に連続してプロセスをこなすことができ、生産性の向上、信頼性の向上を同時に果たすことができる。

【００３６】

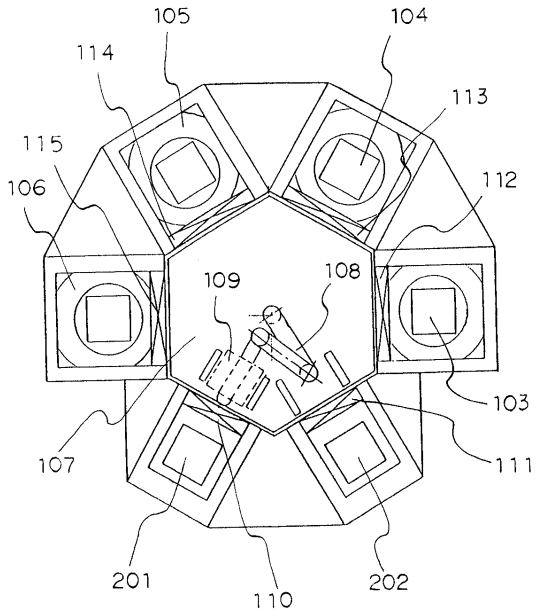
以上に説明した如く、図１のマルチチャンバー方式の多目的ＣＶＤ装置を用いることにより、図２（Ａ）の工程、ゲイト絶縁膜の形成、ＲＴＰ処理工程、相姦絶縁膜の形成工程、とほとんど全ての工程を１台の装置で行なうことができる。そして、これらの工程は、マイクロコンピュータによって制御することができ、生産効率、コストパフォーマンスを向上させることができる。特に本発明装置を図２に示した如く結晶性ＴＦＴまたはこれを応用するモノシリック型薄膜集積回路へ応用することは著しい効果を得ることができる。

【図面の簡単な説明】

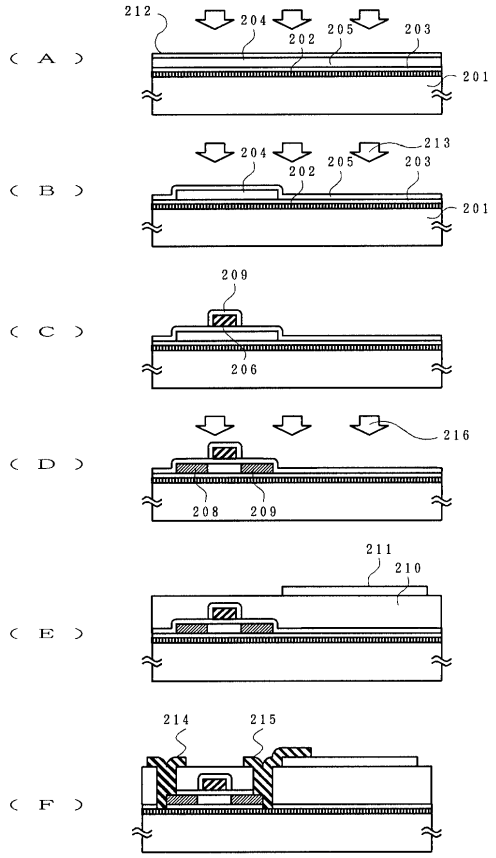
【図１】　実施例の多目的基板処理装置を示す。

【図２】　実施例におけるＴＦＴの作製工程を示す。

【図１】


105
104
114
113
115
112
106
109
108
103
107
111
201
110
202

【図２】


（Ａ）
212
204
205
203
202
201
（Ｂ）
204
213
202
205
203
201
（Ｃ）
209
206
（Ｄ）
216
208
209
（Ｅ）
211
210
（Ｆ）
214
215

フロントページの続き

合議体
審判長　前田　幸雄
審判官　菅澤　洋二
審判官　佐々木　正章

(56)参考文献　特開平３－４４０５８号公報
特開昭６３－２５２４３９号公報
特開平５－２６７６６７号公報
特開平４－８０９２８号公報