



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H01L 27/108 (2006.01)

(45) 공고일자 2007년07월02일
(11) 등록번호 10-0734255
(24) 등록일자 2007년06월26일

(21) 출원번호	10-2001-0027346
(22) 출원일자	2001년05월18일
심사청구일자	2006년01월14일

(65) 공개번호 10-2002-0088596
(43) 공개일자 2002년11월29일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박돈
서울특별시서초구잠원동잠원한신아파트4동707호

(74) 대리인 리앤목특허법인

(56) 선행기술조사문헌
JP10163448 A

JP11204760 A

심사관 : 홍경희

전체 청구항 수 : 총 15 항

(54) 반도체 메모리장치의 캐패시터 및 그 제조방법

(57) 요약

본 발명은 반도체 메모리장치의 캐패시터와 그 제조방법에 관한 것이다. 본 발명은 반도체 기판 상에 형성되어 속이 빈 통형상의 상부저장전극부와 이 상부저장전극부와 연결되어 형성된 기둥형의 하부저장전극부를 갖는 제1전극과, 제1전극과 대향하여 형성되어 있는 제2전극과, 제1전극과 제2전극 사이에 개재되어 있는 유전체막을 포함하는 것을 특징으로 한다. 이렇게 캐패시터를 원통형의 상부저장전극부와 기둥형의 하부저장전극부로 나누어 형성하면, 캐패시터의 용량을 충분히 확보할 수 있고 공정안정성을 향상시킬 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

모스트랜지스터(MOS Transistor)를 갖는 반도체 메모리 장치에 있어서,

반도체 기판 상에 형성되어 상기 모스트랜지스터에 전기적으로 연결된 자가정렬 연결부와;

상기 자가정렬 연결부에 전기적으로 연결되어 형성된 기둥형의 하부저장전극부와 상기 하부저장전극부와 연결되어 형성된 속이 빈 통형상의 상부저장전극부를 갖는 제1전극과;

상기 제1전극과 대향하여 형성되어 있는 제2전극과;

상기 제1전극과 상기 제2전극 사이에 개재되어 있는 유전체막을 포함하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터.

청구항 2.

제1항에 있어서, 상기 제1전극 및 상기 제2전극은 도전성 폴리실리콘으로 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치의 캐패시터.

청구항 3.

제2항에 있어서, 상기 제2전극은 배리어막(barrier film)을 더 포함하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터.

청구항 4.

삭제

청구항 5.

- a) 모스트랜지스터(MOS Transistor)를 갖는 반도체 기판을 준비하는 단계;
- b) 상기 반도체 기판 상에 기둥형의 하부저장전극부를 형성하는 단계;
- c) 상기 하부저장전극부와 상향 연장하여 통형상의 상부저장전극부를 형성하여 제1전극을 완성하는 단계;
- d) 상기 제1전극의 드러난 표면에 유전막을 형성하는 단계;
- e) 상기 제1전극과 대향하여 제2전극을 형성하는 단계를 포함하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 6.

제5항에 있어서,

상기 a) 단계와 상기 b) 단계 사이에,

상기 반도체 기판 상에 비트라인을 형성하는 단계;

상기 비트라인의 상부와 측벽에 절연막 스페이서를 형성하는 단계;

상기 비트라인들 사이에 제1도전막을 형성하여 연결부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 캐패시터 제조방법.

청구항 7.

제5항에 있어서, 상기 b)단계는,

상기 저장전극용 패턴을 갖는 제1절연막을 형성하는 단계;

상기 하부저장전극 패턴이 포함된 제1절연막 상에 제2도전막을 증착 형성하는 단계와;

상기 제2도전막을 상기 제1절연막이 노출되도록 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 8.

제7항에 있어서, 상기 제1절연막을 형성하는 단계는,

절연물질층을 형성하는 단계와;

상기 절연물질층의 소정부분을 식각하여 하부저장전극용 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 9.

제8항에 있어서, 상기 절연물질층은 실리콘산화막과 실리콘질화막의 조합으로 형성되는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 10.

제8항에 있어서, 상기 하부저장전극부의 패턴을 형성하는 단계에서 주변회로의 저항 소자도 동시에 형성되는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 11.

제5항에 있어서, 상기 c)단계는,

상기 하부저장전극부 상에 제2절연막을 형성하는 단계;

상기 제2절연막 상에 상부저장전극부 패턴을 형성하여 하부저장전극부까지 제2절연막을 식각하는 단계;

제1도전막과 제3절연막을 순차적으로 형성하는 단계;

상기 제2절연막 상에 형성된 상기 제3절연막과 제1전극 도전막을 상기 제2절연막의 상면이 노출되도록 평탄화하는 단계;

상기 상부저장전극부가 형성된 영역의 상기 제2절연막과 제3절연막을 식각하여 제거하는 단계;

상기 제1절연막을 식각하여 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

청구항 12.

제11항에 있어서, 상기 제2절연막과 상기 제3절연막은 실리콘산화막인 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 13.

제11항에 있어서, 상기 제1전극 도전막은 인(P)이 도핑된 폴리실리콘(P-doped Polycrystalline Silicon)인 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 14.

제11항에 있어서, 상기 제2절연막을 식각하는 단계와, 상기 제1절연막을 식각하는 단계는 습식식각으로 진행되는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 15.

제11항 또는 제14항에 있어서, 상기 제2절연막의 식각단계는 식각정지층으로 제1절연막을 이용하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

청구항 16.

제11항 또는 제14항에 있어서, 상기 제1절연막을 식각하는 단계는 상기 제1절연막의 조합 중 상기 실리콘산화막을 식각 정지층으로 하여 상기 실리콘질화막만 제거하는 것을 특징으로 하는 반도체 메모리장치의 캐패시터 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 캐패시터와 그 제조방법에 관한 것이다.

반도체 소자가 고도로 고집적화 되면서 메모리 소자의 단위 셀(cell)당 면적이 좁아짐에 따라서 메모리 소자에서 중요한 역할을 하는 캐패시터의 용량(capacitance) 확보가 심각한 문제로 대두된다. 물론, 이러한 문제를 해결하기 위해서, 캐패시터의 면적을 넓히는 많은 공정들이 개발되고 있고, 같은 면적에서 캐패시터 용량을 증가시킬 수 있는 고유전막에 대한 연구도 상당히 진행되어 있다.

특히, 캐패시터 표면적을 증가시키는 방법은, 고유전 물질이 개발된다 하더라도 소자의 지속적인 고집적화에 대응하기 위해서는 매우 중요한 개발과제라 할 수 있다. 이러한 표면적을 증대시키는 방법 중에서 최근 널리 사용되고 있는 것은 반도체 기판으로부터 높이 방향으로 높이가 높고 속이 빈 원통형의 캐패시터를 주로 사용하는 방법이다. 이는 원통 내외측의 표면적을 효율적으로 이용할 수 있고, 전하가 저장되는 저장 전극의 모양을 반도체 기판상의 두께 방향으로 높이를 조절하여 캐패시터 용량을 용이하게 증가시킬 수 있는 장점이 있다.

그러나, 이러한 종래의 캐패시터는 높이가 높은 원통형의 전극을 형성하기 위해서, 상당히 두꺼운 절연막층을 식각하여 형성해야 하므로, 자연스럽게 식각 경사가 지고 이에 의하여 캐패시터 용량이 충분히 확보되지 않는 경우가 발생한다. 또한, 전극의 상부 직경에 비해서 전극의 하부로 내려가면서 그 면적이 좁아져 소자와 연결되는 접촉면적이 극도로 작아지고 심하면 식각불량이나 패턴이동(pattern lift)에 의한 접촉불량이 발생할 수 있는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 캐패시터 용량을 충분히 확보할 수 있는 캐패시터 및 그의 제조방법을 제공하는 것이다.

그리고, 캐패시터 전극의 높이가 높아짐에 따라 발생하는 식각 경사에 의한 전극 하부의 접촉불량을 감소시킬 수 있는 고신뢰성의 캐패시터 및 그 제조방법을 제공하는 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 메모리장치의 캐패시터는, 모스트랜지스터가 형성된 반도체 기판 상에 형성되어 속이 빈 통형상의 상부저장전극부와 상부저장전극부와 연결되어 형성된 기둥형의 하부저장전극부를 갖는 제1전극과, 제1전극과 대향하여 형성되어 있는 제2전극과, 제1전극과 제2전극 사이에 개재되어 있는 유전체막을 포함한다.

여기서, 상기 제1전극 및 제2전극은 도전성 폴리실리콘(doped polycrystalline Silicon)으로 형성되어 있고, 상기 유전체막은 알루미나(Al_2O_3)막을 포함할 수 있으며, 그럴 경우 제2전극은 티타늄질화막(TiN)을 더 포함하는 것이 바람직하다.

또한, 하부저장전극부와 모스트랜지스터 사이에 개재되어 전기적으로 연결시켜 주는 연결부가 형성되어 있고, 이러한 연결부는 자가정렬 콘택 형성법(self aligned contact)에 의하여 형성되는 것이 연결부의 콘택 단면적을 넓힐 수 있어 바람직하다.

이렇게 본 발명은 캐패시터의 제1전극으로 기둥형의 하부저장전극부와 통형상의 상부저장전극부를 포함함으로써, 캐패시터의 용량을 충분히 확보할 수 있고, 높이가 높은 원통형 저장전극 제조 시에 공정안정성을 확보할 수 있다.

한편, 상기 본 발명에 따른 캐패시터를 제조하는 방법은, 먼저 반도체 기판 상에 제1절연막을 형성하고, 이 제1절연막의 소정 부분을 식각하여 하부저장전극부를 형성하기 위한 함몰 영역을 패턴 형성한다. 이렇게 형성된 함몰 영역의 내부에 제2도전막을 충전시켜 기둥형의 하부저장전극부를 형성하고, 그 위에 제2절연막을 형성한다. 제2절연막에 상부저장전극부 패턴을 형성하여 상기 하부저장전극부의 상부가 드러날 수 있도록 상기 제2절연막을 식각한다. 이러한 상부저장전극부 패턴 상에 제1전극 도전막과 제3절연막을 순차적으로 형성하고, 제3절연막과 제1전극 도전막을 화학적 기계연마법을 이용하여 상부저장전극부를 형성한다. 그런 다음, 상부저장전극부가 형성된 영역의 상기 제1 및 상기 제2절연막을 식각하여 제거하고 제1전극을 형성한다. 그리고, 제1전극 상에 유전막을 형성하고 제1전극과 대향하여 제2전극을 형성한다.

여기서, 상기의 하부저장전극부를 형성하기 이전에, 비트라인(Bit line)을 형성하고, 비트라인의 상부와 측벽에 절연막 스페이서를 만든 후, 비트라인들 사이에 제1도전막을 채워 연결부를 형성하는 것이, 캐패시터의 높이에 관계없이 비트라인을 용이하게 형성할 수 있어 바람직하다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

도 1은 본 발명에 따른 반도체 메모리 장치의 캐패시터를 나타낸 단면도이다. 도시된 바와 같이, 본 발명에 따른 반도체 메모리장치는, 반도체 기판(100) 상에 모스트랜지스터(미도시)가 형성되어 있고 그 위에 모스트랜지스터와 전기적으로 연결되어 있어 전하를 저장할 수 있는 캐패시터(200)가 형성되어 있다. 여기서, 캐패시터(200)와 모스트랜지스터 사이에는 자가정렬콘택 형성법(Self aligned contact)에 의해서 중간절연막(110)을 관통하여 형성된 콘택홀에 도전성 폴리실리콘을 채워 형성된 콘택필(120)이 개재되어 있다. 그리고, 콘택필(120)의 상부에 연결되어, 또 다른 경로로 모스트랜지스터와 연결된 비트라인 패턴(130)들의 사이에 형성된 중간연결부(140)가 있다.

캐패시터(200)는, 이 중간 연결부(140)의 상부에 형성된 기둥모양의 하부저장전극부(211)와 이 하부저장전극부(211)로부터 상향 연장되어 형성된 속이 빈 통형상의 상부저장전극부(212)로 이루어진 제1전극(210)과, 제1전극(210)과 대응하여 하부저장전극부(211)의 외측벽면과 상부저장전극부(212)의 내측벽 및 외측벽을 따라서 형성된 제2전극(230) 및 제1전극(210)과 제2전극(230) 사이에서 이들과 접하는 접촉면에 개재되어 있는 유전층(220)을 포함하고 있다.

미설명된 참조번호 130은 비트라인(Bit line)이고, 160과 300, 320 및 340은 층간절연막이며, 310 및 330은 금속배선을 나타낸다.

도 2 내지 도 8은, 도 1에 도시된 본 발명에 따른 반도체 메모리 장치의 캐패시터를 제조하는 방법을 상세히 설명하기 위하여 도시한 단면도들이다.

도 2를 참조하면, 반도체 기판 상에 통상의 메모리 소자를 위한 공정을 이용하여 모스트랜지스터(미도시)를 형성한 후, 그 위에 층간절연막(110)을 형성하여 자가정렬 콘택(Self Aligned Contact) 형성법으로 콘택을 형성하고 도전성 폴리실리콘(doped poly silicon 등)을 증진하여 콘택필(120)을 형성한다. 그런 다음, 이렇게 콘택필(120)이 형성된 반도체 기판 상에 절연막(미도시)을 화학기상증착법(CVD)으로 증착하여 형성하고, 이 절연막에 모스트랜지스터와 연결될 수 있도록 적어도 일부가 개방된 콘택을 패터닝(patterning)한 후 그 위에 도전성의 폴리실리콘과 실리사이드 막을 순차적으로 형성한다. 이때, 도전성 폴리실리콘은 화학기상증착(CVD)법으로 막질 내에 인(P)을 도핑하여 전도성의 막질을 형성하고, 실리사이드 막은 텅스텐실리사이드(WSi) 막으로 역시 화학기상증착법으로 형성된다. 이렇게 형성된 전도성 폴리실리콘과 텅스텐실리사이드막 상에 다시 절연막인 실리콘질화막을 형성하고 사진공정(Photo lithography)과 건식식각 공정을 거쳐 비트라인 패터(130)를 형성한다. 그런 다음, 반도체 기판 전면에 층간절연막(110)으로서 실리콘질화막을 증착하고, 건식식각으로 전면을 식각하여 비트라인 패터(130)의 측면에 절연막 스페이서(135)를 형성한다. 그러면, 자가정렬 콘택법(SAC)에 의해서 추후 연결부(140)가 형성될 소정 넓이의 함몰영역이 형성된다. 이렇게 함몰영역이 형성된 반도체 기판 전면에 전도성 폴리실리콘을 증착하여 비트라인 패터(130) 사이에 형성된 함몰영역을 모두 채워 넣는다. 그 후, 도전성 폴리실리콘을 화학적 기계연마법을 이용하여 연마함으로써, 비트라인(130) 사이의 함몰영역에만 전도성의 폴리실리콘을 남겨놓아 연결부(140)를 형성한다.

도 3을 참조하면, 반도체 기판 전면에 실리콘산화막(151)과 실리콘질화막(152)으로 형성된 제1절연막(150)을 화학기상증착법(CVD)으로 증착한다. 여기서, 실리콘산화막(151)은 그 두께가 실리콘질화막(152)보다 얇게 형성된다. 사진(Photolithography) 및 건식 식각공정(Dry Etch)을 거쳐서 추후 캐패시터의 제1전극(210)의 일부가 되는 하부저장전극부 패터를 형성한다. 이 때 제1절연막(150)의 하부저장전극부 패터는 연결부(140)가 드러날 수 있도록 형성된다. 그런 다음, 그 위에 충분히 두껍게 도전성 폴리실리콘을 증착하여 형성하고, 화학적 기계연마법을 이용하여 폴리실리콘을 반도체 기판 면에 평행하게 연마하여 기둥형(Columnar)의 하부저장전극부(211)를 형성한다. 여기서 하부저장전극(211)의 패터를 형성할 때 타 패터(예를 들어, 주변회로 영역의 저항(240, resistor))도 동시에 형성된다.

도 4를 참조하면, 반도체 기판의 전면에 제2절연막(160)으로서 충분히 두껍게 실리콘산화막을 형성한다. 이때, 실리콘산화막은 일반적으로 플라즈마를 이용한 화학기상증착법(Plasma Assisted Chemical Vapor Deposition)을 이용하여 형성하며, 특히 높은 증착속도를 가지는 고밀도 플라즈마(High Density Plasma)기법을 이용한 화학기상증착(HDP CVD)기법을 적용하기도 한다. 이렇게 형성된 실리콘산화막에 패터형성공정에서는 상부저장전극부(212)이 형성될 수 있도록 적어도 하부저장전극부(211)가 노출될 때까지 건식식각하여 함몰 형성된 상부저장전극부 패터(165)를 형성한다. 이때, 패터형성공정에서 사용하는 마스크인 레티클(reticle)은 전술한 하부저장전극부(211)를 형성할 때 사용했던 레티클과 동일한 것을 사용할 수 있다. 여기서 제2절연막(160)의 두께는 하기에서 설명하는 공정단계에서 형성되는 통형상의 상부저장전극부(212)의 표면적과 직접적으로 비례하는 관계이다.

도 5를 참조하면, 함몰된 상부저장전극부 패터(165)이 형성된 반도체 기판의 전면에 제1전극(210)용으로 사용된 제1전극도전막(212)을 증착하여 형성하고 그 위에 제3절연막(170)을 두껍게 형성하여 함몰된 부분을 충전시킨다. 이때, 제1전극도전막(212)은 인(P)이 도핑된 폴리실리콘(P-Doped Polycrystalline Silicon)으로 구성되며 저압 화학기상증착법(LP CVD)을 이용하여 형성된다. 제3절연막(170)은 실리콘산화막(SiO_2)으로 구성되며 플라즈마를 이용한 화학기상증착법으로 형성된 USG(undoped silicate glass)이다. 여기서 실리콘산화막을 함몰된 부분에 채우는 이유는 후속 진행되는 화학적 기계연마(CMP) 공정 중에 상부저장전극부(212)가 떨어져 나가 손상을 입는 것을 방지하기 위한 목적이다.

도 6을 참조하면, 그런 다음, 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하여 반도체 기판 전면에 증착 형성된 실리콘산화막과 폴리실리콘막을 순차적으로 연마하여 제2절연막(160)의 표면에 형성된 폴리실리콘과 실리콘산화막을 제거한다. 그러면 도 6에서 보는 바와 같이, 상부가 개방된 통형상의 상부저장전극부(212)의 모양이 형성된다. 이때 통형상의 상부저장전극부(212) 내에는 여전히 실리콘산화막(170)이 채워져 있다.

도 7을 참조하면, 반도체 기판에 사진공정(Photo lithography)을 거쳐 제1전극(210)이 형성되는 영역은 노출시키고 나머지 부분은 포토레지스트(photo resist)로 차단한다. 그런 다음, 불산(HF)용액이나 산화막 식각제(Buffered Oxide Etchant)를 이용한 습식식각법을 이용하여 실리콘산화막으로 구성되어 통형상의 상부저장전극부(212) 내에 충전된 제3절연막(170) 및 제2절연막(160)을 동시에 식각하여 제거한다. 이러한 제3 및 제2절연막 제거공정은, 반응이온 식각법(RIE)이나 플라즈마를 이용한 건식식각법 등을 이용할 수도 있다. 여기서 건식식각법으로 공정을 진행할 경우에는, 실리콘산화막을 식각하는 공정이 제1절연막(150)으로서 하부에 형성된 실리콘질화막(152)에 대한 식각선택비가 비교적 높은 것으로 선택하는 것이 바람직하다. 그러면, 노출된 부분의 실리콘산화막은 식각되어 모두 제거되고 하부의 제1절연막층(150)의 실리콘질화막(152)이 드러나고 여기서 건식식각의 종점이 잡히게 된다. 그러면, 제1전극(도 1의 210)의 일부인 상부저장전극부(212)이 형성된다.

도 8을 참조하면, 다시 인산(H_3PO_4)용액 등을 이용한 습식식각법으로 제1절연막(150)의 일부인 실리콘질화막(152)을 제거한다. 이때, 습식식각법 대신 건식식각법을 이용할 수 있으며, 건식식각으로 실리콘질화막을 식각하는 공정을 진행할 경우에는 제1절연막(150)의 하단에 형성된 실리콘산화막(151)과의 식각선택비가 매우 높은 것을 선택하여 실리콘산화막(151) 하부의 비트라인 패턴(130)이 손상되지 않도록 하면서 제1절연막(150)의 실리콘질화막(152)만을 모두 제거한다. 여기서 식각선택비나 반도체 소자의 손상측면에서 볼 때 습식식각이 바람직하다. 이렇게 하면 도 8에 도시된 바와 같이, 상부저장전극부(212) 및 하부저장전극부(211)가 모두 드러나는 완전한 제1전극(210)이 형성된다.

도 9를 참조하면, 전술한 공정에서 드러난 제1전극(210) 표면에 유전막(220)을 형성한다. 여기서 유전막(220)으로서 제1전극(210) 표면에 알루미늄(Al_2O_3) 등을 형성한다. 그런 다음, 그 위에 알루미늄/티타늄질화막(Al/TiN)으로 조합된 막과 인(P)이 도핑된 폴리실리콘막의 조합으로 이루어진 제2전극 도전막을 형성한 후, 패턴공정을 거쳐 제2전극(230)을 완성한다. 이 때, 제2전극 도전막은 알루미늄합금과 티타늄질화막(TiN) 및 도전성 폴리실리콘(doped polycrystalline silicon)의 조합으로서, 먼저 알루미늄합금과 티타늄질화막을 증착하여 형성하고 그 다음에 도전성 폴리실리콘(Doped Polycrystalline silicon)을 저압 화학기상증착법(LP CVD)으로 증착하여 형성한다. 이렇게 하여 캐패시터 공정은 완료가 되고, 그 이후는 통상의 메모리 장치 제조방법에 의거하여, 층간절연막(300), 제1 및 제2금속배선(310, 330)과 층간절연막(320) 및 보호막(340)을 형성하는 공정까지 진행하여 도 1에 도시된 바와 같이, 제조공정을 완료한다.

이상과 같이, 본 발명에 따른 반도체 메모리장치의 캐패시터는, 반도체 기판 상에 캐패시터를 형성할 때 높이 방향으로 신장하는 기둥형의 하부저장전극부(211)와 속이 빈 원통형의 상부저장전극부(212)으로 나누어 형성한다. 따라서, 용량을 증가시키기 위해 캐패시터(200)의 전체높이를 증가시킬 때 식각상태가 양호한 부분까지만 통형상의 상부저장전극부 패턴 형성하므로 식각깊이를 하부저장전극부(211)의 높이만큼 감소시킬 수 있다. 그리고, 상부저장전극(212)의 패턴 형성시 건식식각의 한계 깊이까지 가지 않고서도 공정을 진행할 수 있으므로 하부에 형성된 소자(transistor 또는 연결부 등)와의 접촉 단면적을 충분히 확보할 수 있어 공정마진(process margin)이 커짐과 동시에 캐패시터 용량을 안정적으로 증대시킬 수 있어 매우 효율적임을 알 수 있다.

도 10은 종래의 방법과 본 발명의 캐패시터의 저장전극을 단순화된 도형으로 도식화하여 나타낸 것으로서, 도 10의 좌측은 종래의 방법에 의한 캐패시터의 저장전극이고, 도 10의 우측은 본 발명에 의한 캐패시터의 저장전극으로서 도식적인 비교를 하기 위해 종래의 캐패시터와 중첩하여 도시한 투시도이다. 도시된 바와 같이, 종래의 캐패시터에서는 저장전극부인 제1전극(1210)이 건식식각시 발생하는 측벽 경사 때문에 소정의 깊이 이상에서는 거의 역 'V'자 형태를 이루고 있고 그 내측을 캐패시터 면적으로 활용하고 있다. 따라서 완전한 원통형을 이룰 경우와 비교하여 그 용량 값이 작고 위치별로 그 경사의 정도가 고르지 못하기 때문에 측정되는 용량의 불균일함을 발생시킬 수 있다. 그리고, 건식식각으로 제1전극의 패턴을 형성할 때, 깊이가 깊어짐에 따라 경사각이 완만해지기 때문에 소정 깊이 이상으로 깊어지면 하부에 형성된 모스트랜시스터의 콘택부까지 충분히 식각되지 않아 전기적인 접촉불량(쇼트)을 발생시킬 우려가 있다. 반면에, 본 발명은 식각 상태가 양호한 깊이까지는 원통형의 상부저장전극부(212)를 형성하고, 그 하부에서는 별도로 형성된 기둥형의 하부저장전극부(211)를 형성하여 그 외측표면을 캐패시터 면적으로 활용함으로써, 캐패시터의 높이가 같은 경우 종래의 캐패시터보다는 훨씬 넓은 유효면적을 확보할 수 있을 뿐만 아니라 공정안정성에 있어서도 우수한 결과를 얻을 수 있다.

한편, 상기와 같은 본 발명은 유전막(220)으로서 알루미늄(Al_2O_3) 뿐만 아니라, 기타 다른 물질들, 예를 들어, 보통의 실리콘질화막(Si_3N_4), Ta_2O_5 및 고유전막질(PZT, PLZT 및 BST 등) 등을 상황에 맞게 사용할 수 있다. 이러한 유전물질의 성질에 따라서 제1 및 제2전극물질에서도 RbO 및 Au, Pt 등의 불순물의 침투를 방지할 수 있는 전도성 보호막 역할을 하는 재료 등을 포함하여 사용할 수도 있다.

그리고, 상기 공정들에서 절연막으로 사용된 막질들은 실리콘산화막과 실리콘질화막 등으로서, 특히 실리콘산화막의 경우에는 불순물이 포함되지 않은 USG와 같은 막질을 사용하는 것이 바람직하지만, BPSG(Borophosphosilicate Glass)와 같이 불순물이 도핑된 실리콘산화막을 USG(Undoped silicate Glass) 등과 조합하여 사용할 수도 있다. 이러한 막질 형성방법은 통상적으로 화학기상증착(CVD)법을 이용하여 형성하는데, 모스트랜지스터가 형성된 이후의 후속공정에 해당되므로, 증착온도가 비교적 낮은 플리즈마를 이용한 CVD 기법을 주로 사용한다. 그러나, 필요에 따라서는 밀도가 높고 불순물(금속 및 수화물 등)이 적은 양질의 막층을 확보하기 위해, 고온로(Furnace)에서 저압 화학기상증착법(LP CVD)방법을 이용하여 실리콘산화막(예를 들어, TEOS Oxide, HTO 및 LTO 등)과 실리콘질화막을 형성할 수도 있다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 메모리 장치의 캐패시터의 전극부를 상부에 통형상의 상부저장전극부를 형성하고 하부에 기둥형의 하부저장전극부를 조합하여 형성함으로써, 저장전극부의 높이를 증가시켜 캐패시터의 용량을 증가시킬 수 있다.

그리고, 본 발명의 상부전극부와 하부전극부의 합을 갖는 높이의 속이 빈 원통형의 캐패시터 형성시에 비해, 캐패시터의 상부저장전극부를 형성시 하부저장전극부의 높이만큼 상부저장전극부의 높이를 낮출 수 있어, 식각 공정의 안정성을 확보할 수 있다. 또한, 하부에 형성된 소자와의 접촉 단면적을 충분히 확보할 수 있어 디바이스의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

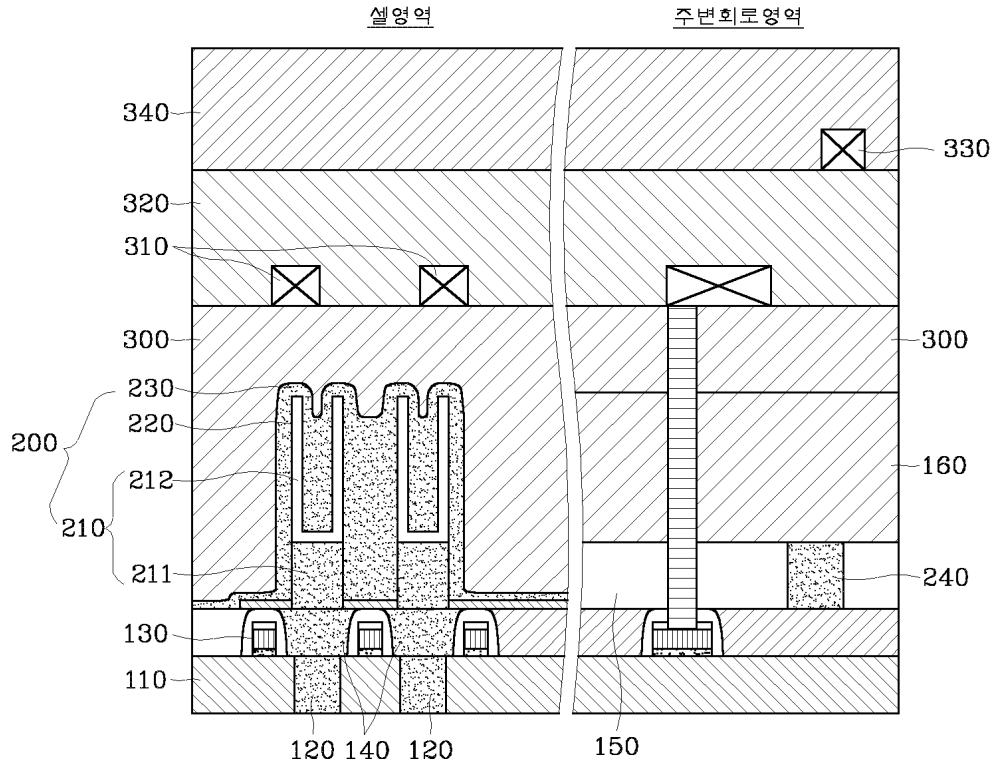
도 1은 본 발명에 의한 반도체 메모리 장치의 캐패시터를 도시한 단면도이다.

도 2 내지 도 9는 본 발명에 의한 반도체 메모리 장치의 캐패시터 제조방법을 방법을 설명하기 위하여 도시한 단면도들이다.

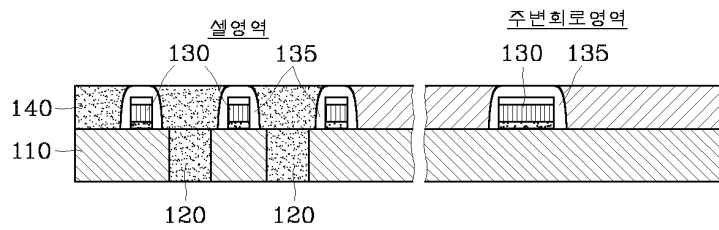
도 10은 본 발명에 의한 반도체 메모리 장치의 캐패시터를 종래의 기술과 비교하여 도식적으로 나타낸 투시도이다.

도면

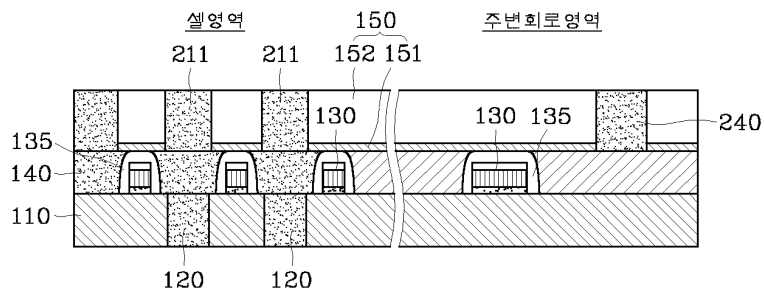
도면1



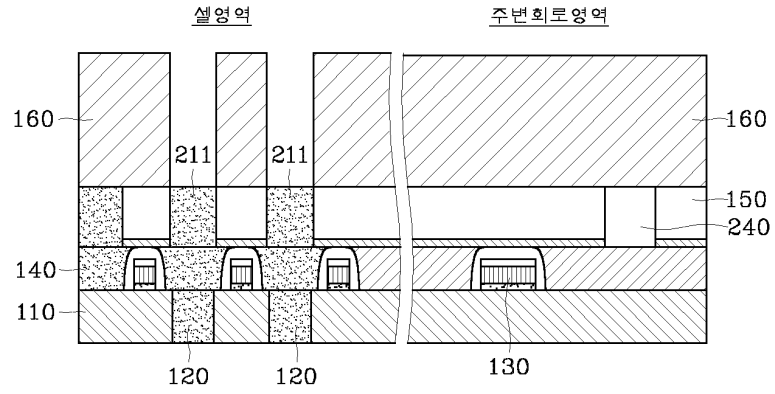
도면2



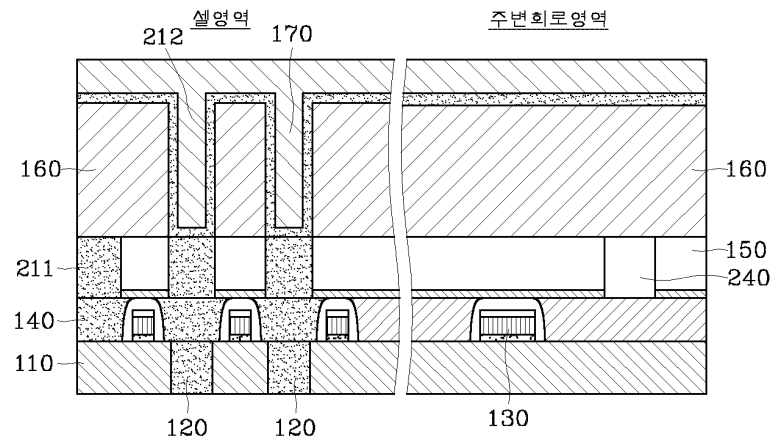
도면3



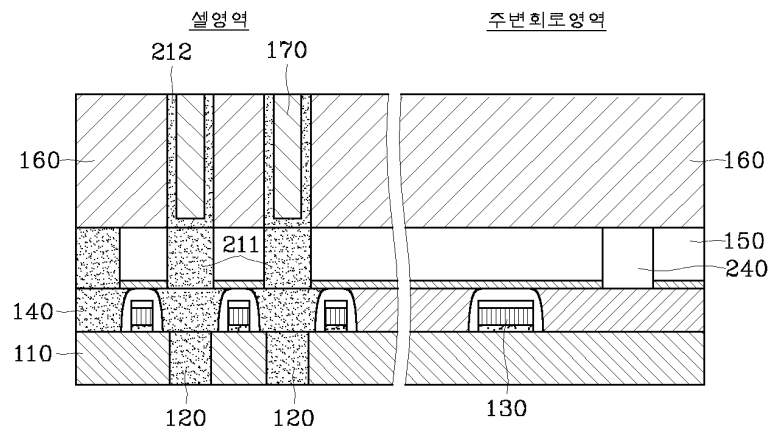
도면4



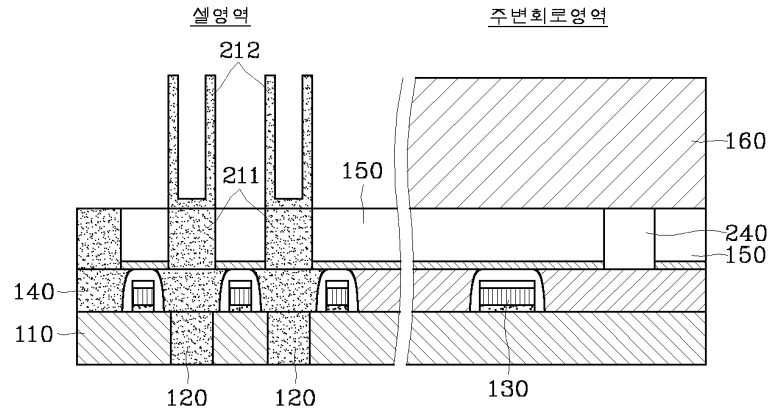
도면5



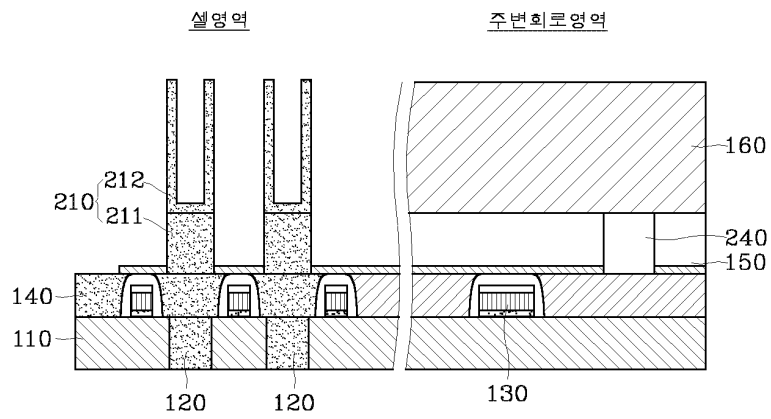
도면6



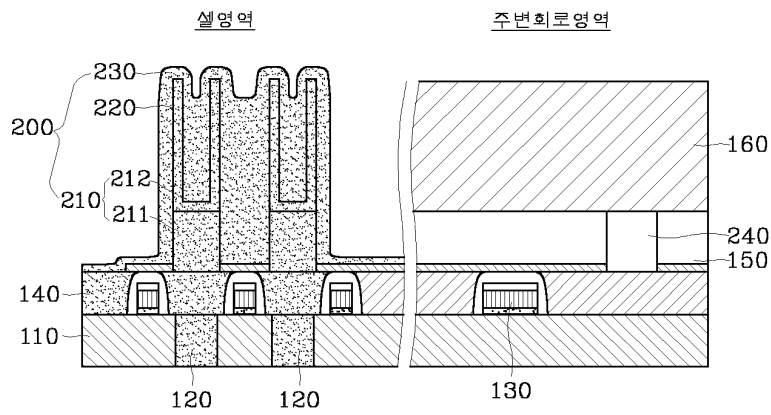
도면7



도면8



도면9



도면10

