



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0156613
(43) 공개일자 2024년10월30일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2023.01) H01L 21/56 (2006.01)
H01L 21/683 (2006.01) H01L 21/78 (2006.01)
H01L 23/00 (2006.01) H01L 23/31 (2006.01)
H01L 25/00 (2014.01) H01L 25/16 (2023.01)

(52) CPC특허분류

H01L 25/0652 (2023.08)
H01L 21/56 (2013.01)

(21) 출원번호 10-2024-7031827

(22) 출원일자(국제) 2023년02월23일

심사청구일자 없음

(85) 번역문제출일자 2024년09월24일

(86) 국제출원번호 PCT/US2023/063147

(87) 국제공개번호 WO 2023/164564

국제공개일자 2023년08월31일

(30) 우선권주장

63/313,639 2022년02월24일 미국(US)

(71) 출원인

아데이아 세미컨덕터 본딩 테크놀로지스 인코포레이티드

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

(72) 발명자

유조 사이프리안 에메카

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

카트카르 라예쉬

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

(뒷면에 계속)

(74) 대리인

유미특허법인

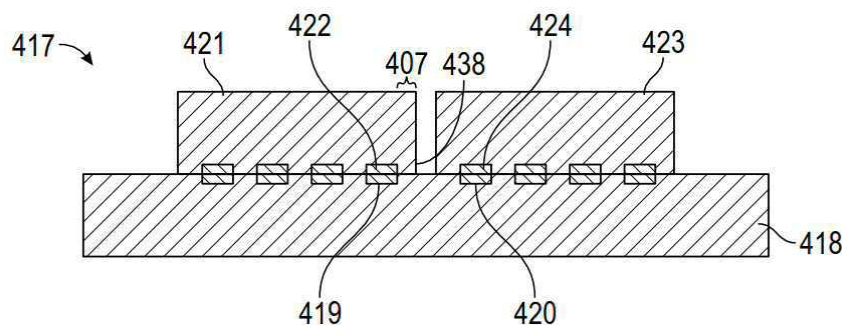
전체 청구항 수 : 총 71 항

(54) 발명의 명칭 결합 구조체

(57) 요약

결합 구조체는 제 1 도전성 콘택 및 제 2 도전성 콘택을 포함하는 캐리어, 상기 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자 및 상기 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자를 포함할 수 있고, 상기 제 1 및 제 2 도전성 콘택은 250 마이크론 이하의 콘택 간극만큼 이격된다.

대표도 - 도4a



(52) CPC특허분류

H01L 21/6836 (2013.01)
H01L 21/78 (2013.01)
H01L 23/3121 (2013.01)
H01L 24/80 (2013.01)
H01L 24/80 (2013.01)
H01L 25/0655 (2023.08)
H01L 25/16 (2023.08)
H01L 25/50 (2013.01)
H01L 2221/68327 (2013.01)

(72) 발명자

워크만 토마스

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

파운틴 가이우스 길먼 주니어

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

가오 켈리언

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

테일 제레미 알프레드

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

구에바라 가브리엘 지.

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

방 경모

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

미르카리미 로라 윌스

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

명세서

청구범위

청구항 1

결합 구조체로서,

제 1 도전성 콘택 및 제 2 도전성 콘택을 포함하는 캐리어;

상기 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자; 및
상기 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자
를 포함하고,

상기 제 1 및 제 2 도전성 콘택은 250 마이크론 이하의 콘택 간극만큼 이격된, 결합 구조체.

청구항 2

결합 구조체로서,

제 1 도전성 콘택 및 제 2 도전성 콘택을 포함하는 캐리어;

상기 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자; 및
상기 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자
를 포함하고,

상기 제 1 및 제 2 싱글레이션된 소자는 50 마이크론 이하의 소자 간극만큼 이격된, 결합 구조체.

청구항 3

결합 구조체로서,

제 1 도전성 콘택 및 제 2 도전성 콘택을 포함하는 캐리어;

상기 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자; 및
상기 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자
를 포함하고,

상기 제 1 및 제 2 도전성 콘택은 상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께의 약 0.4 배 내
지 8 배의 콘택 간극만큼 이격된, 결합 구조체.

청구항 4

제 1 행 내지 제 3 행 중 어느 한 행에 있어서,

상기 제 1 및 제 2 싱글레이션된 소자는 10 마이크론 이하의 소자 간극만큼 이격된, 결합 구조체.

청구항 5

제 1 행 내지 제 4 행 중 어느 한 행에 있어서,

상기 캐리어 및 상기 제 1 및 제 2 싱글레이션된 소자는 직접 하이브리드 결합된, 결합 구조체.

청구항 6

제 3 행에 있어서,

콘택 간극은 상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께의 약 2 배 미만인, 결합 구조체.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 싱글레이션된 소자는 상기 캐리어의 대응하는 비도전성 구역들에 접촉제가 없이 직접 결합된 각각의 비도전성 구역을 포함하는, 결합 구조체.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 200 마이크론 이하인, 결합 구조체.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 100 마이크론 이하인, 결합 구조체.

청구항 10

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 50 마이크론 이하인, 결합 구조체.

청구항 11

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 10 마이크론 이하인, 결합 구조체.

청구항 12

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 5 마이크론 이하인, 결합 구조체.

청구항 13

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 2 마이크론 이하인, 결합 구조체.

청구항 14

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 1 마이크론 내지 250 마이크론의 범위에 속하는, 결합 구조체.

청구항 15

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 1 마이크론 내지 100 마이크론의 범위에 속하는, 결합 구조체.

청구항 16

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 콘택 간극은 1 마이크론 내지 20 마이크론의 범위에 속하는, 결합 구조체.

청구항 17

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 소자 간극은 20 마이크론 이하인, 결합 구조체.

청구항 18

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,
상기 소자 간극은 10 마이크론 이하인, 결합 구조체.

청구항 19

제 6 항에 있어서,
상기 콘택 간극은 상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께 이하인, 결합 구조체.

청구항 20

제 1 항 내지 제 19 항 중 어느 한 항에 있어서,
상기 제 3 도전성 콘택은 상기 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택 (electrically active contact)을 포함하는, 결합 구조체.

청구항 21

제 20 항에 있어서,
상기 제 3 도전성 콘택은 신호선, 파워선, 또는 전기 접지에 연결된, 결합 구조체.

청구항 22

제 1 항 내지 제 21 항 중 어느 한 항에 있어서,
상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나는 능동 회로부를 가진 집적된 디바이스 다이를 포함하는, 결합 구조체.

청구항 23

제 22 항에 있어서,
상기 제 1 싱글레이션된 소자는 능동 회로부를 가진 집적된 디바이스 다이를 포함하고,
상기 제 2 싱글레이션된 소자는 수동 컴포넌트를 포함하는, 결합 구조체.

청구항 24

제 1 항 내지 제 23 항 중 어느 한 항에 있어서,
상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나는 반응성 이온 에칭(RIE) 프로세스를 사용하여 싱글레이션된, 결합 구조체.

청구항 25

제 1 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 최대 측방향 폭은 4 mm 이하인, 결합 구조체.

청구항 26

제 1 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 최대 측방향 폭은 2 mm 이하인, 결합 구조체.

청구항 27

제 1 항 내지 제 26 항 중 어느 한 항에 있어서,
상기 제 1 싱글레이션된 소자의 외부 에지와 상기 제 3 도전성 콘택 사이의 에지 배제 거리(edge exclusion distance)는 100 마이크론 미만인, 결합 구조체.

청구항 28

제 27 항에 있어서,
상기 에지 배제 거리는 50 마이크론 이하인, 결합 구조체.

청구항 29

제 28 항에 있어서,
상기 에지 배제 거리는 10 마이크론 이하인, 결합 구조체.

청구항 30

제 27 항 내지 제 29 항 중 어느 한 항에 있어서,
상기 에지 배제 거리는 1 마이크론 내지 100 마이크론의 범위에 속하는, 결합 구조체.

청구항 31

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 제 2 싱글레이션된 소자는 적어도 하나의 도전성 기관 관통 비아(TSV)를 포함하는, 결합 구조체.

청구항 32

결합 구조체로서,
캐리어;
상기 캐리어에 접착제가 없이 직접 결합된 제 1 소자 - 상기 제 1 소자는 컷아웃(cutout) 구역을 포함함 -; 및
상기 캐리어에 접착제가 없이 직접 결합된 제 2 싱글레이션된 소자 - 상기 제 2 싱글레이션된 소자는 상기 제 1 소자의 컷아웃 구역 내에서 적어도 부분적으로 측방향으로 배치됨 -
를 포함하는, 결합 구조체.

청구항 33

제 32 항에 있어서,
상기 결합 구조체는,
상기 캐리어에 접착제가 없이 직접 결합된 제 3 싱글레이션된 소자를 더 포함하고,
상기 제 2 싱글레이션된 소자는 제 1 소자와 상기 제 3 싱글레이션된 소자 사이에 배치된, 결합 구조체.

청구항 34

제 1 항 내지 제 33 항 중 어느 한 항에 있어서,
상기 결합 구조체는,
상기 제 2 싱글레이션된 소자에 직접 결합된 제 3 소자를 더 포함하는, 결합 구조체.

청구항 35

제 34 항에 있어서,
상기 결합 구조체는,
상기 제 3 소자에 연결되도록 상기 제 2 싱글레이션된 소자를 관통하는 도전성 비아를 더 포함하는, 결합 구조체.

청구항 36

제 35 항에 있어서,

상기 콘택 간극은 상기 도전성 비아의 길이 이하인, 결합 구조체.

청구항 37

결합 구조체로서,

제 1 도전성 콘택을 포함하는 제 1 싱글레이션된 소자; 및

제 2 도전성 콘택을 포함하는 캐리어

를 포함하고,

상기 제 1 도전성 콘택 및 상기 제 2 도전성 콘택은 개재된 접착제가 없이 서로 직접 결합되고,

상기 제 1 도전성 콘택은 상기 제 1 싱글레이션된 소자의 외부 에지로부터 200 마이크로미터 이하의 에지 배제 거리만큼 이격되고,

상기 제 1 도전성 콘택은 상기 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함하는, 결합 구조체.

청구항 38

제 37 항에 있어서,

상기 에지 배제 거리는 약 10 마이크로미터 내지 100 마이크로미터인, 결합 구조체.

청구항 39

결합 구조체로서,

소정 피치에서 이격된 제 1 복수 개의 도전성 콘택을 가지는 제 1 싱글레이션된 소자 - 상기 제 1 복수 개의 도전성 콘택은 상기 제 1 싱글레이션된 소자의 외부 측면 에지에 최근접한 적어도 하나의 외부 도전성 콘택을 포함하고, 상기 적어도 하나의 외부 도전성 콘택은 상기 외부 측면 에지로부터 에지 배제 거리만큼 이격되고 상기 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함함 -; 및

상기 제 1 복수 개의 도전성 콘택에 개재된 접착제가 없이 직접 결합된 제 2 복수 개의 도전성 콘택을 포함하는 캐리어

를 포함하고,

상기 에지 배제 거리 대 상기 피치의 비율은 약 10:1 내지 50:1인, 결합 구조체.

청구항 40

제 39 항에 있어서,

상기 에지 배제 거리 대 상기 피치의 비율은 약 15:1 미만인, 결합 구조체.

청구항 41

결합 구조체로서,

최대 측방향 폭을 가지고 제 1 복수 개의 도전성 콘택을 포함하는 제 1 싱글레이션된 소자 - 상기 제 1 복수 개의 도전성 콘택은 상기 제 1 싱글레이션된 소자의 외부 측면 에지에 최근접한 적어도 하나의 외부 도전성 콘택을 포함하고, 상기 적어도 하나의 외부 도전성 콘택은 상기 외부 측면 에지로부터 에지 배제 거리만큼 이격되고 상기 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함함 -; 및

상기 제 1 복수 개의 도전성 콘택에 개재된 접착제가 없이 직접 결합된 제 2 복수 개의 도전성 콘택을 포함하는 캐리어

를 포함하고,

상기 최대 측방향 폭 대 상기 에지 배제 거리의 비율은 약 10:1 내지 100:1인, 결합 구조체.

청구항 42

제 41 항에 있어서,

상기 최대 측방향 폭 대 상기 배제 거리의 비율은 약 50:1 미만인, 결합 구조체.

청구항 43

결합 구조체로서,

제 1 비도전성 구역 및 제 1 복수 개의 도전성 콘택을 포함하는 제 1 결합면을 가지는 캐리어; 및

제 2 비도전성 구역 및 제 2 복수 개의 도전성 콘택을 포함하는 제 2 결합면을 가지는 싱글레이션된 디바이스 다이 - 상기 제 2 비도전성 구역은 상기 캐리어의 제 1 비도전성 구역에 접촉체가 없이 직접 결합되고, 상기 제 2 복수 개의 도전성 콘택은 상기 제 1 복수 개의 도전성 콘택에 접촉체가 없이 직접 결합됨 -

를 포함하고,

상기 싱글레이션된 디바이스 다이는 상기 제 2 결합면에 대해 비-평행하게 연장되는 에칭된 외부 측면 에지를 포함하고,

상기 제 2 복수 개의 도전성 콘택은 상기 외부 측면 에지에 최근접한 적어도 5 개의 외부 도전성 콘택을 포함하고,

상기 적어도 5 개의 외부 도전성 콘택은 상기 싱글레이션된 디바이스 다이의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함하는, 결합 구조체.

청구항 44

제 37 항 내지 제 43 항 중 어느 한 항에 있어서,

상기 에지 배제 거리는 50 마이크론 이하인, 결합 구조체.

청구항 45

제 44 항에 있어서,

상기 에지 배제 거리는 10 마이크론 이하인, 결합 구조체.

청구항 46

제 37 항 내지 제 45 항 중 어느 한 항에 있어서,

상기 에지 배제 거리는 1 마이크론 내지 100 마이크론의 범위에 속하는, 결합 구조체.

청구항 47

제 37 항 내지 제 46 항 중 어느 한 항에 있어서,

상기 에지 배제 거리 대 상기 피치의 비율은 10 미만인, 결합 구조체.

청구항 48

제 47 항에 있어서,

상기 에지 배제 거리 대 상기 피치의 비율은 5 미만인, 결합 구조체.

청구항 49

제 48 항에 있어서,

상기 에지 배제 거리 대 상기 피치의 비율은 2 미만인, 결합 구조체.

청구항 50

제 37 항 내지 제 49 항 중 어느 한 항에 있어서,
상기 최대 측방향 폭 대 상기 에지 배제 거리의 비율은 10 미만인, 결합 구조체.

청구항 51

제 50 항에 있어서,
상기 최대 측방향 폭 대 상기 에지 배제 거리의 비율은 5 미만인, 결합 구조체.

청구항 52

제 51 항에 있어서,
상기 최대 측방향 폭 대 상기 에지 배제 거리의 비율은 2 미만인, 결합 구조체.

청구항 53

제 37 항 내지 제 52 항 중 어느 한 항에 있어서,
상기 적어도 하나의 외부 도전성 콘택은 신호선, 파워선, 또는 전기 접지에 전기적으로 연결된, 결합 구조체.

청구항 54

집적된 디바이스 다이로서,
능동 회로부;
다른 소자의 직접 하이브리드 결합을 위하여 구성된 결합면;
상기 결합면에 대해 비-평행하게 연장되는 외부 에지; 및
상기 외부 에지로부터 100 마이크로미터 이하의 에지 배제 거리만큼 이격된 제 1 도전성 콘택
을 포함하고,
상기 제 1 도전성 콘택은 상기 능동 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함하는, 집적된 디바이스 다이.

청구항 55

제 54 항에 있어서,
상기 에지 배제 거리는 50 마이크로미터 이하인, 집적된 디바이스 다이.

청구항 56

제 54 항 또는 제 55 항에 있어서,
상기 제 1 도전성 콘택은 신호선, 파워선, 또는 전기 접지에 전기적으로 연결된, 집적된 디바이스 다이.

청구항 57

제 54 항에 있어서,
상기 집적된 디바이스 다이는,
상기 제 1 도전성 콘택과 상기 다이의 외부 에지 사이에 배치된 더미 비활성 콘택(dummy inactive contact)을 더 포함하는, 집적된 디바이스 다이.

청구항 58

다이들을 결합하기 위한 방법으로서,
제 1 소자를 평탄화하는 단계 - 상기 제 1 소자는 제 1 복수 개의 도전성 콘택을 포함함 -;
제 2 소자를 평탄화하는 단계 - 상기 제 2 소자는 제 2 복수 개의 도전성 콘택을 포함함 -; 및

상기 제 1 및 제 2 소자를 캐리어에 결합하는 단계
를 포함하고,

상기 제 1 소자의 제 1 복수 개의 도전성 콘택 중 제 1 최외각 도전성 콘택은 상기 제 2 복수 개의 도전성 콘택
중 제 2 최외각 도전성 콘택으로부터 250 마이크로미터 이하의 콘택 간극만큼 이격된, 다이 결합 방법.

청구항 59

제 58 항에 있어서,

상기 방법은,

상기 제 1 소자 상에 보호층을 도포하는 단계;

상기 제 1 소자 상의 보호층을 패터닝하는 단계; 및

상기 제 1 소자를 다이싱 프레임으로 전달하는 단계

를 더 포함하는, 다이 결합 방법.

청구항 60

제 59 항에 있어서,

상기 방법은,

에칭 프로세스를 통하여 복수 개의 싱글레이션된 소자가 되도록 상기 제 1 소자를 싱글레이션하는 단계

를 더 포함하는, 다이 결합 방법.

청구항 61

제 60 항에 있어서,

상기 에칭 프로세스는 건식 에칭 프로세스 및 습식 에칭 프로세스 중 적어도 하나를 포함하는, 다이 결합 방법.

청구항 62

제 60 항에 있어서,

건식 에칭 프로세스는 반응성 이온 에칭(RIE) 프로세스인, 다이 결합 방법.

청구항 63

제 60 항에 있어서,

상기 제 1 소자를 싱글레이션하는 단계는 습식 및 건식 에칭 프로세스의 조합을 통하여 달성되는, 다이 결합 방
법.

청구항 64

제 60 항에 있어서,

상기 방법은,

상기 제 1 소자로부터 보호층을 제거하는 단계;

처리법(treatment method)을 사용하여 상기 제 1 소자를 처리하는 단계; 및

다른 소자로의 직접 결합을 위하여 상기 제 1 소자를 준비하는 단계

를 더 포함하는, 다이 결합 방법.

청구항 65

제 64 항에 있어서,

상기 처리법은 표면 활성화를 포함하는, 다이 결합 방법.

청구항 66

제 64 항에 있어서,

직접 결합을 위하여 상기 제 1 소자를 준비하는 단계는,

기관을 세정(cleaning), 세척(rinsing), 및 건조시키는 것을 더 포함하는, 다이 결합 방법.

청구항 67

결합 구조체를 생성하기 위한 방법으로서,

제 1 및 제 2 소자를 싱글레이션하는 단계 - 상기 제 1 및 제 2 소자 각각은 100 마이크론 이하의 에지 배제 거리를 포함함 -; 및

제 1 및 제 2 싱글레이션된 소자를 캐리어에 결합하는 단계

를 포함하고,

상기 제 1 및 제 2 싱글레이션된 소자들 사이의 거리는 10 마이크론 이하인, 결합 구조체 생성 방법.

청구항 68

제 67 항에 있어서,

상기 제 1 및 제 2 싱글레이션된 소자를 캐리어에 결합하는 단계는,

상기 제 1 및 제 2 싱글레이션된 소자를 상기 캐리어에 접착제를 사용하지 않고 직접 결합하는 것을 포함하는, 결합 구조체 생성 방법.

청구항 69

제 67 항에 있어서,

상기 제 1 및 제 2 소자를 싱글레이션하는 단계는,

상기 제 1 및 제 2 소자를 반응성 이온 에칭을 사용하여 싱글레이션하는 것을 포함하는, 결합 구조체 생성 방법.

청구항 70

결합 구조체로서,

제 1 도전성 콘택을 포함하는 제 1 싱글레이션된 소자; 및

제 2 콘택 패드를 포함하는 캐리어

를 포함하고,

상기 제 1 도전성 콘택 및 상기 제 2 도전성 콘택은 개재된 접착제가 없이 서로 직접 결합되고,

상기 제 1 도전성 콘택은 상기 제 1 싱글레이션된 소자의 외부 에지로부터 200 마이크론 이하의 에지 배제 거리만큼 이격되고,

상기 제 1 도전성 콘택은 상기 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함하고,

상기 제 1 싱글레이션된 소자 및 상기 캐리어 중 적어도 하나는 집적된 디바이스 패키지 내에 패키징된, 결합 구조체.

청구항 71

제 70 항에 있어서,

상기 집적된 디바이스 패키지는 캡슐화 재료 내에 적어도 부분적으로 임베딩된 하나 이상의 다이를 포함하는, 결합 구조체.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 2022년 2월 24일에 출원되고 발명의 명칭이 "BONDED STRUCTURES"인 미국 가출원 번호 제 63/313,639의 우선권을 주장하고, 그 내용은 본 문서에 전체적으로 인용되어 포함된다.

[0003] 본 발명의 기술 분야는 결합 구조체에 관한 것이고, 특히 회로 및 콘택의 면적 효율성이 증가된 결합 구조체에 관한 것이다.

배경 기술

[0004] 반도체 소자, 예컨대 반도체 웨이퍼 또는 집적된 디바이스 다이는 다른 접착제가 없이 서로 스택되고 직접 결합될 수 있다. 예를 들어, 비도전성(유전체 또는 반도체) 표면은 매우 평탄하게 제작될 수 있고, 상온에서 그리고 콘택을 넘어서는 압력을 인가하지 않고서 직접 공유 결합을 강화하도록 처리될 수 있다. 일부 하이브리드 직접 결합 구조체에서, 소자들의 비도전성 필드 영역은 서로 직접 결합될 수 있고, 대응하는 도전성 콘택 구조체들이 서로 직접 결합될 수 있다.

도면의 간단한 설명

[0005] 도 1a는 웨이퍼를 싱글레이션하는 종래 방법을 보여준다.

도 1b 내지 도 1d는 종래의 방법으로 인한 에지 배제 존(edge exclusion zone)이 있는 다이들의 다양한 크기를 보여준다.

도 2a 내지 도 2h는 다양한 실시형태에 따른, 감소된 에지 배제 존이 있는 다이를 형성하기 위한 방법을 보여준다.

도 3은 감소된 에지 배제 거리를 채용할 수 있는 싱글레이션된 소자의 예시적인 실시형태를 예시한다.

도 4a 내지 도 4k는 결합 구조체의 다양한 실시형태를 보여준다.

도 5a 및 도 5b는 일부 실시형태에 따라서 접착제가 없이 직접 하이브리드 결합 구조체를 형성하기 위한 프로세스를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0006] 수년간 점점 더 많은 기능을 칩에 통합하여 시스템 온 칩(SoC)을 형성하기 위한 경향이 개발되어 왔다. 최근에는 회로를 여러 개의 칩으로 분리(disaggregation)하고, 이를 패키징 프로세스에서 다시 조립하는 경향이 있었다. 이러한 분리의 이점에는 서로 다른 칩 또는 칩렛에 서로 다른 기술을 사용할 수 있다는 것(이것은 회로 중 일부에 대해서는 비용이 절감될 수 있음), 매우 큰 SoC 칩과 비교할 때 하나의 웨이퍼로부터 더 많은 칩 또는 칩렛을 생산할 수 있어 서, 주어진 오염 수준에 대해서 더 높은 수율을 얻게된다는 것이 포함된다.

[0007] 도 1a에 나타난 바와 같이, 기관(101)(예를 들어, 웨이퍼)이 다이싱 프레임(102) 상에 제공되고, 소오 스트리트(saw street; 104)에서 나뉘어지는 복수 개의 싱글레이션된 소자(103)로 싱글레이션된다. 디바이스 제조 및 조립을 위한 종래 기술은, 특히 기능이 여러 소자로 분리되고 패키징을 통해 결합될 경우에 전체 시스템의 회로 밀도에 제한을 둔다. 예를 들어, 구리 필라 또는 솔더볼(105)과 같은, 적층된 소자들 사이의 수직 연결은 패드들 사이에 어느 정도의 최소 간극을 요구하거나, 재배선층(RDL)에 의하여 콘택들을 확산시킨다. 이러한 최소 간극은, 부분적으로는 칩을 웨이퍼로부터 싱글레이션하기 위하여 틈을 사용하는 것에 기인하여, 디바이스 주변부에 있는 종래의 배제 존(exclusion zone) 때문에 악화된다. 예를 들어, 종래의 배제 존은 다이싱 또는 싱글레이션 프로세스 도중에 발생할 수 있는 손상을 줄이거나 최소화하기 위하여 다이의 활성 영역 및/또는 패드를 소오 스트리트로부터 이격시키기 위해 사용된다. 한정된 정렬 정확도를 가지는 픽 앤 플레이스 및/또는 결합 도구도 조립 시에 디바이스의 밀도에 제한이 생기게 한다. 다이 에지 근처에서 디바이스에 전해지는 구조적 손상은 소자의 수율을 감소시킬 수 있다. 칩의 주변부의 주위의 종래의 배제 존은 활성 회로에 대한 손실된 가용

공간을 나타낸다. 배제 존 내에 상호연결 또는 콘택 패드가 제공될 경우, 이들은 일반적으로 전기적으로 비활성 상태이거나 "더미" 콘택 패드이다. 따라서, 전기적 활성 패드(예를 들어, 다이 내의 회로부, 예컨대 신호선, 파워선 또는 접지에 전기적으로 연결되는 패드)는 배제 존만큼 다이 에지로부터 안쪽으로 이격된다.

[0008]

도 1b 내지 도 1d는 다양한 크기의 싱글레이션된 소자를 보여준다. 각각의 싱글레이션된 소자(103)는 도 1a와 연계하여 설명된 바와 같이 기판(101) 및 솔더볼(105)을 포함할 수 있다. 도 1b 내지 도 1d에 나타난 바와 같이, 전기적 활성 본딩 패드는 다이의 외부 에지(106)로부터 에지 배제 거리(107)만큼 이격될 수 있고, 이러한 거리는 다이에서 사용되지 않는 공간을 나타낸다. 에지 배제 거리(107)(및 에지 배제 영역)은 다이 크기가 작아짐에 따라 크게 증가하여, 작은 다이(예를 들어, 최대 폭이 4mm, 3mm 또는 2mm 미만인 다이)의 경우, 에지 배제 거리가 다이의 상당한 비율을 차지하게 된다. 따라서, 에지 배제 거리(107)가 증가하면 다이 내 디바이스에 대한 사용할 수 있는 유효 면적이 줄어든다. 소자가 캐리어에 솔더 본딩되는 구조체의 경우, 미세한 피치에서 생길 수 있는 솔더 브릿징을 방지하기 위하여 사용되는 인접한 패드 간의 큰 피치에 기인하여 배제 거리(107)가 커진다. 넓은 에지 배제 존은 주어진 다이에서 기능성 패드(입출력, I/O)의 수에 대한 설계 탄력성을 감소시키고, 또한 시스템 내의 소자들(예컨대 수동 컴포넌트, 칩 또는 칩렛) 사이의 전기적 연결을 위한 거리를 증가시켜서, 결과적으로 칩 또는 칩렛의 성능에서의 저하를 초래한다. 예를 들어, 다이를 싱글레이션하기 위한 종래의 방법을 사용하는 통상적인 에지 배제 거리는 약 200 μm 이다. 일 예에서, 8mm x 12mm 다이에서 200 μm 에지 배제 거리는 다이 면적의 약 8.2%가 사용되지 않는 결과를 초래한다. 다른 예에서, 4mm x 4mm 다이에서 200 μm 에지 배제 거리는 다이 면적의 약 19%가 사용되지 않는 결과를 초래한다. 다른 예에서, 1mm x 1mm 다이에서 200 μm 에지 배제 거리는 다이 면적의 약 64%가 사용되지 않는 결과를 초래한다. 따라서, 소형 다이에서 배제 영역을 줄여서 활성 또는 수동 회로를 위해 설계된 칩 또는 칩렛의 부분인 다이 설계의 유연성을 높이고, 더 많은 기능성 I/O 개수를 제공하는 필요성이 지속적으로 존재한다.

[0009]

도 2a 내지 도 2h는 다양한 실시형태에 따라서 직접 하이브리드 결합을 위하여 구성된 싱글레이션된 소자를 형성하기 위한 예시적인 프로세스를 설명한다. 도 2a에 나타난 바와 같이, 기판(201)(예를 들어, 웨이퍼)은 벌크부(208) 및 벌크부(208) 위의 결합층(209)을 포함할 수 있다. 결합층(209)은 적어도 부분적으로 임베딩된 도전성 콘택 피처를 가진 유전체 재료를 포함할 수 있다. 결합층(209)은 결합층(209) 내에 적어도 부분적으로 임베딩된 복수의 비도전성 구역(210) 및 복수의 도전성 콘택(211)을 포함할 수 있다. 유리하게도, 직접 하이브리드 결합을 위하여 구성된 경우, 콘택(211)은 솔더 본딩에서 사용되는 피치보다 훨씬 작은 피치(212)로 제공될 수 있다. 도 2a에서 기판(201)이 평탄화될 수 있다. 일부 실시형태에서, 기판은 화학적 기계적 연마(CMP)를 통해 평탄화된다. 도 2b에서, 보호층(213)(예컨대 포토레지스트)이 기판(201) 위에 제공될 수 있다. 일부 실시형태에서, 평탄화된 표면(214)은 주변의 비도전성 필드 구역(210) 아래로 소량(예를 들어, 20 nm 미만, 10 nm 미만 또는 심지어 5 nm 미만)만큼 함몰된 도전성 콘택(211)을 가질 수 있다. 보호층(213)은 패터닝되어 도 2c에서 보호층 내에 리세스(215)를 포함할 수 있고, 기판(201)은 도 2d에서 다이싱 프레임(202)으로 이동될 수 있다. 도 2e에서, 기판(201)은 복수의 싱글레이션된 소자(203)로 싱글레이션될 수 있다. 도면에 나타난 실시형태에서, 기판(201)은 에칭 프로세스, 예를 들어 반응성 이온 에칭(RIE) 또는 플라스마 다이싱 프로세스를 사용하여 싱글레이션된다. 유리하게도, 톱 싱글레이션과 비교하여, 예시된 실시형태의 RIE 싱글레이션 프로세스는 다이의 에지에 대한 손상을 줄이고, 이것은 예시에서의 결합을 감소시키고 더 작은 배제 거리(207)를 허용할 수 있다. 일부 실시형태에서, RIE 싱글레이션은 40 μm 미만, 20 μm 미만, 15 μm 미만 또는 10 μm 미만인 에지 배제 거리(207)를 초래할 수 있다. 도 2f에서는 보호층(213)이 제거될 수 있고, 도 2g에서는 본딩 표면(214)이 애싱(예를 들어, 보호층에서 나온 잔여물을 제거하기 위함), 세정 및/또는 표면 활성화 처리(예를 들어, 질소 플라스마 처리) 등에 의하여 처리될 수 있다. 도 2h에서, 싱글레이션된 다이(203)는 세정되고, 세척되고, 건조되며, 캐리어와 같은 다른 소자에 직접 본딩되도록 준비될 수 있다. 일부 실시형태에서, 도 2c의 패터닝된 기판(201)은 건식 에칭(예를 들어, RIE), 습식 에칭제 및 미세 다이싱 블레이드의 조합에 의하여 싱글레이션될 수 있다. 예를 들어, 레지스트 마스크 내의 겹 아래 구역에 있는 유전체 재료를 제거하기 위하여 RIE가 적용될 수 있다. 건식 에칭 후에는, 노출된 도전성 재료를 제거하기 위하여 적절한 습식 에칭제가 채용될 수 있다. 나머지 기판(예를 들어, 벌크 반도체 재료)은 미세 다이싱 블레이드, 레이저 다이싱 또는 건식 에칭에 의하여 절삭되어 싱글레이션을 완성할 수 있다.

[0010]

일부 실시형태에서, 싱글레이션된 다이의 측면이 추가로 처리될 수 있다. 일부 실시형태에서, 싱글레이션된 다이의 측면 에지는 에칭된 표면(예를 들어, 톱 싱글레이션에서 발생하는 버얼 또는 잔해가 없는 표면)을 가질 수 있다. 에칭된 표면은 에칭 프로세스(예를 들어, RIE 또는 습식 에칭 프로세스)를 나타내는 패턴을 포함할 수 있다. 일부 실시형태에서는 측면이 약간 테이퍼링될 수 있다. 예를 들어, 측면은 수평에 대해 85° 내지 90°의 각도를 가질 수 있다. 일부 실시형태에서, 측면은 실질적으로 수직이다. 측면의 테이퍼링을 제한하는 것이

싱글레이션된 다이들이 더 가까워지게 하기 위해서 유리할 수 있다.

[0011]

도 3은 에지 배제 거리가 감소되게 하고 다이들이 더 가까워지게 할 수 있는 싱글레이션된 소자의 예시적인 실시형태를 나타낸다. 도 3에 도시된 바와 같은 싱글레이션된 소자(303)는 복수의 비도전성 구역(310)에 의해 둘러싸인 복수의 도전성 콘택(311)을 가질 수 있다. 일부 실시형태에서 복수의 도전성 콘택(311)은 도전성 재료를 포함할 수 있다. 일부 실시형태에서, 도전성 재료는 은, 금, 인듐, 니켈, 구리 또는 그 합금을 포함할 수 있다. 다른 실시형태에서는 도전성 재료가 구리이다. 싱글레이션된 소자(303)는 에지 배제 거리(307), 피치(312) 및 폭(316)을 포함할 수 있다. 감소된 에지 배제 거리(307)는 어떤 크기의 다이에도 적용 가능하고, 이 점을 가질 수 있다. 특히, 특정한 기능을 가진 칩렛 또는 이산 디바이스(예를 들어, 수동 디바이스)와 같은 상대적으로 소형 다이(예를 들어, 최대 폭이 8 mm 미만, 6 mm 미만, 4 mm 미만, 3 mm 미만, 2 mm 미만인 다이)에서 큰 장점이 얻어진다. 도 3은 더 작은 에지 배제 존이, 예를 들어 도 1a 내지 도 1d의 더 큰 배제 존과 비교할 때 작은 다이에 대하여 특정한 비례적인 이점을 어떻게 제공하는지를 예시한다. 예를 들어, 본 명세서에 설명된 방법과 시스템을 사용하면 약 50 μm 의 에지 배제 거리가 초래될 수 있다. 일 예에서, 4mm x 4mm 다이는 본 명세서에 설명된 방법과 시스템을 사용하여 50 μm 의 에지 배제 거리를 가질 수 있고, 이것은 다이 면적의 약 4.9%만이 사용되지 않게 한다. 다른 예에서, 본 명세서에 설명된 방법과 시스템은 약 10 μm 의 에지 배제 거리를 초래할 수 있다. 일 실시형태에서, 1mm x 1mm 다이는 본 명세서에 설명된 방법과 시스템을 사용하여 10 μm 의 에지 배제 거리를 가질 수 있고, 이것은 다이 면적의 약 4%만이 사용되지 않게 한다. 또 다른 실시형태에서, 본 명세서에 설명된 방법과 시스템은 약 5 μm 의 에지 배제 거리를 초래할 수 있다. 일 예에서, 0.4mm x 0.4mm 다이는 본 명세서에 설명된 방법과 시스템을 사용하여 5 μm 의 에지 배제 거리를 가질 수 있고, 이것은 다이 면적의 약 5%만이 사용되지 않게 한다. 일부 실시형태에서, 에지 배제 거리의 폭은 10 μm 미만, 5 μm 미만 또는 3 μm 미만이다. 일부 실시형태에서 에지 배제 거리는 0.5 μm 내지 100 μm 의 범위, 0.5 μm 내지 50 μm 의 범위, 0.5 μm 내지 20 μm 의 범위, 0.5 μm 내지 10 μm 의 범위, 1 μm 내지 10 μm 의 범위, 또는 2 μm 내지 10 μm 의 범위에 속할 수 있다. 하이브리드 직접 본딩 기술(및 RIE로 싱글레이션된 다이)을 통해 가능해지는 감소된 피치(312)는 종래의 구조체에 비해 에지 배제 구역(edge exclusion region; 307)이 감소되게 한다. 더욱이, 도 4a 내지 도 4k에서 보여주듯이, 감소된 에지 배제 구역(307)은 구성 요소들이 나란히 직접 결합되게 하고 매우 작은 간극만큼 이격되게 할 수 있다. 유리하게도, 다이들을 서로 가까이 배치하면, 가깝게 이격된 다이들이 감소된 레이턴시 및 낮은 전기 손실을 가지는 캐리어를 통해서 전기적으로 연결되는 효율적인 다이 스티칭(die stitching)을 허용할 수 있다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 10 내지 50이다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 50 미만, 15 미만, 10 미만, 5 미만 또는 2 미만이다. 일부 실시형태에서, 에지 배제 거리(307)의 폭은 다이의 에지에 인접한 인접 도전성 피쳐(311)의 피치와 비슷하거나 그보다 작다.

[0012]

도 4a 내지 도 4h는 결합 구조체의 다양한 실시형태를 보여준다. 도 4a에서 볼 수 있듯이, 결합 구조체(417)는 제 1 도전성 콘택(419) 및 제 2 도전성 콘택(420)을 포함하는 캐리어(418)를 포함할 수 있다. 일부 실시형태에서, 캐리어(418)는 기판(예를 들어, 웨이퍼, 패키지, 평판 또는 재배선층을 포함하는 임시 기판) 또는 다이일 수 있다. 일부 실시형태에서, 캐리어(418)는 결합층(409)(도 4k에서 볼 수 있는 것과 같음)을 포함할 수 있다. 결합층은 적어도 부분적으로 임베딩된 도전성 콘택 피쳐를 가진 유전체 재료를 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택(419)과 제 2 도전성 콘택(420)은 전기적으로 연결될 수 있다(도 4k에 도시된 바와 같음). 결합 구조체(417)는 제 1 도전성 콘택(419)에 접촉체가 없이 직접 결합된 제 3 도전성 콘택(422)을 포함하는 제 1 싱글레이션된 소자(421)를 포함할 수 있다. 결합 구조체는 제 2 도전성 콘택(420)에 접촉체가 없이 직접 결합된 제 4 도전성 콘택(424)을 포함하는 제 2 싱글레이션된 소자(423)를 더 포함할 수 있다. 일부 실시형태에서, 결합된 소자(421 또는 423)(또는 양자 모두)는 싱글레이션된 패키지를 포함할 수 있다. 싱글레이션된 패키지는 캡슐화 재료 내에 적어도 부분적으로 임베딩된 하나 이상의 다이를 포함할 수 있다. 일부 실시형태에서, 도전성 콘택은 도전성 재료로 만들어질 수 있다. 일부 실시형태에서, 도전성 재료는 금, 은, 인듐, 구리, 니켈 또는 그 합금을 포함한다. 다른 실시형태에서 도전성 재료는 구리이다. 제 1 싱글레이션된 소자(421)의 외부 에지(438) 및 제 3 도전성 콘택(422) 사이의 에지 배제 거리(407)는 100 μm 미만일 수 있고, 예를 들어 50 μm 이하 또는 10 μm 이하(예를 들어, 1 μm 내지 100 μm 범위 내)일 수 있다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자는 크기가 10 mm x 10 mm 이하인 다이를 포함한다.

[0013]

도 4b에서 볼 수 있듯이, 제 1 싱글레이션된 소자(421)는 두께(427)와 측방향 폭(428)을 포함할 수 있다. 일부 실시형태에서, 제 1 싱글레이션된 소자(421)는 약 8 mm 이하, 약 6 mm 이하, 약 4 mm 이하, 약 3 mm 이하 또는 약 2 mm 이하인 최대 측방향 폭(428)을 가진다. 제 2 싱글레이션된 소자(423)는 두께(429)와 폭(430)을 포함할 수 있다. 일부 실시형태에서, 제 2 싱글레이션된 소자(423)는 약 8 mm 이하, 약 6 mm 이하, 약 4 mm 이하, 약

3 mm 이하 또는 약 2 mm 이하인 최대 측방향 폭(430)을 가진다. 제 1 도전성 콘택(419) 및 제 2 도전성 콘택(420)은 250 마이크로미터 이하의 콘택 간극(425)만큼 이격될 수 있다. 다양한 실시형태에서, 콘택 간극(425)은 200 마이크로미터 이하, 100 마이크로미터 이하, 50 마이크로미터 이하, 10 마이크로미터 이하, 5 마이크로미터 이하 또는 2 마이크로미터 이하이다. 예를 들어, 다양한 실시형태에서, 콘택 간극(425)은 1 마이크로미터 내지 250 마이크로미터 범위, 1 마이크로미터 내지 100 마이크로미터 범위 또는 1 마이크로미터 내지 20 마이크로미터 범위에 속할 수 있다. 일부 실시형태에서, 콘택 간극(425)은 제 1 싱글레이션된 소자(421)의 두께(427)의 0.4배 내지 8배이다. 일부 실시형태에서, 콘택 간극(425)은 제 1 싱글레이션된 소자(421)의 두께(427) 이하이다. 일부 실시형태에서, 콘택 간극(425)은 제 2 싱글레이션된 소자(423)의 두께(429)의 0.4배 내지 8배이다. 일부 실시형태에서, 콘택 간극(425)은 제 2 싱글레이션된 소자(423)의 두께(429) 이하이다. 일부 실시형태에서, 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423)는 5 μm (마이크로미터) 내지 약 60 μm , 예를 들어 약 25 μm 미만의 소자 간극(426)만큼 이격될 수 있다. 일부 실시형태에서, 소자 간극(426)은 60 μm 이하, 20 μm 이하, 10 μm 이하, 9 μm 이하, 8 μm 이하 또는 5 μm 이하일 수 있다. 일부 실시형태에서, 소자 간극(426)은 1 μm 내지 25 μm 범위, 1 μm 내지 15 μm 범위, 1 μm 내지 10 μm 범위, 1 μm 내지 8 μm 범위 또는 1 μm 내지 5 μm 범위에 속할 수 있다. 일부 실시형태에서, 제 1 싱글레이션된 소자(421)의 최대 측방향 폭(428) 대 에지 배제 거리(407)의 비율은 100 내지 10이고, 또는 50 미만, 10 미만, 5 미만 또는 2 미만이다. 일부 실시형태에서, 제 2 싱글레이션된 소자(423)의 최대 측방향 폭(430) 대 에지 배제 거리(407)의 비율은 100 내지 10이고, 또는 50 미만, 10 미만, 5 미만 또는 2 미만이다. 일부 실시형태에서, 소자 간극(426)은 에지 배제 거리(407)와 비슷하거나 그보다 작을 수 있다.

[0014] 도 4c에서 볼 수 있듯이, 제 1 싱글레이션된 소자(421)의 폭(428)은 제 2 싱글레이션된 소자(423)의 폭(430)보다 길 수 있다. 도 4d에서 볼 수 있듯이, 제 1 싱글레이션된 소자(421)의 두께(427)는 제 2 싱글레이션된 소자(423)의 두께(429)보다 클 수 있다. 다양한 실시형태에서, 도 4b에 나타난 것처럼, 콘택 간극(425)은 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423) 중 적어도 하나의 두께(427 또는 429)의 8배 이하일 수 있거나, 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423) 중 적어도 하나의 두께(427 또는 429)의 2배 이하일 수 있거나, 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423) 중 적어도 하나의 두께(427 또는 429) 이하일 수 있거나, 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423) 중 적어도 하나의 두께(427 또는 429)의 0.4배 이하일 수 있거나, 소자의 두께를 통과하는 기판 관통 비아(TSV)의 높이보다 크지 않을 수 있다.

[0015] 도면에 나타난 실시형태에서, 제 3 도전성 콘택(422)은 제 1 싱글레이션된 소자(421)의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함할 수 있다. 예를 들어, 제 3 도전성 콘택(422)은 신호선, 파워선 또는 접지에 연결될 수 있다. 본 명세서에서 설명된 모든 실시형태에서, 도전성 콘택 중 임의의 것은 신호선, 파워선 또는 접지에 연결될 수 있다. 다양한 실시형태에서, 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423) 중 적어도 하나는 능동 회로부를 가지는 집적 디바이스 다이를 포함한다. 다양한 실시형태에서, 다이 상의 측방향 최외곽 패드는 더미 패드와 반대로 신호, 파워 또는 접지에 연결된 활성 패드를 포함할 수 있다. 일부 실시형태에서, 도 4e에 나타난 바와 같이, 예를 들어 제 1 싱글레이션된 소자(421)는 능동 회로부를 가지는 집적 디바이스 다이를 포함하고, 제 2 싱글레이션된 소자(423)는 수동 컴포넌트(432)를 포함한다. 본 명세서에서 설명된 바와 같이, 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나는 반응성 전체적으로 또는 부분적으로 깨끗하고 정교한 다이 에지를 위한 반응성 이온 에칭(RIE) 기법을 사용하여 싱글레이션된다.

[0016] 언급된 바와 같이, 소자(다이, 전기 컴포넌트) 간의 간극, 특히 인접한 소자의 활성 콘택 간의 간극을 좁히는 이점은 모든 크기의 소자에 적용될 수 있다. 일부 실시형태에서, 상대적으로 작은 소자(칩렛, 컴포넌트 디바이스)는 측방향으로 밀접하게 이격되고 공통 캐리어에 결합되며, 위에 놓인 소자 중 적어도 하나는 약 8 mm 이하, 약 6 mm 이하, 약 4 mm 이하, 약 3 mm 이하 또는 약 2 mm 이하인 최대 폭을 가지지만, 본 명세서에서 설명되는 이론과 이점은 절대로 그러한 소형 소자로 국한되지 않는다. 다양한 실시형태에서, 제 1 싱글레이션된 소자(421)의 외부 에지(438)와 제 3 도전성 콘택(422) 사이의 에지 배제 거리(407)는 100 μm 미만일 수 있고, 예를 들어 50 μm 이하, 10 μm 이하(예를 들어, 1 μm 에서 100 μm 범위)일 수 있다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 10 내지 100이다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 100 미만, 50 미만, 25 미만, 10 미만, 5 미만 또는 2 미만이다.

[0017] 일부 실시형태에서는, 도 4f의 상단 평면도에서 볼 수 있듯이 결합 구조체(417)가 캐리어(418) 및 접착제가 없이 캐리어(418)에 직접 결합된 제 1 소자(433)를 포함할 수 있다. 도 4f에 나타난 바와 같이, 제 1 소자(433)는 컷아웃 구역(434)을 포함할 수 있다. 제 2 싱글레이션된 소자(423)는 접착제가 없이 캐리어(418)에 직접 결합될 수 있다. 제 2 싱글레이션된 소자(423)는 제 1 소자(433)의 컷아웃 구역(434) 내에서 적어도 부분적으로

측방향으로 배치될 수 있다. 컷아웃 구역(434)을 사용하면, 서로 다른 형상을 가지고 인접한 다이에 매우 가까운 작은 다이, 칩렛 또는 컴포넌트(예를 들어, 인덕터, 캐패시터, 저항기와 같은 수동 컴포넌트)의 결합이 가능해지게 할 수 있다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 캐리어(418)에 접착제가 없이 직접 결합될 수 있고, 제 2 싱글레이션된 소자(423)는 제 1 소자(433) 및 제 3 싱글레이션된 소자(미도시) 사이에 배치된다.

[0018] 일부 실시형태에서는, 도 4g에 도시된 바와 같이, 제 3 싱글레이션된 소자(435)가 제 2 싱글레이션된 소자(423)에 직접 결합될 수 있다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 제 2 싱글레이션된 소자(423)에 접착제가 없이 직접 결합된다. 도전성 비아(TSV)(431)는 제 2 싱글레이션된 소자(423)를 통과하여 연장되어 제 3 싱글레이션된 소자(435)에 연결될 수 있다. 도 4g에서, 인접 소자의 가장 가까운 활성 다이들 간의 콘택 간극(425)은 도전성 비아(431)의 길이(또는 높이)의 약 4배를 넘지 않을 수 있다. 다른 실시형태에서, 콘택 간극(425)은 도전성 비아(431)의 길이의 약 2 배 미만 또는 약 1배 미만일 수 있다. 이해될 수 있는 것처럼, 도전성 비아(TSV)(431)의 길이는 통상적으로 소자의 두께(429)와 거의 동일하다. 일부 실시형태에서, 비아(431)는 열(thermal) 비아, 수동 비아 또는 수동 소자를 포함할 수 있고, 비아(TSV)(431)의 길이는 소자의 두께(429)보다 작을 수 있다.

[0019] 도 4h에 나타난 바와 같이, 일부 실시형태에서 제 3 싱글레이션된 소자(435)는 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423)에 직접 결합될 수 있다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 접착제가 없이 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423)에 직접 결합된다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 싱글레이션된 패키지를 포함할 수 있다. 싱글레이션된 패키지는 캡슐화 재료 내에 적어도 부분적으로 임베딩된 하나 이상의 다이를 포함할 수 있다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 재배선층을 가진 싱글레이션된 수동 소자를 포함할 수 있다. 재배선층의 평탄한 표면은 하이브리드 결합을 위하여 준비될 수 있다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)는 재배선층을 가지는 싱글레이션된 유전체 소자를 포함할 수 있다. 도전성 비아(431)는 제 1 싱글레이션된 소자(421)와 제 2 싱글레이션된 소자(423)를 통과하여 연장되어 제 3 싱글레이션된 소자(435)에 연결될 수 있다. 제 3 싱글레이션된 소자(435)는 제 1 싱글레이션된 소자(421)와 제 2 싱글레이션된 소자(423)를 연결하는(및/또는 아래의 캐리어(418))에 연결된) 브릿지로서의 역할을 실효적으로 수행한다. 일부 실시형태에서, 제 3 싱글레이션된 소자(435)가 제 1 싱글레이션된 소자(421) 및 제 2 싱글레이션된 소자(423)에 결합되기 전에(도 4h에 나타난 바와 같음), 또는 제 3 싱글레이션된 소자(435)가 제 2 싱글레이션된 소자(423)에 결합되기 전에(도 4g에 나타난 바와 같음), 유전체 재료의 층(439)(다음 도 4i, 도 4ja 및 도 4jb와 결합하여 설명되는 바와 같음)은 제 1 싱글레이션된 소자(421), 제 2 싱글레이션된 소자(423), 및 캐리어(418) 상에 증착될 수 있다. 일부 실시형태에서, 유전체 재료의 층(439)은 제 3 싱글레이션된 소자(435)와 해당 층이 결합된 소자 사이에 결합층(409)을 형성할 수 있다. 일부 실시형태에서, 결합층(409)은 적어도 부분적으로 임베딩된 도전성 콘택 피처(예컨대, 콘택(419, 420))를 가진 유전체 재료를 포함할 수 있다.

[0020] 도 4i, 도 4ja, 도 4jb, 및 도 2에 나타난 바와 같이, 일부 실시형태에서 유전체 재료의 층(439)은 결합 구조체(417) 상에 증착될 수 있다. 도 4i에 나타난 바와 같이, 유전체 재료(439)의 등각성 코팅은 결합 구조체(417) 상에 증착된다. 일부 실시형태에서, 유전층(439)은 캐리어(418), 제 1 싱글레이션된 소자(421), 및 제 2 싱글레이션된 소자(423)를 덮을 수 있다. 추가하여, 유전층(439)은 결합 구조체(417) 위에 배치될 수 있어서, 유전체 재료(439)의 적은 양(440)이 제 1 싱글레이션된 소자(421)와 제 2 싱글레이션된 소자(423) 사이의 갭(441) 내에 배치되게 한다. 일부 실시형태에서, 도 4i에 나타난 바와 같이, 유전체(439)의 적은 양(440)은 갭(441) 안쪽으로 오직 짧은 거리만큼만 연장된다. 일부 실시형태에서, 도 4ja 및 도 4jb에 나타난 바와 같이, 유전층(439)은 결합 구조체(417) 상에 증착될 수 있어서, 제 1 싱글레이션된 소자(421)와 제 2 싱글레이션된 소자(423) 사이의 갭(441)이 완전히(또는 대부분) 유전층(439)으로 채워지게 한다. 일부 실시형태에서, 도 4ja, 도 4jb 및 도 2에 나타난 바와 같이, 유전층(439)은 캐리어(418) 위에 증착될 수 있어서, 캐리어(418) 위의 유전층(439)이 싱글레이션된 소자 중 하나의 두께와 거의 같은 두께가 되게 한다. 도면에 나타난 실시형태에서, 유전층(439)은 싱글레이션된 소자(421, 423) 위로 연장되는 것으로 예시된다. 다른 실시형태에서, 유전층(439)은 평탄화될 수 있어서(예를 들어, CMP 프로세스를 사용함), 유전층(439)의 상단이 소자(421, 423)와 실질적으로 동일한 높이가 되게 한다. 도 4i, 도 4ja, 도 4jb 및 도 2의 실시형태에서, 유전층(439)은 하이브리드 결합을 위하여 준비될 수 있고, 추가 소자(들)가 유전층(439)에 직접 결합될 수 있다. 일부 실시형태에서, 도전성 콘택이 유전층(439) 내에 형성될 수 있고, 상면이 직접 하이브리드 결합을 위하여 준비될 수 있다. 하나 이상의 추가 소자가 유전층(439)을 포함하는 하이브리드 결합층에 직접 하이브리드 결합될 수 있다. 따라서, 다양한 실시형태에서, 소자(421, 423)(도 4ja, 도 4jb 및 도 2에 나타난 것과 같음)는 재구성된 소자 또는 웨이퍼 내에

형성될 수 있고, 추가 소자들이 재구성된 요소 또는 웨이퍼에 직접 결합될 수 있다. 유전층(439)은 다이 및/또는 캐리어를 보호하기 위하여 무기 유전체 재료(예컨대, 실리콘 산화물, 실리콘 질화물, 실리콘 옥시카보나이트 등)를 포함할 수 있다. 다른 실시형태에서, 유전층(439)은 유기 유전체 재료(예컨대, 몰딩 재료)를 포함할 수 있다. 다양한 실시형태에서, 유전층(439)은 다수의 층을 포함할 수 있다.

[0021] 도 4k에 나타난 바와 같이, 일부 실시형태에서 캐리어(418)는 결합층(409)을 포함할 수 있다. 일부 실시형태에서, 결합층(409)은 적어도 부분적으로 임베딩된 도전성 콘택 피처(예컨대, 콘택(419, 420))를 가진 유전체 재료를 포함할 수 있다. 별도로 도시되지 않았지만, 다이(421, 423)는 콘택(422, 424)이 적어도 부분적으로 임베딩되는 비도전성 또는 유전체 결합층을 더 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택(419)과 제 2 도전성 콘택(420)은 결합층(409) 내에 적어도 부분적으로 임베딩된 도전성 트레이스와 같은 커넥터(442)를 통하여 전기적으로 연결될 수 있다. 일부 실시형태에서, 커넥터(442)는 다른 실시형태와 함께 앞서 설명된 것과 같은 도전성 관통 비아(TSV)와 유사하게 구성될 수 있다.

[0022] 본 명세서에서 설명된 모든 실시형태는 본 명세서에 설명된 모든 실시형태의 특징을 통합할 수 있다. 예를 들어, 도 4a에 도시된 바와 같은 실시형태는 도 4k에 도시된 바와 같은 커넥터(442)를 더 포함할 수 있다.

[0023] 하나의 실시형태에서, 결합 구조체는 제 1 도전성 콘택을 포함하는 제 1 싱글레이션된 소자 및 제 2 도전성 콘택을 포함하는 캐리어를 포함할 수 있다. 제 1 도전성 콘택 및 제 2 도전성 콘택은 개재된 접착체가 없이 서로 직접 결합될 수 있다. 제 1 도전성 콘택은 제 1 싱글레이션된 소자의 외부 에지로부터 100 μm 이하의 에지 배제 거리만큼 이격될 수 있다. 제 1 도전성 콘택은 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함할 수 있다. 다양한 실시형태에서, 에지 배제 거리는 50 μm 이하 또는 10 μm 이하일 수 있다. 예를 들어, 에지 배제 거리는 1 μm 내지 100 μm 범위에 속할 수 있다.

[0024] 일 실시형태에서, 결합 구조체는 소정 피치로 이격된 제 1 복수 개의 도전성 콘택을 가지는 제 1 싱글레이션된 소자를 포함할 수 있다. 제 1 복수 개의 도전성 콘택은 제 1 싱글레이션된 소자의 외부 측면 에지에 가장 가까운 적어도 하나의 외부 도전성 콘택을 포함할 수 있다. 적어도 하나의 외부 도전성 콘택은 외부 측면 에지로부터 에지 배제 거리만큼 이격될 수 있고, 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함할 수 있다. 결합 구조체는, 제 1 복수 개의 도전성 콘택에 개재된 접착체가 없이 직접 결합된 제 2 복수 개의 도전성 콘택을 포함하는 캐리어를 포함할 수 있다.

[0025] 일부 실시형태에서, 에지 배제 거리 대 적어도 하나의 소자의 콘택 패드 간의 피치의 비율은 15:1 미만일 수 있다. 일부 실시형태에서, 에지 배제 거리 대 에지 배제 존에 인접한 패드들의 그룹의 피치의 비율은 10:1 미만, 5:1 미만 또는 2:1 미만일 수 있다. 일부 실시형태에서, 제 1 싱글레이션된 소자의 최대 측방향 폭 대 에지 배제 거리의 비율은 15:1 초과, 10:1 초과, 5:1 초과 또는 2:1 초과일 수 있다.

[0026] 다양한 실시형태에서, 결합 구조체는, 제 1 비도전성 구역 및 제 1 복수 개의 도전성 콘택을 포함하는 제 1 결합면을 가진 캐리어; 및 제 2 비도전성 구역 및 제 2 복수 개의 도전성 콘택을 포함하는 제 2 결합면을 가진 싱글레이션된 디바이스 다이를 포함할 수 있다. 제 2 비도전성 구역은 접착체가 없이 캐리어의 제 1 비도전성 구역에 직접 결합될 수 있고, 제 2 복수 개의 도전성 콘택은 접착체가 없이 제 1 복수 개의 도전성 콘택에 직접 결합될 수 있다. 싱글레이션된 디바이스 다이는 제 2 결합면에 대해 비-평행하게 연장된 에칭된 외부 측면 에지를 포함할 수 있고, 제 2 복수 개의 도전성 콘택은 외부 측면 에지에 가장 가까운 적어도 하나의 외부 도전성 콘택을 포함할 수 있다. 적어도 하나의 외부 도전성 콘택은 싱글레이션된 디바이스 다이의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함할 수 있다.

[0027] 일부 실시형태에서, 집적 디바이스 다이는 능동 회로부, 다른 소자로의 직접 하이브리드 결합을 위하여 구성된 결합면 및 결합면에 대해 비-평행하게 연장된 외부 에지를 포함할 수 있다. 제 1 도전성 콘택은 외부 에지로부터 100 μm 이하의 에지 배제 거리만큼 이격될 수 있다. 제 1 도전성 콘택은 능동 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함할 수 있다. 일부 실시형태에서 에지 배제 거리는 50 μm 이하이다. 일부 실시형태에서, 제 1 도전성 콘택은 신호선, 파워선 또는 접지에 전기적으로 연결된다. 일부 실시형태에서, 하나 이상의 더미 패드는 제 1 활성 도전성 콘택 및 다이의 외부 에지 사이의 에지 배제 존 내에 배치될 수 있다. 이러한 구성에서, 더미 패드(들)는 제 1 활성 도전성 콘택보다 작은 최대 측방향 치수를 가질 수 있다.

[0028] 위의 모든 실시형태들에서, 싱글레이션된 소자들 중 임의의 것은 싱글레이션된 다이의 결합면에 대해 비-평행하게 연장된 에칭된 외부 측면을 포함할 수 있다. 일부 실시형태에서, 에칭된 외부 측면은 싱글레이션된 다이의 결합면에 대해 수직으로 연장된다. 일부 실시형태에서, 에칭된 외부 측면은 싱글레이션된 다이의 결합면에 대

해 85° -90° 각도로 연장된다.

- [0029] 다양한 실시형태에서, 결합 구조체는 제 1 도전성 콘택과 제 2 도전성 콘택을 포함하는 캐리어, 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자, 및 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자를 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택 및 제 2 도전성 콘택은 250 마이크로미터 이하의 콘택 간극만큼 이격된다.
- [0030] 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자는 10 마이크로미터 이하의 소자 간극만큼 이격된다. 일부 실시형태에서, 제 1 및 제 2 도전성 콘택은 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께의 약 0.4배 내지 8배의 콘택 간극만큼 이격된다. 일부 실시형태에서, 결합 구조체는 직접 하이브리드 결합된 캐리어 및 제 1 및 제 2 싱글레이션된 소자를 포함할 수 있다. 다른 실시형태에서, 콘택 간극은 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께의 약 2배 미만이다. 일 실시형태에서, 제 1 및 제 2 싱글레이션된 소자는 캐리어의 대응하는 비도전성 구역(들)에 접착제가 없이 직접 결합된 각각의 비도전성 구역을 포함한다. 일부 실시형태에서, 콘택 간극은 200 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 100 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 50 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 10 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 5 마이크로미터 이하이다.
- [0031] 일부 실시형태에서, 콘택 간극은 2 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 1 마이크로미터 내지 250 마이크로미터의 범위에 속한다. 일부 실시형태에서, 콘택 간극은 1 마이크로미터 내지 100 마이크로미터의 범위에 속한다. 일부 실시형태에서, 콘택 간극은 1 마이크로미터 내지 20 마이크로미터의 범위에 속한다. 일부 실시형태에서, 소자 간극은 20 마이크로미터 이하이다. 일부 실시형태에서, 소자 간극은 10 마이크로미터 이하이다. 일부 실시형태에서, 콘택 간극은 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 두께 이하이다.
- [0032] 다양한 실시형태에서, 결합 구조체는 제 1 도전성 콘택과 제 2 도전성 콘택을 포함하는 캐리어, 제 1 도전성 콘택에 접착제가 없이 직접 결합된 제 3 도전성 콘택을 포함하는 제 1 싱글레이션된 소자, 및 제 2 도전성 콘택에 접착제가 없이 직접 결합된 제 4 도전성 콘택을 포함하는 제 2 싱글레이션된 소자를 포함할 수 있다. 일부 실시형태에서, 제 3 도전성 콘택은 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다. 일부 실시형태에서, 제 3 도전성 콘택은 신호선, 파워선, 또는 접지에 연결된다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나는 능동 회로부를 가진 집적 디바이스 다이를 포함한다. 일부 실시형태에서, 제 1 싱글레이션된 소자는 능동 회로부를 가진 집적 디바이스 다이를 포함하고, 제 2 싱글레이션된 소자는 수동 컴포넌트를 포함한다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나는 반응성 이온 에칭(RIE) 프로세스를 사용하여 싱글레이션된다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 최대 측방향 폭은 4 mm 이하이다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자 중 적어도 하나의 최대 측방향 폭은 2 mm 이하이다. 일부 실시형태에서, 제 1 싱글레이션된 소자의 외부 에지와 제 3 도전성 콘택 사이의 에지 배제 거리는 100 마이크로미터 미만이다. 일부 실시형태에서, 에지 배제 거리는 50 마이크로미터 이하이다. 일부 실시형태에서, 에지 배제 거리는 10 마이크로미터 이하이다. 일부 실시형태에서, 에지 배제 거리는 1 마이크로미터 내지 100 마이크로미터의 범위에 속한다.
- [0033] 다양한 실시형태에서, 결합 구조체는 캐리어, 캐리어에 접착제가 없이 직접 결합된 제 1 소자(제 1 소자는 컷아웃(cutout) 구역을 포함함), 및 캐리어에 접착제가 없이 직접 결합된 제 2 싱글레이션된 소자를 포함하고, 제 2 싱글레이션된 소자는 제 1 소자의 컷아웃 구역 내에서 적어도 부분적으로 측방향으로 배치된다. 일부 실시형태에서, 결합 구조체는 캐리어에 접착제가 없이 직접 결합된 제 3 싱글레이션된 소자를 더 포함하고, 제 2 싱글레이션된 소자는 제 1 소자와 상기 제 3 싱글레이션된 소자 사이에 배치된다. 일부 실시형태에서, 제 3 소자는 제 2 싱글레이션된 소자에 직접 결합된다. 일부 실시형태에서, 결합 구조체는 제 2 싱글레이션된 소자를 관통하여 제 3 소자와 연결되는 도전성 비아를 포함한다. 일부 실시형태에서, 콘택 간극은 도전성 비아의 길이 이하이다.
- [0034] 다양한 실시형태에서, 결합 구조체는 제 1 도전성 콘택을 포함하는 제 1 싱글레이션된 소자 및 제 2 콘택 패드를 포함하는 캐리어를 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택 및 제 2 도전성 콘택은 개재된 접착제가 없이 서로 직접 결합된다. 제 1 도전성 콘택은 제 1 싱글레이션된 소자의 외부 에지로부터 200 마이크로미터 이하의 에지 배제 거리만큼 이격될 수 있다. 일부 실시형태에서, 제 1 도전성 콘택은 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다. 일부 실시형태에서, 에지 배제 거리는 약 10 마이크로미터 내지 100 마이크로미터이다.
- [0035] 다양한 실시형태에서, 결합 구조체는 소정 피치로 이격된 제 1 복수 개의 도전성 콘택을 가진 제 1 싱글레이션

된 소자를 포함할 수 있다. 제 1 복수 개의 도전성 콘택은 제 1 싱글레이션된 소자의 외부 측면 에지에 가장 가까운 적어도 하나의 외부 도전성 콘택을 포함할 수 있다. 일부 실시형태에서, 적어도 하나의 외부 도전성 콘택은 외부 측면 에지로부터 에지 배제 거리만큼 이격되고, 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택, 및 제 1 복수 개의 도전성 콘택에 개재된 접착체가 없이 직접 결합된 제 2 복수 개의 도전성 콘택을 포함하는 캐리어를 포함한다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 약 10:1 내지 50:1이다. 다른 실시형태에서, 에지 배제 거리 대 피치의 비율은 약 15:1 미만이다.

[0036] 다른 실시형태에서, 결합 구조체는 최대 측방향 폭을 가지고 제 1 복수 개의 도전성 콘택을 포함하는 제 1 싱글레이션된 소자를 포함할 수 있다. 일부 실시형태에서, 제 1 복수 개의 도전성 콘택은 제 1 싱글레이션된 소자의 외부 측면 에지에 가장 가까운 적어도 하나의 외부 도전성 콘택을 포함한다. 일부 실시형태에서, 적어도 하나의 외부 도전성 콘택은 외부 측면 에지로부터 에지 배제 거리만큼 이격되고, 제 1 싱글레이션된 소자의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다; 일부 실시형태에서, 결합 구조체는 제 1 복수 개의 도전성 콘택에 개재된 접착체가 없이 직접 결합된 제 2 복수 개의 도전성 콘택을 포함하는 캐리어를 포함할 수 있다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 약 10:1 내지 100:1이다. 다른 실시형태에서, 최대 측방향 폭 대 배제 거리의 비율은 약 50:1 미만이다.

[0037] 다른 실시형태에서, 결합 구조체는 제 1 비도전성 구역과 제 1 복수 개의 도전성 콘택을 포함하는 제 1 결합면을 가진 캐리어를 포함할 수 있다. 일부 실시형태에서, 결합 구조체는 제 2 비도전성 구역과 제 2 복수 개의 도전성 콘택을 포함하는 제 2 결합면을 가진 싱글레이션된 디바이스 다이를 포함한다. 일부 실시형태에서, 제 2 비도전성 구역은 접착체가 없이 캐리어의 제 1 비도전성 구역에 직접 결합되고, 제 2 복수 개의 도전성 콘택은 접착체가 없이 제 1 복수 개의 도전성 콘택에 직접 결합된다. 일부 실시형태에서, 싱글레이션된 디바이스 다이는 제 2 결합면에 대해 비-평행하게 연장되는 예정된 외부 측면 에지를 포함하고, 제 2 복수 개의 도전성 콘택은 외부 측면 에지에 가장 가까운 적어도 5 개의 외부 도전성 콘택을 포함하며, 이러한 적어도 5 개의 외부 도전성 콘택은 싱글레이션된 디바이스 다이의 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다. 일부 실시형태에서, 에지 배제 거리는 50 마이크론 이하이다. 일부 실시형태에서, 에지 배제 거리는 10 마이크론 이하이다. 일부 실시형태에서, 에지 배제 거리는 1 마이크론 내지 100 마이크론의 범위에 속한다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 10 미만이다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 5 미만이다. 일부 실시형태에서, 에지 배제 거리 대 피치의 비율은 2 미만이다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 10 미만이다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 5 미만이다. 일부 실시형태에서, 최대 측방향 폭 대 에지 배제 거리의 비율은 2 미만이다. 일부 실시형태에서, 적어도 하나의 외부 도전성 콘택은 신호선, 파워선 또는 접지에 전기적으로 연결된다.

[0038] 다양한 실시형태들에서, 집적된 디바이스 다이는 능동 회로부, 다른 소자로의 직접 하이브리드 결합을 위하여 구성된 결합면, 결합면에 대해 비-평행하게 연장되는 외부 에지, 및 외부 에지로부터 100 마이크론 이하의 에지 배제 거리만큼 이격된 제 1 도전성 콘택을 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택은 능동 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다. 일부 실시형태에서, 에지 배제 거리는 50 마이크론 이하이다. 일부 실시형태에서, 제 1 도전성 콘택은 신호선, 파워선 또는 접지에 전기적으로 연결된다. 집적된 디바이스 다이는 제 1 도전성 콘택과 다이의 외부 에지 사이에 배치된 더미 비활성 콘택(dummy inactive contact)을 포함한다.

[0039] 다양한 실시형태들에서, 집적된 디바이스 다이는 능동 회로부, 다른 소자로의 직접 하이브리드 결합을 위하여 구성된 결합면, 결합면에 대해 비-평행하게 연장되는 외부 에지, 및 외부 에지로부터 100 마이크론 이하의 에지 배제 거리만큼 이격된 제 1 도전성 콘택을 포함할 수 있다. 일부 실시형태에서, 제 1 도전성 콘택은 능동 회로부에 전기적으로 연결된 전기적 활성 콘택을 포함한다. 일부 실시형태에서, 에지 배제 거리는 50 마이크론 이하이다. 일부 실시형태에서, 제 1 도전성 콘택은 신호선, 파워선 또는 접지에 전기적으로 연결된다. 집적된 디바이스 다이는 제 1 도전성 콘택과 다이의 외부 에지 사이에 배치된 더미 비활성 콘택(dummy inactive contact)을 포함한다.

[0040] 다양한 실시형태에서, 다이를 싱글레이션하는 방법은, 복수 개의 도전성 콘택을 포함하는 기판을 평탄화하는 단계, 기판 상에 보호층을 도포하는 단계, 기판 상에 보호층을 패터닝하는 단계, 기판을 다이싱 프레임으로 전달하는 단계, 및 에칭 프로세스를 통해 기판을 복수 개의 싱글레이션된 소자로 싱글레이션하는 단계를 포함한다. 일부 실시형태에서, 에칭 프로세스는 건식 에칭 프로세스, 습식 에칭 프로세스, 또는 정밀 다이싱 블레이드를 포함한다. 일부 실시형태에서, 건식 에칭 프로세스는 반응성 이온 에칭이다. 일부 실시형태에서, 기판을 싱글

레이션하는 단계는 에칭 프로세스들의 조합을 통하여 달성된다.

- [0041] 다양한 실시형태에서, 다이를 싱글레이션하는 방법은 기관으로부터 보호층을 제거하는 단계, 처리법을 사용하여 기관을 처리하는 단계, 및 다른 소자로의 직접 결합을 위하여 기관을 준비하는 단계를 더 포함할 수 있다. 일부 실시형태에서, 이러한 처리법은 에칭, 표면 활성화 또는 질소 플라즈마 처리를 포함한다. 일부 실시형태에서, 직접 결합을 위하여 기관을 준비하는 단계는, 기관을 세정(cleaning), 세척(rinsing), 및 건조시키는 것을 더 포함한다.
- [0042] 다양한 실시형태들에서, 결합 구조체를 생성하기 위한 방법은, 제 1 및 제 2 소자를 싱글레이션하는 단계(제 1 및 제 2 소자는 100 마이크론 이하의 에지 배제 거리를 포함함), 및 제 1 및 제 2 싱글레이션된 소자를 캐리어에 결합하는 단계를 포함할 수 있고, 제 1 및 제 2 싱글레이션된 소자들 사이의 거리는 10 마이크론 이하이다. 일부 실시형태에서, 제 1 및 제 2 싱글레이션된 소자를 캐리어에 결합하는 단계는, 상기 제 1 및 제 2 싱글레이션된 소자를 캐리어에 접착제를 사용하지 않고 직접 결합하는 것을 포함한다. 일부 실시형태에서, 제 1 및 제 2 소자를 싱글레이션하는 단계는, 상기 제 1 및 제 2 소자를 반응성 이온 에칭을 사용하여 싱글레이션하는 것을 포함한다.
- [0043] 당업자는 앞서 언급된 실시형태의 특징들이 미국 가출원 번호 제 63/313,639에 제공된 추가적인 개시내용으로부터 통보될 수 있다는 것을 이해할 것이고, 이러한 출원은 그 내용 전체가 본 명세서에 참조로서 포함된다.
- [0044] 직접 결합 방법 및 직접 결합 구조체의 예
- [0045] 본 명세서에서 개시된 다양한 실시형태는 두 개 이상의 소자가 개재된 접착제가 없이 서로에 직접 결합될 수 있는 직접 결합 구조체에 관한 것이다. 도 5a 및 도 5b는 일부 실시형태에 따라서 개재된 접착제가 없이 직접 하이브리드 결합 구조체를 형성하기 위한 프로세스를 개략적으로 예시한다. 도 5a 및 도 5b에서, 결합 구조체(517)는 개재된 접착제가 없이 결합 계면(545)에서 서로 직접 결합될 수 있는 두 개의 소자(543 및 544)를 포함한다. 두 개 이상의 마이크로전자 소자(543 및 544)(예를 들어 집적된 디바이스 다이, 웨이퍼, 수동 디바이스를 포함하는 반도체 소자, 전력 스위치와 같은 개별적인 능동 디바이스 등과 같은 소자)가 적층되거나 서로 결합되어 결합 구조체(517)를 형성할 수 있다. 제 1 소자(543)의 도전성 피쳐(546a)(예를 들어, 콘택 패드, 트레이스, 기관 전극 또는 비아를 관통하는 비아의 노출된 단부)는 제 2 소자(544)의 대응하는 도전성 피쳐(106b)에 전기적으로 연결될 수 있다. 임의의 적절한 개수의 소자가 결합 구조체(517) 내에 적층될 수 있다. 예를 들어, 제 3 소자(미도시)가 제 2 소자(544) 상에 스택될 수 있고, 제 4 소자(미도시)가 제 3 소자 상에 스택될 수 있는 등이다. 추가적으로 또는 대안적으로, 하나 이상의 추가적인 소자(미도시)는 제 1 소자(543)를 따라서 서로 측방향으로 인접하게 스택될 수 있다. 일부 실시형태들에서, 측방향으로 적층된 추가적 소자는 제 2 소자보다 작을 수 있다. 일부 실시형태들에서, 측방향으로 적층된 추가적 소자는 제 2 소자보다 두 배 더 작을 수 있다.
- [0046] 일부 실시형태들에서, 소자들(543 및 544)은 접착제가 없이 서로 직접 결합된다. 다양한 실시형태들에서, 비도전성 또는 유전체 재료를 포함하는 비도전성 필드 구역은, 제 2 소자(104)의 제 2 결합층(509b)으로서의 역할을 하는 비도전성 또는 유전체 재료를 포함하는 대응하는 비도전성 필드 구역에 접착제가 없이 직접 결합될 수 있는 제 1 소자(543)의 제 1 결합층(509a)으로서의 역할을 할 수 있다. 비도전성 결합층(509a 및 509b)은 디바이스 부분(548a 및 548b)의 개별적인 전면(547a 및 547b), 예컨대 소자(543, 544)의 반도체(예를 들어, 실리콘) 부분 또는 이러한 반도체 부분들 위의 BEOL(back-end-of-line) 상호연결층 상에 배치될 수 있다. 능동 디바이스 및/또는 회로부는 디바이스 부분(548a 및 548b) 안에 또는 위에 패터닝되고 및/또는 그렇지 않으면 배치될 수 있다. 능동 디바이스 및/또는 회로부는 디바이스 부분(548a 및 548b)의 전면(547a 및 547b)에 또는 근처에, 및/또는 디바이스 부분(548a 및 548b)의 반대편의 후면(549a 및 549b)에 또는 근처에 배치될 수 있다. 결합층이 소자들의 전면 및/또는 후면에 제공될 수 있다. 비도전성 재료는 제 1 소자(543)의 비도전성 결합 구역 또는 결합층(509a)이라고 불릴 수 있다. 일부 실시형태들에서, 제 1 소자(543)의 비도전성 결합층(509a)은 유전체-유전체 결합 기법을 사용하여 제 2 소자(544)의 대응하는 비도전성 결합층(509b)에 직접 결합될 수 있다. 예를 들어, 비도전성 또는 유전체-유전체 결합은 적어도 미국 특허 번호 제 9,564,414, 제 9,391,143 및 제 10,434,749에 개시된 직접 결합 기법을 사용하여 접착제가 없이 형성될 수 있는데, 이들 각각의 전체 내용은 그 전체로서 모든 점에서 원용에 의해 본 명세서에 통합된다. 다양한 실시형태에서, 결합층(509a 및/또는 509b)은 비도전성 재료, 예컨대 유전체 재료, 예컨대 실리콘 산화물, 또는 비도핑 반도체 재료, 예컨대 비도핑 실리콘을 포함할 수 있다는 것이 이해되어야 한다. 적절한 유전체 결합면 또는 직접 결합을 위한 재료는 실리콘을 포함하는 무기물 유전체, 예컨대 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화질화물을 포함하지만 이것으로 한

정되는 것은 아니거나, 또는 탄소, 예컨대 실리콘 카바이드, 실리콘 산화카르보질화물, 저 K 유전체 재료, SiCOH 유전체, 실리콘 카르보질화물 또는 다이아몬드-형 탄소 또는 다이아몬드 표면을 포함하는 재료를 포함할 수 있다. 이러한 탄소-보유 세라믹 재료는 탄소를 포함함에도 불구하고 무기물이라고 여겨질 수 있다. 일부 실시형태들에서, 유전체 재료는 폴리머 재료, 예컨대 에폭시, 수지 또는 몰딩 재료를 포함하지 않는다.

[0047]

일부 실시형태들에서, 디바이스부들(548a 및 548b)은 이중 구조체를 형성하는, 상당히 다른 열팽창 계수(CTE)를 가질 수 있다. 디바이스부들(548a 및 548b) 사이, 특히 벌크 반도체, 통상적으로 디바이스부(548a, 548b)의 단결정부들(single crystal portion) 사이의 CTE 차이는 5 ppm 보다 크거나 10 ppm보다 클 수 있다. 예를 들어, 디바이스부들(548a 및 548b) 사이의 CTE 차이는 5 ppm 내지 100 ppm, 5 ppm 내지 40 ppm, 10 ppm 내지 100 ppm, 또는 10 ppm 내지 40 ppm의 범위에 속할 수 있다. 일부 실시형태들에서, 디바이스부(548a 및 548b) 중 하나는 광학 압전 또는 열전기 애플리케이션을 위하여 유용한 페로스카이트 재료를 포함하는 광전자 단결정 재료를 포함할 수 있고, 디바이스부들(548a, 548b) 중 다른 것들은 더 종래의 기관 재료를 포함한다. 예를 들어, 디바이스부들(548a 및 548b) 중 하나는 리튬 탄탈레이트(LiTaO₃) 또는 리튬 니오베이트(LiNbO₃)를 포함하고, 디바이스부들(548a, 548b) 중 다른 것은 실리콘(Si), 석영, 융합된 실리카 유리, 사파이어, 또는 유리를 포함한다. 다른 실시형태들에서, 디바이스부들(548a 및 548b) 중 하나는 III-V 단일 반도체 재료, 예컨대 갈륨 비소(GaAs) 또는 갈륨 질화물(GaN)을 포함하고, 디바이스부들(548a 및 548b) 중 다른 하나는 비-III-V 반도체 재료, 예컨대 실리콘(Si)을 포함할 수 있거나, 유사한 CTE를 가진 다른 재료, 예컨대 석영, 융합된 실리카 유리, 사파이어, 또는 유리를 포함할 수 있다.

[0048]

다양한 실시형태들에서, 직접 하이브리드 결합은 개재된 접착제가 없이 형성될 수 있다. 예를 들어, 비전도성 결합면(550a 및 550b)은 높은 평활도가 되도록 연마될 수 있다. 비도전성 결합면(550a 및 550b)은, 예를 들어 화학적 기계적 연마(CMP)를 사용하여 연마될 수 있다. 연마된 결합면(550a 및 550b)의 조도는 30 Årms보다 작을 수 있다. 예를 들어, 결합면(550a 및 550b)의 조도는 약 0.1 Årms 내지 15 Årms, 0.5 Årms 내지 10 Årms, 또는 1 Årms 내지 5 Årms의 범위에 속할 수 있다. 결합면(550a 및 550b)은 세정되고 플라즈마 및/또는 에칭에 노출되어 표면(550a 및 550b)을 활성화시킬 수 있다. 일부 실시형태들에서, 표면(550a 및 550b)은 활성화 이후에 또는 활성화 도중에(예를 들어, 플라즈마 및/또는 에칭 프로세스 도중에) 종들(species)로 중단될 수 있다. 이론적으로는 한정되지 않으면서, 일부 실시형태들에서 활성화 프로세스가 결합면(550a 및 550b)에서의 화학적 결합을 깨기 위하여 수행될 수 있고, 중단 프로세스는 직접 결합 도중에 결합 에너지를 개선하는 추가적인 화학 종을 결합면(550a 및 550b)에 제공할 수 있다. 일부 실시형태들에서, 활성화 및 중단은 동일한 단계에서, 예를 들어 표면(550a 및 550b)을 활성화 및 중단하기 위한 플라즈마에서 제공된다. 다른 실시형태들에서, 결합면(550a 및 550b)은 별개의 처리에서 중단되어 직접 결합을 위한 추가적인 종을 제공할 수 있다. 다양한 실시형태들에서, 중단하는 종들은 질소를 포함할 수 있다. 예를 들어, 일부 실시형태들에서, 결합면(들)(550a 및 550b)은 질소-함유 플라즈마에 노출될 수 있다. 더 나아가, 일부 실시형태들에서, 결합면(550a 및 550b)은 불소에 노출될 수 있다. 예를 들어, 제 1 및 제 2 소자(543, 544) 사이의 결합 계면(545)에 또는 근처에 하나 또는 다수의 불소 피크가 존재할 수 있다. 따라서, 직접 결합 구조체(517)에서, 두 유전체 재료들(예를 들어, 결합 층(509a 및 509b) 사이의 결합 계면(545)이 높은 질소 함량 및/또는 불소 피크를 가지는 매우 부드러운 계면을 결합 계면(545)에 포함할 수 있다. 활성화 및/또는 중단 처리의 추가적인 예는 미국 특허 번호 제 9,564,414; 제 9,391,143; 및 제 10,434,749 전체에서 발견될 수 있는데, 이들 각각의 전체 내용은 그 전체로서 그리고 모든 점에서 본 명세서에서 원용에 의해 통합된다. 연마된 결합면(550a 및 550b)의 조도는 활성화 프로세스 이후에 다소 더 거칠어질 수 있다(예를 들어, 약 1 Årms 내지 30 Årms, 3 Årms 내지 20 Årms, 또는 더 거칠 수 있음).

[0049]

다양한 실시형태에서, 제 1 소자(543)의 도전성 피쳐(546a)도 역시 제 2 소자(544)의 대응하는 도전성 피쳐(546b)에 접착제가 없이 직접 결합될 수 있다(예를 들어, 도전성 피쳐(546a, 546b) 사이에 솔더나 다른 도전성 접착제가 개재되지 않음). 예를 들어, 전술된 바와 같이 형성된 직접 공유 결합된 비도전성-비도전성(예를 들어, 유전체-유전체) 표면들을 포함하는 결합 계면(545)을 따라서 도체-도체 직접 결합을 제공하기 위하여 직접 하이브리드 결합 기법이 사용될 수 있다. 다양한 실시형태들에서, 도체-도체(예를 들어, 도전성 피쳐(546a)-도전성 피쳐(506b)) 직접 결합 및 유전체-유전체 결합은 적어도 미국 특허 번호 제9,716,033 및 제9,852,988에 개시된 직접 하이브리드 결합 기법을 사용하여 형성될 수 있고, 이들 각각의 전체 내용은 본 명세서에서 그 전체로서 그리고 모든 점에서 통합된다. 본 명세서에서 설명되는 직접 하이브리드 결합 실시형태에서, 도전성 피쳐는 비도전성 결합층들 내에 제공되고, 도전성 피쳐 및 비도전성 피쳐 양자 모두가, 예컨대 전술된 평탄화, 활성화 및/또는 중단 처리에 의하여 직접 결합을 위하여 준비된다. 따라서, 직접 하이브리드 결합을 위하여 준비된

결합면은 도전성 피쳐 및 비도전성 피쳐 양자 모두를 포함한다.

[0050] 예를 들어, 전술된 바와 같이, 비도전성(예를 들어, 유전체) 결합면들(550a 및 550b)(예를 들어, 무기물 유전체면)이 형성되고 개재된 접착제가 없이 서로 직접 결합될 수 있다. 도전성 콘택 피쳐들(예를 들어, 결합층(509a 및 509b) 내의 비도전성 유전체 필드 구역에 의해 적어도 부분적으로 둘러싸일 수 있는 도전성 피쳐(546a 및 546b))도 개재된 접착제가 없이 서로 직접 결합될 수 있다. 다양한 실시형태들에서, 도전성 피쳐(546a, 546b)는 비도전성 필드 구역 내에 적어도 부분적으로 임베딩된 이산 패드 또는 트레이스를 포함할 수 있다. 일부 실시형태들에서, 도전성 콘택 피쳐는 기판 관통 비아(예를 들어, 실리콘 관통 비아(through substrate via; TS V))의 노출된 접촉면을 포함할 수 있다. 일부 실시형태들에서, 각각의 도전성 피쳐(546a 및 546b)는 유전체 필드 구역 또는 비도전성 결합층(509a 및 509b)의 외면(예를 들어, 상면)(비도전성 결합면(550a 및 550b)) 아래로 함몰될 수 있고, 예를 들어 30 nm 미만, 20 nm 미만, 15 nm 미만, 또는 10 nm 미만으로 함몰되고, 예를 들어 2 nm 내지 20 nm의 범위 내로, 또는 4 nm 내지 10 nm의 범위 내로 함몰된다. 리세스(recess)는 도전성 피쳐(546a, 546b)가 내부에 배치된 캐비티의 중간 또는 중심에 있거나 그 근처에 위치할 수 있고, 추가적으로 또는 대안적으로, 도전성 피쳐(546a, 546b)가 내부에 배치된 캐비티의 측면을 따라서 연장되거나 배치될 수 있다. 다양한 실시형태들에서, 직접 결합 이전에, 마주보는 소자들 내의 리세스는 마주보는 콘택 패드들 사이의 총 갭이 15 nm 미만, 또는 10 nm 미만이 되도록 크기결정될 수 있다. 일부 실시형태들에서, 비도전성 결합층(509a 및 509b)은 실온에서 접착제가 없이 서로 직접 결합되고, 그 후에 결합 구조체(517)가 어닐링될 수 있다. 어닐링 시에, 콘택 패드(546a 및 546b)는 확장되고 서로 접촉해서 금속-금속 직접 결합을 형성할 수 있다. 유리하게도, Adeia(캘리포니아주 산호세)로부터 상업적으로 입수되는 직접 결합 상호연결(Direct Bond Interconnect, DBI®) 기술을 사용하면, 도전성 피쳐(546a, 546b)의 높은 밀도가 직접 결합 인터페이스(545)(예를 들어, 규칙적인 배열을 위한 소형 또는 미세 피치)를 거쳐 연결될 수 있다. 일부 실시형태들에서, 도전성 피쳐들(546a 및 546b), 예컨대 결합된 소자들 중 하나의 결합면 내에 임베딩된 도전성 트레이스들의 피치는 100 마이크로미터 미만 또는 10 마이크로미터 미만 또는 심지어 2 마이크로미터 미만일 수 있다. 일부 애플리케이션의 경우, 도전성 패드의 치수들 중 하나(예를 들어, 직경)에 대한 도전성 피쳐(546a 및 546b)의 피치의 비율은 20 미만, 또는 10 미만, 또는 5 미만 또는 3 미만이고, 바람직하게는 가끔 2 미만이다. 다른 애플리케이션에서, 결합된 소자들 중 하나의 결합면 내에 임베딩된 도전성 트레이스의 폭은 0.3 내지 20 마이크로미터의 범위를 가지고, 예를 들어 0.3 내지 3 마이크로미터의 범위를 가질 수 있다. 다양한 실시형태들에서, 도전성 피쳐(546a 및 546b) 및/또는 트레이스는 구리 또는 구리 합금을 포함할 수 있지만, 다른 금속들도 적합할 수 있다. 예를 들어, 도전성 피쳐(546a 및 546b)와 같이 본 명세서에 개시된 도전성 피쳐는 미세 입자 금속(예를 들어, 미세 입자 구리)을 포함할 수 있다.

[0051] 따라서, 직접 결합 프로세스에서, 제 1 소자(543)는 제 2 소자(544)에 개재된 접착제가 없이 직접 결합될 수 있다. 일부 구성에서, 제 1 소자(543)는 싱글레이션된 집적된 디바이스 다이와 같은 싱글레이션된 소자를 포함할 수 있다. 다른 배치구성에서, 제 1 소자(543)가 싱글레이션되면 복수 개의 통합된 디바이스 다이를 형성하는 복수 개의(예를 들어, 수 십 개, 수 백 개, 또는 그 이상) 디바이스 구역을 포함하는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 유사하게도, 제 2 소자(544)는 개별화된 집적 디바이스 다이와 같은 개별화된 소자를 포함할 수 있다. 다른 구성에서, 제 2 소자(104)는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 본원에 개시된 실시형태는 웨이퍼-웨이퍼(W2W), 다이-다이(D2D), 또는 다이-웨이퍼(D2W) 결합 프로세스에 이에 상응하도록 적용될 수 있다. 웨이퍼-웨이퍼(W2W) 프로세스에서, 두 개 이상의 웨이퍼들이 서로 직접 결합되고(예를 들어, 직접 하이브리드 결합됨) 적절한 싱글레이션 프로세스를 사용하여 싱글레이션될 수 있다. 싱글레이션 이후에, 싱글레이션된 구조체의 측면 에지들(예를 들어, 두 개의 결합된 소자들의 측면 에지들)은 실질적으로 동일한 높이일 수 있고, 결합 구조체에 대한 공통 싱글레이션 프로세스를 표시하는 마킹(예를 들어, 톱 싱글레이션 프로세스(saw singulation process)가 사용된다면 톱 마크)을 포함할 수 있다.

[0052] 본 명세서에서 설명되는 바와 같이, 제 1 및 제 2 소자(543 및 544)는 접착제가 없이 서로에 직접 결합될 수 있는데, 이것은 증착 프로세스와 다른 것이고, 결과적으로 증착과 비교할 때 구조적으로 상이한 계면이 얻어진다. 하나의 애플리케이션에서, 결합 구조체 내의 제 1 소자(543)의 폭은 제 2 소자(544)의 폭과 유사하다. 일부 다른 실시형태들에서, 결합 구조체(517) 내의 제 1 소자(543)의 폭은 제 2 소자(544)의 폭과 다르다. 이와 유사하게, 결합 구조체 내의 더 큰 소자의 폭이나 면적은 더 작은 소자의 폭이나 면적보다 적어도 10% 더 클 수 있다. 따라서, 제 1 및 제 2 소자(543 및 544)는 증착되지 않은 소자들을 포함할 수 있다. 더 나아가, 증착된 층들과 달리, 직접 결합 구조체(517)는 내부에 나노미터-스케일(나노보이드(nanovoid))가 존재하는 결합 계면(545)을 따라서 결합 구역(defect region)을 포함할 수 있다. 나노보이드는 결합면(550a 및 550b)의 활성화(예를 들어, 플라즈마에 노출됨)에 기인하여 형성될 수 있다. 전술된 바와 같이, 결합 계면(545)은 활성화 및/또

는 마지막 화학적 처리 프로세스로부터 유발된 재료들의 농축물(concentration)을 포함할 수 있다. 예를 들어, 활성화를 위해서 질소 플라즈마를 활용하는 실시형태들에서, 질소 피크가 결합 계면(545)에 형성될 수 있다. 질소 피크는 이차 이온 질량분광분석학(secondary ion mass spectroscopy; SIMS) 기법을 사용하여 검출가능할 수 있다. 다양한 실시형태들에서, 예를 들어 질소 중단 처리(예를 들어, 결합 표면을 질소-보유 플라즈마에 노출시킴)가 수산화(hydrolyzed)(OH-중단) 표면을 NH₂ 분자로 치환하여, 질소-중단 표면을 제공할 수 있다. 활성화를 위해서 산소 플라즈마를 활용하는 실시형태들에서는 산소 피크가 접합 계면(545)에 형성될 수 있다. 일부 실시형태들에서, 접합 계면(545)은 실리콘 산화질화물, 실리콘 옥시카르보질화물(산화탄질물), 또는 실리콘 카르보질화물(탄질물)을 포함할 수 있다. 본 명세서에서 설명되는 바와 같이, 직접 결합은 공유 결합을 포함할 수 있고, 이것은 반데르 발스 결합보다 더 강하다. 결합층(509a 및 509b)은 높은 평활도로 평탄화된 연마된 표면을 더 포함할 수 있다.

[0053] 다양한 실시형태들에서, 콘택 피쳐들(546a 및 546b) 사이의 금속-금속 결합들은 금속 알갱이들이 결합 계면(545)을 가로질러 서로의 내부로 성장하도록 결합될 수 있다. 일부 실시형태들에서, 금속은 구리이거나 구리를 포함하는데, 이것은 결합 계면(545)을 통과하는 개선된 구리 확산을 위한 111 결정면(crystal plane)을 따라서 배향된 알갱이들을 가질 수 있다. 일부 실시형태들에서, 도전성 피쳐들(546a 및 546b)은 나노트윈(nanotwinned) 구리 알갱이 구조체를 포함할 수 있고, 이것은 어닐링 도중에 도전성 피쳐들을 병합하는 것을 도울 수 있다. 결합된 도전성 피쳐(546a 및 546b)에 또는 그 근처에서 비도전성 결합층들(509a 및 509b) 사이에 실질적으로 갭이 존재하지 않도록, 결합 계면(545)은 결합된 도전성 피쳐(546a 및 546b)의 적어도 일부를 향해 실질적으로 전체적으로 연장될 수 있다. 일부 실시형태들에서, 베리어층이 도전성 피쳐들(예를 들어, 구리를 포함할 수 있음)(546a 및 546b) 아래에 및/또는 이를 측방향으로 둘러싸면서 제공될 수 있다. 그러나, 다른 실시형태들에서, 예를 들어 US 2019/11195748에 설명된 바와 같이 도전성 피쳐(546a 및 546b) 아래에 베리어층이 존재하지 않을 수도 있는데, 이것은 본 명세서에서 그 전체로서 그리고 모든 점에서 통합된다.

[0054] 유용하게도, 본 명세서에서 설명된 하이브리드 결합 기법들을 사용하면 인접한 도전성 피쳐들(546a 및 546b) 사이에 극히 미세한 피치, 및/또는 작은 패드 크기가 가능해질 수 있다. 예를 들어, 다양한 실시형태들에서, 인접한 도전성 피쳐(546a)(또는 546b) 사이의 피치 p(도 5a에 도시된 바와 같이 에지-에지 또는 중심-중심 사이의 거리)는 0.5 마이크로미터 내지 50 마이크로미터의 범위, 0.75 마이크로미터 내지 25 마이크로미터의 범위, 1 마이크로미터 내지 25 마이크로미터의 범위, 1 마이크로미터 내지 10 마이크로미터의 범위, 또는 1 마이크로미터 내지 5 마이크로미터의 범위에 속할 수 있다. 예를 들어, 주된 측방향 치수(예를 들어, 패드 직경)도 역시 작을 수 있고, 예를 들어 0.25 마이크로미터 내지 30 마이크로미터의 범위 내, 0.25 마이크로미터 내지 5 마이크로미터의 범위 내, 또는 0.5 마이크로미터 내지 5 마이크로미터의 범위 내에 있을 수 있다.

[0055] 전술된 바와 같이, 비도전성 결합층들(509a, 509b)은 접착제가 없이 서로 직접 결합될 수 있고, 그 후에 결합 구조체(517)가 어닐링될 수 있다. 어닐링 시에, 콘택 패드(546a, 546b)는 확장되고 서로 접촉해서 금속-금속 직접 결합을 형성할 수 있다. 일부 실시형태들에서, 도전성 피쳐(546a, 546b)의 재료는 어닐링 프로세스 도중에 상호확산될 수 있다.

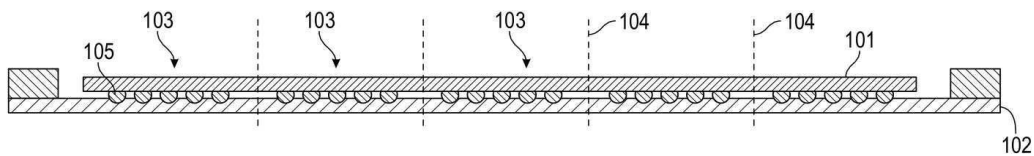
[0056] 콘택스트가 그렇지 않다고 명백하게 요구하지 않는 한, 상세한 설명 및 청구 범위 전체에서, "포함(comprise)", "포함(comprising)", "포함(include)", "포함(including)" 등의 용어는, 배타적이거나 망라적인 의미와 반대인 포함하는 의미로, 다시 말해서, "포함하지만 이들로 한정되는 것은 아닌(including, but not limited to)"이라는 의미로 해석되어야 한다. "커플링된(coupled)"이라는 단어는 본 명세서에서 일반적으로 사용될 때, 직접적으로 연결되거나 하나 이상의 중간 소자를 이용하여 연결될 수 있는 두 개 이상의 소자를 가리킨다. 이와 유사하게, "연결된(connected)"이라는 단어는 본 명세서에서 일반적으로 사용될 때, 직접적으로 연결되거나 하나 이상의 중간 소자를 이용하여 연결될 수 있는 두 개 이상의 소자를 가리킨다. 추가로, "여기에서", "위에서", "아래에서"의 단어들과 그리고 유사한 의미의 단어들은 본원에서 사용될 때에 본원을 전체적으로 언급하는 것이고 본원의 어떤 특별한 부분들을 언급하는 것이 아니다. 더욱이, 본 명세서에서 사용될 때, 제 1 소자가 제 2 소자 "상에(on)" 또는 "위에(over)" 존재하는 것으로 설명되면, 제 1 및 제 2 소자가 직접적으로 접촉하도록 제 1 소자는 직접적으로 제 2 소자 상에 또는 그 위에 존재할 수 있고, 또는 제 1 소자는 하나 이상의 소자가 제 1 및 제 2 소자 사이에 개재하도록 간접적으로 제 2 소자 상에 또는 그 위에 존재할 수 있다. 맥락상 허용되는 경우에는, 단수의 또는 복수 개수를 이용한 상기 상세한 설명에서의 단어들은 각각 복수 또는 단수의 개수를 또한 포함할 수 있을 것이다. 둘 또는 그 이상의 아이тем들의 목록을 참조할 때의 "또는(or)"이란 단어는, 그 단어의 다음의 해석들을 모두 커버한다: 목록 내 아이тем들 중 어느 하나, 목록 내의 모든 아이тем들, 그리고 목록 내의 아이тем들의 어떤 조합.

[0057] 더욱이, 본 명세서에서 사용되는 조건부 언어, 여러 가지 중에서 예컨대 "-할 수 있다(can)", "할 수 있다(could)", "-할 수도 있다(might)", "-일 수 있다(may)", "예를 들어", "예컨대" 등은, 그렇지 않다고 구체적으로 언급되거나 사용된 문맥과 다르게 이해되지 않는 한, 특정한 구현형태들이(비록 다른 구현형태들은 그렇지 않지만) 어떤 피쳐, 소자 및/또는 상태를 포함한다는 의미를 전달하도록 개괄적으로 의도된다. 따라서, 이러한 조건부 언어는 일반적으로, 피쳐, 소자 및/또는 상태가 어느 경우에도 하나 이상의 실시형태에 대해서 요구된다는 것을 암시하려고 의도되지 않는다.

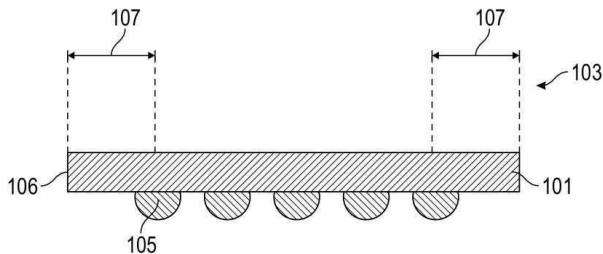
[0058] 특정 실시형태들이 설명되었지만, 이러한 실시형태는 단지 예시를 통해 제공된 것이고, 본 발명의 범위를 한정하려는 것이 아니다. 사실상, 본 명세서에서 설명되는 신규한 장치, 방법, 및 시스템은 다양한 다른 형태로 구현될 수 있다; 더욱이, 본 명세서에서 설명되는 방법 및 시스템의 다양한 생략, 치환 및 형태 변경이 본 발명의 범위에서 벗어나지 않고서 이루어질 수 있다. 예를 들어, 블록들이 주어진 배치구성에 제시되지만, 대안적인 실시형태는 상이한 컴포넌트 및/또는 회로 토폴로지를 사용하여 유사한 기능성을 수행할 수 있고, 일부 블록은 삭제, 이동, 추가, 하위분할, 결합, 및/또는 수정될 수 있다. 이러한 블록들 각각은 다양한 상이한 방식으로 구현될 수 있다. 전술된 여러 가지 실시형태들의 소자 및 동작의 임의의 적절한 조합이 추가적인 실시형태를 제공하도록 조합될 수 있다. 첨부된 청구범위와 그 균등물들은 본 발명의 범위와 사상에 포함되는 이러한 형태 또는 변형예를 망라하도록 의도된다.

도면

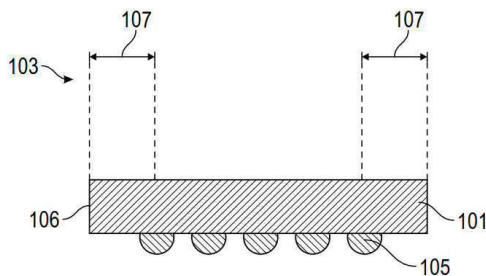
도면1a



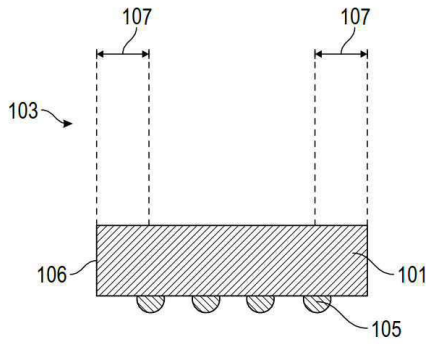
도면1b



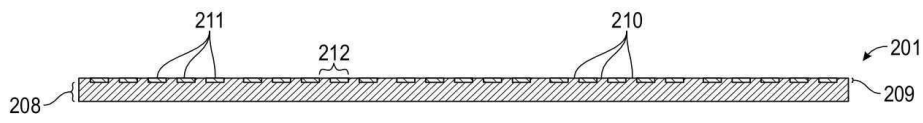
도면1c



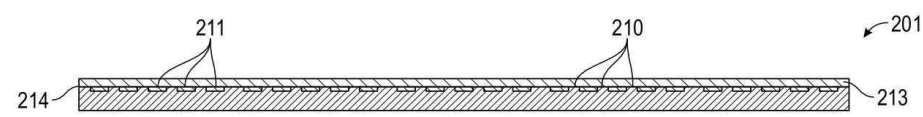
도면1d



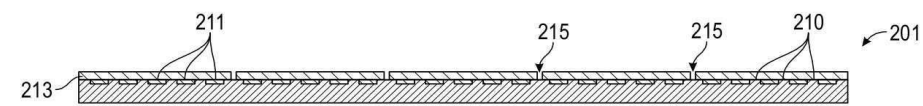
도면2a



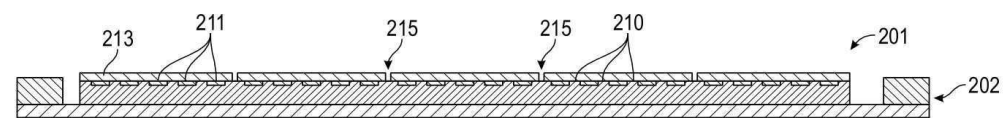
도면2b



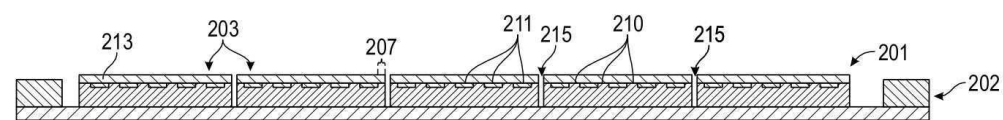
도면2c



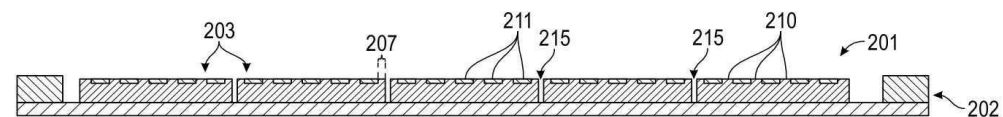
도면2d



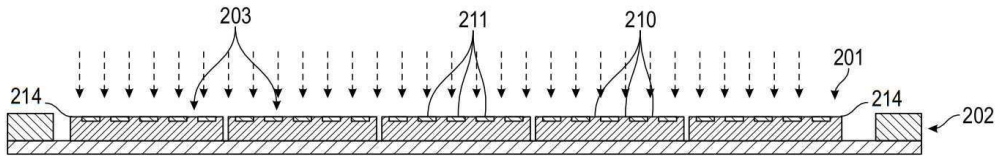
도면2e



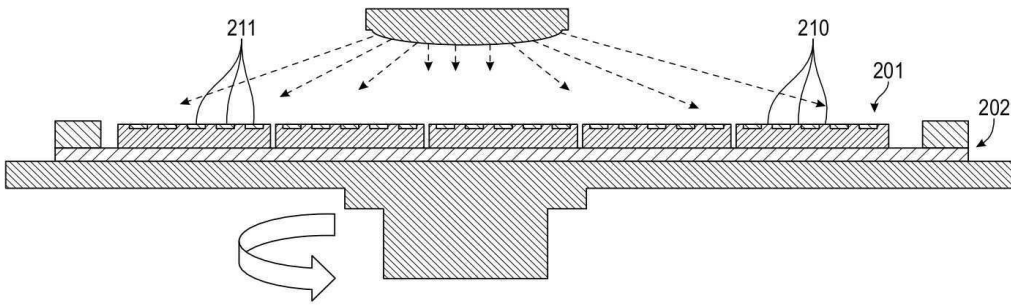
도면2f



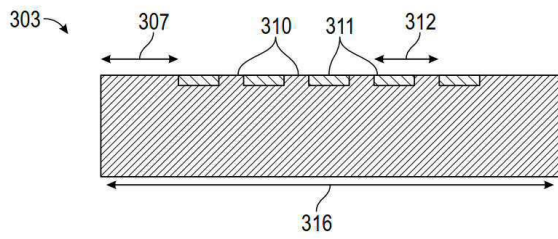
도면2g



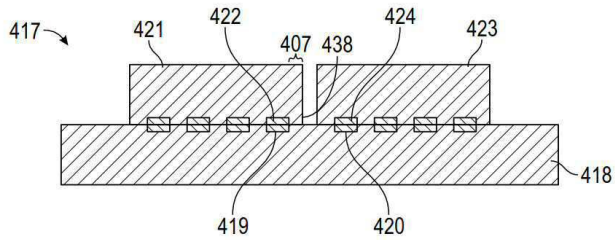
도면2h



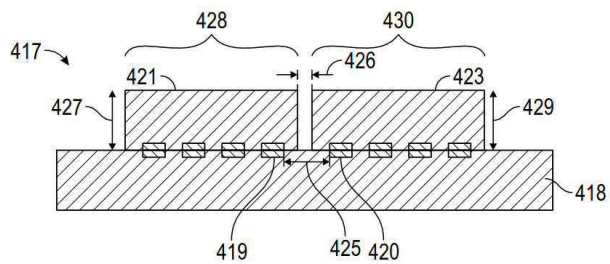
도면3



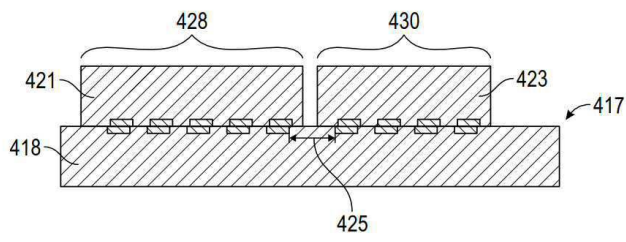
도면4a



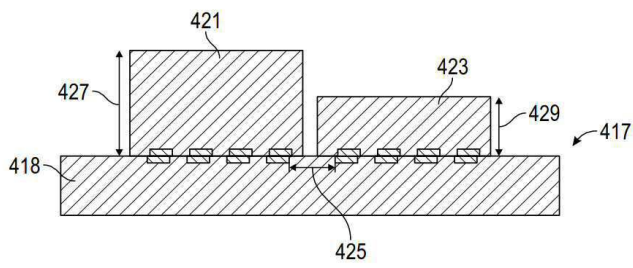
도면4b



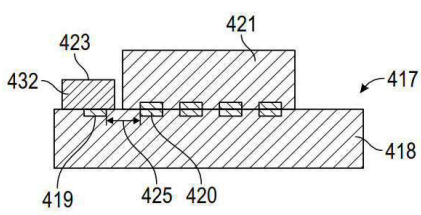
도면4c



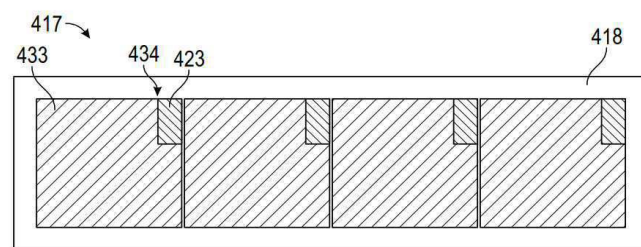
도면4d



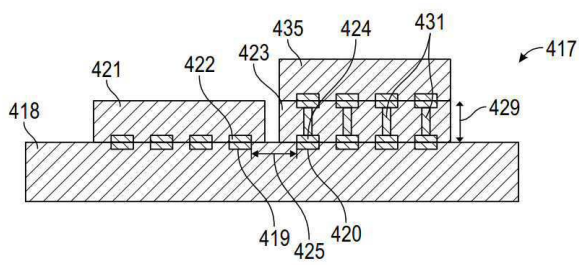
도면4e



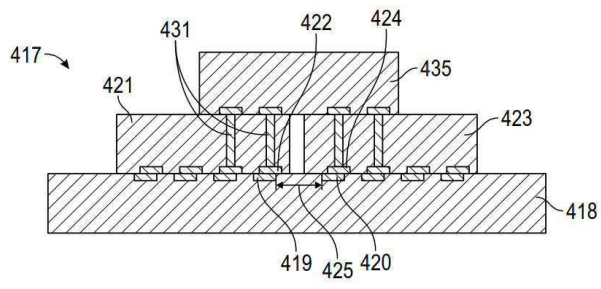
도면4f



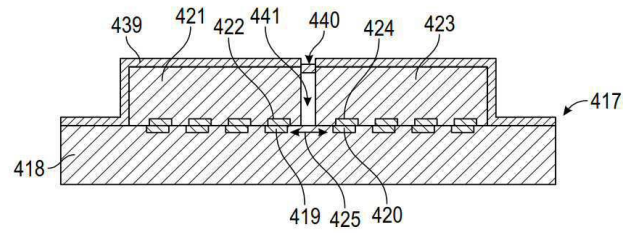
도면4g



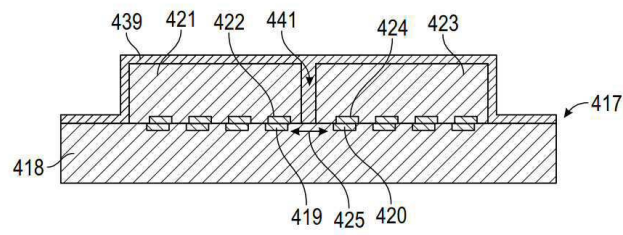
도면4h



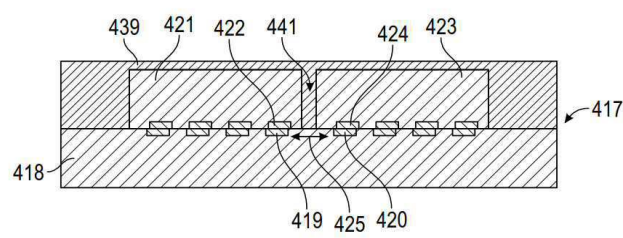
도면4i



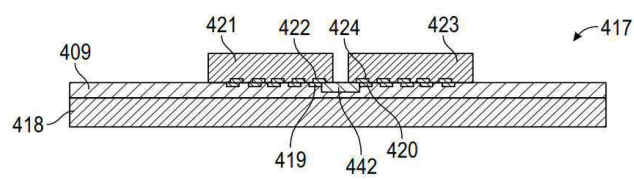
도면4ja



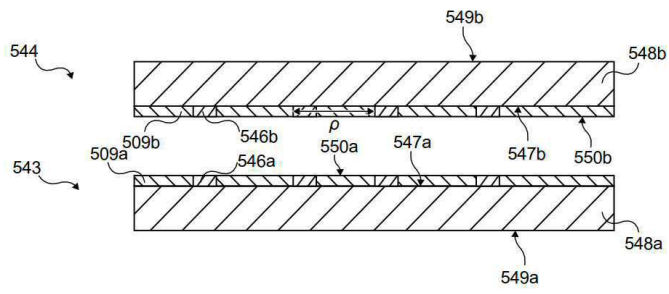
도면4jb



도면4k



도면5a



도면5b

