(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 13 日(13.04.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/061295 A1

(51) 国際特許分類:
H01L 27/14 (2006.01) *H01L 27/146* (2006.01)
H01L 21/28 (2006.01) *H04N 5/361* (2011.01)
H01L 21/283 (2006.01) *H04N 5/369* (2011.01)

(21) 国際出願番号: PCT/JP2016/078348

(22) 国際出願日: 2016 年 9 月 27 日(27.09.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-201354 2015 年 10 月 9 日(09.10.2015) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 三浦 司(MIURA Tsukasa); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 萬田 周治(MANDA Shuji); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 平野 智之(HIRANO Tomoyuki); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 山元 純平(YAMAMOTO Junpei); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 太田 和伸(OTA Kazunobu); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタ株式会社内 Kumamoto (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

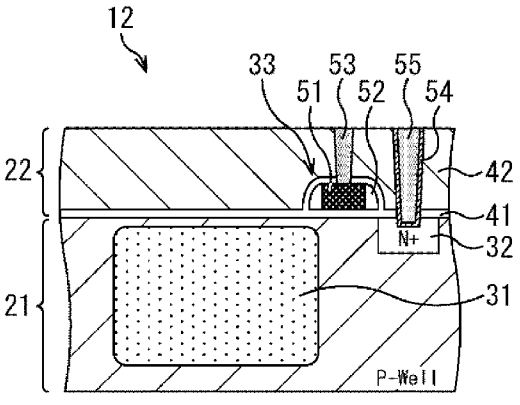
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) **Title**: SOLID-STATE IMAGING ELEMENT, PRODUCTION METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称 : 固体撮像素子および製造方法、並びに電子機器

FIG. 2



(57) **Abstract**: The present disclosure relates to solid-state imaging element, production method, and an electronic device which make it possible to suppress the generation of a dark current. The solid-state imaging device is provided with: an FD unit formed by injecting N-type impurities in a P-type semiconductor substrate; a high dielectric constant insulating film at least laminated on the FD unit; and a contact electrode connected to the FD unit by a connecting structure via the high dielectric constant insulating film. For example, the high dielectric constant insulating film is formed from a single layer or a plurality of layers of a material that reduces the Schottky barrier height at the connection location of the FD unit and the electrode. The present technology can be applied, for example, to a CMOS image sensor.

(57) 要約:

[続葉有]

WO 2017/061295 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本開示は、暗電流の発生を抑制することができるようにする固体撮像素子および製造方法、並びに電子機器に関する。 固体撮像素子は、Ｐ型の半導体基板に、Ｎ型の不純物を注入して形成されるＦＤ部と、少なくともＦＤ部に対して積層される高誘電率絶縁膜と、高誘電率絶縁膜を介した接続構造によりＦＤ部に接続されるコンタクト電極とを備える。例えば、高誘電率絶縁膜は、ＦＤ部と電極との接続箇所におけるショットキーバリア高さを低減する材料により、単層または複数層で成膜される。本技術は、例えば、CMOS イメージセンサに適用できる。

明　細　書

発明の名称 ： 固体撮像素子および製造方法、並びに電子機器

技術分野

[0001] 本開示は、固体撮像素子および製造方法、並びに電子機器に関し、特に、暗電流の発生を抑制することができるようにした固体撮像素子および製造方法、並びに電子機器に関する。

背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD（Charge Coupled Device）やCMOS（Complementary Metal Oxide Semiconductor）イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うＰＤ（photodiode：フォトダイオード）と複数のトランジスタとが組み合わされた画素を有しており、被写体の像が結像する像面に配置された複数の画素から出力される画素信号に基づいて画像が構築される。

[0003] また、固体撮像素子では、ＦＤ（Floating Diffusion：フローティングディフュージョン）部と呼ばれる、シリコン基板中の拡散層に電荷を蓄積する構造が用いられている。そして、ＦＤ部と引き回し電極金属とのコンタクトは、低抵抗化する必要があることより、ＦＤ部は、高濃度Ｎ型領域として形成されている。

[0004] 例えば、特許文献１には、界面準位に起因した暗電流の抑制を可能にした固体撮像装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１４－１６０８７６号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、従来の固体撮像素子では、ＦＤ部を高濃度Ｎ型領域として形成

する場合、Ｐ型の半導体基板（P-Well）とのＰＮ接合部の電界強度が強くなるため、暗電流が発生することが懸念される。この暗電流は、光電変換により発生した電荷信号に混入することで、ノイズとして画質を劣化させることになっていた。

[0007] 本開示は、このような状況に鑑みてなされたものであり、暗電流の発生を抑制することができるようにするものである。

課題を解決するための手段

[0008] 本開示の一側面の固体撮像素子は、所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極とを備える。

[0009] 本開示の一側面の製造方法またはプログラムは、所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して不純物領域を形成し、少なくとも前記不純物領域に対して高誘電率絶縁膜を積層し、前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極を形成するステップを含む。

[0010] 本開示の一側面の電子機器は、所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極とを有する固体撮像素子を備える。

[0011] 本開示の一側面においては、所定の型の半導体基板に、半導体基板とは異なる型の不純物を注入して不純物領域が形成され、少なくとも不純物領域に対して高誘電率絶縁膜が積層され、高誘電率絶縁膜を介した接続構造により不純物領域に電極が接続される。

発明の効果

[0012] 本開示の一側面によれば、暗電流の発生を抑制することができる。

図面の簡単な説明

[0013] [図1]本技術を適用した固体撮像素子の第１の実施の形態の断面的な構成例を示す図である。

[図2]画素の第１の構成例を示す図である。

[図3]第１の構成例の画素を製造する工程について説明する図である。

[図4]第１の構成例の画素を製造する工程について説明する図である。

[図5]画素の第２の構成例を示す図である。

[図6]第２の構成例の画素を製造する工程について説明する図である。

[図7]第２の構成例の画素を製造する工程について説明する図である。

[図8]画素の第３の構成例を示す図である。

[図9]第３の構成例の画素を製造する工程について説明する図である。

[図10]第３の構成例の画素を製造する工程について説明する図である。

[図11]第３の構成例の画素を製造する工程について説明する図である。

[図12]画素の第４の構成例を示す図である。

[図13]第４の構成例の画素を製造する工程について説明する図である。

[図14]第４の構成例の画素を製造する工程について説明する図である。

[図15]第４の構成例の画素を製造する工程について説明する図である。

[図16]画素の第５の構成例を示す図である。

[図17]第５の構成例の画素を製造する工程について説明する図である。

[図18]第５の構成例の画素を製造する工程について説明する図である。

[図19]第５の構成例の画素を製造する工程について説明する図である。

[図20]画素の第６の構成例を示す図である。

[図21]第６の構成例の画素を製造する工程について説明する図である。

[図22]第６の構成例の画素を製造する工程について説明する図である。

[図23]第６の構成例の画素を製造する工程について説明する図である。

[図24]画素の第７の構成例を示す図である。

[図25]第７の構成例の画素を製造する工程について説明する図である。

[図26]第７の構成例の画素を製造する工程について説明する図である。

[図27]第７の構成例の画素を製造する工程について説明する図である。

[図28]画素の第８の構成例を示す図である。

[図29]第８の構成例の画素を製造する工程について説明する図である。

[図30]第８の構成例の画素を製造する工程について説明する図である。

[図31]第８の構成例の画素を製造する工程について説明する図である。

[図32]画素の第９の構成例を示す図である。

[図33]第９の構成例の画素を製造する工程について説明する図である。

[図34]第９の構成例の画素を製造する工程について説明する図である。

[図35]画素の第１０の構成例を示す図である。

[図36]第１０の構成例の画素を製造する工程について説明する図である。

[図37]第１０の構成例の画素を製造する工程について説明する図である。

[図38]第１０の構成例の画素を製造する工程について説明する図である。

[図39]固体撮像素子の第２の実施の形態の断面的な構成例を示す図である。

[図40]第２の実施の形態の固体撮像素子の製造方法について説明する図である。

[図41]第２の実施の形態の固体撮像素子の製造方法について説明する図である。

[図42]第２の実施の形態の固体撮像素子の製造方法について説明する図である。

[図43]第２の実施の形態の固体撮像素子の製造方法について説明する図である。

[図44]第２の実施の形態の固体撮像素子の第１の変形例を示す図である。

[図45]第２の実施の形態の固体撮像素子の第２の変形例を示す図である。

[図46]第２の実施の形態の固体撮像素子の第３の変形例を示す図である。

[図47]第２の実施の形態の固体撮像素子の第４の変形例を示す図である。

[図48]一般的な画素の等価回路を示す図である。

[図49]４画素共有構造を採用した画素の等価回路を示す図である。

[図50]４画素共有構造を採用した画素の等価回路を示す図である。

[図51]縦方向分光構造を採用した画素の第１の構成例を示す図である。

[図52]縦方向分光構造を採用した画素の第２の構成例を示す図である。

[図53]縦方向分光構造を採用した画素の第３の構成例を示す図である。

[図54]グローバルシャッタ構造を採用した画素の構成例を示す図である。

[図55]画素ごとにＡＤ変換を行う構成例を示す図である。

[図56]本技術を適用した電子機器の一実施の形態の構成例を示すブロック図である。

[図57]イメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] 図１は、本技術を適用した固体撮像素子の第１の実施の形態の断面的な構成例を示す図である。

[0016] 図１の固体撮像素子１１は、複数の画素１２が行列状に配置されて構成されており、図１では、３つの画素１２－１乃至１２－３が配置されている箇所における断面が示されている。なお、以下適宜、画素１２－１乃至１２－３について特に区別する必要がない場合、単に画素１２と称し、画素１２を構成する各部についても同様とする。

[0017] また、図１に示すように、固体撮像素子１１は、半導体基板２１の表面に配線層２２が積層され、半導体基板２１の裏面に、平坦化膜２３、フィルタ層２４、およびオンチップレンズ層２５が積層されて、配線層２２に支持基板２６が貼り合わされて構成される。

[0018] 半導体基板２１は、例えば、単結晶のシリコンを薄くスライスしたウェハであり、半導体基板２１には、画素１２ごとに、光電変換部であるＰＤ３１と、ＰＤ３１で発生した電荷を一時的に蓄積するＦＤ部３２とが形成される。また、半導体基板２１の表面には、画素１２ごとに、ＰＤ３１からＦＤ部３２に電荷を転送する転送トランジスタ３３が形成される。

[0019] 配線層２２には、例えば、転送トランジスタ３３のゲート電極に駆動信号を供給する配線や、ＦＤ部３２と増幅トランジスタ（図示せず）のゲート電

極とを接続する配線など、複数層の配線が層間絶縁膜を介して形成される。

[0020] 平坦化膜２３は、半導体基板２１の裏面を平坦化するために設けられる。

[0021] フィルタ層２４には、画素１２ごとに所定の色の光を透過するカラーフィルタ３４が配置されている。例えば、画素１２－１には赤色（Ｒ）の光を透過するカラーフィルタ３４－１、画素１２－２には緑色（Ｇ）の光を透過するカラーフィルタ３４－２、画素１２－３には青色（Ｂ）の光を透過するカラーフィルタ３４－３が配置されている。

[0022] オンチップレンズ層２５には、画素１２ごとに光を集光するマイクロレンズ３５が配置されている。

[0023] このように構成される固体撮像素子１１では、画素１２に照射される光は、マイクロレンズ３５で集光されてカラーフィルタ３４を透過してＰＤ３１で受光され、ＰＤ３１において光電変換された電荷が、転送トランジスタ３３を介してＦＤ部３２に転送される。そして、ＦＤ部３２に蓄積されている電荷に応じたレベルの電位が、増幅トランジスタのゲート電極に供給され、画素信号として出力される。

[0024] 次に、図２は、画素１２の第１の構成例を示す図である。

[0025] 図２に示すように、画素１２では、ＰＤ３１およびＦＤ部３２が形成された半導体基板２１の表面に、例えば、熱処理によってシリコン酸化膜４１が形成され、シリコン酸化膜４１を介して、転送トランジスタ３３および層間絶縁膜４２が積層されている。転送トランジスタ３３は、シリコン酸化膜４１上に形成されるゲート電極５１の側面を囲うように、所定の厚みを有するサイドウォール部５２が形成され、層間絶縁膜４２を貫通するように形成されるコンタクト電極５３がゲート電極５１に接続されて構成される。

[0026] また、画素１２では、ＦＤ部３２から電荷を読み出すコンタクト電極５３は、高誘電率絶縁膜５４を介してＦＤ部３２に接続される接続構造となっている。

[0027] 高誘電率絶縁膜５４は、ＦＤ部３２とコンタクト電極５５との間に挿入される金属系の絶縁膜である。例えば、高誘電率絶縁膜５４は、2.0ｎｍ～3.0

ｎｍ程度の厚みの薄膜となるように、二酸化チタン（Ti02）などのような高誘電率を備える金属酸化物により形成される。

[0028] コンタクト電極５５は、ＦＤ部３２まで層間絶縁膜４２を貫通するように形成されたコンタクトホールに、例えば、Ｗ（タングステン）などの金属を充填することにより形成される。

[0029] ここで、ＦＤ部３２は、Ｐ型の半導体基板２１（P-Well）に、Ｐ（リン）やＡｓ（ヒ素）などのＮ型不純物を注入して形成されるＮ型領域（Ｎ＋）であり、画素１２では、ＦＤ部３２を形成するためのＮ型不純物の濃度を、従来よりも低濃度とすることができる。さらに、ＦＤ部３２およびコンタクト電極５５の間においてコンタクト抵抗の低抵抗化を図ることができる。

[0030] 例えば、従来、シリコン基板と電極金属とを直接的にコンタクトさせた構造では、シリコンと金属との間にショットキー障壁が発生することより、コンタクト抵抗が増大することになっていた。

[0031] これに対し、画素１２では、高誘電率絶縁膜５４を介してＦＤ部３２およびコンタクト電極５５を接続することにより、ショットキー障壁を誘発するフェルミレベルピニングを抑制することができる。即ち、高誘電率絶縁膜５４には、ＦＤ部３２およびコンタクト電極５５の間のショットキーバリア高さを低減する材料が用いられる。これにより、ＦＤ部３２のＮ型濃度を低濃度に保ちながら、コンタクト抵抗の低減を実現することができる。このためには、高誘電率絶縁膜５４は、電子がトンネリングする程度の十分に薄い膜厚であることが必要である。

[0032] 以上のように、画素１２は、高誘電率絶縁膜５４を介してコンタクト電極５５がＦＤ部３２に接続される構成とすることで、ＦＤ部３２のＮ型濃度を低濃度とし、コンタクト抵抗を低減することができる。そして、ＦＤ部３２のＮ型濃度を低濃度とすることで、半導体基板２１（P-Well）とのＰＮ接合部の電界強度が弱くなり、暗電流の発生を抑制することができる。これにより、画素１２は、暗電流が電荷信号に混入することが回避され、画質を改善することができる。

[0033] なお、画素１２のように、高誘電率絶縁膜５４を介してＦＤ部３２およびコンタクト電極５５を接続する接続構造を、以下適宜、アドバンストコンタクト構造と称する。

[0034] 次に、図３および図４を参照して、固体撮像素子１１の製造方法における画素１２を製造する工程について説明する。

[0035] まず、第１の工程において、図３の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成した後、層間絶縁膜４２を積層する。

[0036] そして、第２の工程において、図３の中段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。さらに、第３の工程において、図３の下段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。

[0037] 続いて、第４の工程において、図４の上段に示すように、ＦＤ部３２まで到達するように層間絶縁膜４２にコンタクトホール６２を形成する。また、第５の工程において、図４の中段に示すように、例えば、二酸化チタンを蒸着させることでコンタクトホール６２の底面および内周面に高誘電率絶縁膜５４を成膜する。その後、第６の工程において、図３の下段に示すように、例えば、タングステンをコンタクトホール６２に充填することでコンタクト電極５５を形成して、画素１２が形成される。

[0038] 以上のように、高誘電率絶縁膜５４を介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２を備えた固体撮像素子１１を製造することができる。また、このような製造方法は、高誘電率絶縁膜５４の膜厚を制御し易いことより、所望の膜厚の高誘電率絶縁膜５４を成膜することができる。

[0039] 次に、図５は、画素１２の第２の構成例を示す図である。なお、図５に示

す画素１２Ａにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0040] 図５に示す画素１２Ａは、Ｎ型の半導体基板２１Ａ（N-Well）を用いる点で、図２の画素１２と異なる構成となっており、ＰＤ３１ＡおよびＦＤ部３２ＡはＰ型領域となる。つまり、図２の画素１２が電子読出し型であったのに対し、画素１２Ａはホール読出し型となっている。

[0041] このような構成の画素１２Ａは、図２の画素１２と同様に、高誘電率絶縁膜５４を介してＦＤ部３２Ａおよびコンタクト電極５５を接続したアドバンストコンタクト構造を採用して構成することができる。なお、高誘電率絶縁膜５４には、Ｐ型領域であるＦＤ部３２Ａに適した材料が選択される。これにより、画素１２Ａは、ＦＤ部３２ＡのＰ型濃度を低濃度としてコンタクト抵抗を低減することができるとともに、暗電流の発生を抑止することができる。

[0042] 次に、図６および図７を参照して、固体撮像素子１１の製造方法における画素１２Ａを形成する工程について説明する。

[0043] まず、第１１の工程において、図６の上段に示すように、半導体基板２１Ａの表面に形成されるシリコン酸化膜４１上にゲート電極５１およびサイドウォール部５２を形成し、Ｎ型の半導体基板２１ＡにＰ型の不純物をイオン注入することでＰＤ３１ＡおよびＦＤ部３２Ａを形成した後、層間絶縁膜４２を積層する。

[0044] そして、第１２の工程において、図６の中段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。さらに、第１３の工程において、図６の下段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。

[0045] 続いて、第１４の工程において、図７の上段に示すように、ＦＤ部３２Ａまで到達するように層間絶縁膜４２にコンタクトホール６２を形成する。また、第１５の工程において、図７の中段に示すように、例えば、二酸化チタ

ンを蒸着させることでコンタクトホール６２の底面および内周面に高誘電率絶縁膜５４を成膜する。その後、第１６の工程において、図７の下段に示すように、例えば、タングステンをコンタクトホール６２に充填することでコンタクト電極５５を形成して、画素１２Ａが形成される。

[0046] このような製造方法により、高誘電率絶縁膜５４を介してＦＤ部３２Ａおよびコンタクト電極５５を接続したアドバンストコンタクト構造を有し、ホール読出し型の画素１２Ａを備えた固体撮像素子１１を製造することができる。

[0047] 次に、図８は、画素１２の第３の構成例を示す図である。なお、図８に示す画素１２Ｂにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0048] 図８に示すように、画素１２Ｂは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｂに開口部６３が形成され、シリコン酸化膜４１ＢおよびＦＤ部３２に高誘電率絶縁膜５４Ｂが成膜される点で、図２の画素１２と異なる構成とされる。

[0049] 即ち、画素１２Ｂは、コンタクト電極５５を形成するためのコンタクトホール６２（図１１）を形成する前にシリコン酸化膜４１Ｂを成膜することで、ＦＤ部３２とコンタクト電極５５との間でのみシリコン酸化膜４１Ｂがコンタクト電極５５に接する構造となる。これにより、画素１２Ｂは、図２の画素１２のようにコンタクト電極５５の側面にシリコン酸化膜４１が形成される構成と比較して、配線層２２Ｂに形成される配線との間に発生する容量を低減することができる。

[0050] また、画素１２Ｂは、図２の画素１２と同様に、高誘電率絶縁膜５４Ｂを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造により、ＦＤ部３２のＮ型濃度を低濃度としてコンタクト抵抗を低減することができるとともに、暗電流の発生を抑止することができる。

[0051] 次に、図９乃至図１１を参照して、固体撮像素子１１の製造方法における画素１２Ｂを製造する工程について説明する。

[0052] まず、第２１の工程において、図９の上段に示すように、半導体基板２１の表面のシリコン酸化膜４１Ｂ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0053] また、第２２の工程において、図９の中段に示すように、半導体基板２１の表面に全面的に形成されているシリコン酸化膜４１Ｂ’に対し、ＦＤ部３２が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられたシリコン酸化膜４１Ｂが形成される。

[0054] そして、第２３の工程において、図９の下段に示すように、シリコン酸化膜４１Ｂの全面、および、開口部６３内のＦＤ部３２に対して、例えば、二酸化チタンを蒸着させることで高誘電率絶縁膜５４Ｂを成膜する。

[0055] 続いて、第２４の工程において、図１０の上段に示すように、シリコン酸化膜４１Ｂに対して層間絶縁膜４２を成膜する。また、第２５の工程において、図１０の中段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。そして、第２６の工程において、図１０の下段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。

[0056] さらに、第２７の工程において、図１１の上段に示すように、コンタクトホール６２を形成するために層間絶縁膜４２のエッチングを行い、高誘電率絶縁膜５４Ｂ上でエッチングを停止する。その後、第２８の工程において、図１１の下段に示すように、高誘電率絶縁膜５４Ｂまで到達するように形成されたコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５５を形成することで、画素１２Ｂが形成される。

[0057] 以上のように、高誘電率絶縁膜５４Ｂを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｂを備えた固体撮像素子１１を製造することができる。

[0058] 次に、図１２は、画素１２の第４の構成例を示す図である。なお、図１２

に示す画素１２Ｃにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0059] 図１２に示すように、画素１２Ｃは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｃに開口部６３が形成され、開口部６３内のＦＤ部３２に高誘電率絶縁膜５４Ｃが成膜される点で、図２の画素１２と異なる構成とされる。

[0060] 例えば、上述した図８の画素１２Ｂは、シリコン酸化膜４１Ｂも含めた全面的に高誘電率絶縁膜５４Ｂが成膜されていたのに対し、画素１２Ｃは、シリコン酸化膜４１Ｃの開口部６３の近傍以外において高誘電率絶縁膜５４Ｃが除去された構成となっている。即ち、高誘電率絶縁膜５４Ｃは、少なくとも開口部６３内のＦＤ部３２を含む部分的に成膜されている。このように、画素１２Ｃは、電界強度の強いＰＮ接合部分であるＰＤ３１における高誘電率絶縁膜５４Ｂを除去することで、画素１２Ｂと比較して、電界を緩和する効果を得ることができる。これにより、ＰＤ３１において発生する暗電流を抑制することができる。

[0061] 次に、図１３乃至図１５を参照して、固体撮像素子１１の製造方法における画素１２Ｃを製造する工程について説明する。

[0062] まず、第３１の工程において、図１３の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１Ｃ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0063] また、第３２の工程において、図１３の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｃ’に対し、ＦＤ部３２が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられたシリコン酸化膜４１Ｃが形成される。

[0064] そして、第３３の工程において、図１３の下段に示すように、シリコン酸化膜４１Ｃの全面、および、開口部６３内のＦＤ部３２に対して、例えば、

二酸化チタンを蒸着させることで高誘電率絶縁膜５４Ｃ’を成膜する。

[0065] 続いて、第３４の工程において、図１４の上段に示すように、シリコン酸化膜４１Ｃの開口部６３の近傍以外において高誘電率絶縁膜５４Ｃ’を除去し、少なくとも開口部６３内のＦＤ部３２を覆うような高誘電率絶縁膜５４Ｃを形成する。

[0066] また、第３５の工程において、図１４の中段に示すように、シリコン酸化膜４１Ｃおよび高誘電率絶縁膜５４Ｃに対して層間絶縁膜４２を成膜する。そして、第３６の工程において、図１４の下段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。

[0067] 続いて、第３７の工程において、図１５の上段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。そして、第３８の工程において、図１５の中段に示すように、コンタクトホール６２を形成するために層間絶縁膜４２のエッチングを行い、高誘電率絶縁膜５４Ｃ上でエッチングを停止する。その後、第３９の工程において、図１５の下段に示すように、高誘電率絶縁膜５４Ｃまで到達するように形成されたコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５５を形成することで、画素１２Ｃが形成される。

[0068] 以上のように、高誘電率絶縁膜５４Ｃを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｃを備えた固体撮像素子１１を製造することができる。

[0069] 次に、図１６は、画素１２の第５の構成例を示す図である。なお、図１６に示す画素１２Ｄにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0070] 図１６に示すように、画素１２Ｄは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｄに開口部６３が形成されるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるようにシリコン酸化膜４１Ｄに開口部６４が形成される。そして、画素１２Ｄは、シリコン酸化膜４１Ｄ、開口部６３内のＦＤ部３２、および、開口部６４内の半

導体基板２１に高誘電率絶縁膜５４Ｄが成膜される点で、図２の画素１２と異なる構成とされる。

[0071] このように、画素１２Ｄは、ＰＤ３１が形成されている領域の半導体基板２１の表面に高誘電率絶縁膜５４Ｄが設けられることで、その表面のピニングを強化し、ＰＤ３１において白点や暗電流などが発生することを抑制することができる。

[0072] また、画素１２Ｄは、図２の画素１２と同様に、高誘電率絶縁膜５４Ｄを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造により、ＦＤ部３２のＮ型濃度を低濃度としてコンタクト抵抗を低減することができるとともに、暗電流の発生を抑止することができる。

[0073] 次に、図１７乃至図１９を参照して、固体撮像素子１１の製造方法における画素１２Ｄを製造する工程について説明する。

[0074] まず、第４１の工程において、図１７の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１Ｄ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0075] また、第４２の工程において、図１７の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｄ’に対し、ＦＤ部３２が形成されている領域、および、ＰＤ３１が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるように開口部６４が設けられたシリコン酸化膜４１Ｄが形成される。

[0076] そして、第４３の工程において、図１７の下段に示すように、シリコン酸化膜４１Ｄ、開口部６３内のＦＤ部３２、および開口部６４内の半導体基板２１に対して、例えば、二酸化チタンを蒸着させることで全面的に高誘電率絶縁膜５４Ｄを成膜する。

[0077] 続いて、第４４の工程において、図１８の上段に示すように、シリコン酸

化膜４１Ｄに対して層間絶縁膜４２を成膜する。また、第４５の工程において、図１８の中段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。そして、第４６の工程において、図１８の下段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。

[0078] さらに、第４７の工程において、図１９の上段に示すように、コンタクトホール６２を形成するために層間絶縁膜４２のエッチングを行い、高誘電率絶縁膜５４Ｄ上でエッチングを停止する。その後、第４８の工程において、図１９の下段に示すように、高誘電率絶縁膜５４Ｄまで到達するように形成されたコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５５を形成することで、画素１２Ｄが形成される。

[0079] 以上のように、高誘電率絶縁膜５４Ｄを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｄを備えた固体撮像素子１１を製造することができる。また、開口部６３内のＦＤ部３２および開口部６４内の半導体基板２１に対して、高誘電率絶縁膜５４Ｄを同時に成膜することで、例えば、図８の画素１２Ｂと同じ工程数で、アドバンストコンタクト構造を構成することができる。

[0080] 次に、図２０は、画素１２の第６の構成例を示す図である。なお、図２０に示す画素１２Ｅにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0081] 図２０に示すように、画素１２Ｅは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｅに開口部６３が形成されるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるようにシリコン酸化膜４１Ｅに開口部６４が形成される。そして、画素１２Ｅは、開口部６３内のＦＤ部３２に高誘電率絶縁膜５４Ｅ－１が成膜され、開口部６４内の半導体基板２１に高誘電率絶縁膜５４Ｅ－２が成膜される点で、図２の画素１２と異なる構成とされる。

[0082] 例えば、上述した図１６の画素１２Ｄは、シリコン酸化膜４１Ｄも含めた

全面的に高誘電率絶縁膜５４Ｂが成膜されていたのに対し、画素１２Ｅは、シリコン酸化膜４１Ｅの開口部６３および開口部６４の近傍以外に成膜された高誘電率絶縁膜が除去された構成となっている。即ち、高誘電率絶縁膜５４Ｅ－１は、少なくとも開口部６３内のＦＤ部３２を含む部分的に成膜され、高誘電率絶縁膜５４Ｅ－２は、少なくとも開口部６４内の半導体基板２１を含む部分的に成膜されている。このように、画素１２Ｅは、電界強度の強いＰＮ接合部分であるＰＤ３１における高誘電率絶縁膜５４Ｅを除去することで、画素１２Ｄと比較して、電界を緩和する効果を得ることができる。これにより、ＰＤ３１において発生する暗電流を抑制することができる。

[0083] 次に、図２１乃至図２３を参照して、固体撮像素子１１の製造方法における画素１２Ｅを製造する工程について説明する。

[0084] まず、第５１の工程において、図２１の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１Ｅ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0085] また、第５２の工程において、図２１の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｅ’に対し、ＦＤ部３２が形成されている領域、および、ＰＤ３１が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるように開口部６４が設けられたシリコン酸化膜４１Ｅが形成される。

[0086] そして、第５３の工程において、図２１の下段に示すように、シリコン酸化膜４１Ｅ、開口部６３内のＦＤ部３２、および開口部６４内の半導体基板２１に対して、例えば、二酸化チタンを蒸着させることで全面的に高誘電率絶縁膜５４Ｅ’を成膜する。

[0087] 続いて、第５４の工程において、図２２の上段に示すように、シリコン酸化膜４１Ｅの開口部６３および開口部６４の近傍以外において高誘電率絶縁

膜５４Ｅ’を除去する。これにより、少なくとも開口部６３内のＦＤ部３２を覆うような高誘電率絶縁膜５４Ｅ－１、および、少なくとも開口部６４内の半導体基板２１を覆うような高誘電率絶縁膜５４Ｅ－２を形成する。

[0088] また、第５５の工程において、図２２の中段に示すように、シリコン酸化膜４１Ｅ並びに高誘電率絶縁膜５４Ｅ－１および５４Ｅ－２に対して層間絶縁膜４２を成膜する。そして、第５６の工程において、図２２の下段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。

[0089] 続いて、第５７の工程において、図２３の上段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。そして、第５８の工程において、図２３の中段に示すように、コンタクトホール６２を形成するために層間絶縁膜４２のエッチングを行い、高誘電率絶縁膜５４Ｅ－１上でエッチングを停止する。その後、第５９の工程において、図２３の下段に示すように、高誘電率絶縁膜５４Ｅ－１まで到達するように形成されたコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５５を形成することで、画素１２Ｅが形成される。

[0090] 以上のように、高誘電率絶縁膜５４Ｅ－１を介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｅを備えた固体撮像素子１１を製造することができる。また、開口部６３内のＦＤ部３２および開口部６４内の半導体基板２１に対して、高誘電率絶縁膜５４Ｅ’を同時に成膜することで、例えば、図１２の画素１２Ｃと同じ工程数で、アドバンストコンタクト構造を構成することができる。

[0091] 次に、図２４は、画素１２の第７の構成例を示す図である。なお、図２４に示す画素１２Ｆにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0092] 図２４に示すように、画素１２Ｆは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｆに開口部６３が形成されるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるようにシリ

コン酸化膜４１Ｆに開口部６４が形成される。そして、画素１２Ｆは、シリコン酸化膜４１Ｆ、開口部６３内のＦＤ部３２、および、開口部６４内の半導体基板２１に高誘電率絶縁膜５４Ｆが成膜され、さらに高誘電率絶縁膜５４Ｆに対して高誘電率絶縁膜５６Ｆが成膜される点で、図２の画素１２と異なる構成とされる。即ち、画素１２は、単層の高誘電率絶縁膜５４が成膜されていたのに対し、画素１２Ｆは、異なる材料を用いた２層の高誘電率絶縁膜５４Ｆおよび高誘電率絶縁膜５６Ｆが成膜される。

[0093] このように、画素１２Ｆは、複数層の高誘電率絶縁膜が積層されて構成され、例えば、Ti02などからなる高誘電率絶縁膜５４Ｆと、Hf02やAl203などの高誘電率絶縁膜５６Ｆとが積層される。これにより、画素１２Ｆは、例えば、上述した図１６の画素１２Ｄと比較して、ＦＤ部３２上のピニングを強化することができる。また、画素１２Ｆは、上述した図８の画素１２Ｂおよび図２０の画素１２Ｅと同様に、シリコン酸化膜４１Ｆを部分的に除去することで、電界を緩和する効果を得ることができる。これにより、ＰＤ３１において発生する暗電流を抑制することができる。

[0094] 次に、図２５乃至図２７を参照して、固体撮像素子１１の製造方法における画素１２Ｆを製造する工程について説明する。

[0095] まず、第６１の工程において、図２５の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１Ｆ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0096] また、第６２の工程において、図２５の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｆ’に対し、ＦＤ部３２が形成されている領域、および、ＰＤ３１が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるように開口部６４が設けられたシリコン酸化膜４１Ｆが形成される。

[0097] そして、第６３の工程において、図２５の下段に示すように、シリコン酸化膜４１Ｆ、開口部６３内のＦＤ部３２、および開口部６４内の半導体基板２１に対して、例えば、二酸化チタンを蒸着させることで全面的に高誘電率絶縁膜５４Ｆを成膜する。

[0098] 続いて、第６４の工程において、図２６の上段に示すように、高誘電率絶縁膜５４Ｆに対して、例えば、酸化ハフニウムを蒸着させることで高誘電率絶縁膜５６Ｆを成膜する。

[0099] また、第６５の工程において、図２６の中段に示すように、高誘電率絶縁膜５６Ｆに対して層間絶縁膜４２を成膜する。そして、第６６の工程において、図２６の下段に示すように、ゲート電極５１まで到達するように層間絶縁膜４２にコンタクトホール６１を形成する。

[0100] 続いて、第６７の工程において、図２７の上段に示すように、例えば、タングステンをコンタクトホール６１に充填することでコンタクト電極５３を形成する。そして、第６８の工程において、図２７の中段に示すように、コンタクトホール６２を形成するために層間絶縁膜４２のエッチングを行い、高誘電率絶縁膜５４Ｆ上でエッチングを停止する。その後、第６９の工程において、図２３の下段に示すように、高誘電率絶縁膜５４Ｆまで到達するように形成されたコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５５を形成することで、画素１２Ｆが形成される。

[0101] 以上のように、高誘電率絶縁膜５４Ｆおよび高誘電率絶縁膜５６Ｆを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｆを備えた固体撮像素子１１を製造することができる。また、上述した図１２の画素１２Ｃおよび図２０の画素１２Ｅと同様に、高誘電率絶縁膜５４Ｆおよび高誘電率絶縁膜５６Ｆを部分的に除去する構成にすると、電界を緩和する効果を得ることができる。

[0102] 次に、図２８は、画素１２の第８の構成例を示す図である。なお、図２８に示す画素１２Ｇにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0103] 図２８に示すように、画素１２Ｇは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｇに開口部６３が形成されるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるようにシリコン酸化膜４１Ｇに開口部６４が形成される。そして、画素１２Ｇは、開口部６３内のＦＤ部３２に高誘電率絶縁膜５４Ｇが成膜され、シリコン酸化膜４１Ｇ、高誘電率絶縁膜５４Ｇ、および、開口部６４内の半導体基板２１に対して高誘電率絶縁膜５６Ｇが成膜される点で、図２の画素１２と異なる構成とされる。

[0104] 即ち、画素１２Ｇは、ＦＤ部３２において、TiO2などからなるコンタクト抵抗（ショットキーバリアの高さ）を低減させるのに適した高誘電率絶縁膜５４Ｇを使用し、ＰＤ３１において、HfO2やAl2O3などのピニング強化に適した（ピニング強度の強い）高誘電率絶縁膜５６Ｇを使用することができる。また、上述した図１２の画素１２Ｃおよび図２０の画素１２Ｅと同様に、高誘電率絶縁膜５４Ｇおよび高誘電率絶縁膜５６Ｇを部分的に除去する構成にすると、電界を緩和する効果を得ることができる。

[0105] 次に、図２９乃至図３１を参照して、固体撮像素子１１の製造方法における画素１２Ｇを製造する工程について説明する。

[0106] まず、第７１の工程において、図２９の上段に示すように、半導体基板２１の表面に形成されるシリコン酸化膜４１Ｇ’上にゲート電極５１およびサイドウォール部５２を形成し、Ｐ型の半導体基板２１にＮ型の不純物をイオン注入することでＰＤ３１およびＦＤ部３２を形成する。

[0107] また、第７２の工程において、図２９の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｇ’に対し、ＦＤ部３２が形成されている領域に対してエッチングを行う。これにより、半導体基板２１の表面にＦＤ部３２が表れるように開口部６３が設けられたシリコン酸化膜４１Ｇが形成される。

[0108] そして、第７３の工程において、図２９の下段に示すように、シリコン酸化膜４１Ｇ、および開口部６３内のＦＤ部３２に対して全面的に、例えば、

二酸化チタンを蒸着させることで高誘電率絶縁膜５４Ｇ’を成膜する。

[0109] 続いて、第７４の工程において、図３０の上段に示すように、シリコン酸化膜４１Ｇの開口部６３の近傍以外において高誘電率絶縁膜５４Ｇ’を除去し、少なくとも開口部６３内のＦＤ部３２を覆うような高誘電率絶縁膜５４Ｇを形成する。

[0110] また、第７５の工程において、図３０の中段に示すように、半導体基板２１の全面に形成されているシリコン酸化膜４１Ｇに対し、ＰＤ３１が形成されている領域に対してエッチングを行う。これにより、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるように開口部６４が設けられたシリコン酸化膜４１Ｇが形成される。

[0111] そして、第７６の工程において、図３０の下段に示すように、シリコン酸化膜４１Ｇ、高誘電率絶縁膜５４Ｇ、および開口部６４内の半導体基板２１に対して全面的に、例えば、酸化ハフニウムを蒸着させることで高誘電率絶縁膜５６Ｇを成膜する。

[0112] 続いて、第７７の工程において、図３１の上段に示すように、高誘電率絶縁膜５６Ｇに対して層間絶縁膜４２を成膜する。また、第７８の工程において、図３１の中段に示すように、図示しないコンタクトホールを形成した後、コンタクト電極５３を形成する。その後、第７９の工程において、図３１の下段に示すように、図示しないコンタクトホールを形成した後、コンタクト電極５５を形成することで、画素１２Ｇが形成される。

[0113] 以上のように、高誘電率絶縁膜５４Ｇを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を有する画素１２Ｇを備えた固体撮像素子１１を製造することができる。また、上述した図１２の画素１２Ｃおよび図２０の画素１２Ｅと同様に、高誘電率絶縁膜５４Ｇおよび高誘電率絶縁膜５６Ｇを部分的に除去する構成にすると、電界を緩和する効果を得ることができる。

[0114] なお、上述したようなアドバンストコンタクト構造は、例えば、表面照射型の固体撮像素子１１、裏面照射型の固体撮像素子１１、または、積層型の

固体撮像素子１１において採用することができる。

[0115] 次に、図３２は、画素１２の第９の構成例を示す図である。なお、図３２に示す画素１２Ｈにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0116] 図３２に示すように、画素１２Ｈは、半導体基板２１のＦＤ部３２が表面に表れるようにシリコン酸化膜４１Ｈに開口部６３が形成されるとともに、ＰＤ３１が形成されている領域の半導体基板２１が表面に表れるようにシリコン酸化膜４１Ｈに開口部６４が形成される。そして、画素１２Ｈは、少なくとも開口部６３内のＦＤ部３２および開口部６４内の半導体基板２１に、フェルミレベルピニングを抑制しＮ型シリコンとのバンドオフセットが小さい高誘電率絶縁膜５４Ｈが第１の絶縁膜として成膜される。さらに、画素１２Ｈは、高誘電率絶縁膜５４Ｈの上に、負の固定電荷を有する固定電荷膜５６Ｈが第２の絶縁膜として成膜される点で、図２の画素１２と異なる構成とされる。つまり、画素１２Ｈでは、ＦＤ部３２における層構造と、ＰＤ３１が形成されている領域の半導体基板２１の表面における層構造とが異なるものとなっている。

[0117] さらに、画素１２Ｈは、コンタクト電極５５を覆うようにバリアメタル５７Ｈが形成される。

[0118] ここで、高誘電率絶縁膜５４Ｈおよび固定電荷膜５６Ｈは、例えば、原子層蒸着（ALD：Atomic Layer Deposition）法や有機金属化学的気相成長（MOCVD：Metal Organic Chemical Vapor Deposition）法、物理的気相成長（PVD：Physical Vapor Deposition）法などを用いて形成（成膜）される。

[0119] 例えば、高誘電率絶縁膜５４Ｈは、チタン（Ti）、タンタル（Ta）、亜鉛（Zn）、ストロンチウム（Sr）、セレン（Se）、または、ランタン（La）を少なくとも一つ以上含む酸化膜である。その材料としては、例えば、酸化チタン（TiOx）、酸化タンタル（Ta205）、酸化亜鉛(Zn0)、セレン化亜鉛（ZnSe）、硫化亜鉛（ZnS）、チタン酸ストロンチウム（SrTi03）、または、酸化ランタン（La203）が挙げられる。また、高誘電率絶縁膜５４Ｈは、例えば、

膜厚が0.5～3ｎｍ程度となるように成膜される。

[0120] また、固定電荷膜５６Ｈの材料としては、例えば、酸化アルミニウム（Al2O3）が挙げられ、例えば、膜厚が1～20ｎｍ程度となるように成膜される。

[0121] 以上のように構成される画素１２Ｈは、半導体基板２１上に金属系の材料からなる高誘電率絶縁膜５４Ｈを成膜し、ＦＤ部３２およびコンタクト電極５５のコンタクト部と、その他の部分の構造が異なることになる。即ち、ＦＤ部３２およびコンタクト電極５５のコンタクト部には高誘電率絶縁膜５４Ｈが成膜され、その他の部分には、高誘電率絶縁膜５４Ｈおよび固定電荷膜５６Ｈが成膜される構造となる。

[0122] このように、画素１２Ｈは、図２の画素１２と同様に、高誘電率絶縁膜５４Ｈを介してＦＤ部３２およびコンタクト電極５５を接続したアドバンストコンタクト構造を採用して構成することができる。

[0123] 次に、図３３および図３４を参照して、固体撮像素子１１の製造方法における画素１２Ｈを製造する工程について説明する。

[0124] 例えば、上述した図２５および図２６を参照して説明した第６１乃至第６５の工程と同様に、シリコン酸化膜４１Ｈに開口部６３および開口部６４が形成された後、高誘電率絶縁膜５４Ｈおよび固定電荷膜５６Ｈが成膜される。

[0125] そして、第８１の工程において、図３３の上段に示すように、固定電荷膜５６Ｈに対して層間絶縁膜４２を成膜する。

[0126] また、第８２の工程において、図３３の中段に示すように、層間絶縁膜４２にコンタクトホール６１を形成する。この際、例えば、SF6やClガスを用いたドライエッチング法にて層間絶縁膜４２をエッチングすることにより、コンタクトホール６１を形成する。これにより、ドライエッチングは半導体基板２１上に形成された固定電荷膜５６Ｈでエッチングレートが著しく低下しエッチングが停止する。このように、固定電荷膜５６Ｈをドライエッチングストッパーとすることで半導体基板２１へのドライエッチングダメージを防止することができる。

[0127] さらに、第８３の工程において、図３３の下段に示すように、フッ酸をエッチャントとしたウェットエッチング法により、コンタクトホール６１の底面の固定電荷膜５６Ｈを除去する。このとき、高誘電率絶縁膜５４Ｈは、エッチャントとの反応が進まずエッチングストップするため、固定電荷膜５６Ｈが除去されて高誘電率絶縁膜５４ＨのみがＦＤ部３２の表面に残ることになる。

[0128] 続いて、第８４の工程において、図３４の上段に示すように、TiやTiNを成膜することでバリアメタル５７Ｈを形成する。また、第８５の工程において、図３４の中段に示すように、層間絶縁膜４２をエッチングすることにより、コンタクトホール６２を形成する。そして、第８６の工程において、図３４の下段に示すように、コンタクトホール６１およびコンタクトホール６２に、例えば、タングステンを充填してコンタクト電極５３およびコンタクト電極５５を形成することで、画素１２Ｈが形成される。

[0129] ここで、ＦＤ部３２およびコンタクト電極５５の接続部は、MISのアドバンスドコンタクトとなりドライエッチングダメージが少ないため、良好な低抵抗接続を実現することができる。また、ＦＤ部３２以外には、高誘電率絶縁膜５４Ｈ上に固定電荷膜５６Ｈが成膜された状態のままとなるので、負の固定電荷によるピニング効果で界面での暗電流発生を抑制することができる。

[0130] なお、半導体基板２１にロジック回路が形成されて、画素１２Ｈとロジック回路とが混在する画素レイアウトに対しては、固定電荷膜５６Ｈは、ロジック特性に悪影響を及ぼす可能性があることより、ロジック回路では固定電荷膜５６Ｈを剥離してもよい。

[0131] また、画素１２Ｈは、コンタクトホール６１を形成する前に、半導体基板２１にＮ型のシリコンとのMISコンタクト性の良い絶縁膜と、Al203等の負の固定電荷を有する金属系絶縁膜を形成する。これにより、ＦＤ部３２のコンタクトホール６１を形成する時に、Al203でドライエッチストップすることができ、半導体基板２１に与えるダメージを抑制することができる。

[0132] その後、ウェットエッチングでAl203を剥離することでドライエッチングダ

メージを少なくすることができ、ＦＤ部３２上の高誘電率絶縁膜５４Ｈによって、良好なMISアドバンスドコンタクト構造を形成することができる。さらに、ＰＤ３１には、高誘電率絶縁膜５４Ｈ上に、負の固定電荷量の大きいAl203からなる固定電荷膜５６Ｈが成膜されていることより、ピニング性能が向上し暗電流抑制効果が得られる。また、コンタクトホール６１内に、TiOxやAl203などを配置しない構成とすることで、配線抵抗の低減を防止することができる。

[0133] 次に、図３５は、画素１２の第１０の構成例を示す図である。なお、図３５に示す画素１２Ｊにおいて、図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0134] なお、図３５には、半導体基板２１のＮ型領域に対するコンタクト電極５５Ｎの接続箇所における積層構造５８Ｎと、半導体基板２１のＰ型領域に対するコンタクト電極５５Ｐの接続箇所における積層構造５８Ｐの部分的な断面が示されている。

[0135] 図３５に示すように、半導体基板２１のＮ型領域に対して、酸化チタン層５８－１、窒化チタン層５８－２、チタン層５８－３、および窒化チタン層５８－４が積層された積層構造５８Ｎを介して、タングステンにより構成されるコンタクト電極５５Ｎが接続されるコンタクト構造となっている。即ち、半導体基板２１のＮ型領域では、半導体基板２１上に酸化チタン層５８－１（金属絶縁膜）を有したMISコンタクト構造を有している。

[0136] また、半導体基板２１のＰ型領域に対して、チタン層５８－３および窒化チタン層５８－４が積層された積層構造５８Ｐを介して、タングステンにより構成されるコンタクト電極５５Ｐが接続されるコンタクト構造となっている。即ち、半導体基板２１のＰ型領域では、チタン層５８－３（チタンシリサイド層）および窒化チタン層５８－４からなるオーミックコンタクト構造を有している。

[0137] このように、積層構造５８Ｎおよび積層構造５８Ｐでは、チタン層５８－３および窒化チタン層５８－４が共通して用いられる。例えば、まず、積層

構造５８Ｎの酸化チタン層５８－１および窒化チタン層５８－２を成膜した後、コンタクト電極５５Ｐのコンタクトホールを形成し、チタン層５８－３および窒化チタン層５８－４を同時に成膜する。これにより、積層構造５８Ｎおよび積層構造５８Ｐを形成するプロセスの一部を共通化することができ、工程数を削減することができる。

[0138] さらに、半導体基板２１のＮ型領域にコンタクト電極５５Ｎを接続するMISコンタクト構造の酸化チタン層５８－１および窒化チタン層５８－２上にチタン層５８－３を成膜することにより、チタンの還元作用で半導体基板２１（シリコン）と酸化チタン層５８－１界面のSiO2のみをスカベンジングすることができる。これにより、半導体基板２１のＮ型領域の界面におけるSiO2によって抵抗が上昇することを抑制することができる。

[0139] 即ち、従来、MISコンタクト構造を適用した構成の固体撮像素子では、Ｎ型およびＰ型でそれぞれの仕事関数に対応した、異なる金属製絶縁膜を形成する必要がある。例えば、Ｎ型のMISコンタクト用の金属絶縁膜として知られているTiO2をＰ型にも適用すると、ショットキー構造となり抵抗が上昇する。このため、Ｎ型とＰ型とでコンタクト構造を作り分ける必要がある。しかしながら、そのような作り分けを行うためには、コンタクトホールを形成し金属を埋め込んで不要部分を除去するプロセスを２回繰り返す必要があり、工程数が増加することになっていた。またMISコンタクト構造においては、シリコンと酸化チタンとの界面における自然酸化膜などによって抵抗が上昇することになっていた。

[0140] これに対し、図５３に示す画素１２Ｊのコンタクト構造は、積層構造５８Ｎおよび積層構造５８Ｐを形成するプロセスの一部を共通化することで、上述したように工程数が増加することを回避することができるとともに、抵抗の上昇を抑制することができる。また、半導体基板２１のＮ型領域の界面におけるSiO2によって抵抗が上昇することを抑制することができる。

[0141] 次に、図３６乃至図３８を参照して、固体撮像素子１１の製造方法における画素１２Ｊを製造する工程について説明する。

[0142] まず、第９１の工程において、図３６の上段に示すように、配線層２２にレジスト６５を形成して、半導体基板２１のＮ型領域に接続されるコンタクト電極５５Ｎを形成する領域が開口するように開口部６６Ｎをパターニングする。

[0143] そして、第９２の工程において、図３６の中段に示すように、ドライエッチングの手法により配線層２２をエッチングして、コンタクトホール６２Ｎを形成した後、レジスト６５を剥離する。そして、コンタクトホール６２Ｎの底面の半導体基板２１に、酸化チタン層５８－１を成膜する。

[0144] さらに、第９３の工程において、図３６の下段に示すように、配線層２２の表面、コンタクトホール６２Ｎの側面、および、コンタクトホール６２Ｎの底面の酸化チタン層５８－１に対して、窒化チタン層５８－２を成膜する。ここで、酸化チタン層５８－１および窒化チタン層５８－２は、原子層蒸着（ALD）法や有機金属化学的気相成長（MOCVD）法、物理的気相成長（PVD）法などを用いて形成（成膜）される。

[0145] 続いて、第９４の工程において、図３７の上段に示すように、窒化チタン層５８－２にレジスト６５を形成して、半導体基板２１のＰ型領域に接続されるコンタクト電極５５Ｎを形成する領域が開口するように開口部６６Ｐをパターニングする。

[0146] また、第９５の工程において、図３７の中段に示すように、ドライエッチングの手法により窒化チタン層５８－２および配線層２２をエッチングする。このとき、コンタクトホール６２Ｎの内部は、レジスト６５により保護されている。そして、エッチングによりコンタクトホール６２Ｐを形成した後、レジスト６５を剥離する。

[0147] そして、第９６の工程において、図３７の下段に示すように、コンタクトホール６２Ｎおよびコンタクトホール６２Ｐの内部に同時に、原子層蒸着（ALD）法や有機金属化学的気相成長（MOCVD）法、物理的気相成長（PVD）法などを用いて、チタン層５８－３を成膜し、続いて窒化チタン層５８－４を成膜する。このとき、コンタクトホール６２Ｎ内にチタン層５８－３を成膜す

ることで、チタンの還元作用が働き、半導体基板２１のシリコンと酸化チタン層５８－１との界面の自然酸化層をスカベンジングして除去することが可能となる。

[0148] 続いて、第９７の工程において、図３８の上段に示すように、アニール処理を行ってコンタクトホール６２Ｐ内のチタンとシリコンを反応させてチタンシリサイド層を形成する。

[0149] そして、第９８の工程において、図３８の中段に示すように、タングステンを化学蒸着（CVD: chemical vapor deposition）などの手法で埋め込み、コンタクトホール６２ＮおよびコンタクトホールＰに同時に、コンタクトプラグ５５’が形成される。

[0150] その後、第９９の工程において、図３８の下段に示すように、化学機械研磨（CMP：Chemical Mechanical Polishing）などの手法で、表面部分の不要なメタル膜を除去することで、コンタクト電極５５ＮおよびコンタクトＰが形成される。

[0151] 以上のような工程により、半導体基板２１のＮ型領域に対してMIS構造コンタクトを形成し、半導体基板２１のＰ型領域に対しては、従来のオーミックコンタクト構造を作り分ける画素１２Ｊを備えた固体撮像素子１１を製造することができる。

[0152] なお、酸化チタン層５８－１に替えて、酸化チタン（TiOx）以外の材料を用いた金属絶縁膜を用いてもよく、例えば、チタン（Ti）、タンタル（Ta）、亜鉛（Zn）、ストロンチウム（Sr）、セレン（Se）、または、ランタン（La）を少なくとも一つ以上含む酸化膜であればよい。その材料としては、例えば、酸化タンタル（Ta205）、酸化亜鉛(ZnO)、セレン化亜鉛（ZnSe）、硫化亜鉛（ZnS）、チタン酸ストロンチウム（SrTi03）、または、酸化ランタン（La203）が挙げられる。また、この金属絶縁膜は、例えば、膜厚が0.5～3ｎｍ程度となるように成膜される。

[0153] 次に、図３９は、固体撮像素子１１の第２の実施の形態の断面的な構成例を示す図である。なお、図３９に示す固体撮像素子１１－２において、図１

の固体撮像素子１１および図２の画素１２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0154] 図３９に示すように、固体撮像素子１１－２は、受光側基板７１および読み出し側基板７２が、破線で図示されている接合面において電気的および機械的に接合されて構成される。図３９には、固体撮像素子１１－２が有する１つの画素１２Ｋにおける断面が示されている。

[0155] 受光側基板７１は、半導体基板２１の表面に配線層２２が積層され、半導体基板２１の裏面に、平坦化膜２３、カラーフィルタ３４、およびマイクロレンズ３５が積層されて構成される。なお、図３９の下側から画素１２Ｋに光が入射する。

[0156] 画素１２Ｋでは、半導体基板２１にＰＤ３１およびＦＤ部３２が形成され、半導体基板２１の表面に転送トランジスタ３３が形成される。

[0157] 画素１２Ｋでは、配線層２２において、例えば、銅配線からなる接合部８１ａが接合面に露出する状態で形成されており、配線層２２を貫通するように形成されるコンタクト電極５５により、ＦＤ部３２および接合部８１ａが接続される。

[0158] 読み出し側基板７２は、半導体基板７３の表面に配線層７４が積層されて構成され、配線層７４の接合面に形成される接合部８１ｂが、受光側基板７１の接合部８１ａに対して接合するように、受光側基板７１と貼り合わされる。また、配線層７４を貫通するようにコンタクト電極８２が形成されており、コンタクト電極８２により、接合部８１ｂと半導体基板７３のＦＤ部８３とが接続されている。従って、ＦＤ部３２は、コンタクト電極５５、接合部８１ａ、接合部８１ｂ、コンタクト電極８２を介して、ＦＤ部８３に接続されており、ＰＤ３１からＦＤ部３２に転送された電荷が、読み出し側基板７２に読み出される。

[0159] 画素１２Ｋでは、半導体基板７３にＮ型不純物領域８４乃至８９が形成されており、半導体基板７３の表面に、オーバーフローゲート９１、転送トランジスタ９２、転送トランジスタ９３、リセットトランジスタ９４、および

増幅トランジスタ９５が形成されている。

[0160] 例えば、画素１２Ｋでは、Ｎ型不純物領域８８は、ＦＤ部８３に蓄積された電荷のオーバーフローバッファとして機能し、ＦＤ部８３から溢れ出る電荷は、オーバーフローゲート９１を介してＮ型不純物領域８４に排出される。また、Ｎ型不純物領域８９には、ＦＤ部８３およびＮ型不純物領域８８から転送トランジスタ９２を介して電荷が供給され、Ｎ型不純物領域８９は、固体撮像素子１１－２がグローバルシャッタ動作を行う際に、ＰＤ３１で発生した電荷が読み出されるまで保持するメモリ部として機能する。また、配線層７４には、Ｎ型不純物領域８９に光が照射されるのを防止するために遮光膜９６が形成されている。

[0161] また、画素１２Ｋでは、Ｎ型不純物領域８９に保持されている電荷が、転送トランジスタ９３を介して、ＦＤ部として機能するＮ型不純物領域８５に転送され、Ｎ型不純物領域８９は、コンタクト電極９７および９８を介して、増幅トランジスタ９５のゲート電極に接続されている。Ｎ型不純物領域８６は、ドレーン電源Ｖｄｄに接続されるとともに、Ｎ型不純物領域８７は、垂直信号線に接続されており、Ｎ型不純物領域８５に蓄積されている電荷が増幅トランジスタ９５により増幅されて垂直信号線に出力される。また、Ｎ型不純物領域８５に蓄積されている電荷は、リセットトランジスタ９４を介して、Ｎ型不純物領域８６に接続されているドレーン電源Ｖｄｄに排出される。

[0162] このような構成の画素１２Ｋにおいて、例えば、ＦＤ部３２とコンタクト電極５５との接続部、ＦＤ部８３とコンタクト電極８２との接続部、および、Ｎ型不純物領域８５とコンタクト電極９７との接続部の少なくともいずれか１カ所において、上述したようなアドバンストコンタクト構造を採用して構成することができる。これにより、画素１２Ｋは、ＦＤ部３２、ＦＤ部８３、およびＮ型不純物領域８５の少なくともいずれかのＰ型濃度を低濃度としてコンタクト抵抗を低減することができるとともに、暗電流の発生を抑止することができる。

[0163] 次に、図４０乃至図４３を参照して、固体撮像素子１１－２の製造方法について説明する。

[0164] まず、第１０１の工程において、図４０に示すように、通常の半導体プロセスにより、半導体基板２１にＰＤ３１およびＦＤ部３２を形成し、半導体基板２１の表面に転送トランジスタ３３を形成する。その後、配線層２２に層間絶縁膜を積層し、上述したようにコンタクトホールを形成して、ＦＤ部３２とアドバンストコンタクト構造で接続されるようにコンタクト電極５５を形成する。そして、接合面に露出し、コンタクト電極５５に接続するように接合部８１ａを形成する。

[0165] 一方、第１０２の工程において、図４１に示すように、通常の半導体プロセスにより、半導体基板７３にＦＤ部８３およびＮ型不純物領域８４乃至８９を形成する。さらに、半導体基板７３の表面に、オーバーフローゲート９１、転送トランジスタ９２、転送トランジスタ９３、リセットトランジスタ９４、および増幅トランジスタ９５を形成する。その後、配線層２２に層間絶縁膜を積層し、上述したようにコンタクトホールを形成して、ＦＤ部８３とアドバンストコンタクト構造で接続されるようにコンタクト電極８２を形成する。同様に、コンタクト電極９７および９８を配線層２２に形成する。

[0166] また、接合面に露出し、コンタクト電極８２に接続するように接合部８１ｂを形成する。また、メモリ部として機能するＮ型不純物領域８９を遮光するように遮光膜９６を形成する。なお、固体撮像素子１１－２を駆動するための周辺回路は、複数の画素１２Ｋが行列状に配置される画素領域の外側に形成する。

[0167] そして、第１０３の工程において、図４２に示すように、受光側基板７１の接合部８１ａと、読み出し側基板７２の接合部８１ｂとによるＣｕ－Ｃｕ接合によって、受光側基板７１および読み出し側基板７２を接合する。

[0168] さらに、第１０４の工程において、図４３に示すように、受光側基板７１の受光面側を研磨し、ＰＤ３１が残る程度のシリコン膜厚（例えば、2～10μｍ程度）となるように、受光側基板７１を薄膜化する。

[0169] その後、図３９に示したように、半導体基板２１の裏面に、平坦化膜２３、カラーフィルタ３４、およびマイクロレンズ３５を形成する工程を行い、さらに、図示しないパッドを形成する工程を行って、固体撮像素子１１－２が製造される。

[0170] 次に、図４４は、図３９に示した固体撮像素子１１－２の第１の変形例を示す図である。なお、図４４に示す固体撮像素子１１－２ａにおいて、図３９の固体撮像素子１１－２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0171] 即ち、固体撮像素子１１－２ａは、メモリ部として機能するＮ型不純物領域８９に電荷を転送する転送トランジスタ９２の手前に配置される、オーバーフローバッファとして機能するＮ型不純物領域８８に、コンタクト電極８２が接続されるように画素１２Ｋａが形成される点で、図３９の固体撮像素子１１－２と異なる構成とされる。

[0172] このように構成される固体撮像素子１１－２ａでは、ＦＤ部３２とコンタクト電極５５との接続部、および、ＦＤ部８３とコンタクト電極８２との接続部の少なくともいずれか１カ所において、上述したようなアドバンストコンタクト構造を採用して構成することができる。これにより、ＦＤ部３２およびＦＤ部８８の少なくとも一方を低濃度化（例えば、1e20cm-3以下）にすることができる。このように、電荷の転送経路を低容量化することにより、電荷の転送を容易に行うことができ、ノイズの少ない電荷の読み出しを実現することができる。

[0173] 次に、図４５は、図３９に示した固体撮像素子１１－２の第２の変形例を示す図である。なお、図４５に示す固体撮像素子１１－２ｂにおいて、図３９の固体撮像素子１１－２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0174] 即ち、固体撮像素子１１－２ｂは、コンタクト電極５５が接続される接合部８１ａに、転送トランジスタ９９のゲート電極が接続されるように画素１２Ｋｂが形成される点で、図３９の固体撮像素子１１－２と異なる構成とさ

れる。

[0175] つまり、固体撮像素子１１－２ｂは、例えば、グローバルシャッタ機能が必要な場合には、読み出し側基板７２側から電荷を読み出し、グローバルシャッタ機能が必要でない場合には、転送トランジスタ９９を介して電荷を読み出すような構成となっている。このように、固体撮像素子１１－２ｂは、必要に応じてグローバルシャッタ機能の有無を切り替えることができる。従って、固体撮像素子１１－２ｂは、例えば、撮像環境が低照度で明るさが不足している場合には、転送トランジスタ９９を介した電荷の読み出しを選択し、ローリングシャッタ方式で電荷を読み出し、よりノイズの少ない良好な画像を撮像することができる。

[0176] 次に、図４６は、図３９に示した固体撮像素子１１－２の第３の変形例を示す図である。なお、図４６に示す固体撮像素子１１－２ｃにおいて、図３９の固体撮像素子１１－２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0177] 図４６に示すように、固体撮像素子１１－２ｃは、複数の画素１２Ｋが行列状に配置された画素領域の外部に周辺回路が設けられた構成とされており、画素１２Ｋ－１乃至１２Ｋ－３は、図３９の画素１２Ｋと同様の構成とされている。そして、周辺回路にも、画素領域と同様に、複数のＦＤ部３２や複数の転送トランジスタ３３などが形成され、それらのＦＤ部３２とコンタクト電極５５との接続に、上述したようなアドバンストコンタクト構造を採用して構成することができる。

[0178] 次に、図４７は、図３９に示した固体撮像素子１１－２の第４の変形例を示す図である。なお、図４７に示す固体撮像素子１１－２ｄにおいて、図３９の固体撮像素子１１－２と共通の構成については同一の符号を付し、その詳細な説明は省略する。

[0179] 図４７に示すように、固体撮像素子１１－２ｄは、受光側基板７１、読み出し側基板７２、および周辺回路基板１０１が積層されて構成される点で、図３９の固体撮像素子１１－２と異なる構成とされる。

[0180] 周辺回路基板１０１は、破線で図示される接合面において読み出し側基板７２と接合され、半導体基板１０２および配線層１０３が積層されて構成される。また、読み出し側基板７２から周辺回路基板１０１への信号の読み出しは、外周部に設けられる貫通電極１０４－１および１０４－２を介して行われる。そして、周辺回路基板１０１にも、受光側基板７１および読み出し側基板７２と同様に、複数のＦＤ部３２や複数の転送トランジスタ３３などが形成され、それらのＦＤ部３２とコンタクト電極５５との接続に、上述したようなアドバンストコンタクト構造を採用して構成することができる。

[0181] このように、固体撮像素子１１－２ｄは、周辺回路基板１０１を積層する構成とすることで、チップ面積を削減することができるとともに、周辺回路に最新世代の高速なトランジスタを採用することができる。

[0182] なお、固体撮像素子１１－２では、受光側基板７１の半導体基板２１として、シリコン基板を用いる他、例えば、ＩＩＩ－Ｖ族基板などの積層材料で形成された基板を採用してもよい。また、固体撮像素子１１－２ａ乃至１１－２ｄにおいても同様である。具体的には、InP/InGaAsやInGaSbなどのように赤外感度のある基板を採用することで、画素１２Ｋにおいて赤外光まで取得できる。

[0183] 以上のように、固体撮像素子１１－２では、転送トランジスタ３３の電源に乗るノイズの影響を抑制して、ノイズの少ない撮像特性を実現することができ、ダイナミックレンジの大きな撮像特性を実現することができる。これにより、固体撮像素子１１－２は、撮像特性の劣化を抑制したグローバルシャッタ機能を提供することができる。また、固体撮像素子１１－２ａ乃至１１－２ｄにおいても同様の効果を有する。

[0184] 次に、図４８乃至図５５を参照して、上述したようなアドバンストコンタクト構造が適用可能な構成について説明する。

[0185] 図４８は、一般的な画素１２の等価回路を示す図である。

[0186] 図４８に示すように、画素１２は、ＰＤ３１が転送トランジスタ３３を介してＦＤ部３２に接続されており、ＦＤ部３２が増幅トランジスタ１１１の

ゲート電極に接続されており、増幅トランジスタ１１１は、選択トランジスタ１１２を介して垂直信号線１１４に接続されている。また、ＦＤ部３２は、リセットトランジスタ１１３を介して、ドレーン電源Ｖｄｄに接続されている。

[0187] このように構成される画素１２において、破線の円で囲われているＦＤ部３２における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0188] 図４９は、４画素共有構造を採用した画素１２の等価回路を示す図である。

[0189] 図４９に示すように、画素１２Ｌは、ＰＤ３１－１乃至３１－４および転送トランジスタ３３－１乃至３３－４によりＦＤ部３２を共有して利用する４画素共有構造となっており、転送トランジスタ３３－１乃至３３－４が一カ所で接続されている。

[0190] このような画素１２Ｌにおいて、破線の円で囲われているように、転送トランジスタ３３－１乃至３３－４が接続される接続箇所およびＦＤ部３２における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0191] 図５０は、４画素共有構造を採用した画素１２の他の等価回路を示す図である。

[0192] 図５０に示すように、画素１２Ｍは、ＰＤ３１－１乃至３１－４および転送トランジスタ３３－１乃至３３－４によりＦＤ部３２を共有して利用する４画素共有構造となっている。また、画素１２Ｍでは、転送トランジスタ３３－１および３３－２が接続されるとともに、転送トランジスタ３３－３および３３－４が接続され、それらの接続箇所がＦＤ部３２に接続されている。

[0193] このような画素１２Ｍにおいて、破線の円で囲われているように、転送トランジスタ３３－１および３３－２の接続箇所、転送トランジスタ３３－３および３３－４の接続箇所、およびＦＤ部３２における接続構成に、上述し

たようなアドバンストコンタクト構造を適用することができる。

[0194] 図５１は、縦方向分光構造を採用した画素１２の第１の構成例を示す図である。

[0195] 図５１に示すように、画素１２Ｎは、有機光電変換膜１２１、ＰＤ３１－１、およびＰＤ３１－２が縦方向に配置されており、例えば、有機光電変換膜１２１は緑色の光を光電変換し、ＰＤ３１－１は青色の光を光電変換し、ＰＤ３１－２は赤色の光を光電変換する。有機光電変換膜１２１は、上部電極１２２および下部電極１２３に挟まれており、下部電極１２３に接続される電極１２４、および拡散層１２５を介して、有機光電変換膜１２１から電荷が読み出される。

[0196] また、画素１２Ｎは、転送トランジスタ３３－１、ＦＤ部３２－１、およびコンタクト電極５５－１を介してＰＤ３１－１で発生した電荷を読み出し、転送トランジスタ３３－２、ＦＤ部３２－２、およびコンタクト電極５５－２を介してＰＤ３１－２で発生した電荷を読み出す。また、転送トランジスタ３３－３、ＦＤ部３２－３、およびコンタクト電極５５－３を介して有機光電変換膜１２１で発生した電荷を読み出す。

[0197] このように構成される画素１２Ｎにおいて、ＦＤ部３２－１乃至３２－３における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0198] 図５２は、縦方向分光構造を採用した画素１２の第２の構成例を示す図である。

[0199] 図５２に示すように、画素１２Ｐは、有機光電変換膜１２１およびＰＤ３１が縦方向に配置されており、有機光電変換膜１２１およびマイクロレンズ３５の間にカラーフィルタ１２６が配置されている。有機光電変換膜１２１は、上部電極１２２および下部電極１２３に挟まれており、下部電極１２３に接続される電極１２４、および拡散層１２５を介して、有機光電変換膜１２１から電荷が読み出される。即ち、画素１２Ｐは、有機光電変換膜１２１およびＰＤ３１により２色の光を光電変換することができ、光電変換される

色の光がカラーフィルタ１２６を透過するように構成される。

[0200] また、画素１２Ｐは、転送トランジスタ３３－１、ＦＤ部３２－１、およびコンタクト電極５５－１を介してＰＤ３１で発生した電荷を読み出す。また、転送トランジスタ３３－２、ＦＤ部３２－２、およびコンタクト電極５５－２を介して有機光電変換膜１２１で発生した電荷を読み出す。

[0201] このように構成される画素１２Ｐにおいて、ＦＤ部３２－１および３２－２における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0202] 図５３は、縦方向分光構造を採用した画素１２の第３の構成例を示す図である。

[0203] 図５３に示すように、画素１２Ｑは、半導体基板２１に有機光電変換層１３１が積層されて構成される。有機光電変換層１３１では、絶縁膜１３２により絶縁されて、有機光電変換膜１２１－１、有機光電変換膜１２１－２、および有機光電変換膜１２１－３が縦方向に配置されている。

[0204] 有機光電変換膜１２１－１は、上部電極１２２－１および下部電極１２３－１に挟まれており、下部電極１２３－１に接続される電極１２４－１を介して、有機光電変換膜１２１で発生した電荷がＦＤ部３２－１に読み出される。また、有機光電変換膜１２１－２および１２１－３も、有機光電変換膜１２１－１と同様に構成されている。

[0205] このように構成される画素１２Ｑにおいて、ＦＤ部３２－１乃至３２－３における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0206] 図５４は、グローバルシャッタ構造を採用した画素１２の構成例を示す図である。

[0207] 図５４に示すように、画素１２Ｒは、半導体基板２１に積層される平坦化膜２３に遮光膜１４１が形成される。遮光膜１４１には、ＰＤ３１に光を照射するための開口部１４２が形成されおり、開口部１４２以外の箇所が遮光される。

[0208] 半導体基板２１には、全ての画素１２Ｒにおいて一斉に電荷が転送され、その電荷が読み出されるまで保持するメモリ部１４３、および、ＦＤ部３２が形成されている。また、半導体基板２１の表面には、ＰＤ３１およびメモリ部１４３の間に転送トランジスタ３３－１が形成され、メモリ部１４３およびＦＤ部３２の間に転送トランジスタ３３－２が形成されており、ＦＤ部３２にコンタクト電極５５が接続されている。

[0209] このように構成される画素１２Ｑにおいて、ＦＤ部３２における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0210] 図５５は、画素１２ごとにＡＤ変換を行う構成例を示す図である。

[0211] 図５５に示すように、画素１２Ｓは、統合回路１５１、比較電流発生回路１５２、コンパレータ回路１５３、および電流加算ノード１５４を備えて構成される。統合回路１５１では、ＰＤ３１において発生した電荷がＦＤ部３２を介して比較電流発生回路１５２に供給される。また、ＦＤ部３２に蓄積されている電荷は、リセットトランジスタ１１３を介してドレーン電源Ｖｄに排出されてリセットされる。そして、コンパレータ回路１５３は、ＦＤ部３２で発生した電荷と、比較電流発生回路１５２において生成される電流とを比較し、その比較結果がデジタル値として電流加算ノード１５４を介して出力される。

[0212] このように構成される画素１２Ｑにおいて、破線の円で囲われているＦＤ部３２における接続構成に、上述したようなアドバンストコンタクト構造を適用することができる。

[0213] なお、画素１２ごとにＡＤ変換を行う構成の他、例えば、所定のエリアにある複数の画素１２ごとにＡＤ変換を行うような構成において、上述したようなアドバンストコンタクト構造を適用してもよい。

[0214] ＜電子機器の構成例＞

[0215] なお、上述したような各実施の形態の固体撮像素子１１は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子

機器に適用することができる。

[0216] 図５６は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0217] 図５６に示すように、撮像装置２０１は、光学系２０２、撮像素子２０３、信号処理回路２０４、モニタ２０５、およびメモリ２０６を備えて構成され、静止画像および動画像を撮像可能である。

[0218] 光学系２０２は、１枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子２０３に導き、撮像素子２０３の受光面（センサ部）に結像させる。

[0219] 撮像素子２０３としては、上述した実施の形態の固体撮像素子１１が適用される。撮像素子２０３には、光学系２０２を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子２０３に蓄積された電子に応じた信号が信号処理回路２０４に供給される。

[0220] 信号処理回路２０４は、撮像素子２０３から出力された画素信号に対して各種の信号処理を施す。信号処理回路２０４が信号処理を施すことにより得られた画像（画像データ）は、モニタ２０５に供給されて表示されたり、メモリ２０６に供給されて記憶（記録）されたりする。

[0221] このように構成されている撮像装置２０１では、上述した実施の形態の固体撮像素子１１を適用することで、例えば、よりノイズの少ない良好な画像を撮像することができる。

[0222] ＜イメージセンサの使用例＞

[0223] 図５７は、上述のイメージセンサ（固体撮像素子パッケージ１１）を使用する使用例を示す図である。

[0224] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0225] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前

方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0226] なお、本技術は以下のような構成も取ることができる。

（１）

所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、

少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、

前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極と

を備える固体撮像素子。

（２）

前記高誘電率絶縁膜は、前記電極を形成するために層間絶縁膜に形成されるコンタクトホールの底面および内周面に成膜される

上記（１）に記載の固体撮像素子。

（３）

前記高誘電率絶縁膜は、前記半導体基板に対して積層される配線層の層間

絶縁膜を成膜する前に、少なくとも前記不純物領域の表面に積層される

上記（１）に記載の固体撮像素子。

（４）

前記高誘電率絶縁膜は、単層で成膜される

上記（１）から（３）までのいずれかに記載の固体撮像素子。

（５）

前記高誘電率絶縁膜は、異なる材料を用いた複数層で成膜される

上記（１）から（３）までのいずれかに記載の固体撮像素子。

（６）

前記高誘電率絶縁膜は、前記不純物領域と前記電極との接続箇所におけるショットキーバリア高さを低減する材料により成膜される

上記（１）から（５）までのいずれかに記載の固体撮像素子。

（７）

前記半導体基板に光電変換部が形成される領域に対応する前記半導体基板の表面に、前記高誘電率絶縁膜が成膜される

上記（１）から（６）までのいずれかに記載の固体撮像素子。

（８）

前記不純物領域において成膜される高誘電率絶縁膜と、前記光電変換部に対応して前記半導体基板の表面に形成される高誘電率絶縁膜とは、同一の材料で成膜される

上記（７）に記載の固体撮像素子。

（９）

前記不純物領域において成膜される第１の高誘電率絶縁膜と、前記光電変換部に対応して前記半導体基板の表面に形成される第２の高誘電率絶縁膜とが、異なる材料で成膜される

上記（７）に記載の固体撮像素子。

（１０）

前記第１の高誘電率絶縁膜は、前記不純物領域と前記電極との接続箇所に

おけるショットキーバリア高さを低減する材料により成膜され、

前記第２の高誘電率絶縁膜は、ピニング強度の強い材料により成膜される

上記（９）に記載の固体撮像素子。

（１１）

前記第１の高誘電率絶縁膜は、前記不純物領域の型とのバンドオフセットが小さい材料により成膜され、

前記光電変換部に対応して前記半導体基板の表面には、前記第１の高誘電率絶縁膜の上に前記第２の高誘電率絶縁膜が成膜されており、

前記第１の高誘電率絶縁膜と前記第２の高誘電率絶縁膜との層構造が異なる

上記（９）に記載の固体撮像素子。

（１２）

受光した光に応じた電荷を発生する光電変換部および前記不純物領域が形成される第１の基板と、

前記第１の基板で発生した電荷を、その電荷が読み出されるタイミングまで保持するメモリ部が形成される第２の基板と

が積層して構成され、

前記メモリ部へ電荷を転送する転送トランジスタの前段に配置されるオーバーフロー領域を備える

上記（１）から（１１）までのいずれかに記載の固体撮像素子。

（１３）

前記光電変換部を有する画素の駆動に必要な回路が、複数の前記画素が配置される画素領域の周辺に配置される

上記（１２）に記載の固体撮像素子。

（１４）

所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して不純物領域を形成し、

少なくとも前記不純物領域に対して高誘電率絶縁膜を積層し、

前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極を形成する

ステップを含む固体撮像素子の製造方法。

（１５）

所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、

少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、

前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極と

を有する固体撮像素子を備える電子機器。

[0227] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

符号の説明

[0228] １１ 固体撮像素子，１２ 画素，２１ 半導体基板，２２ 配線層，２３ 平坦化膜，２４ フィルタ層，２５ オンチップレンズ層，２６ 支持基板，３１ ＰＤ，３２ ＦＤ部，３３ 転送トランジスタ，３４ カラーフィルタ，３５ マイクロレンズ，４１ シリコン酸化膜，４２ 層間絶縁膜，５１ ゲート電極，５２ サイドウォール部，５３ コンタクト電極，５４ 高誘電率絶縁膜，５５ コンタクト電極

請求の範囲

[請求項1] 所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、

少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、

前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極と

を備える固体撮像素子。

[請求項2] 前記高誘電率絶縁膜は、前記電極を形成するために層間絶縁膜に形成されるコンタクトホールの底面および内周面に成膜される

請求項１に記載の固体撮像素子。

[請求項3] 前記高誘電率絶縁膜は、前記半導体基板に対して積層される配線層の層間絶縁膜を成膜する前に、少なくとも前記不純物領域の表面に積層される

請求項１に記載の固体撮像素子。

[請求項4] 前記高誘電率絶縁膜は、単層で成膜される

請求項１に記載の固体撮像素子。

[請求項5] 前記高誘電率絶縁膜は、異なる材料を用いた複数層で成膜される

請求項１に記載の固体撮像素子。

[請求項6] 前記高誘電率絶縁膜は、前記不純物領域と前記電極との接続箇所におけるショットキーバリア高さを低減する材料により成膜される

請求項１に記載の固体撮像素子。

[請求項7] 前記半導体基板に光電変換部が形成される領域に対応する前記半導体基板の表面に、前記高誘電率絶縁膜が成膜される

請求項１に記載の固体撮像素子。

[請求項8] 前記不純物領域において成膜される高誘電率絶縁膜と、前記光電変換部に対応して前記半導体基板の表面に形成される高誘電率絶縁膜とは、同一の材料で成膜される

請求項７に記載の固体撮像素子。

[請求項9] 前記不純物領域において成膜される第１の高誘電率絶縁膜と、前記光電変換部に対応して前記半導体基板の表面に形成される第２の高誘電率絶縁膜とが、異なる材料で成膜される

請求項１に記載の固体撮像素子。

[請求項10] 前記第１の高誘電率絶縁膜は、前記不純物領域と前記電極との接続箇所におけるショットキーバリア高さを低減する材料により成膜され、

前記第２の高誘電率絶縁膜は、ピニング強度の強い材料により成膜される

請求項９に記載の固体撮像素子。

[請求項11] 前記第１の高誘電率絶縁膜は、前記不純物領域の型とのバンドオフセットが小さい材料により成膜され、

前記光電変換部に対応して前記半導体基板の表面には、前記第１の高誘電率絶縁膜の上に前記第２の高誘電率絶縁膜が成膜されており、

前記第１の高誘電率絶縁膜と前記第２の高誘電率絶縁膜との層構造が異なる

請求項９に記載の固体撮像素子。

[請求項12] 受光した光に応じた電荷を発生する光電変換部および前記不純物領域が形成される第１の基板と、

前記第１の基板で発生した電荷を、その電荷が読み出されるタイミングまで保持するメモリ部が形成される第２の基板と

が積層して構成され、

前記メモリ部へ電荷を転送する転送トランジスタの前段に配置されるオーバーフロー領域を備える

請求項１に記載の固体撮像素子。

[請求項13] 前記光電変換部を有する画素の駆動に必要な回路が、複数の前記画素が配置される画素領域の周辺に配置される

請求項１２に記載の固体撮像素子。

[請求項14] 所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して不純物領域を形成し、

少なくとも前記不純物領域に対して高誘電率絶縁膜を積層し、

前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極を形成する

ステップを含む固体撮像素子の製造方法。

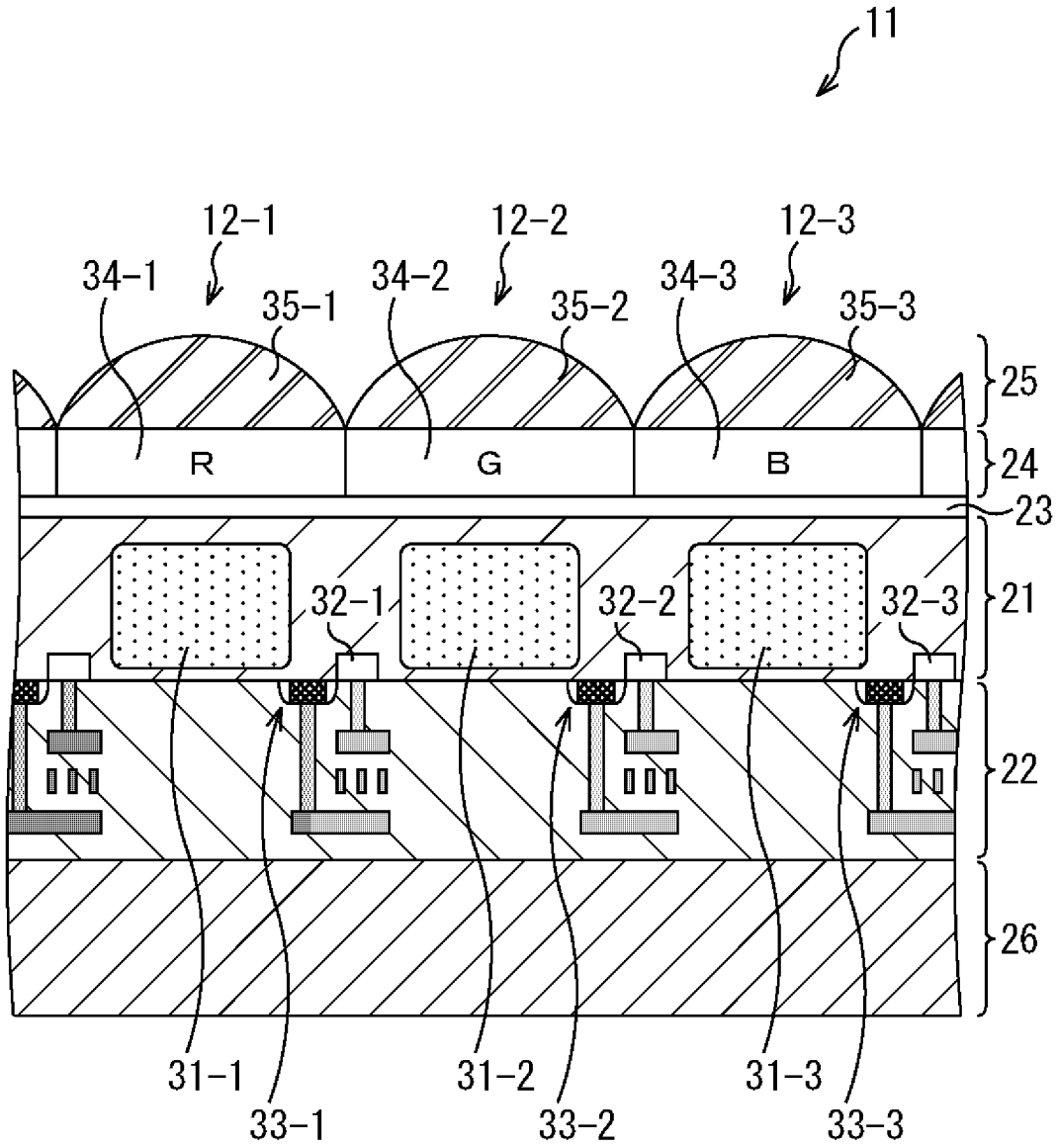
[請求項15] 所定の型の半導体基板に、前記半導体基板とは異なる型の不純物を注入して形成される不純物領域と、

少なくとも前記不純物領域に対して積層される高誘電率絶縁膜と、

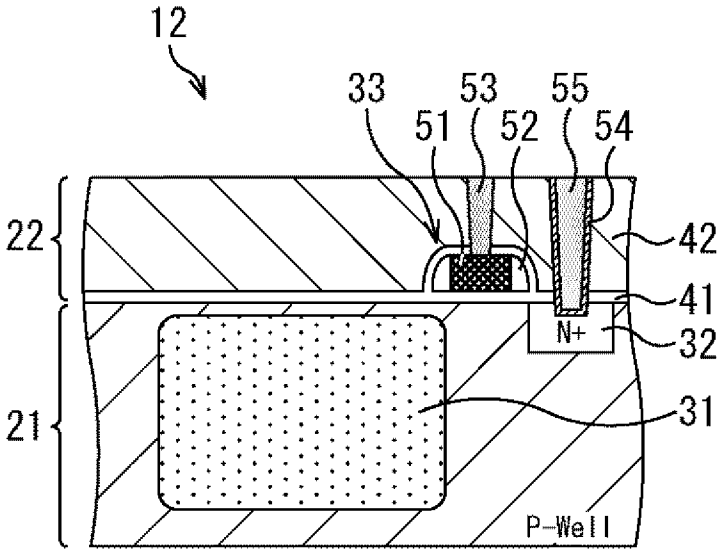
前記高誘電率絶縁膜を介した接続構造により前記不純物領域に接続される電極と

を有する固体撮像素子を備える電子機器。

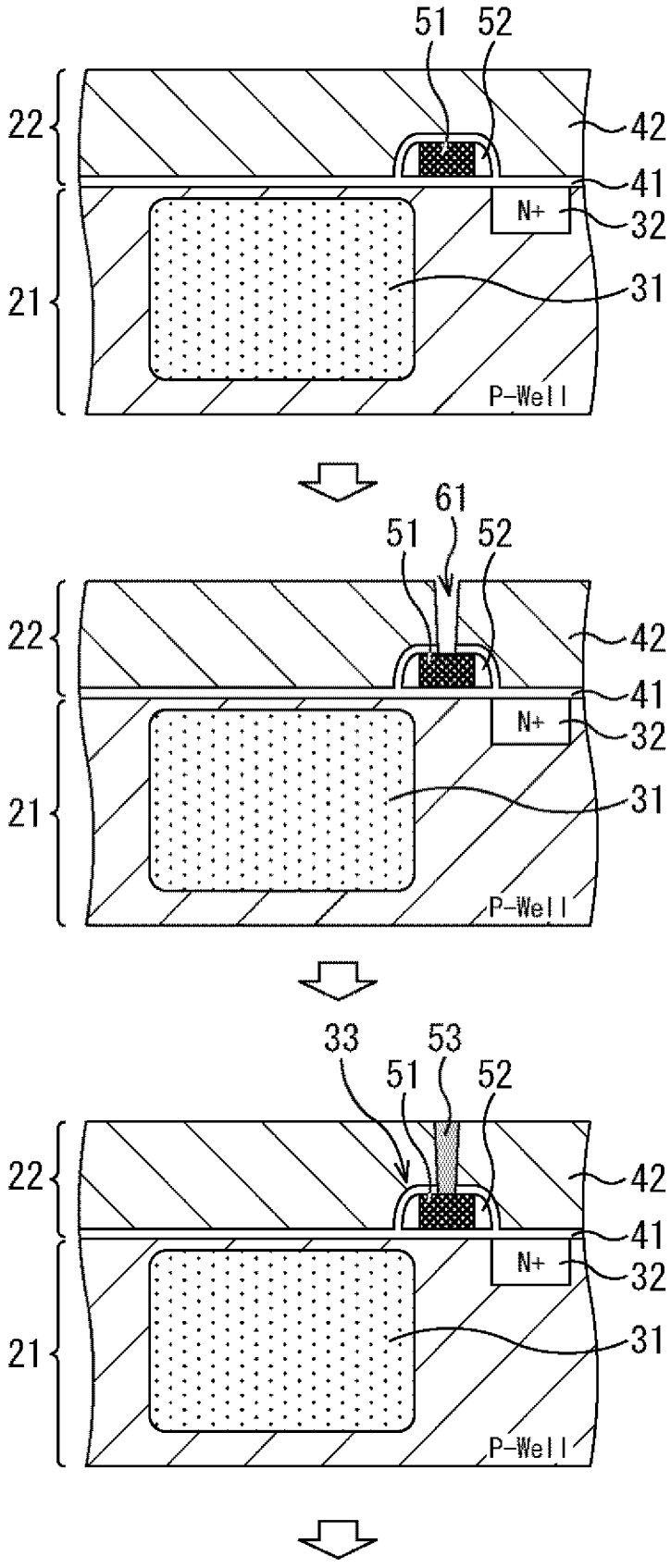
[図1]
FIG. 1


11
12-1
12-2
12-3
34-1
34-2
34-3
35-1
35-2
35-3
25
R
G
B
24
23
32-1
32-2
32-3
21
22
26
31-1
31-2
31-3
33-1
33-2
33-3

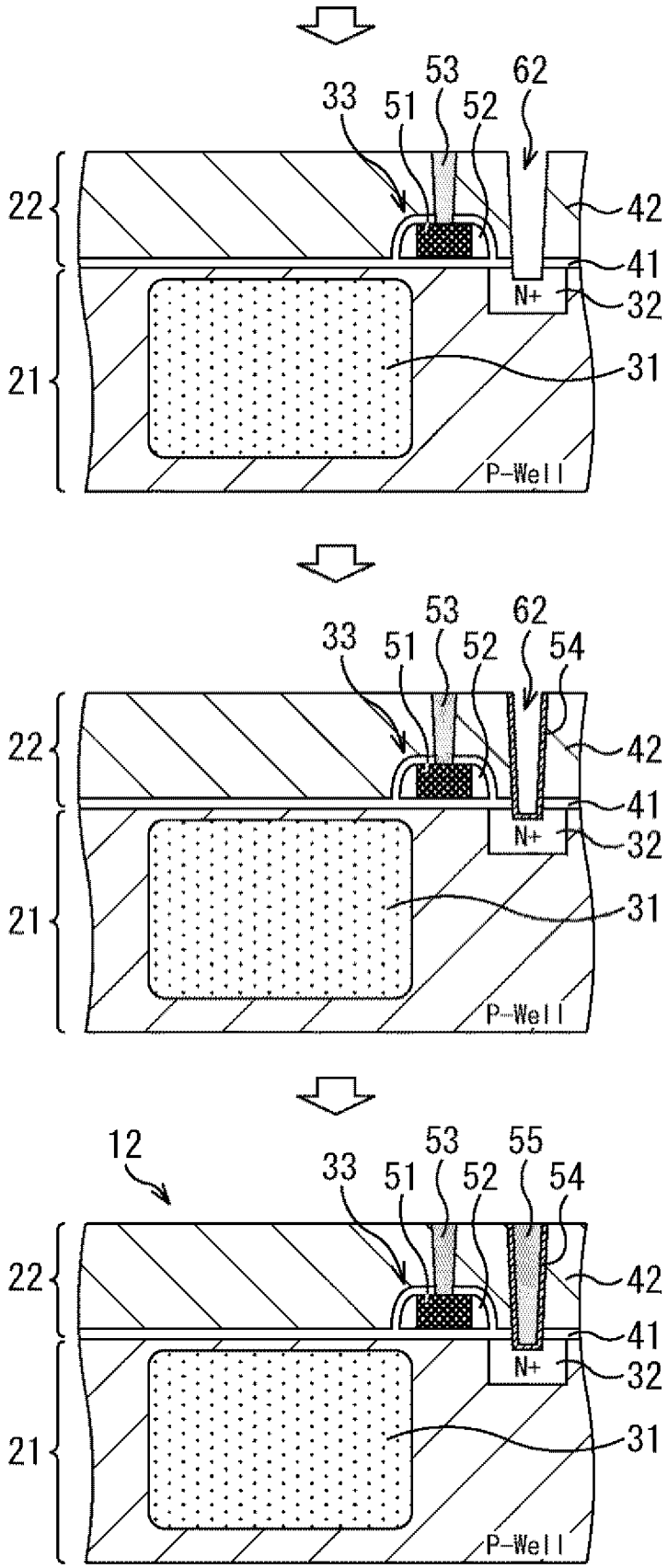
[図2]
FIG. 2



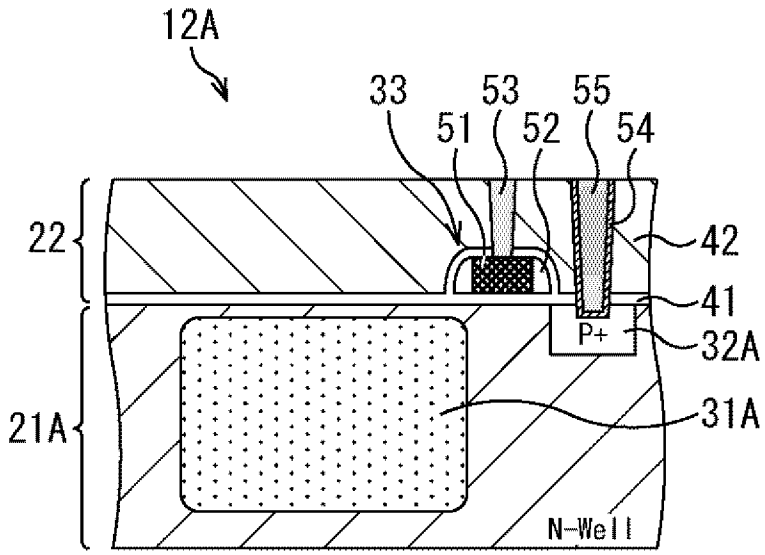
[図3]
FIG. 3


51
52
22
42
41
N+
32
21
31
P-Well
61
51
52
22
42
41
N+
32
21
31
P-Well
33
53
51
52
22
42
41
N+
32
21
31
P-Well

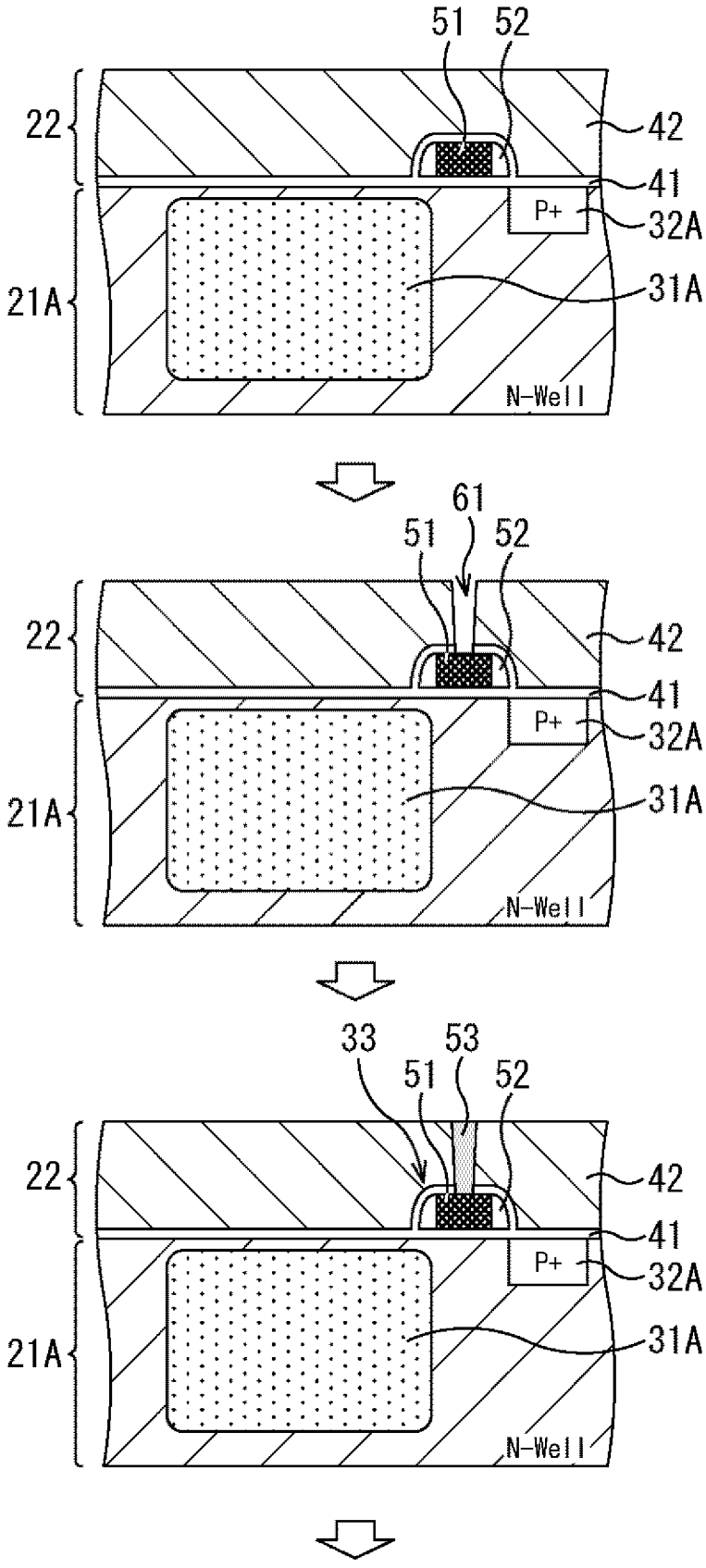
[図4]
FIG. 4



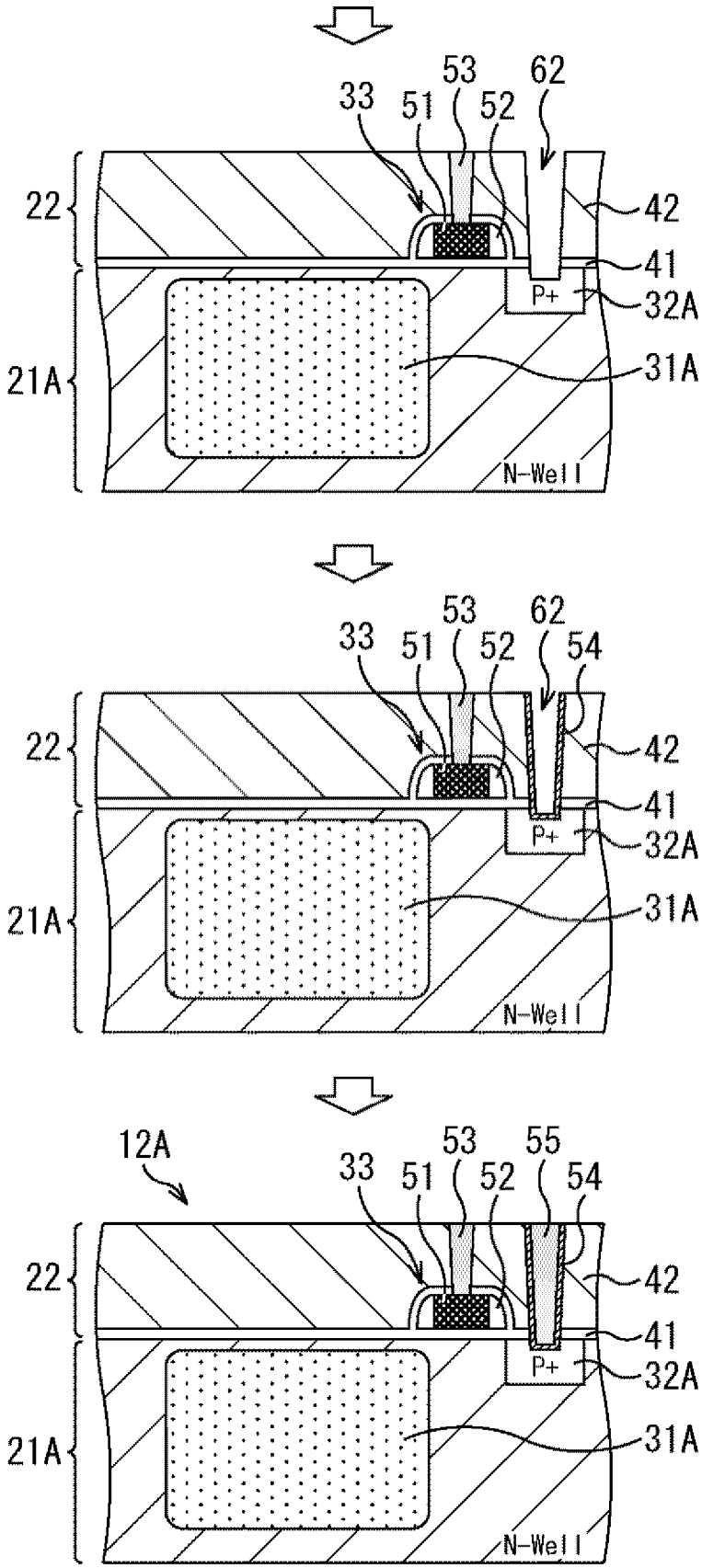
[図5]
FIG. 5



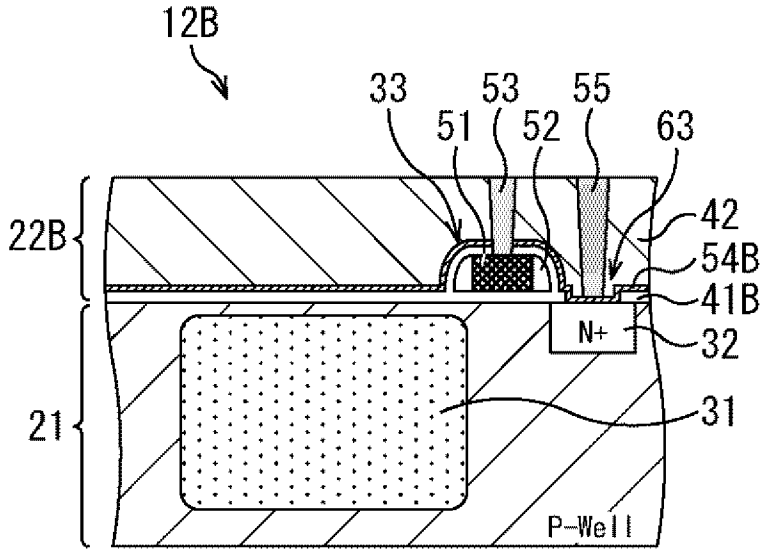
[図6]
FIG. 6


51
52
22
42
41
P+
32A
21A
31A
N-Well
61
51
52
22
42
41
P+
32A
21A
31A
N-Well
33
53
51
52
22
42
41
P+
32A
21A
31A
N-Well

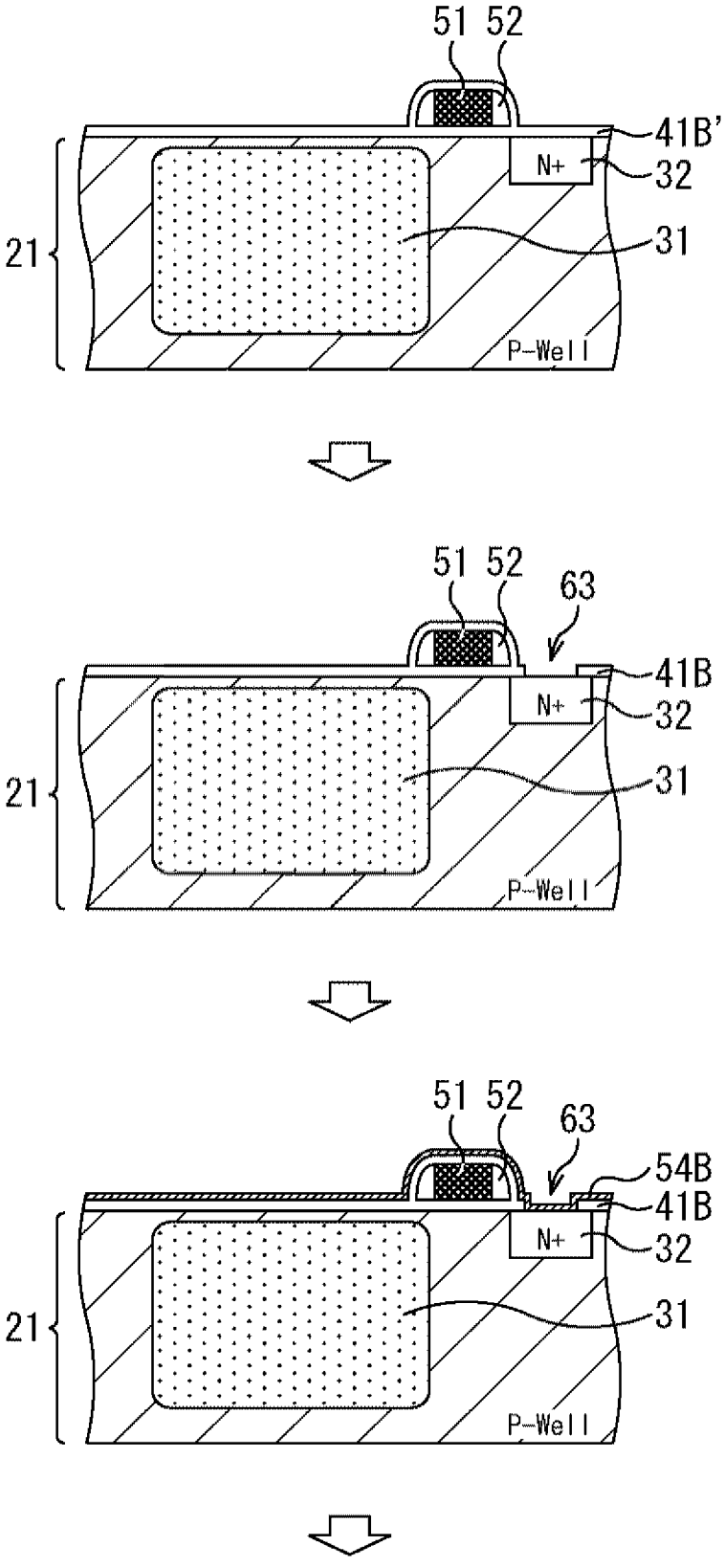
[図7]
FIG. 7



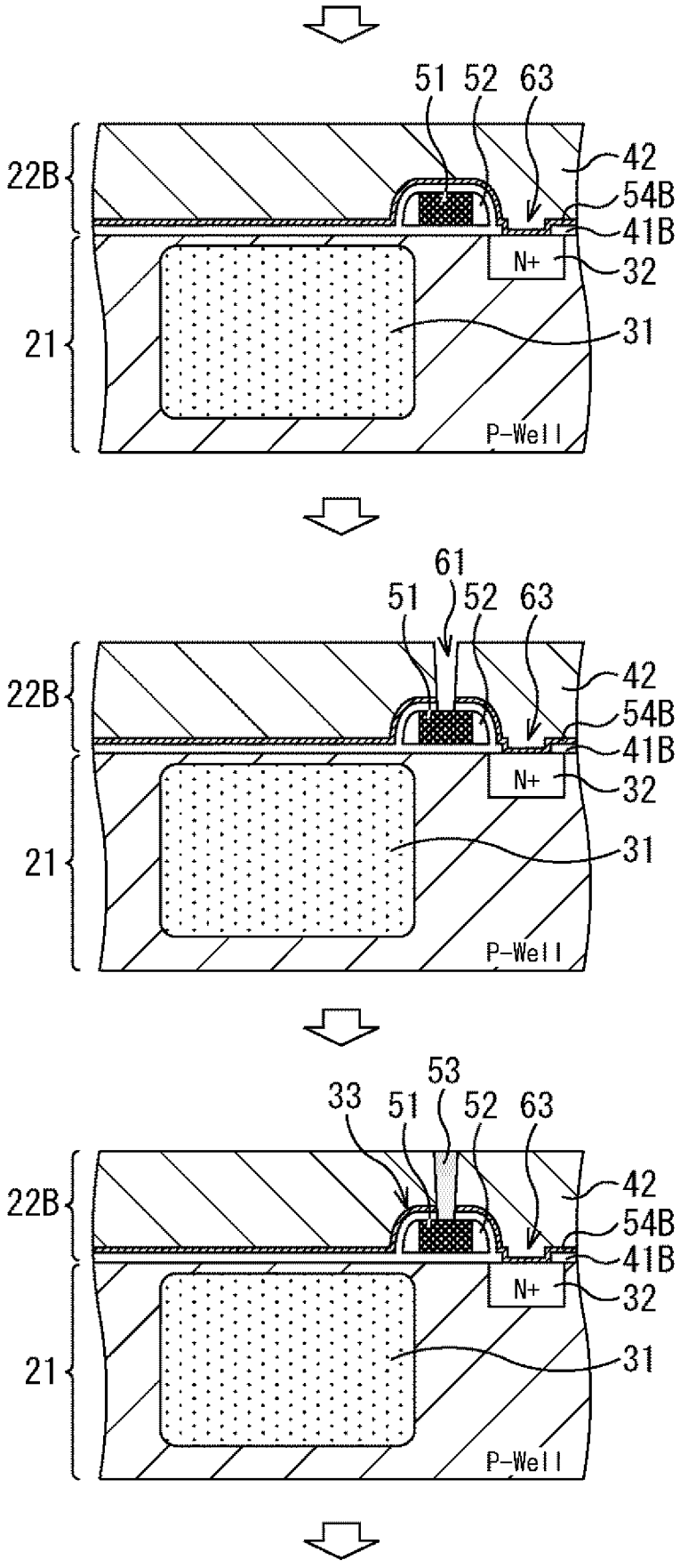
[図8]
FIG. 8



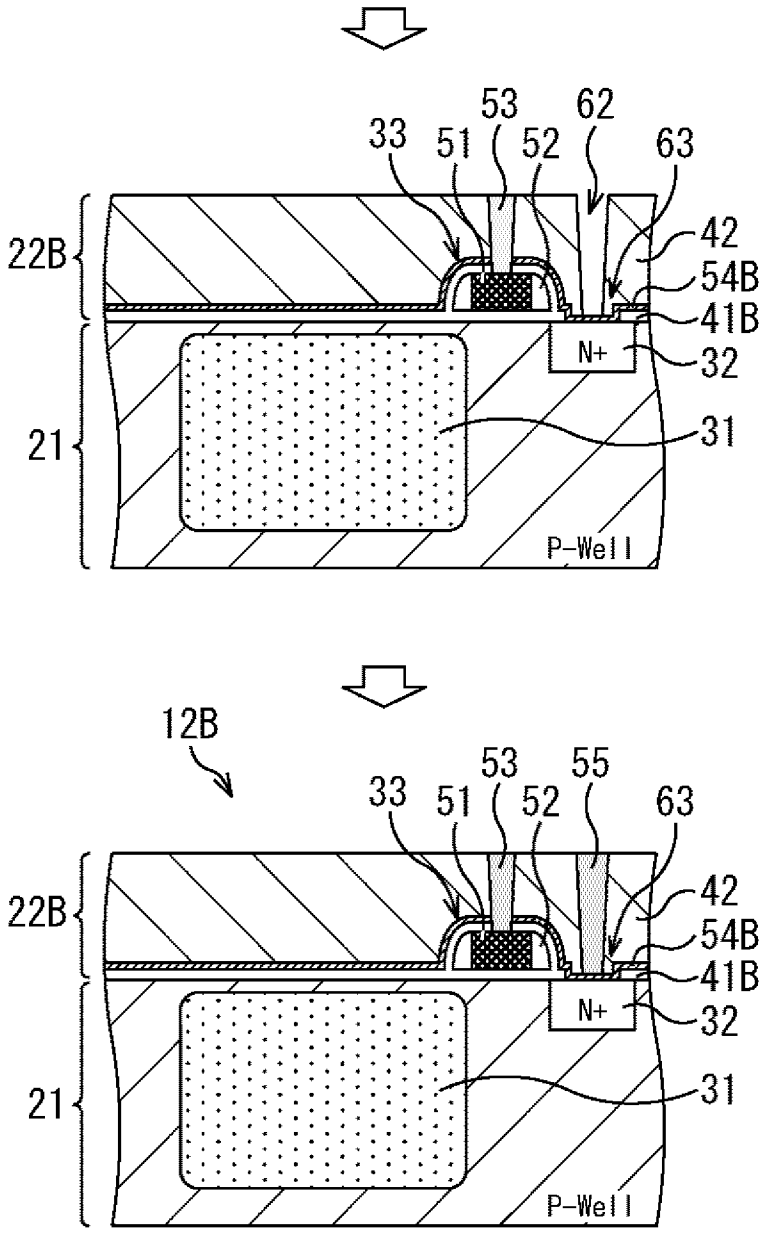
[図9]
FIG. 9


51 52
41B'
N+
32
21
31
P-Well
51 52
63
41B
N+
32
21
31
P-Well
51 52
63
54B
41B
N+
32
21
31
P-Well

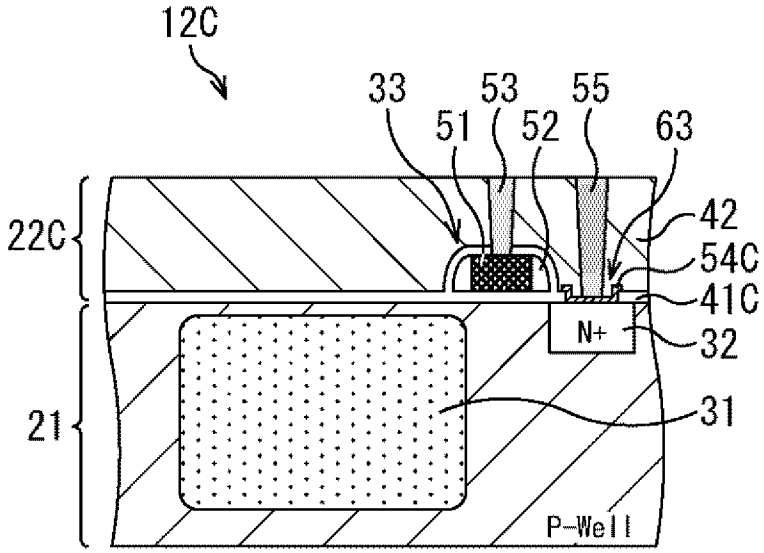
[図10]
FIG. 10


51
52
63
42
22B
54B
41B
N+
32
21
31
P-Well
61
51
52
63
42
22B
54B
41B
N+
32
21
31
P-Well
53
33
51
52
63
42
22B
54B
41B
N+
32
21
31
P-Well

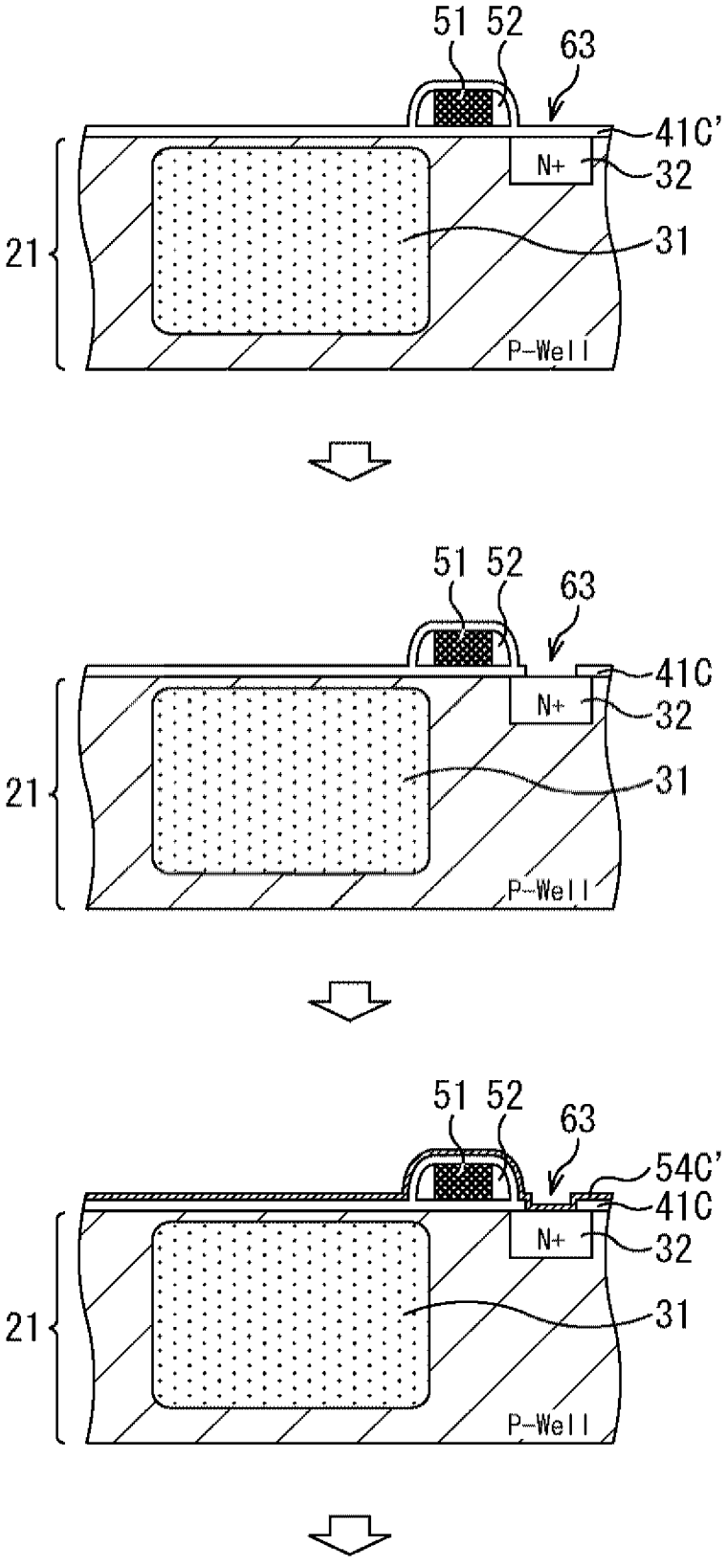
[図11]
FIG. 11


33
51
53
52
62
63
42
54B
41B
N+
32
31
22B
21
P-Well
12B
33
51
53
52
55
63
42
54B
41B
N+
32
31
22B
21
P-Well

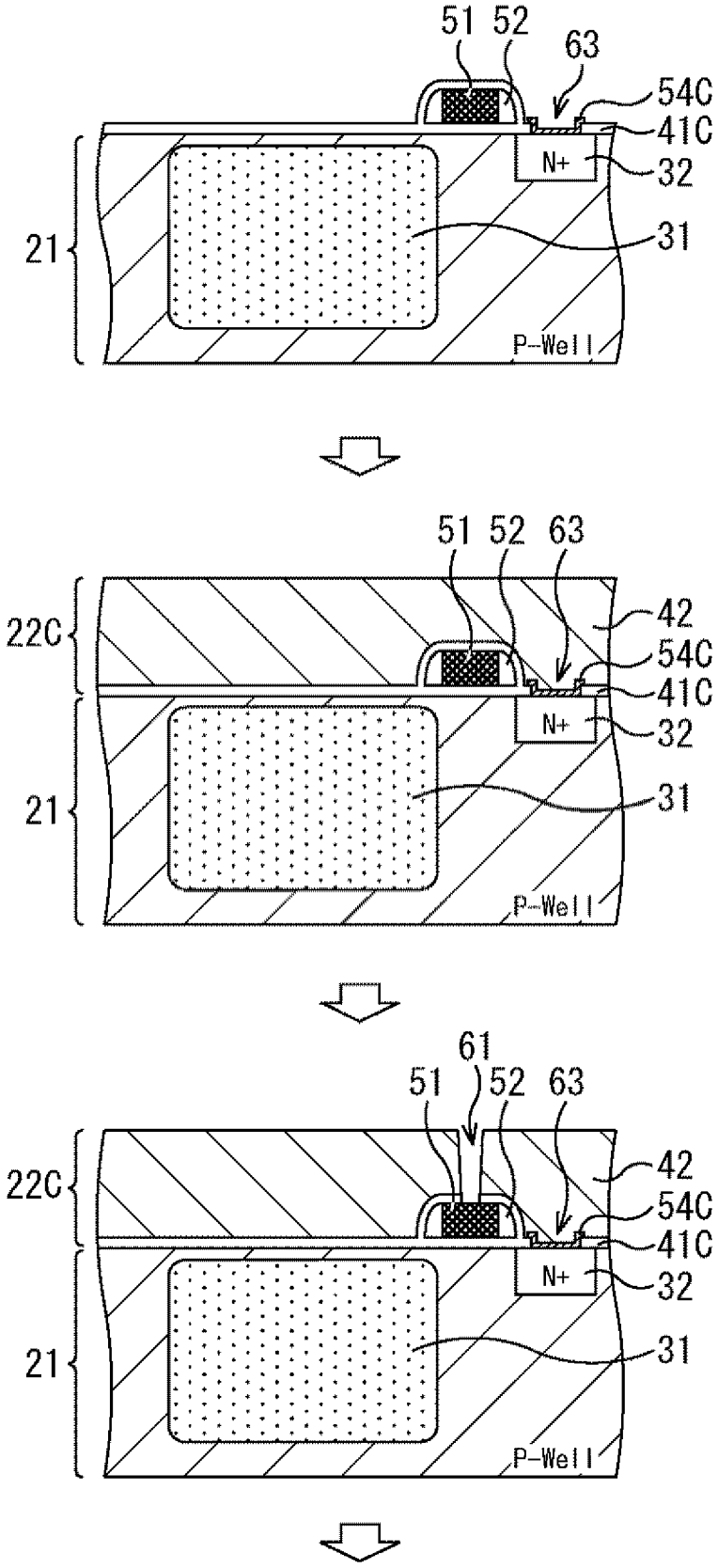
[図12]
FIG. 12



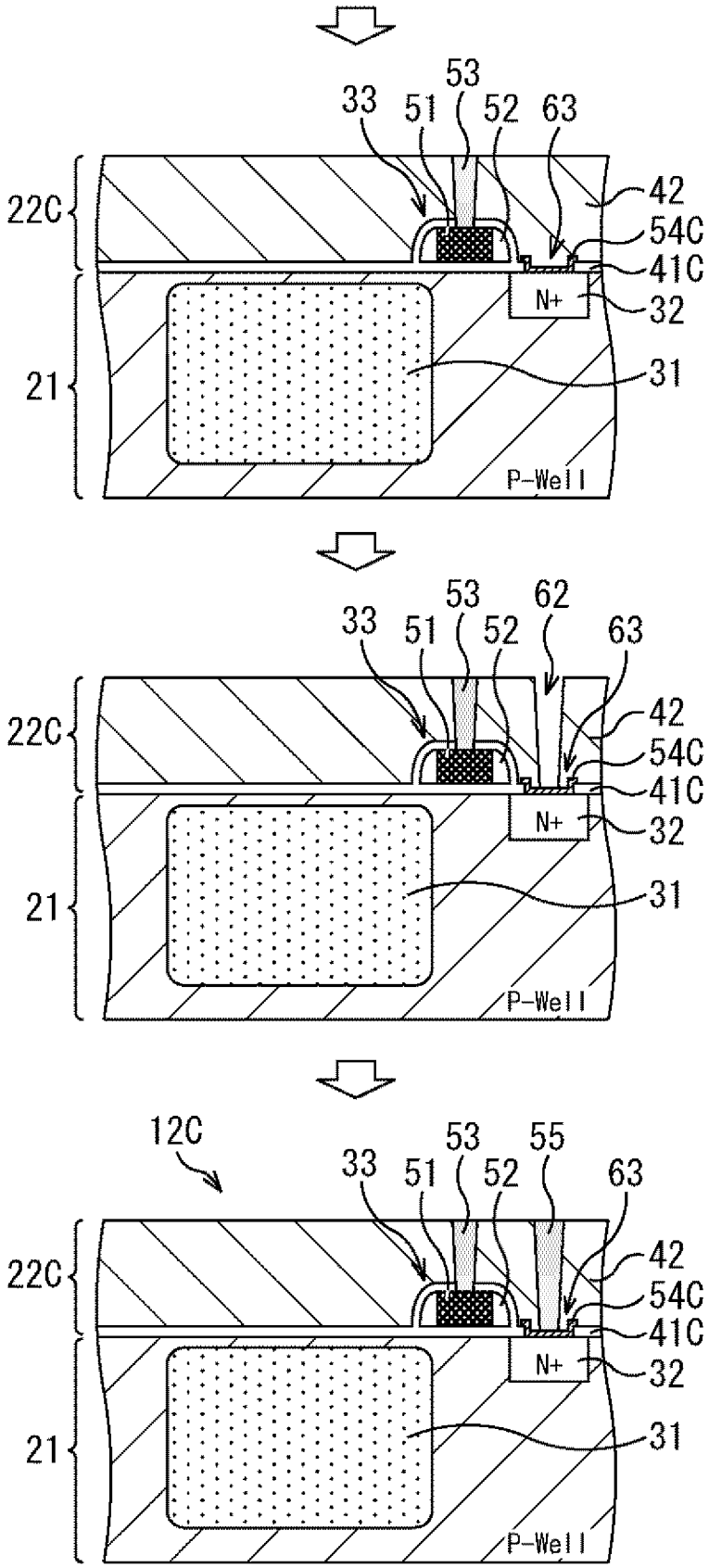
[図13]
FIG. 13


51
52
63
41C'
N+
32
21
31
P-Well
51
52
63
41C
N+
32
21
31
P-Well
51
52
63
54C'
41C
N+
32
21
31
P-Well

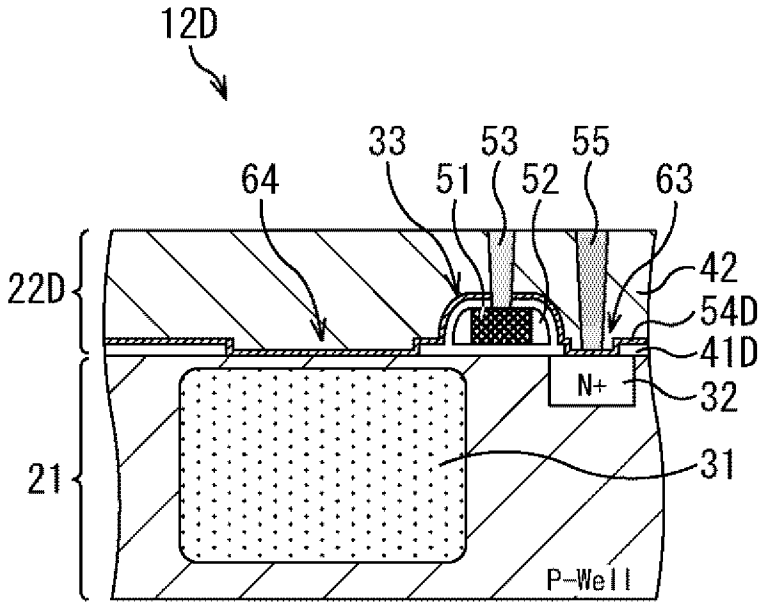
[図14]
FIG. 14


51
52
63
54C
41C
N+
32
21
31
P-Well
51
52
63
22C
42
54C
41C
N+
32
21
31
P-Well
61
51
52
63
22C
42
54C
41C
N+
32
21
31
P-Well

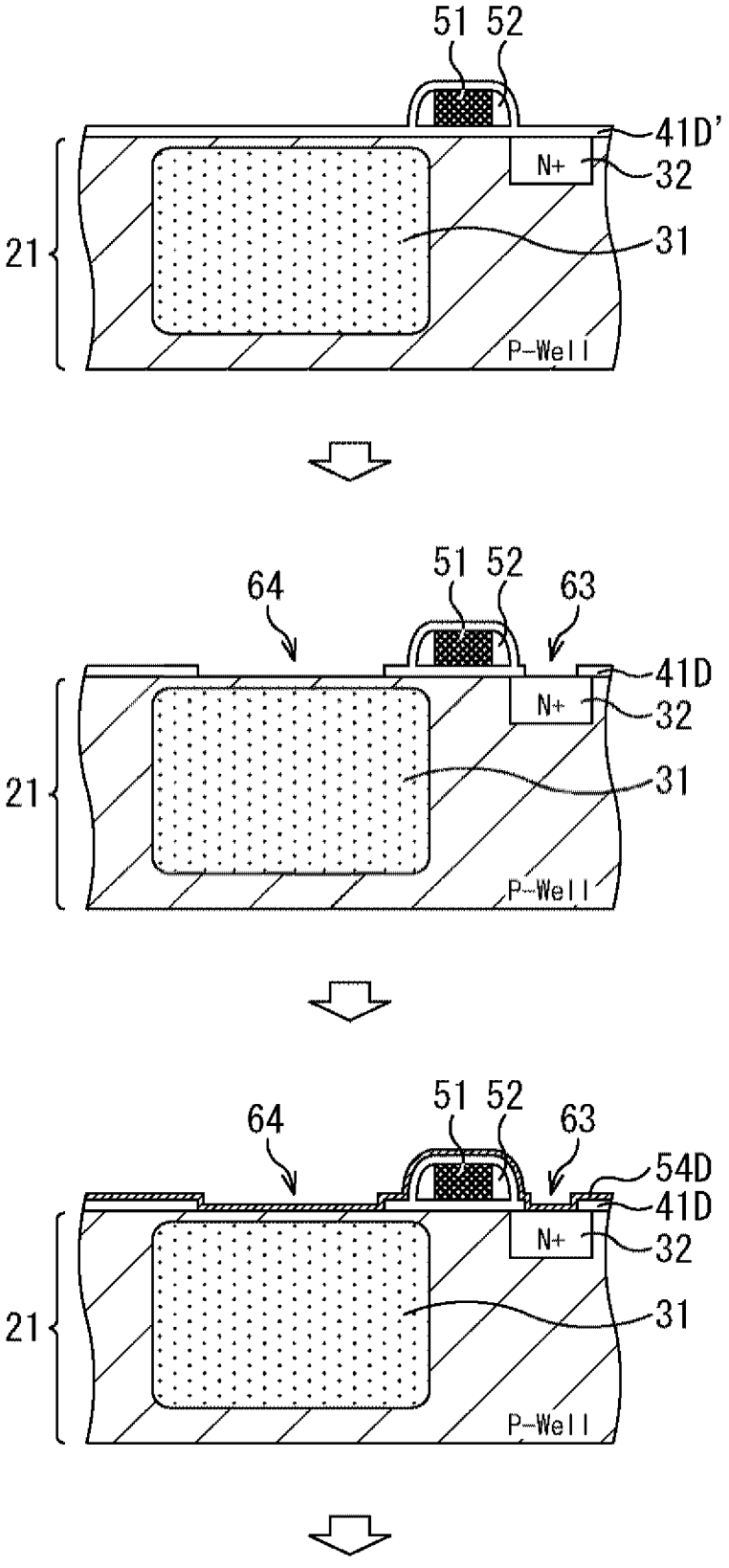
[図15]
FIG. 15



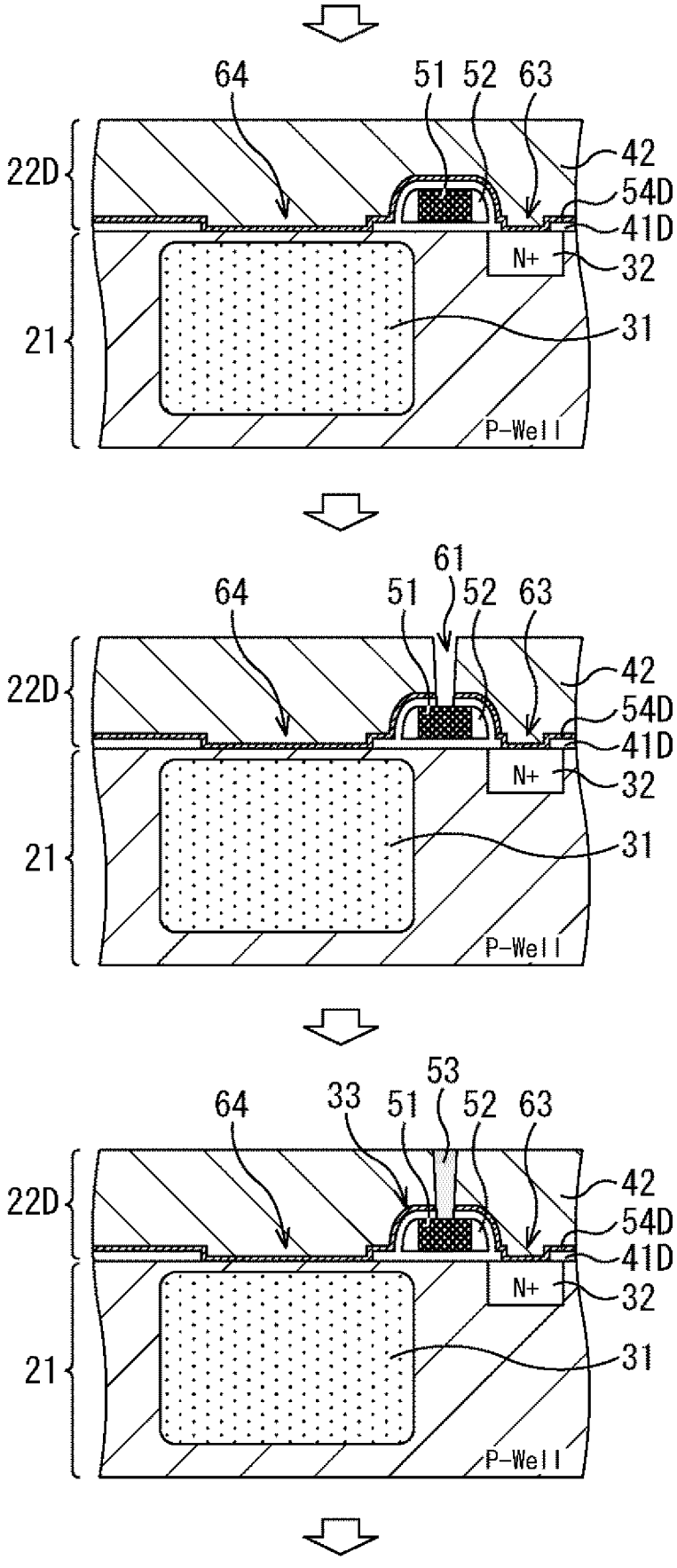
[図16]
FIG. 16



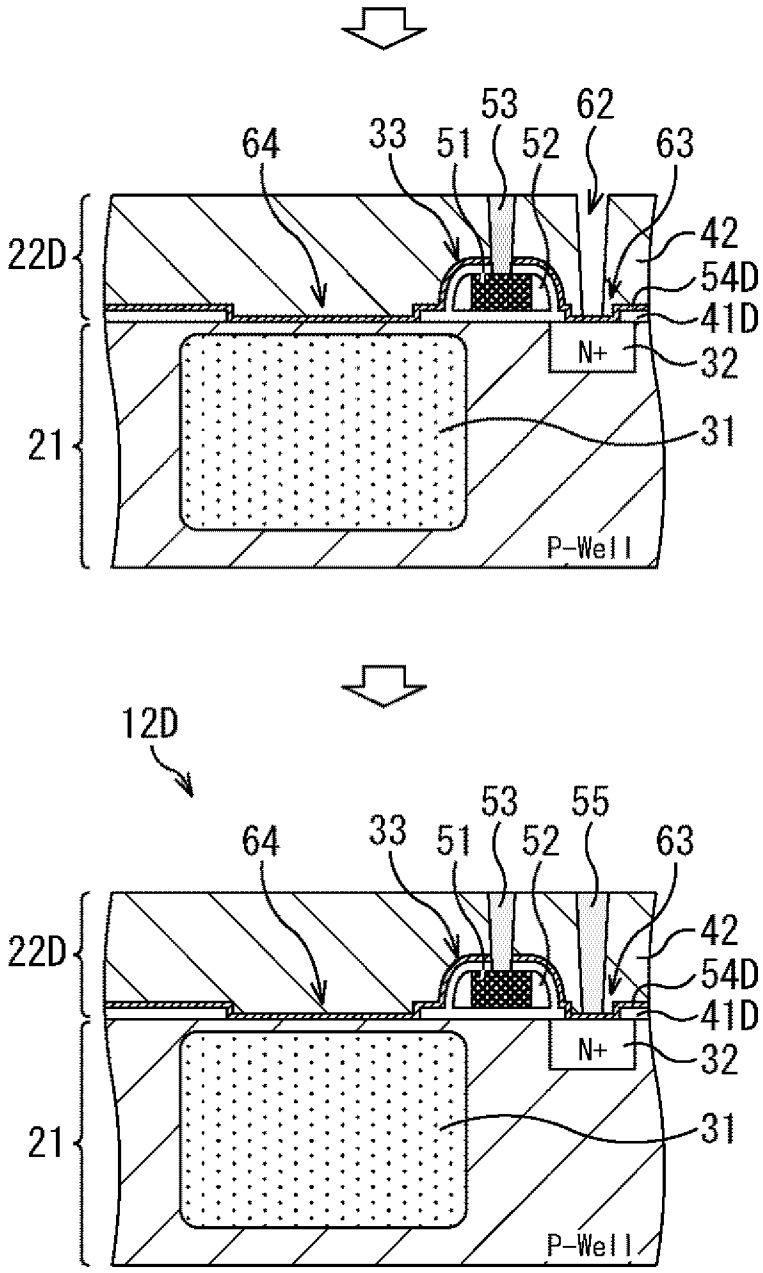
[図17]
FIG. 17


51 52
41D'
N+
32
21
31
P-Well
64
51 52
63
41D
N+
32
21
31
P-Well
64
51 52
63
54D
41D
N+
32
21
31
P-Well

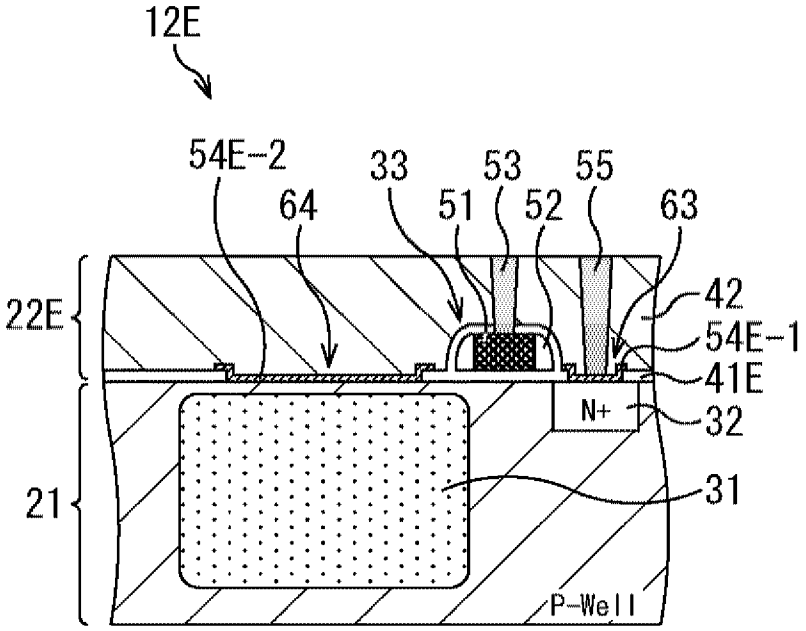
[図18]
FIG. 18


64
51
52
63
22D
42
54D
41D
N+
32
21
31
P-Well
61
64
51
52
63
22D
42
54D
41D
N+
32
21
31
P-Well
53
64
33
51
52
63
22D
42
54D
41D
N+
32
21
31
P-Well

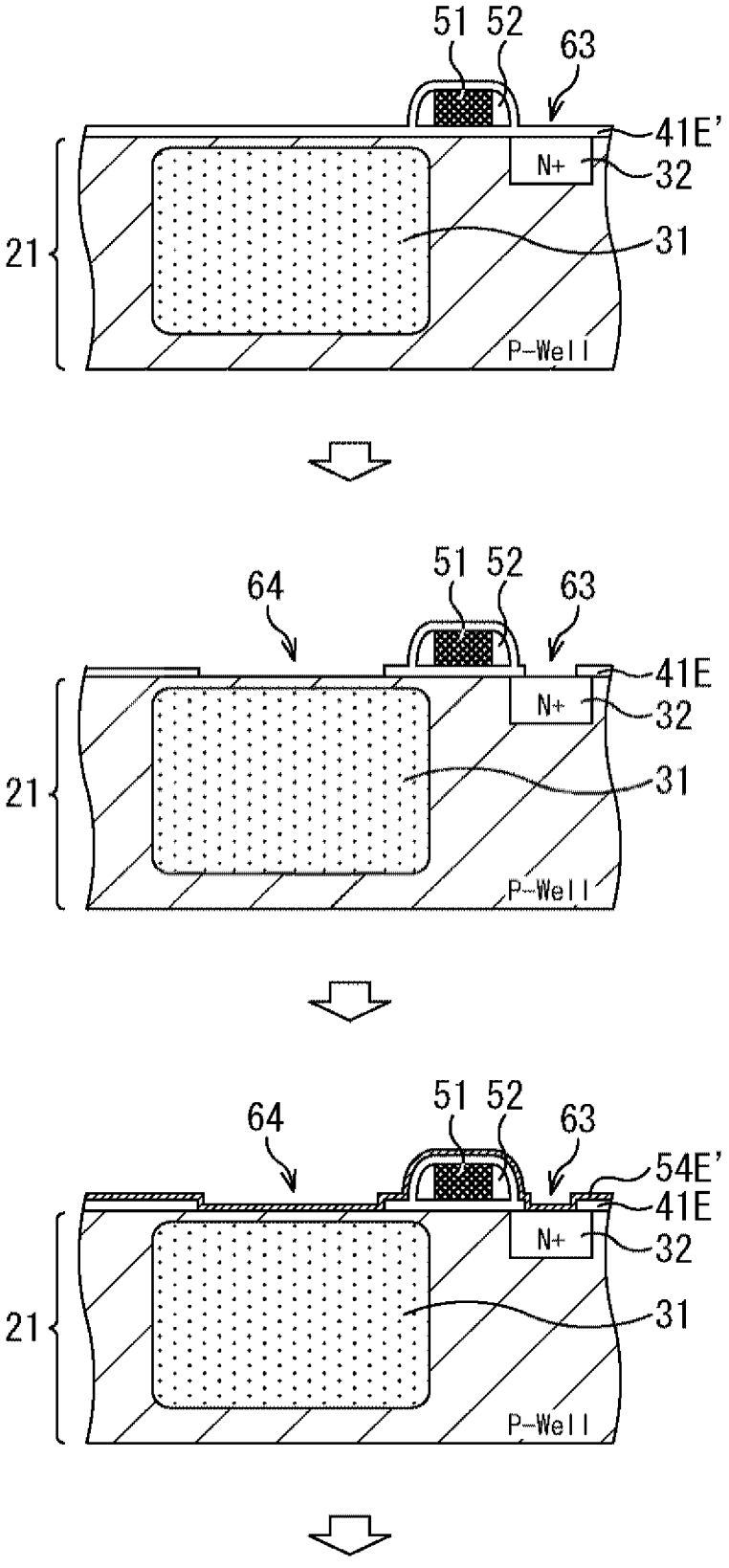
[図19]
FIG. 19


53
62
64
33
51
52
63
42
22D
54D
41D
N+
32
21
31
P-Well
12D
53
55
64
33
51
52
63
42
22D
54D
41D
N+
32
21
31
P-Well

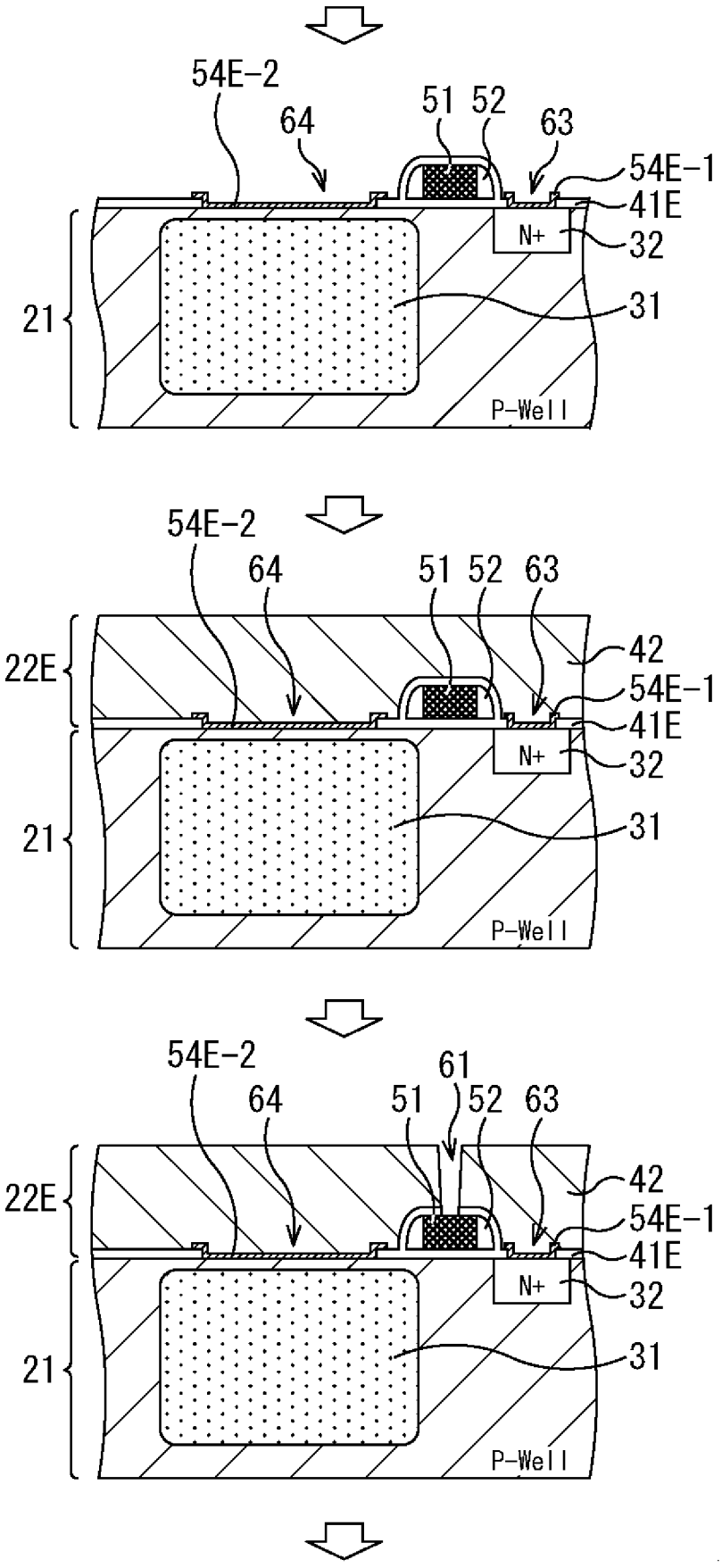
[図20]
FIG. 20



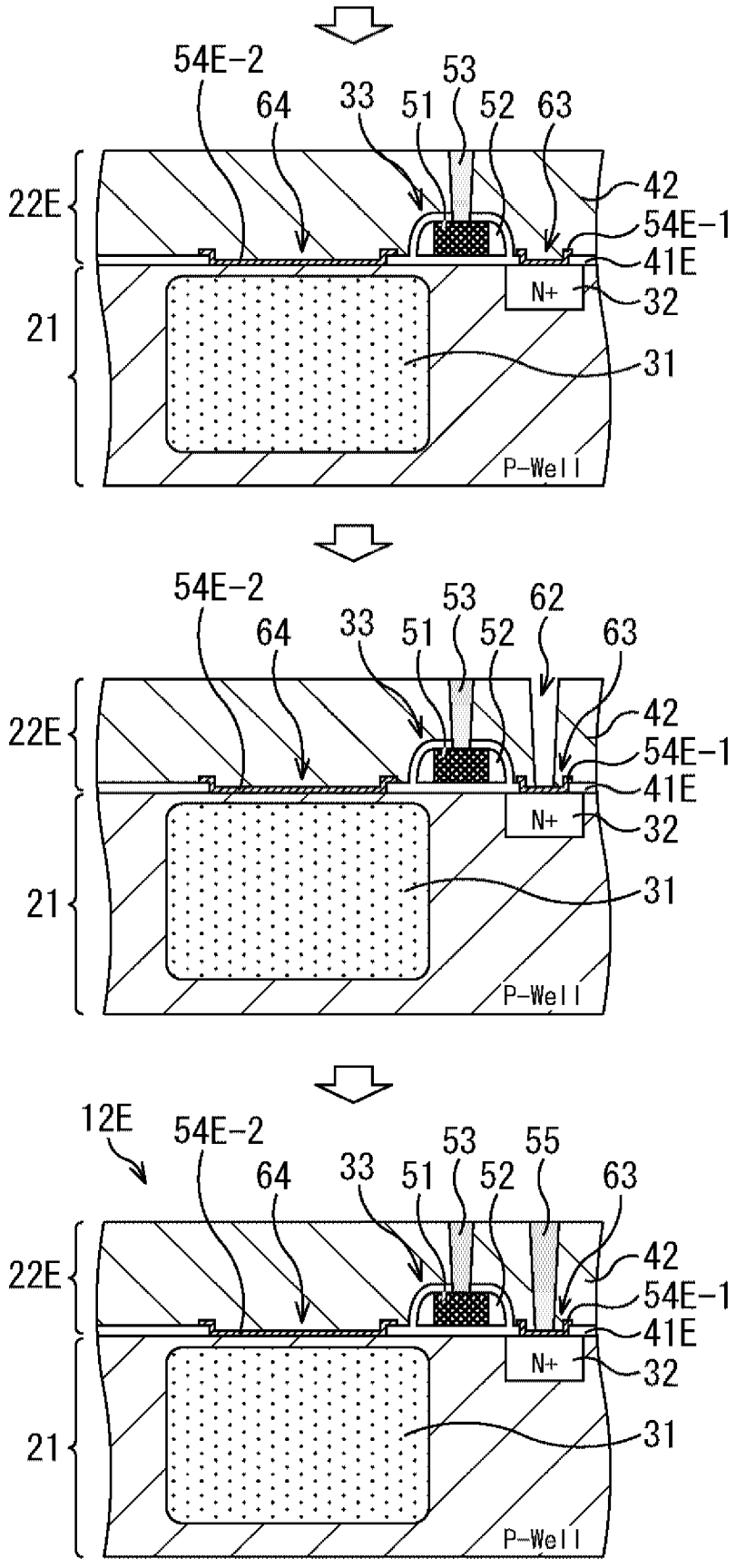
[図21]
FIG. 21


51
52
63
41E'
N+
32
21
31
P-Well
64
51
52
63
41E
N+
32
21
31
P-Well
64
51
52
63
54E'
41E
N+
32
21
31
P-Well

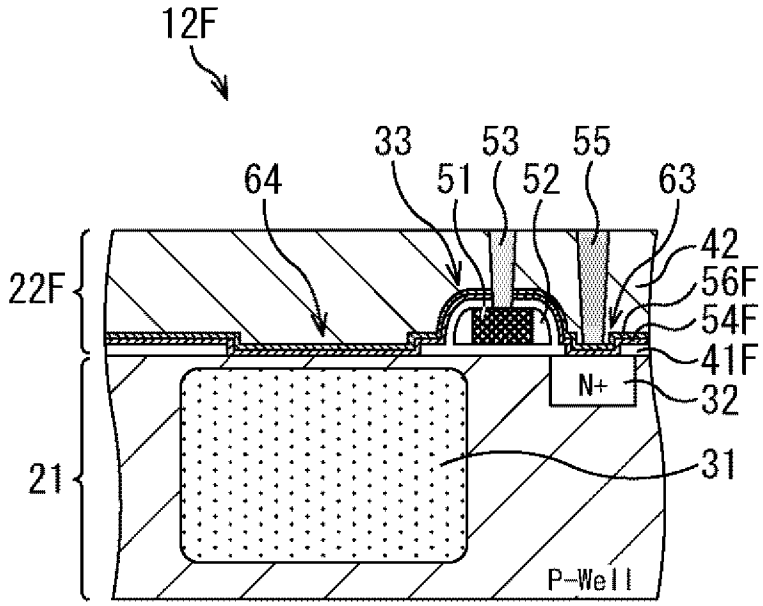
[図22]
FIG. 22


54E-2
64
51
52
63
54E-1
41E
N+
32
21
31
P-Well
54E-2
64
51
52
63
22E
42
54E-1
41E
N+
32
21
31
P-Well
54E-2
64
61
51
52
63
22E
42
54E-1
41E
N+
32
21
31
P-Well

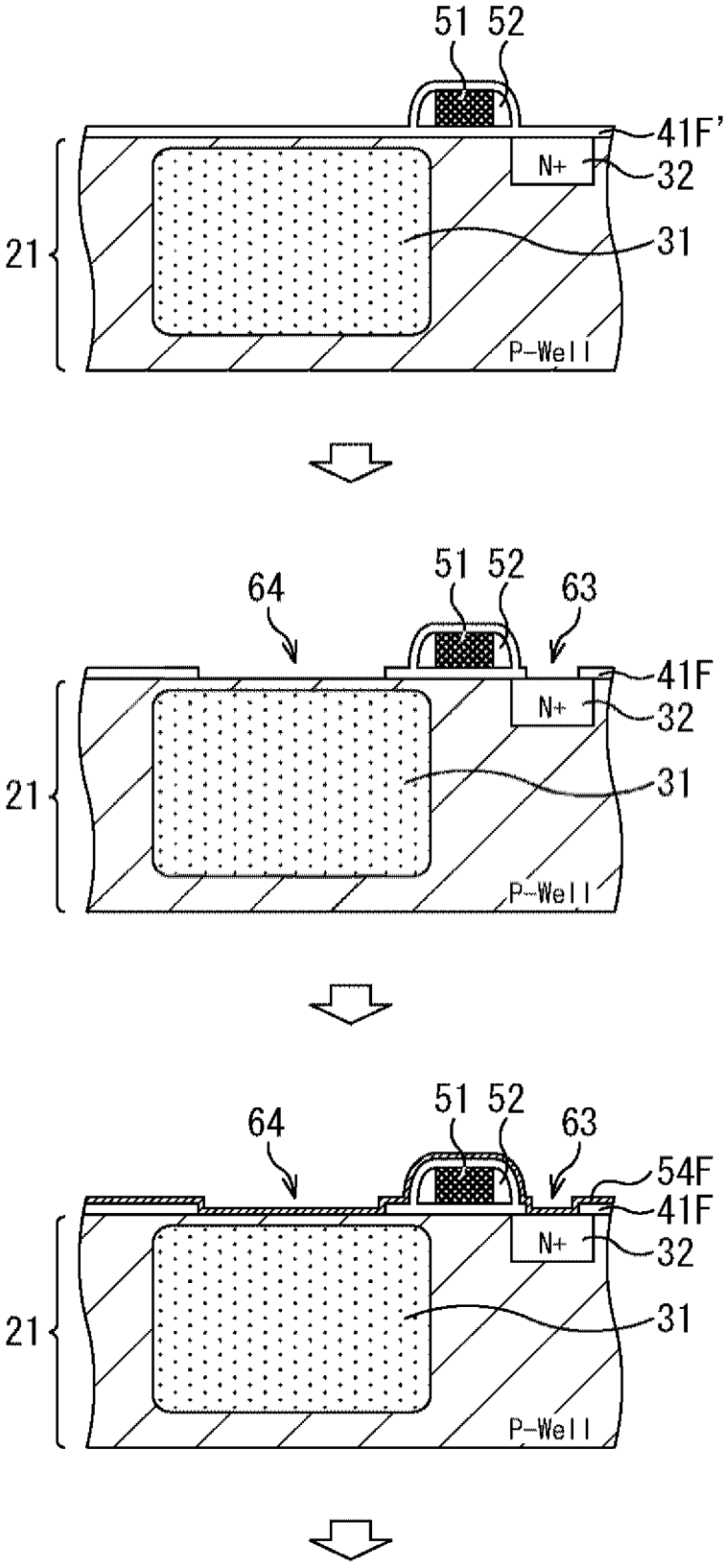
[図23]
FIG. 23


54E-2
64
33
51
53
52
63
42
54E-1
41E
22E
N+
32
21
31
P-Well
54E-2
64
33
51
53
62
52
63
42
54E-1
41E
22E
N+
32
21
31
P-Well
12E
54E-2
64
33
51
53
55
52
63
42
54E-1
41E
22E
N+
32
21
31
P-Well

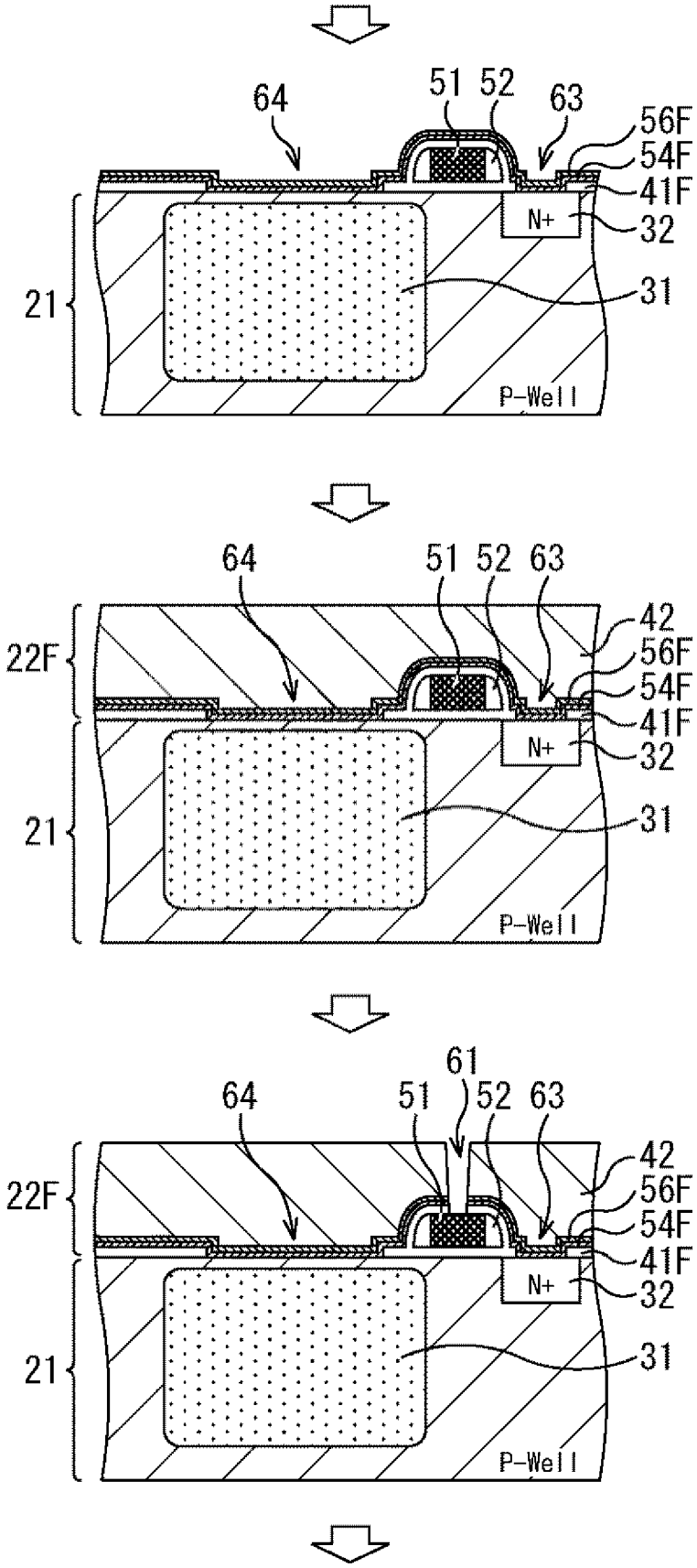
[図24]
FIG. 24



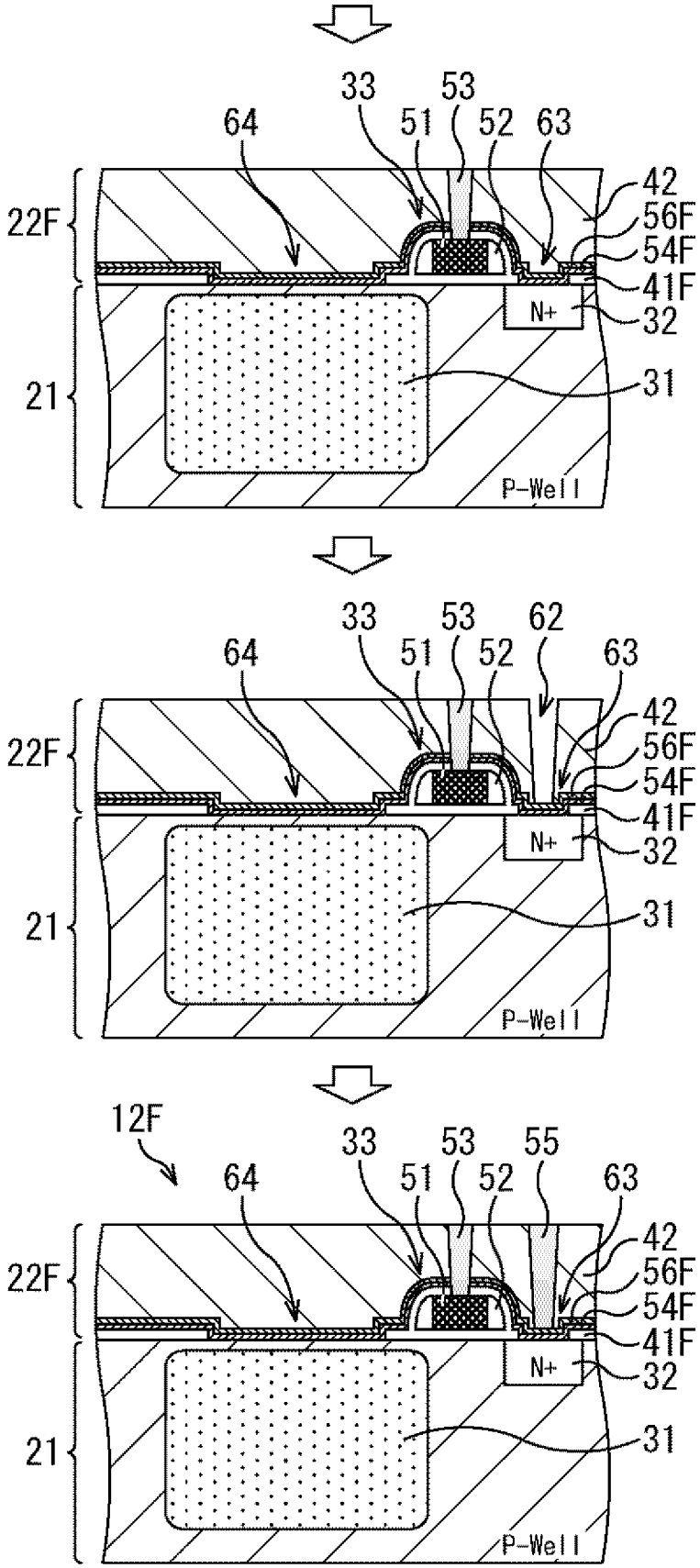
[図25]
FIG. 25


51 52
41F'
N+
32
21
31
P-Well
64
51 52
63
41F
N+
32
21
31
P-Well
64
51 52
63
54F
41F
N+
32
21
31
P-Well

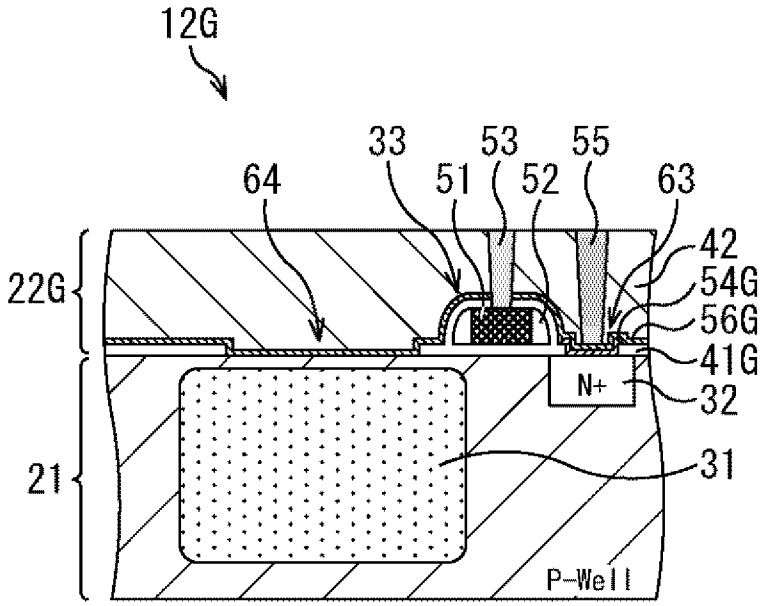
[図26]
FIG. 26


64
51
52
63
56F
54F
41F
N+
32
31
21
P-Well
64
51
52
63
42
22F
56F
54F
41F
N+
32
21
31
P-Well
61
64
51
52
63
42
22F
56F
54F
41F
N+
32
21
31
P-Well

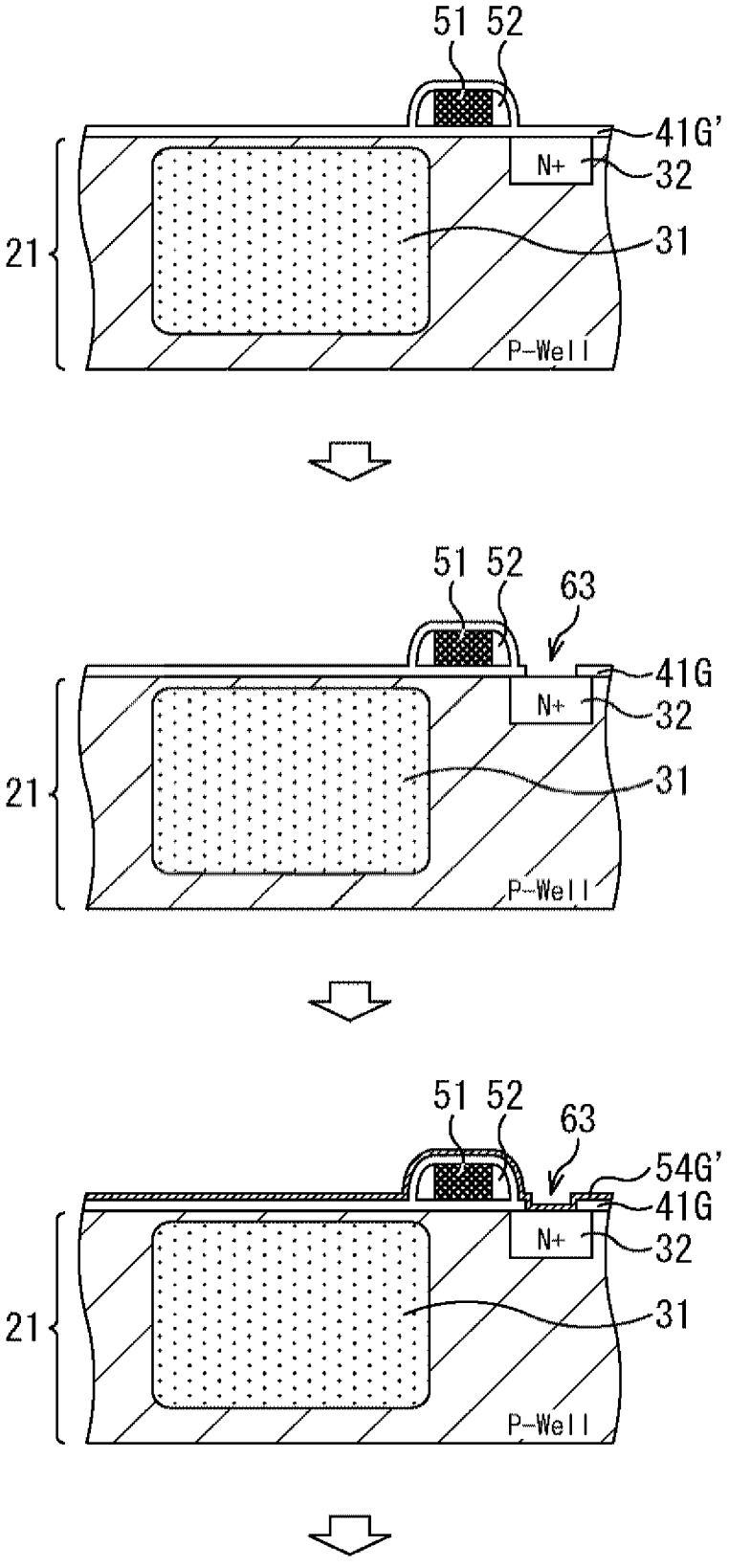
[図27]
FIG. 27


33
53
64
51
52
63
42
56F
22F
54F
41F
N+
32
21
31
P-Well
33
53
62
64
51
52
63
42
56F
22F
54F
41F
N+
32
21
31
P-Well
12F
33
53
55
64
51
52
63
42
56F
22F
54F
41F
N+
32
21
31
P-Well

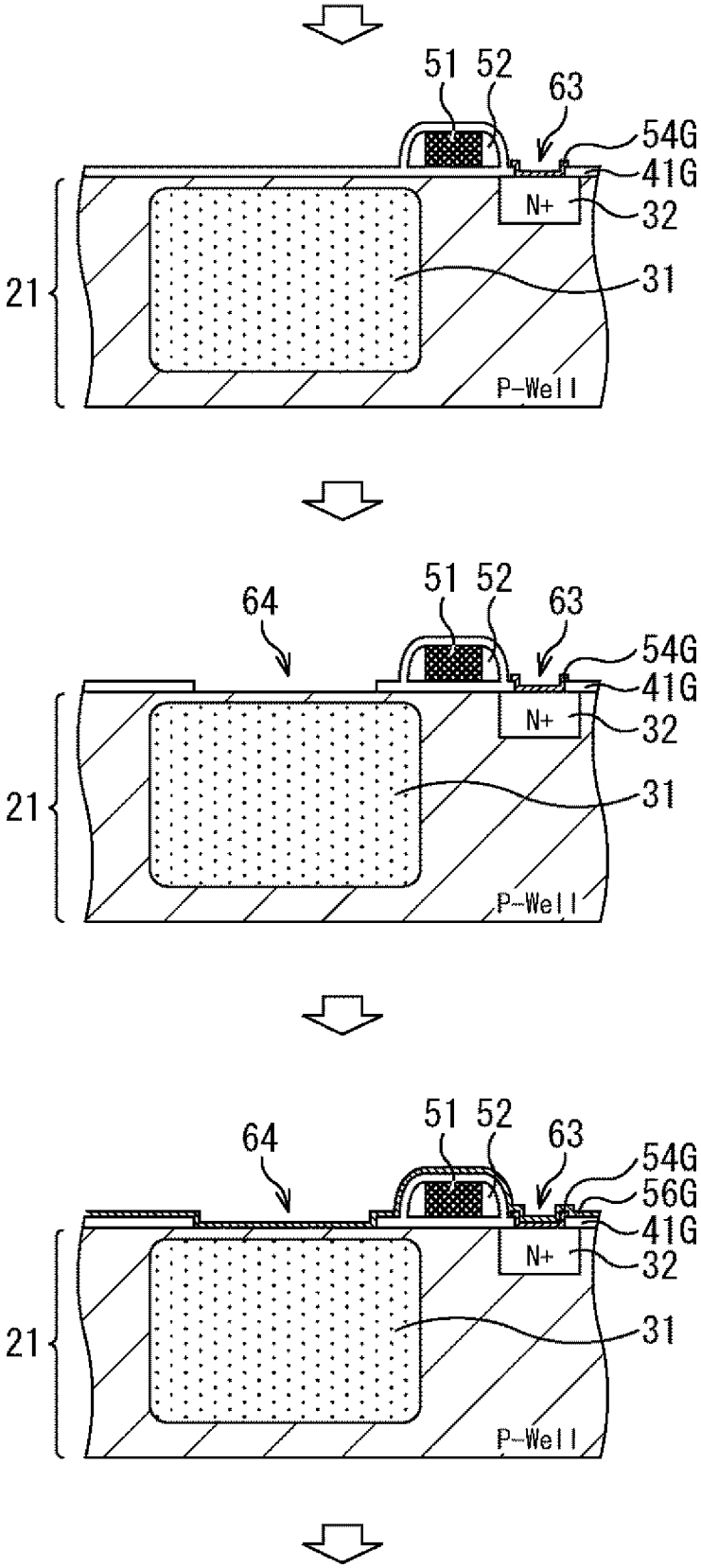
[図28]
FIG. 28



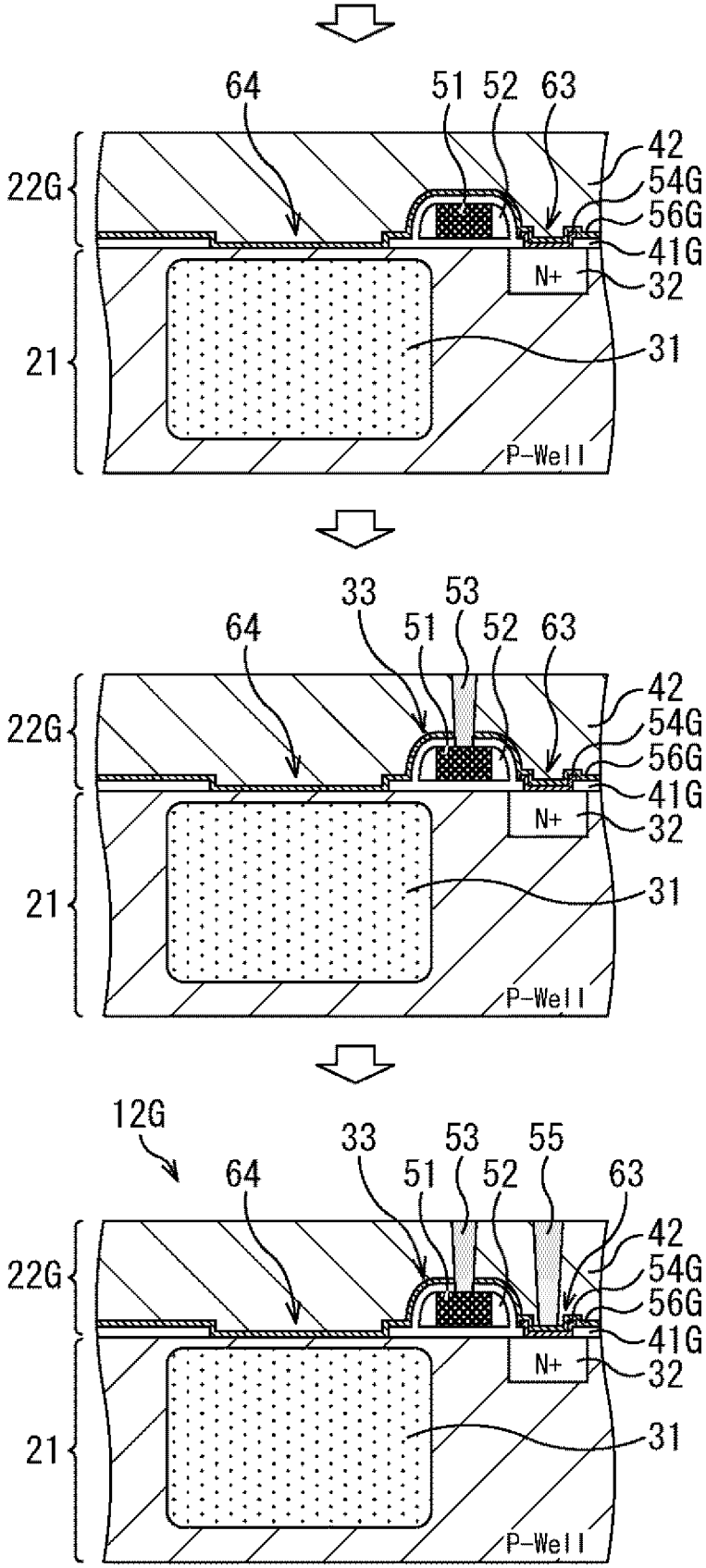
[図29]
FIG. 29


51 52
41G'
N+
32
21
31
P-Well
51 52
63
41G
N+
32
21
31
P-Well
51 52
63
54G'
41G
N+
32
21
31
P-Well

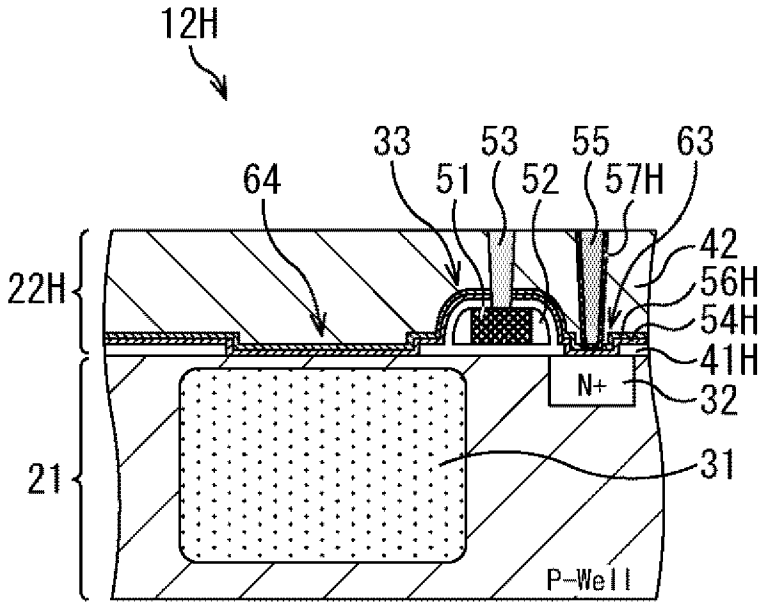
[図30]
FIG. 30



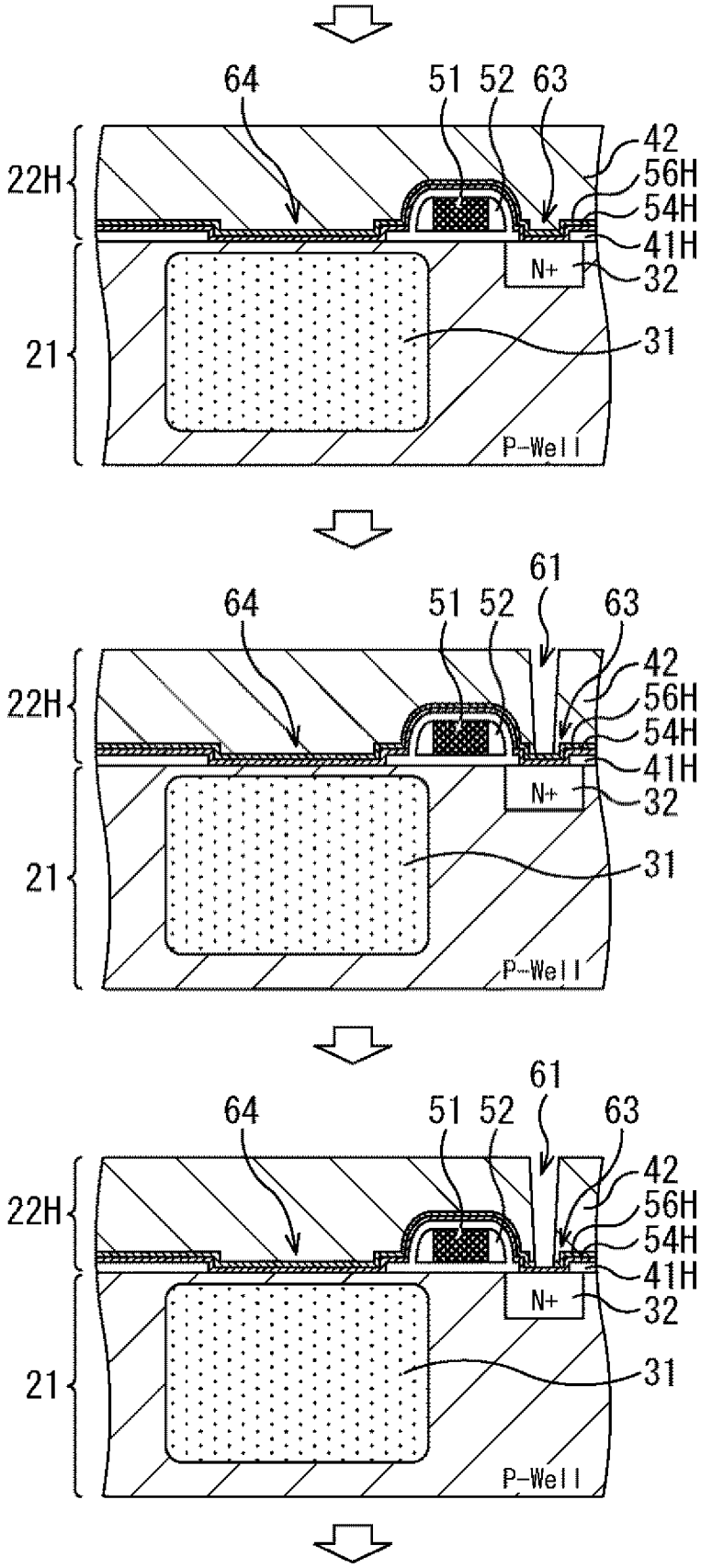
[図31]
FIG. 31



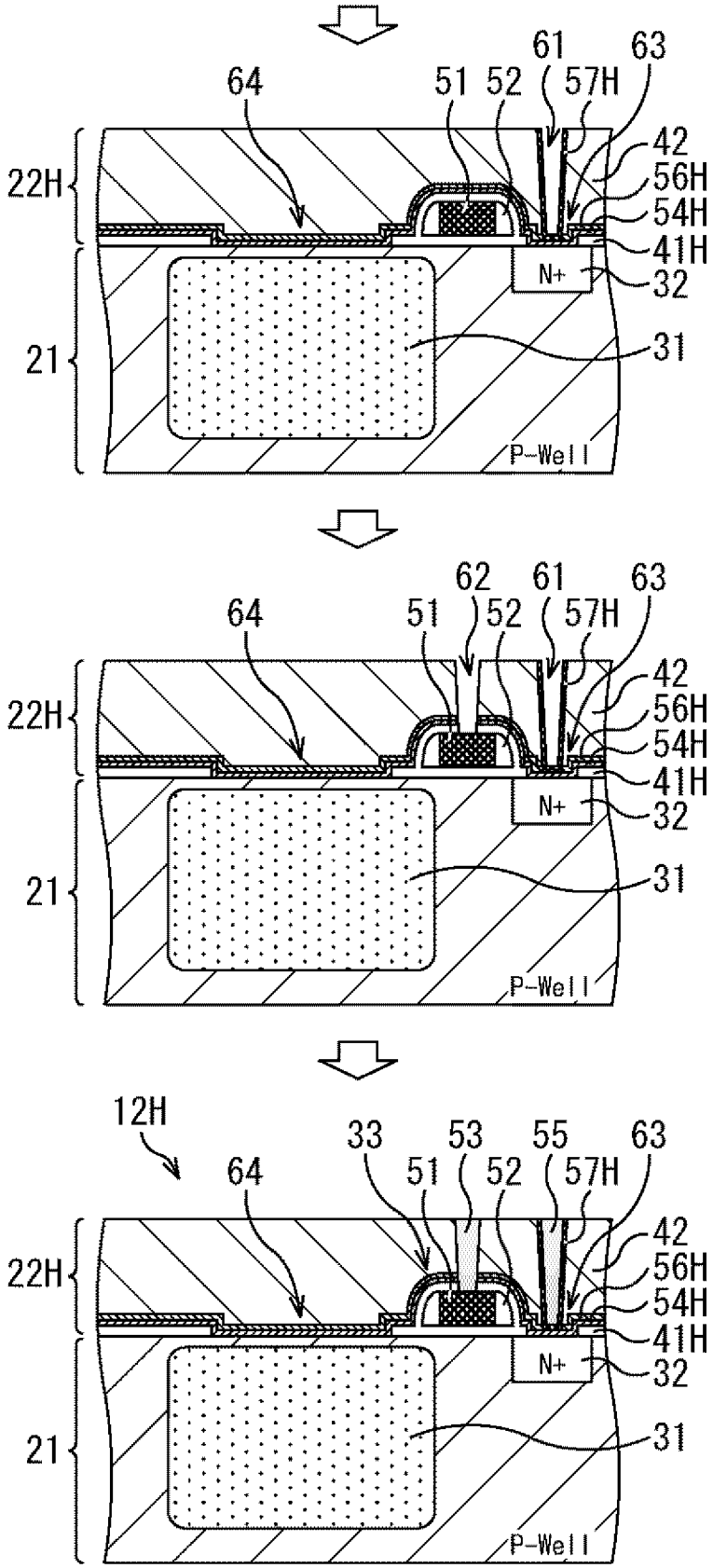
[図32]
FIG. 32



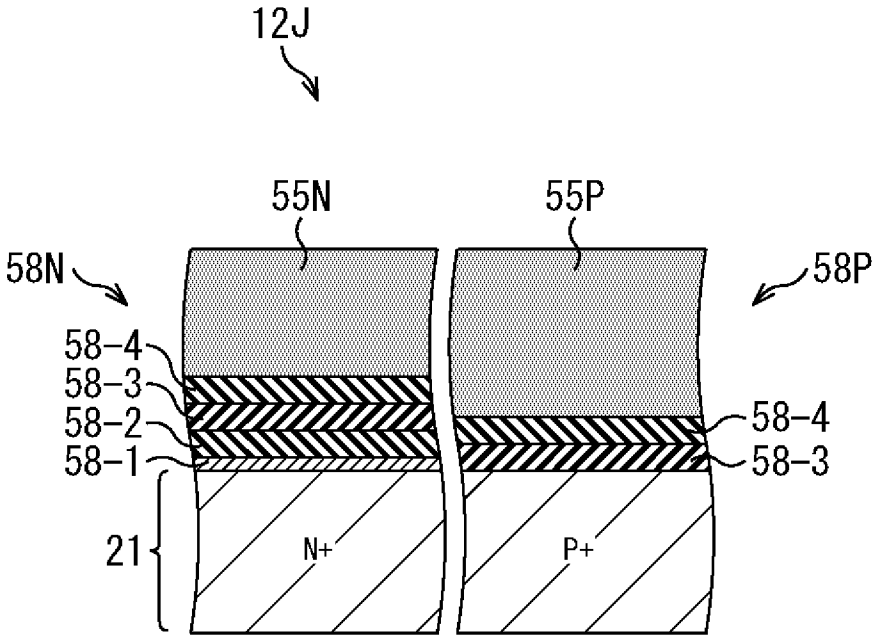
[図33]
FIG. 33



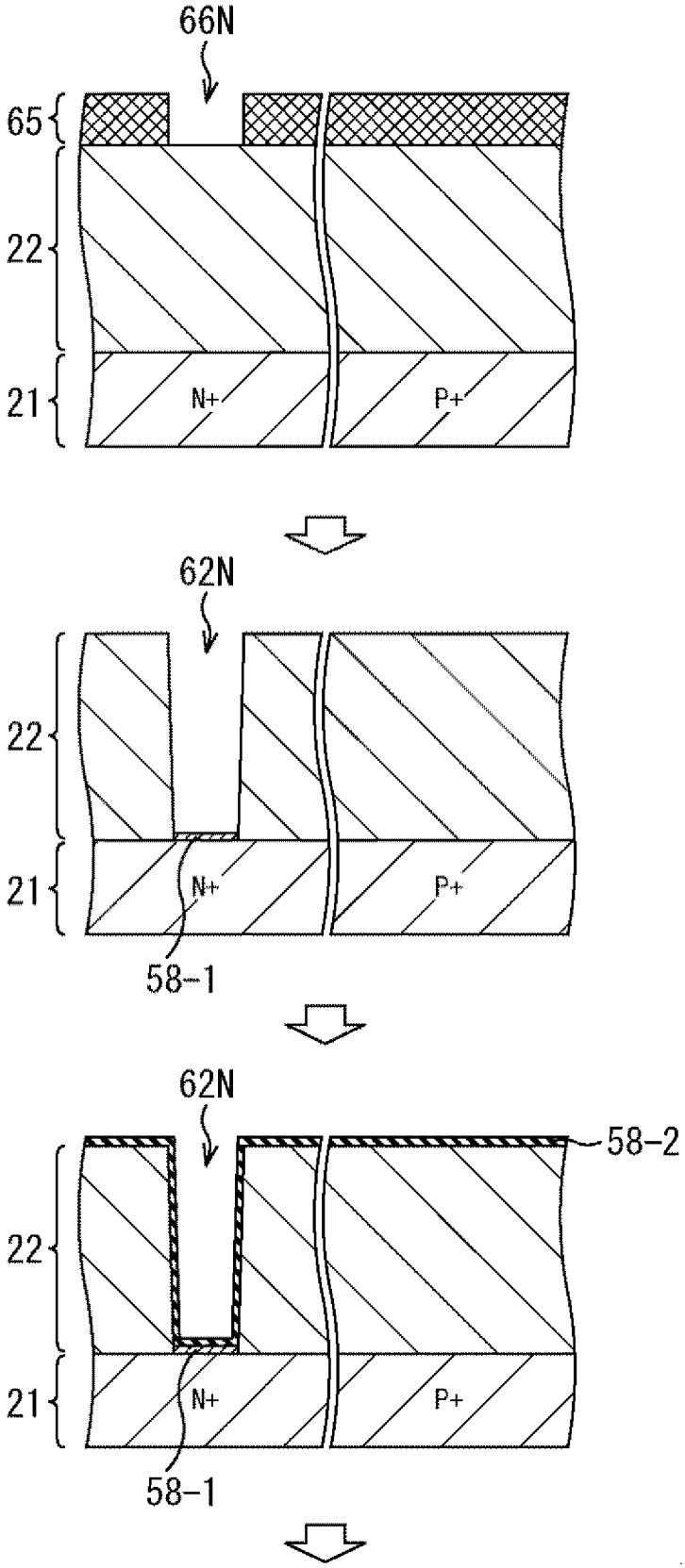
[図34]
FIG. 34


64
51
52
61
57H
63
42
56H
54H
41H
22H
N+
32
21
31
P-Well
62
12H
33
53
55

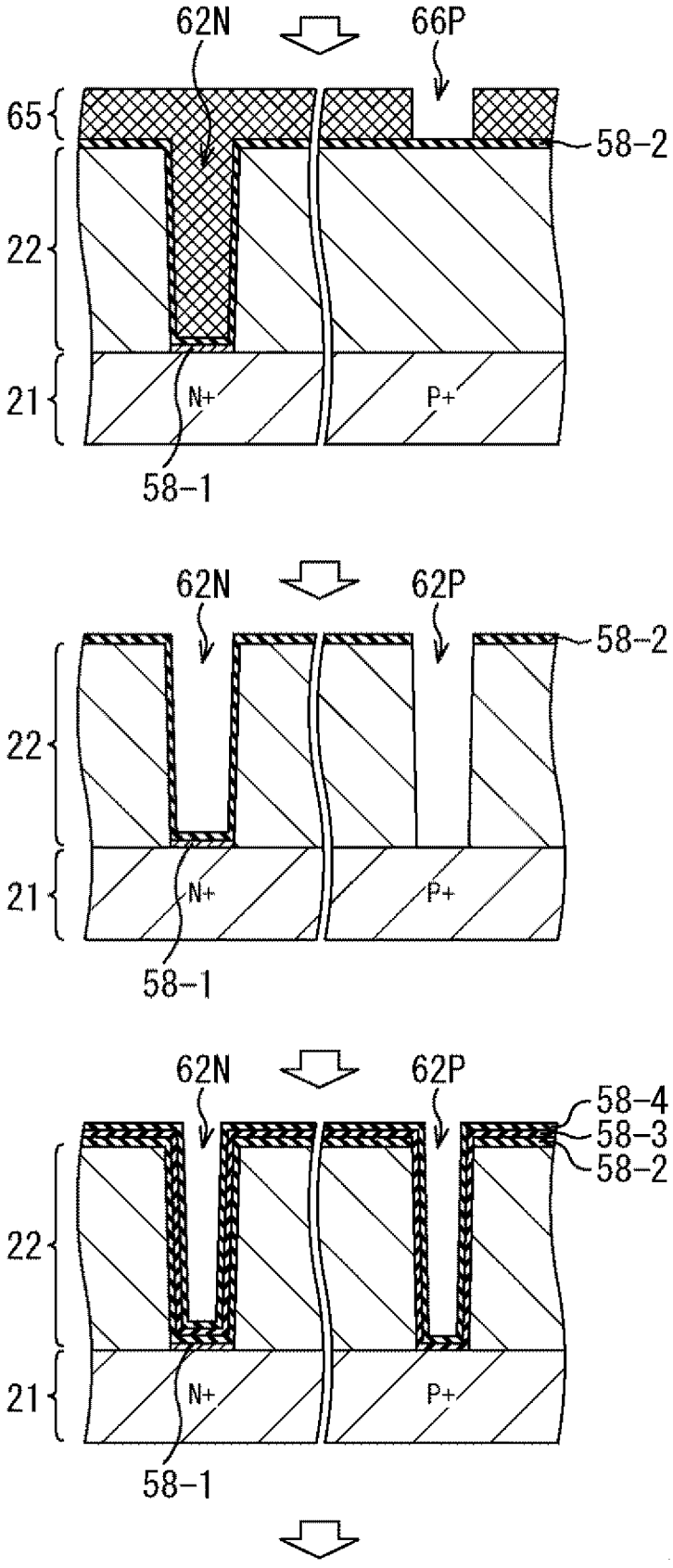
[図35]
FIG. 35



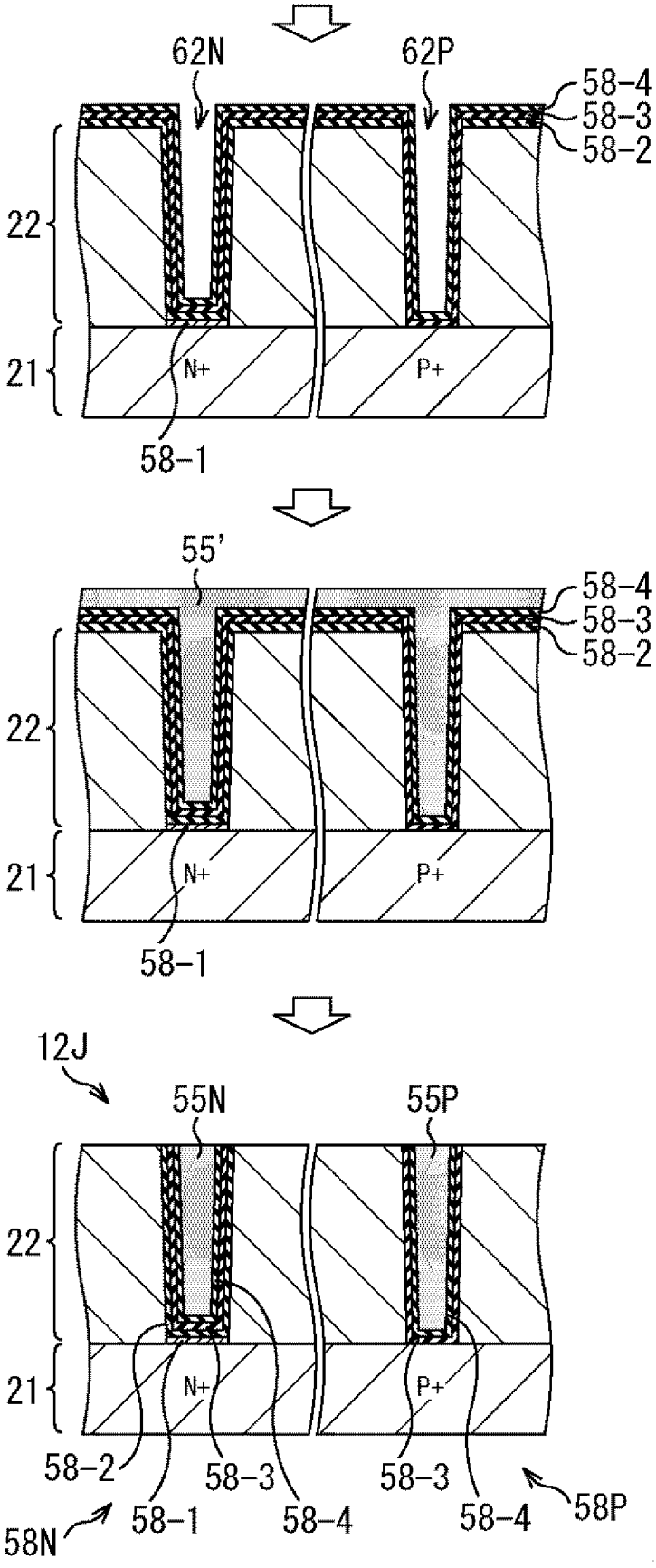
[図36]
FIG. 36



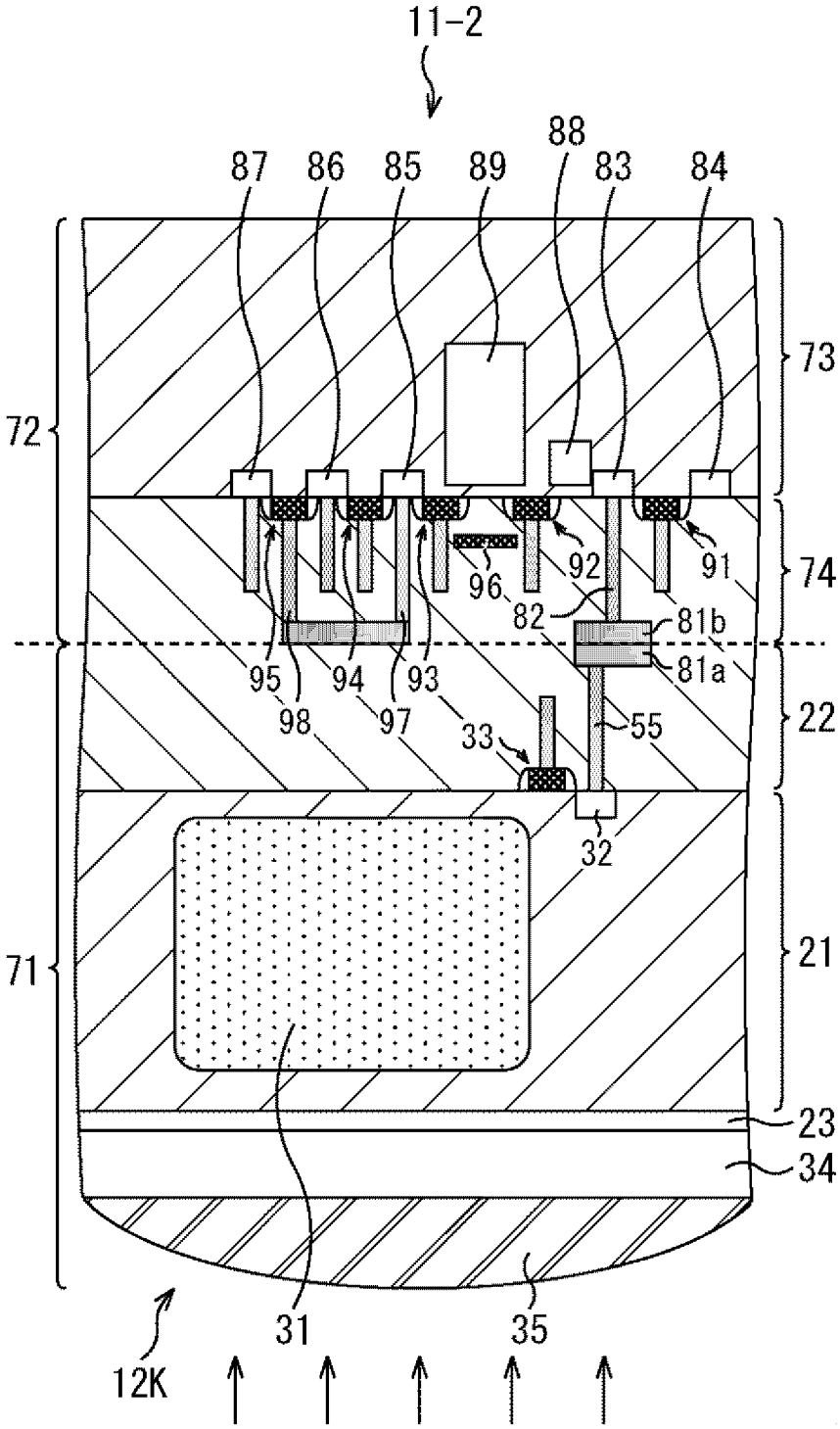
[図37]
FIG. 37


62N
66P
65
58-2
22
21
N+
P+
58-1
62N
62P
58-2
22
21
N+
P+
58-1
62N
62P
58-4
58-3
58-2
22
21
N+
P+
58-1

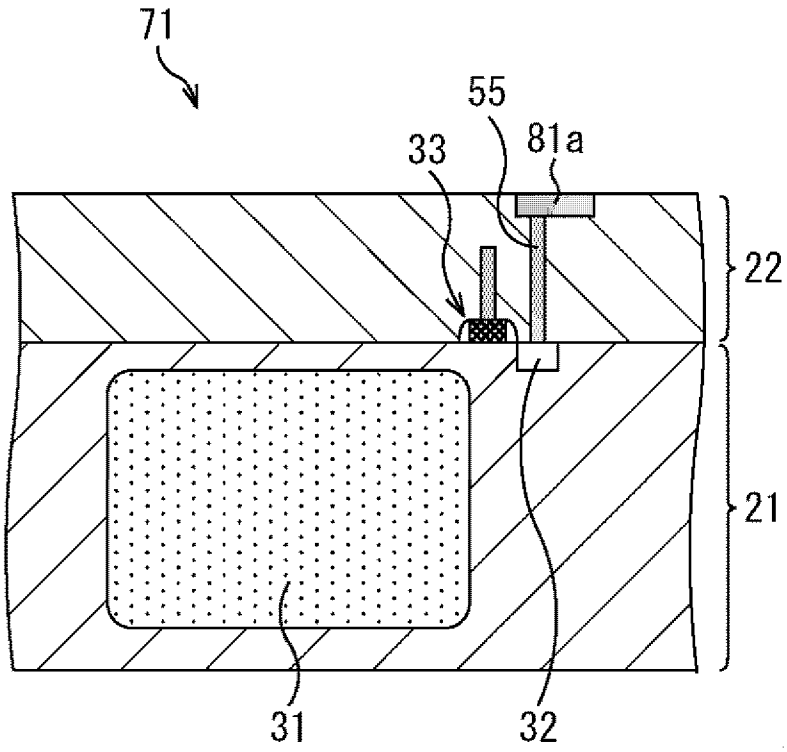
[図38]
FIG. 38


62N
62P
58-4
58-3
58-2
22
21
N+
P+
58-1
55'
58-4
58-3
58-2
22
21
N+
P+
58-1
12J
55N
55P
22
21
N+
P+
58-2
58-3
58-3
58N
58-1
58-4
58-4
58P

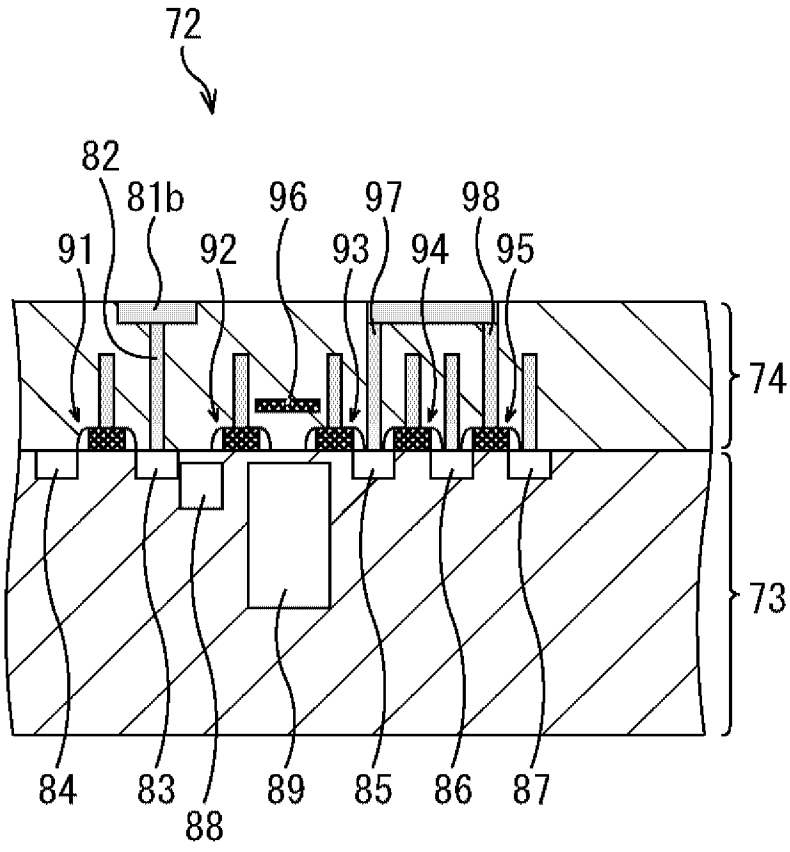
[図39]
FIG. 39


11-2
87
86
85
89
88
83
84
72
73
74
92
91
96
82
81b
81a
95
94
93
98
97
33
55
22
32
71
21
23
34
31
35
12K

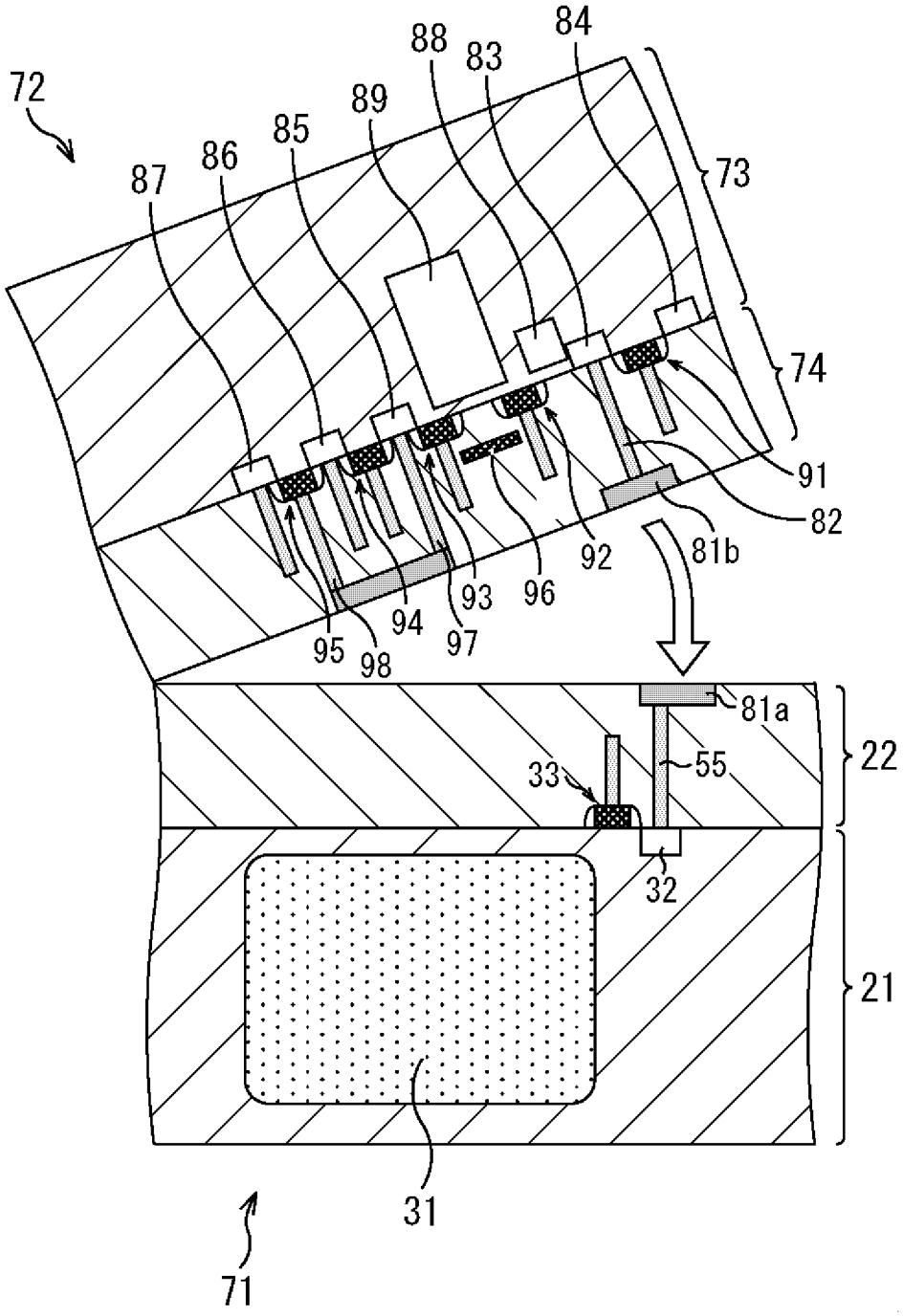
[図40]
FIG. 40



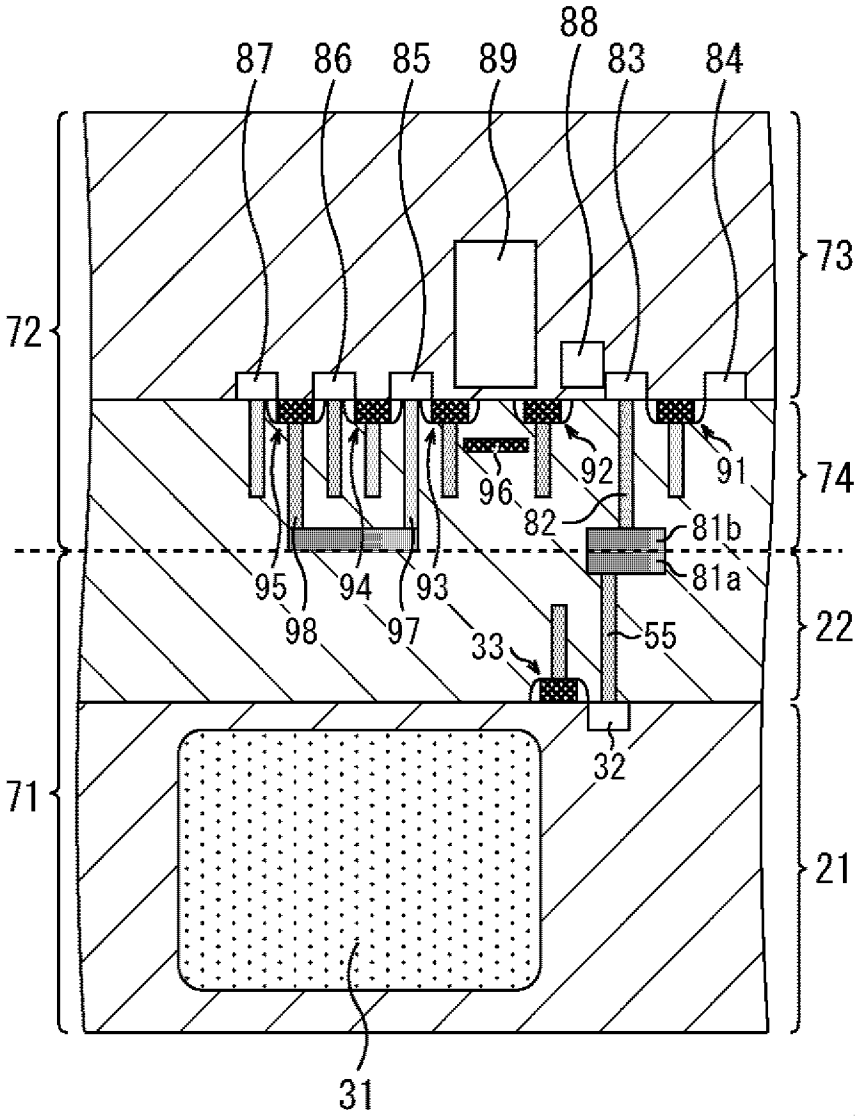
[図41]
FIG. 41



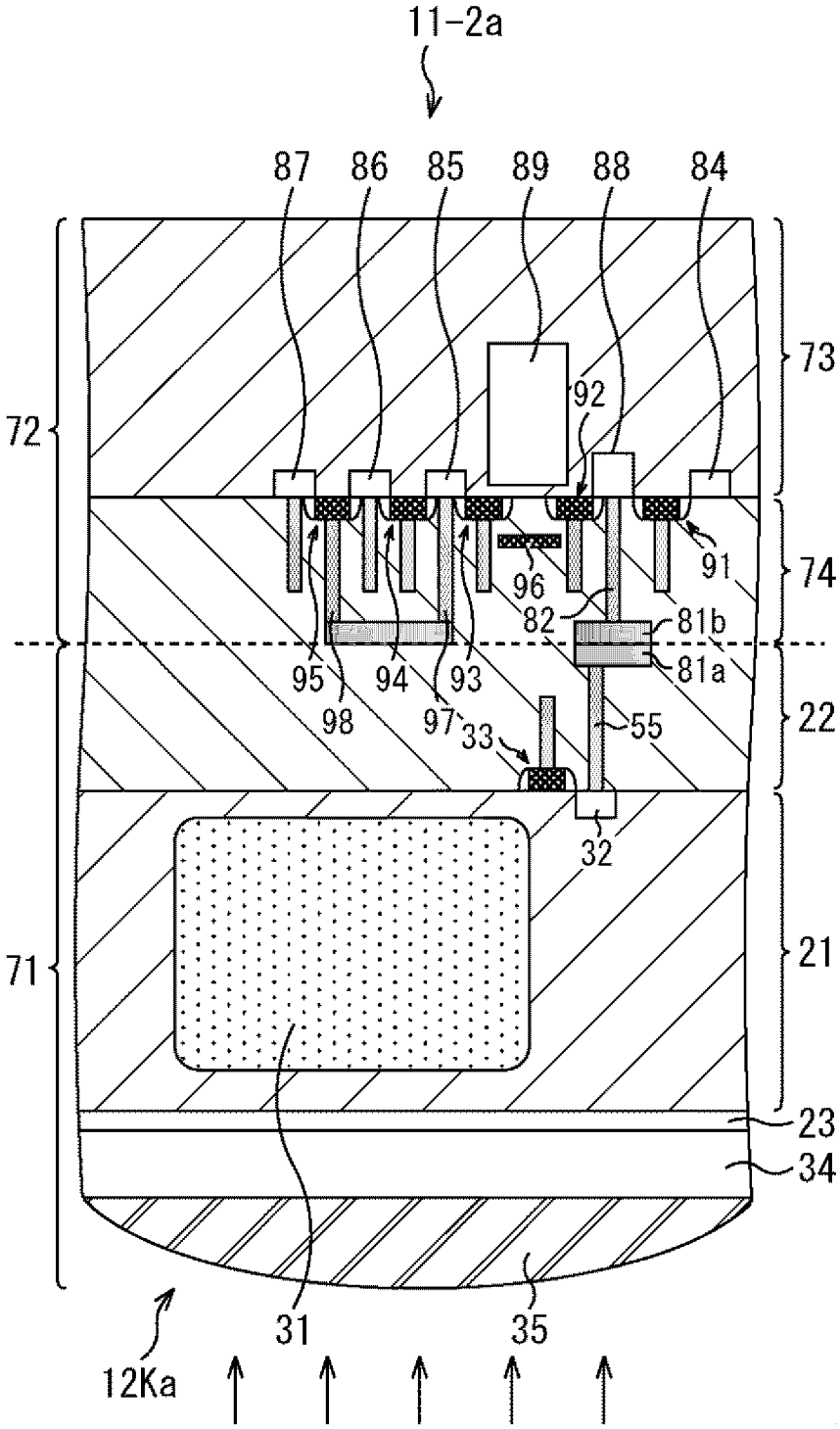
[図42]
FIG. 42


72
87
86
85
89
88
83
84
73
74
91
82
81b
92
96
93
94
97
95
98
81a
55
33
32
22
21
31
71

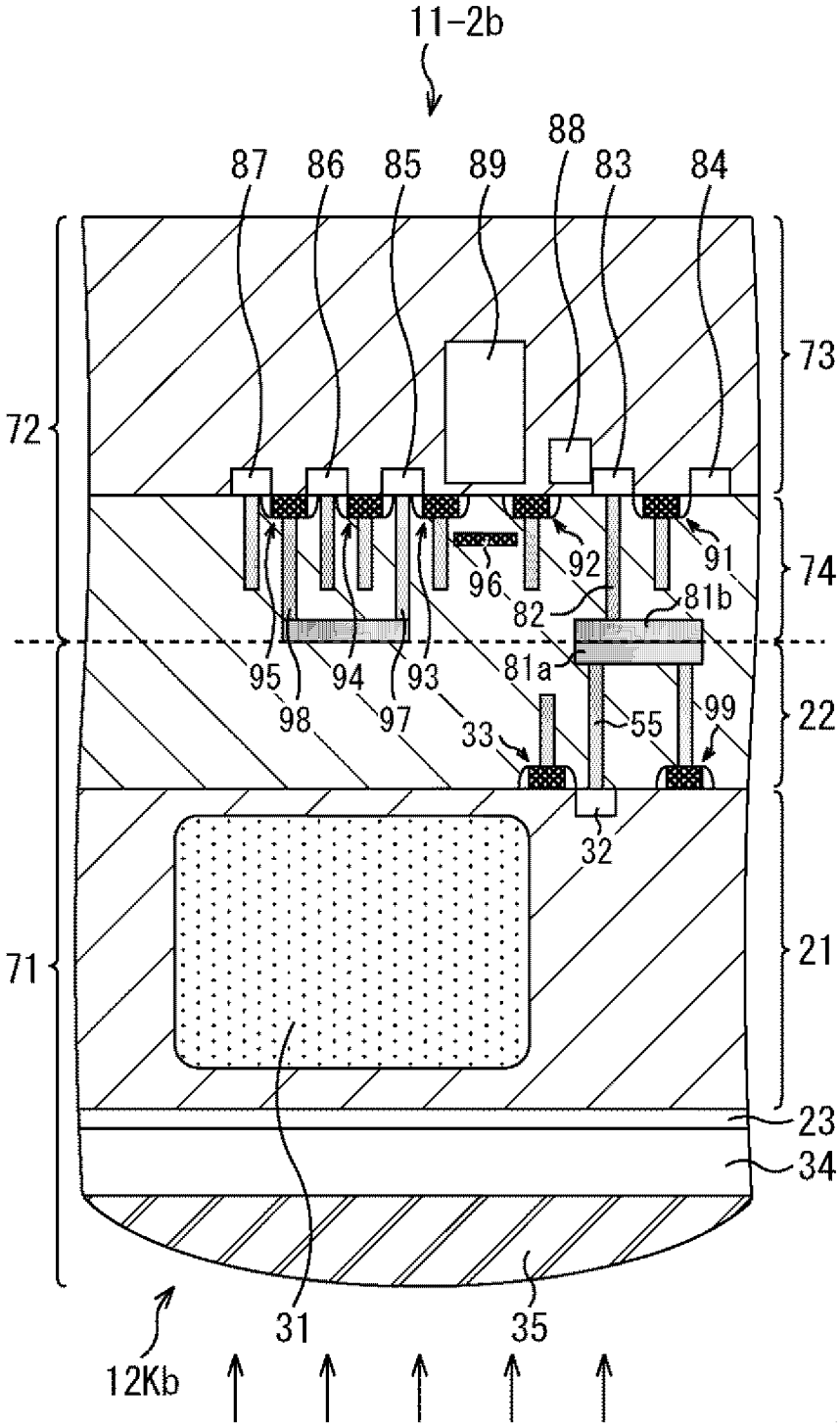
[図43]
FIG. 43


88
87
86
85
89
83
84
73
72
74
92
91
96
82
81b
81a
95
94
93
98
97
33
55
22
32
71
21
31

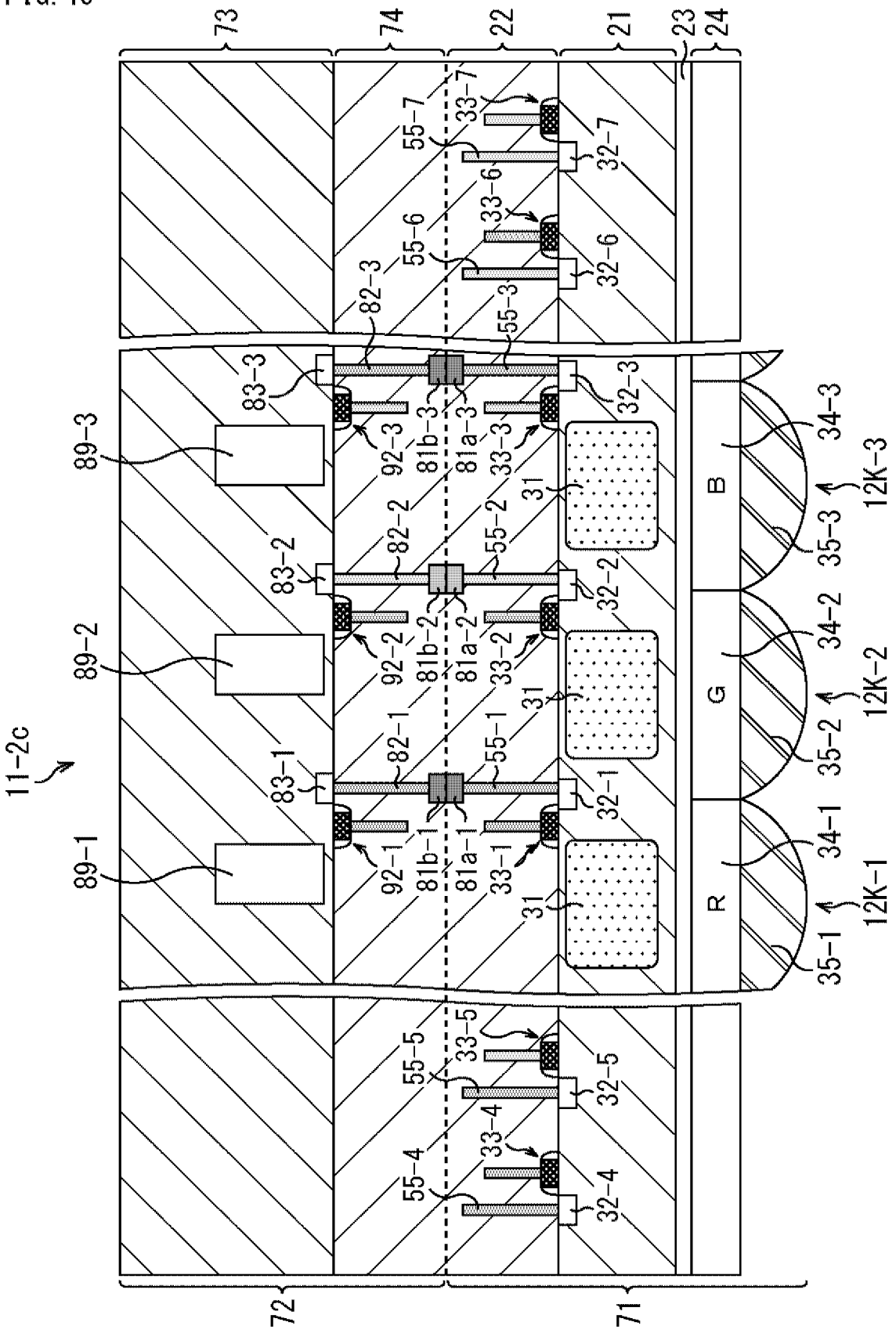
[図44]
FIG. 44


11-2a
87
86
85
89
88
84
72
73
92
74
91
96
82
81b
81a
95
94
93
98
97
33
55
22
32
71
21
23
34
31
35
12Ka

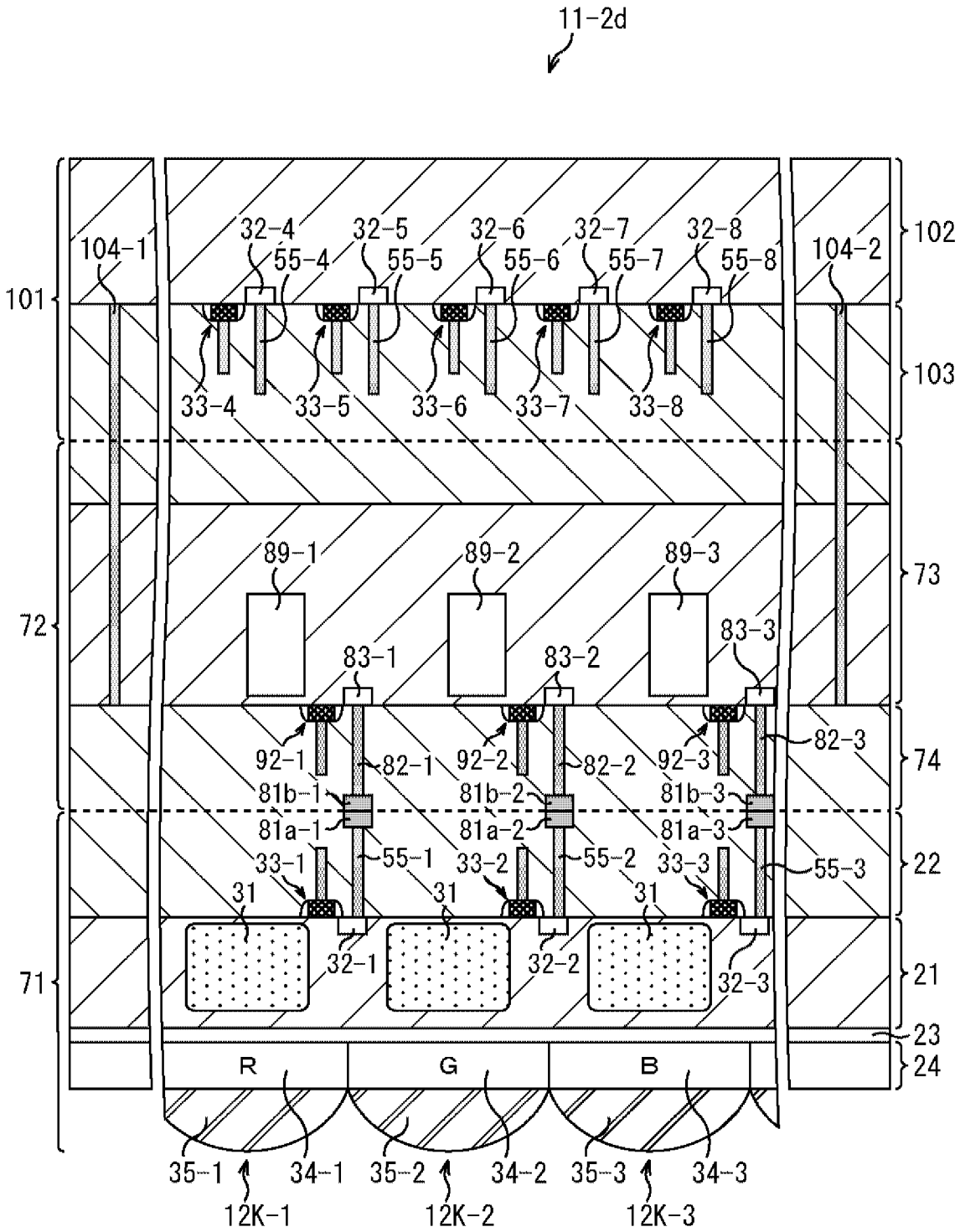
[図45]
FIG. 45


11-2b
87
86
85
89
88
83
84
72
73
74
22
21
71
23
34
92
91
96
82
81b
81a
95
94
93
98
97
33
55
99
32
31
35
12Kb

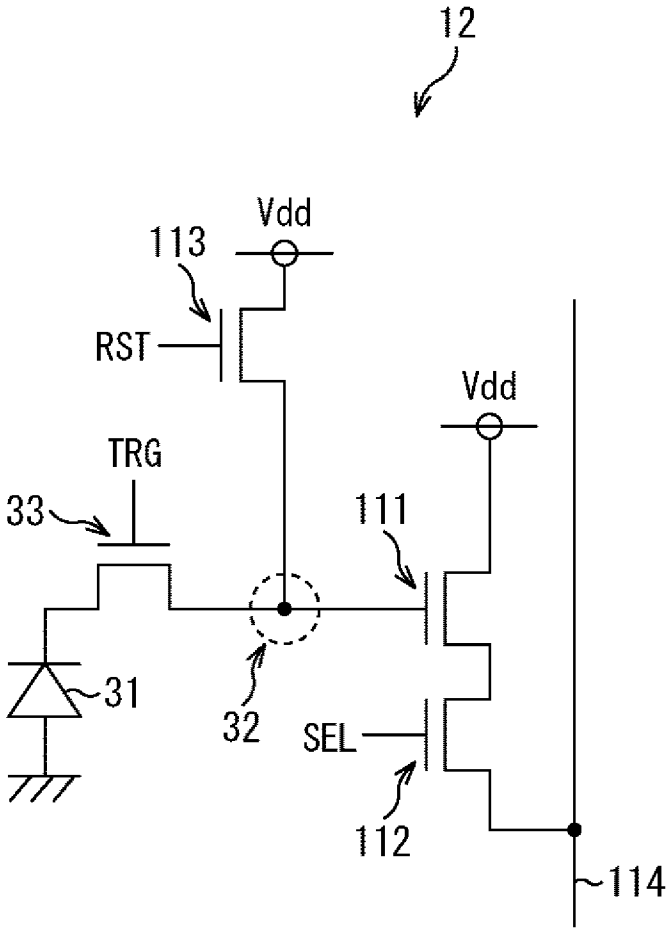
[図46]
FIG. 46


73
74
22
21
23
24
11-2c
89-3
89-2
89-1
83-3
83-2
83-1
82-3
82-2
82-1
55-7
55-6
55-5
55-4
55-3
55-2
55-1
33-7
33-6
33-5
33-4
33-3
33-2
33-1
32-7
32-6
32-5
32-4
32-3
32-2
32-1
92-3
92-2
92-1
81b-3
81b-2
81b-1
81a-3
81a-2
81a-1
31
B
G
R
34-3
34-2
34-1
35-3
35-2
35-1
12K-3
12K-2
12K-1
72
71

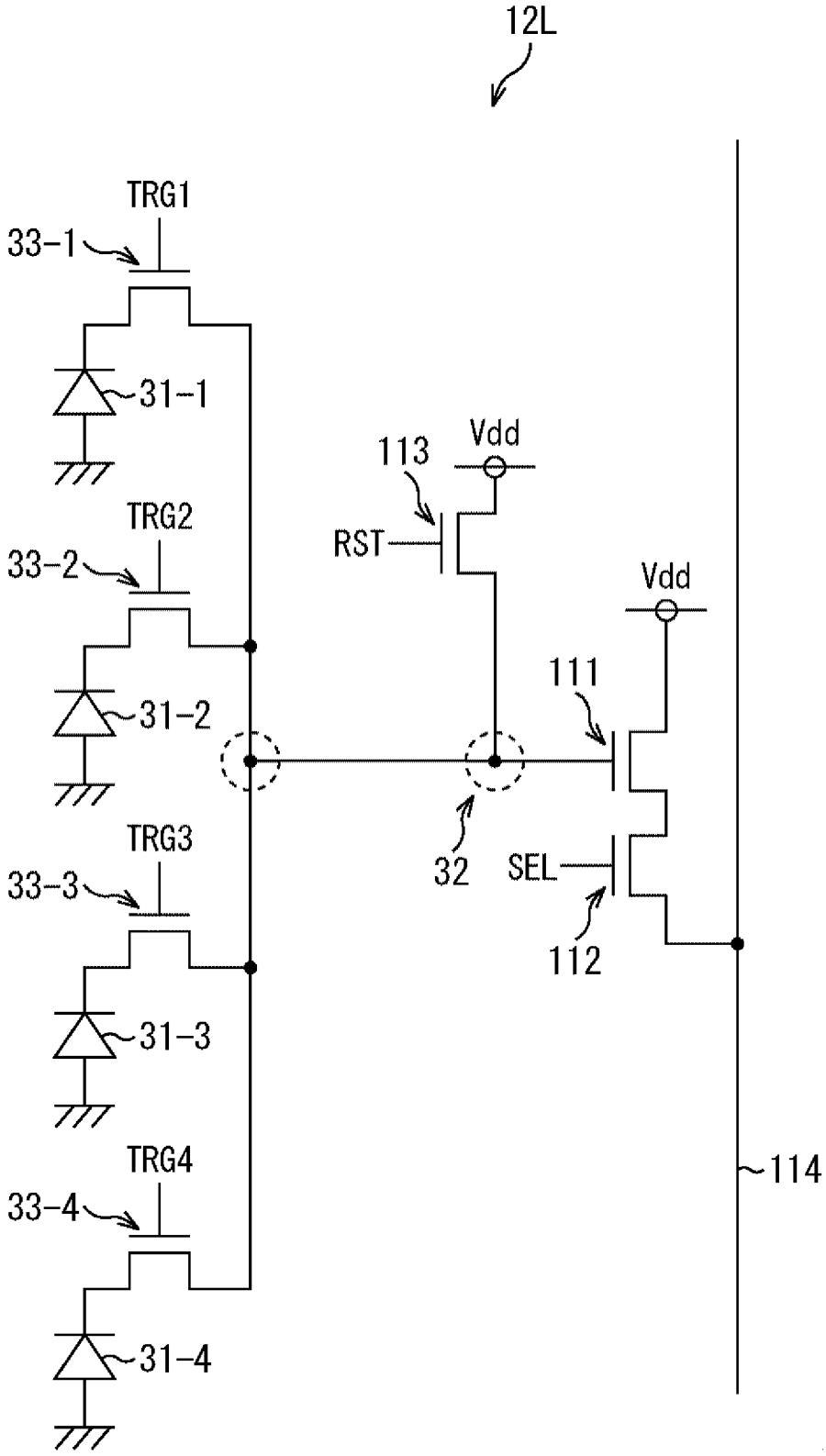
[図47]
FIG. 47


11-2d
101
102
103
72
73
74
71
22
21
23
24
104-1
104-2
32-4
32-5
32-6
32-7
32-8
55-4
55-5
55-6
55-7
55-8
33-4
33-5
33-6
33-7
33-8
89-1
89-2
89-3
83-1
83-2
83-3
92-1
92-2
92-3
82-1
82-2
82-3
81b-1
81b-2
81b-3
81a-1
81a-2
81a-3
33-1
33-2
33-3
55-1
55-2
55-3
31
32-1
32-2
32-3
R
G
B
35-1
34-1
35-2
34-2
35-3
34-3
12K-1
12K-2
12K-3

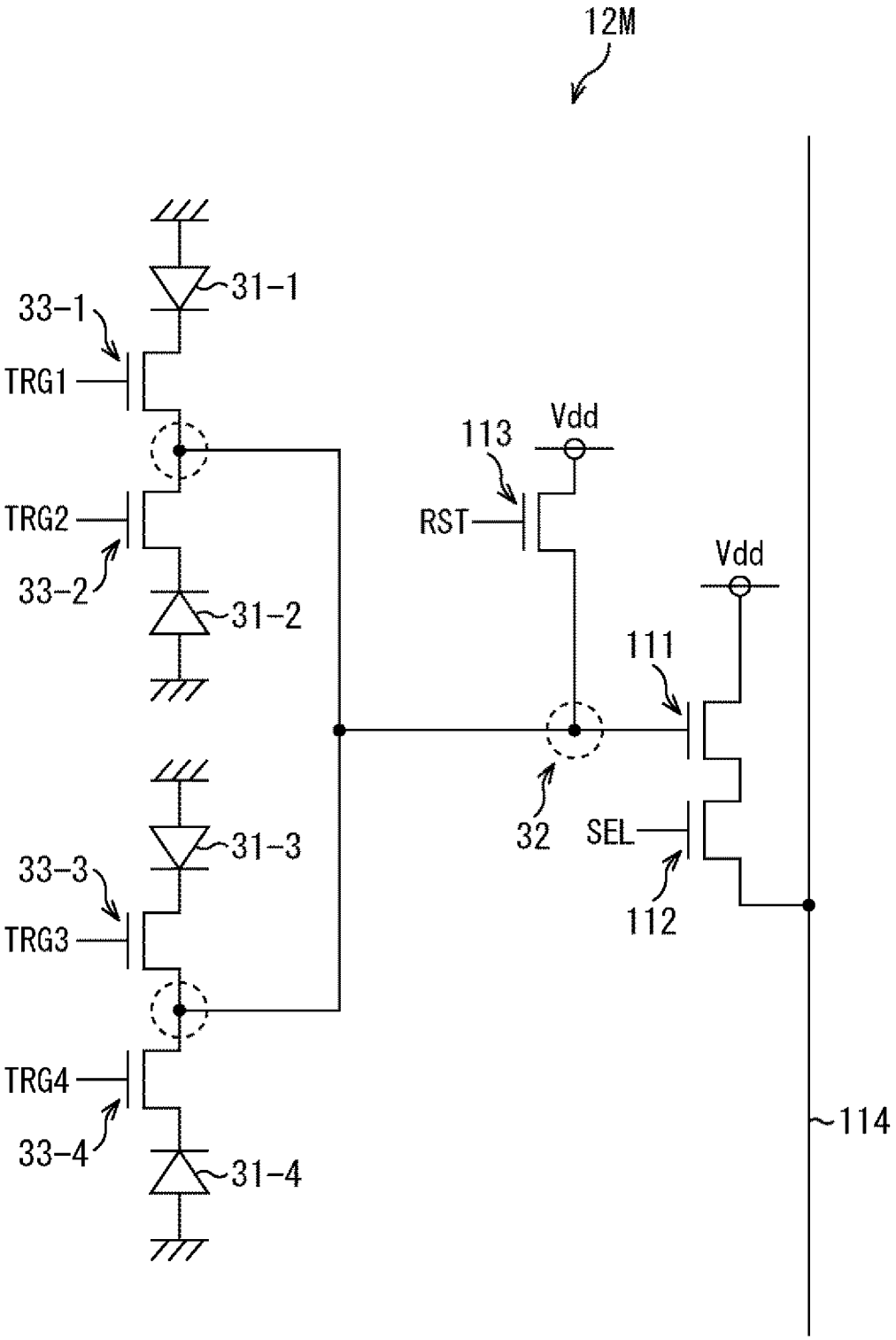
[図48]
FIG. 48



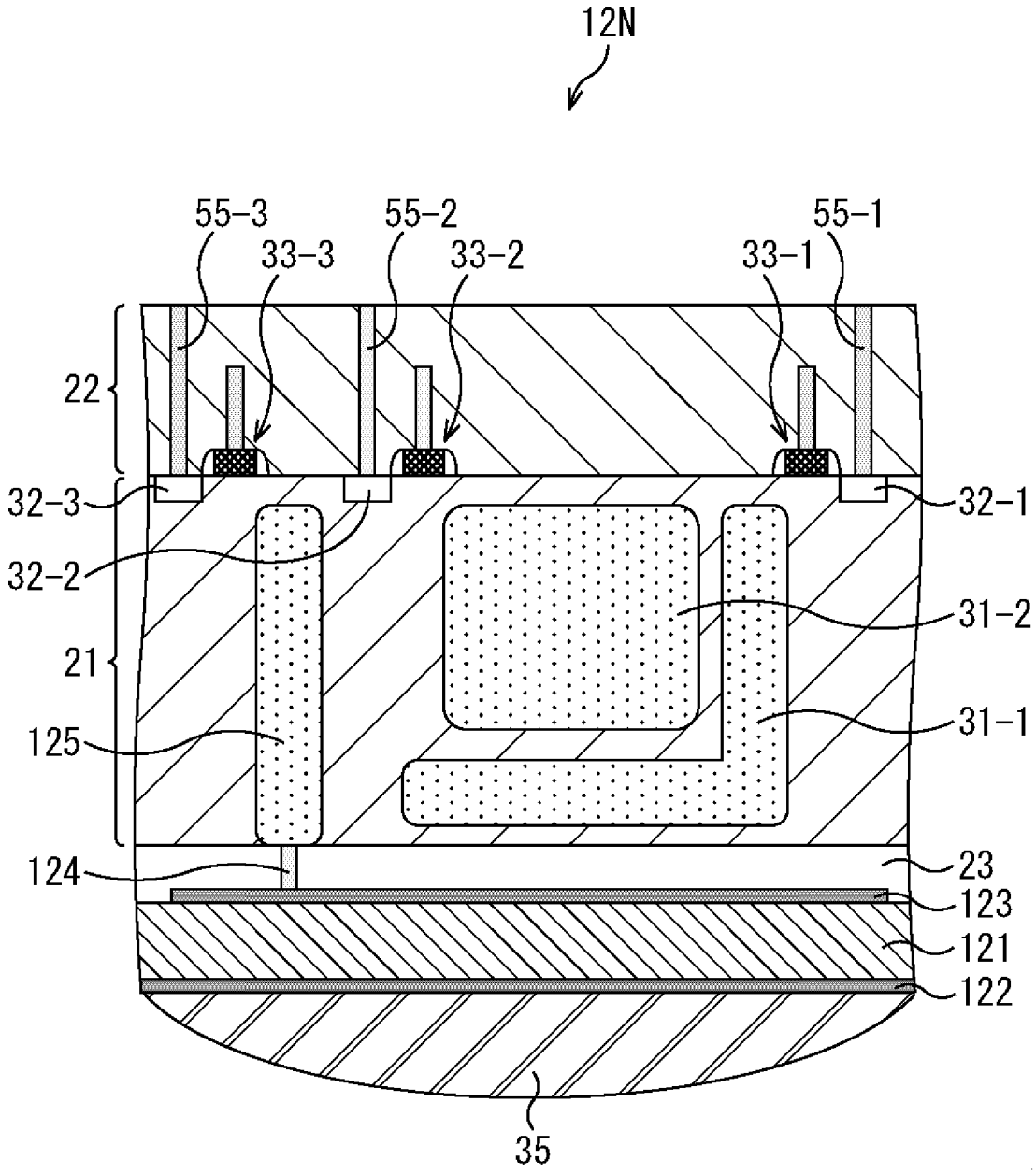
[図49]
FIG. 49


12L
TRG1
33-1
31-1
TRG2
33-2
31-2
TRG3
33-3
31-3
TRG4
33-4
31-4
113
Vdd
RST
Vdd
111
32
SEL
112
114

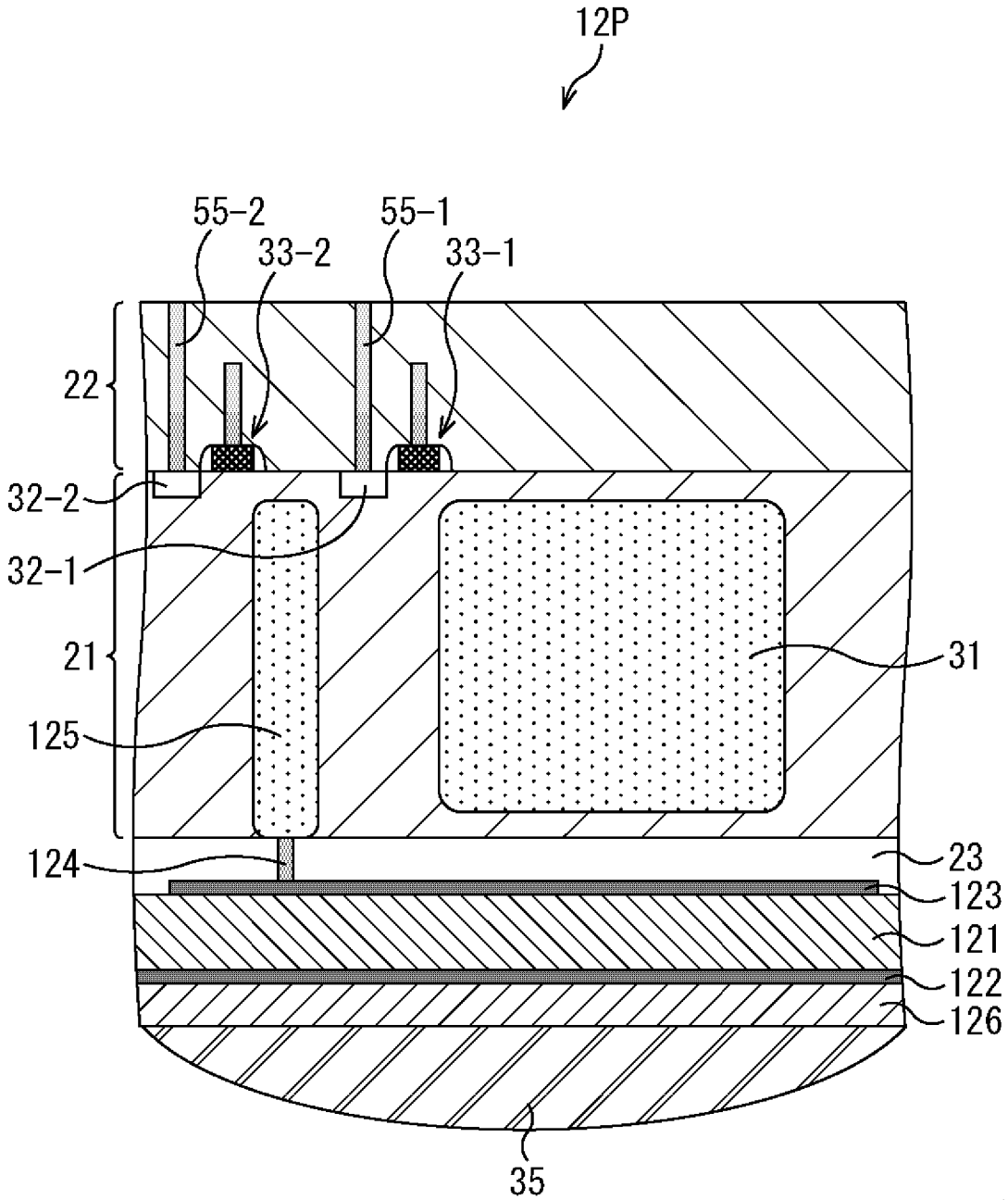
[図50]
FIG. 50


12M
31-1
33-1
TRG1
TRG2
33-2
31-2
31-3
33-3
TRG3
TRG4
33-4
31-4
113
Vdd
RST
Vdd
111
32
SEL
112
114

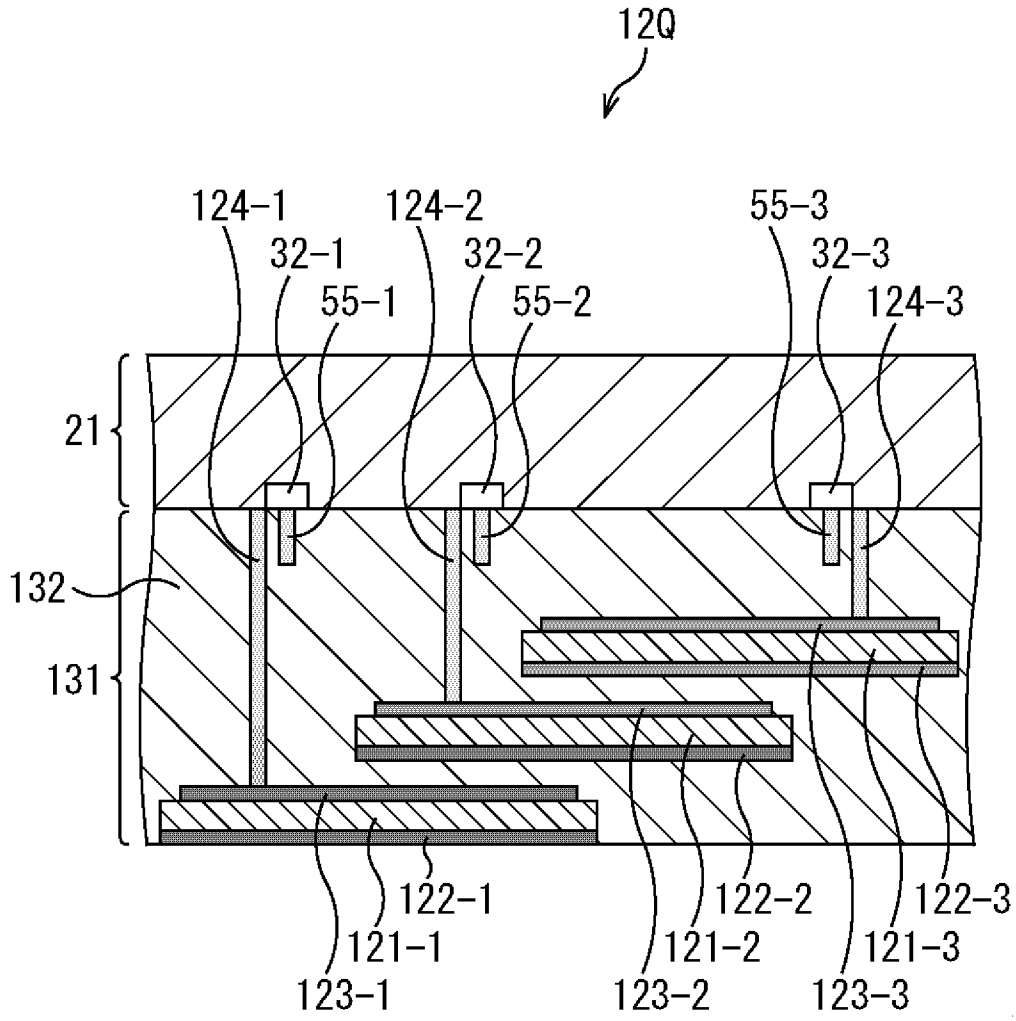
[図51]
FIG. 51


12N
55-3
55-2
55-1
33-3
33-2
33-1
22
32-3
32-2
32-1
31-2
21
31-1
125
124
23
123
121
122
35

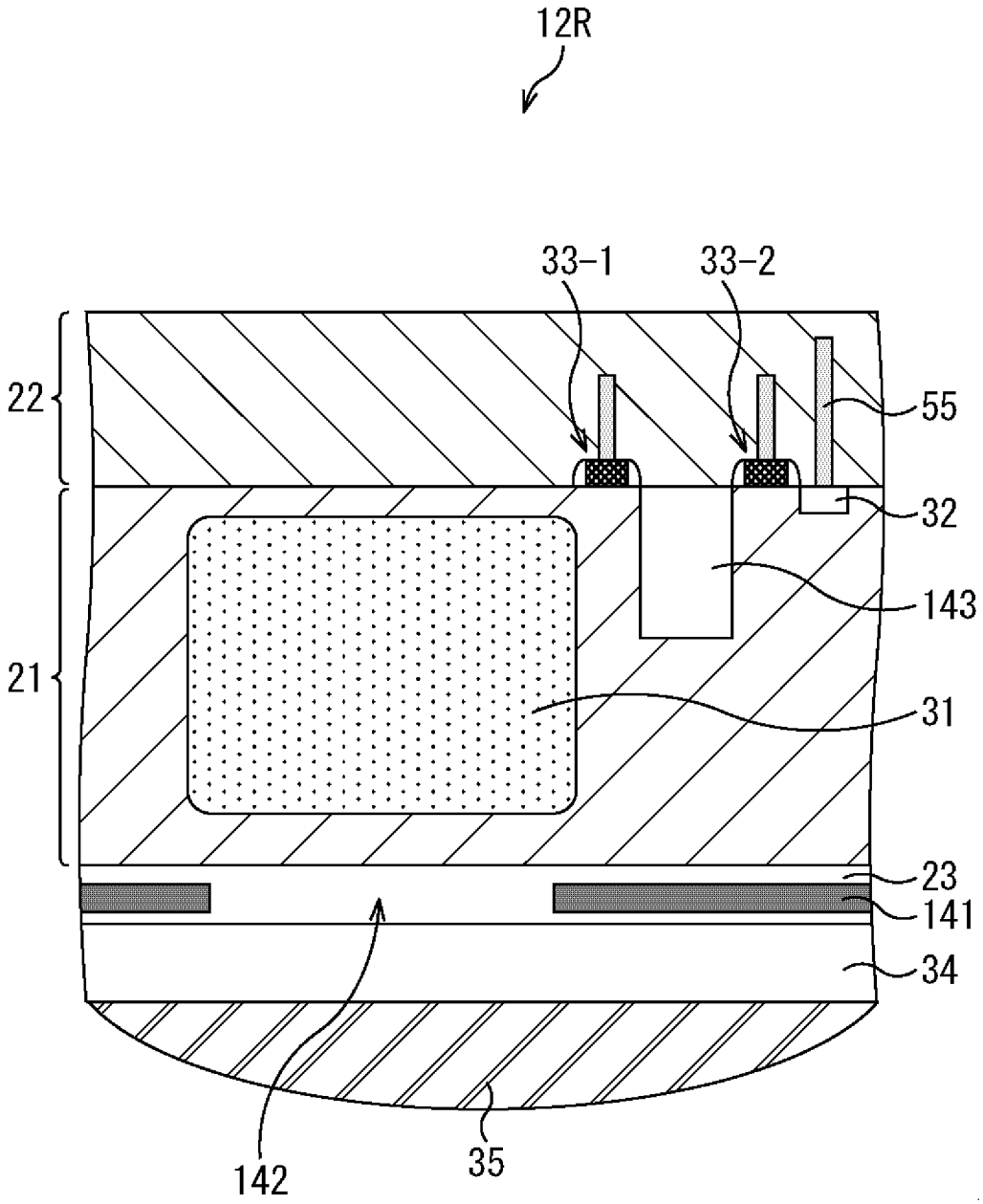
[図52]
FIG. 52



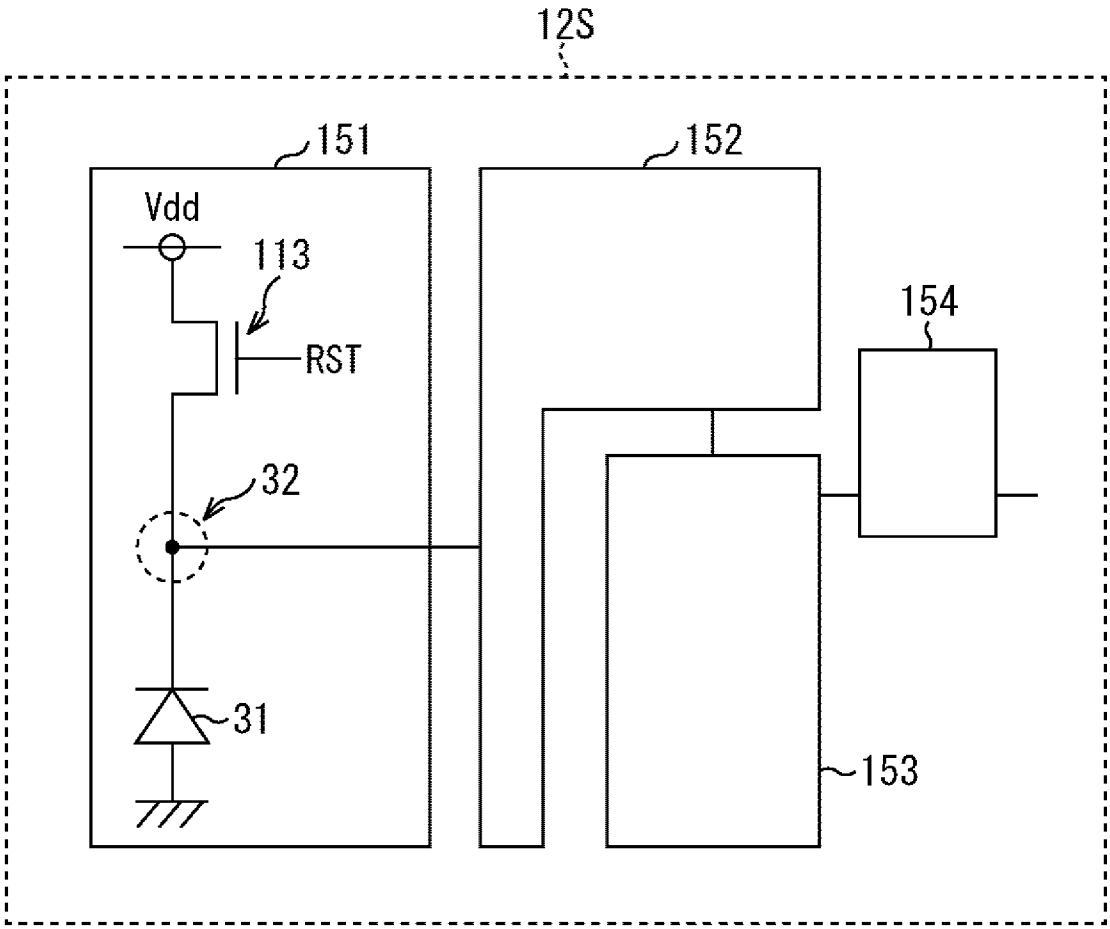
[図53]
FIG. 53


12Q
124-1
124-2
55-3
32-1
32-2
32-3
55-1
55-2
124-3
21
132
131
122-1
122-2
122-3
121-1
121-2
121-3
123-1
123-2
123-3

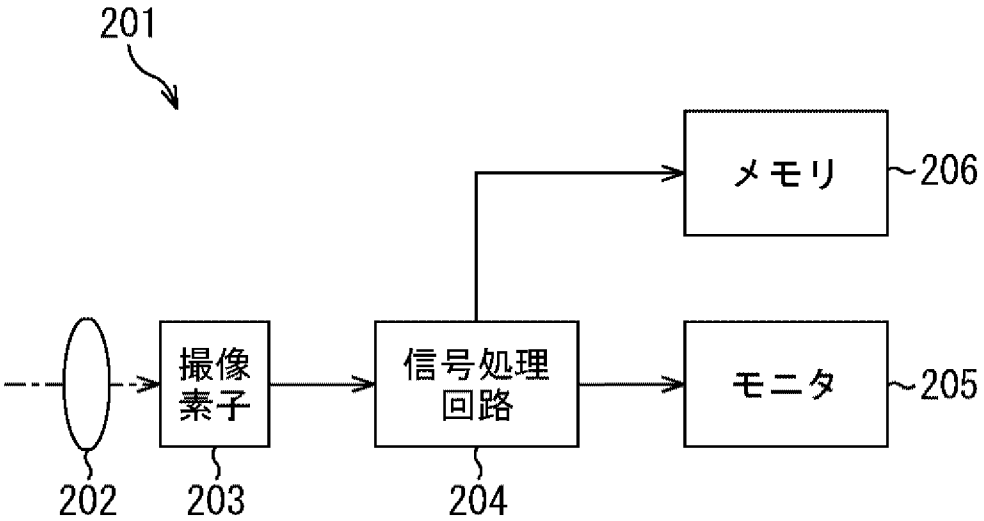
[図54]
FIG. 54



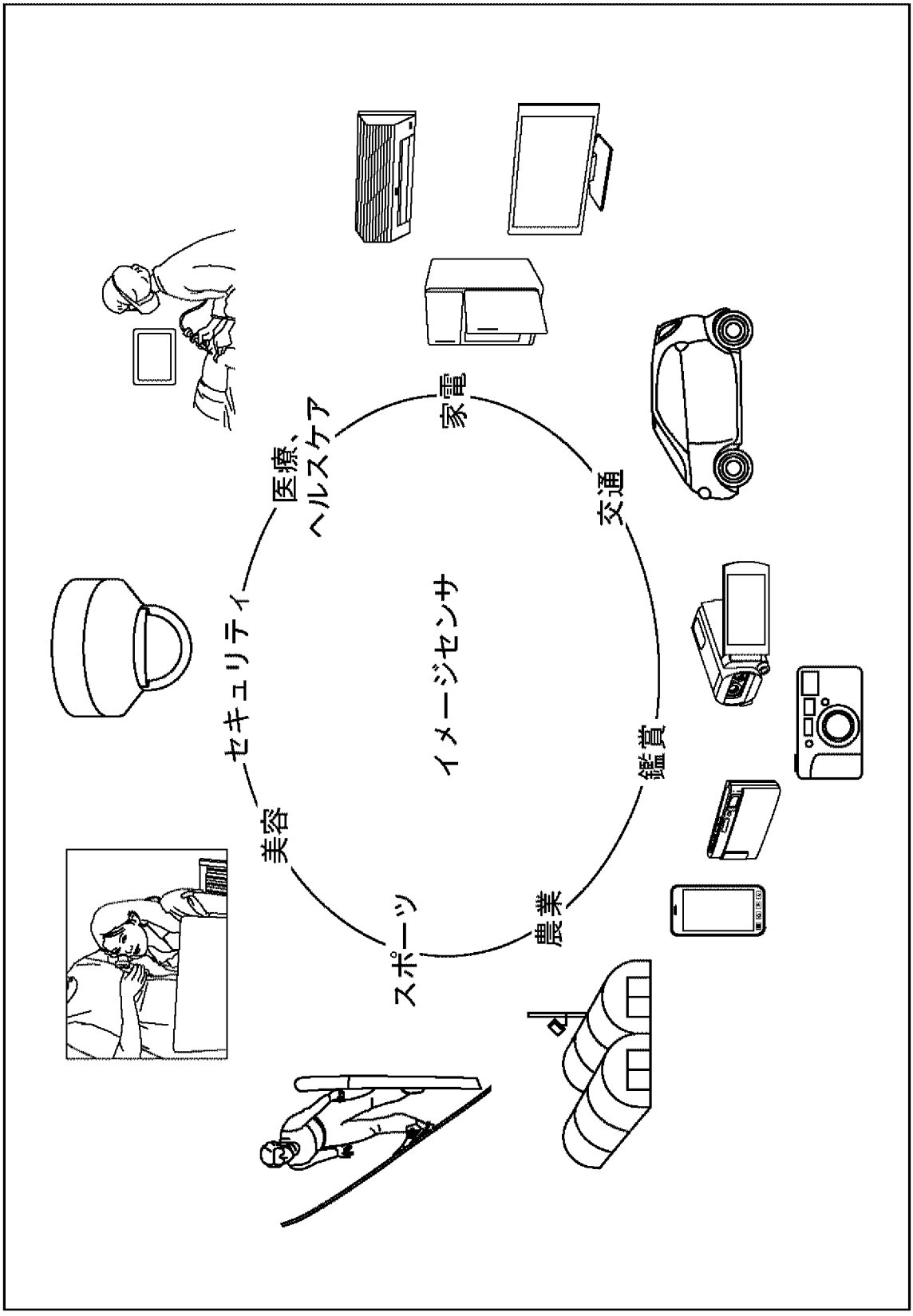
[図55]
FIG. 55



[図56]
FIG. 56



[図57]
FIG. 57



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/078348

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/14(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/283*(2006.01)i, *H01L27/146*(2006.01)i, *H04N5/361*(2011.01)i, *H04N5/369*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/14, H01L21/28, H01L21/283, H01L27/146, H04N5/361, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-216639 A (Sony Corp.), 27 October 2011 (27.10.2011), fig. 14, 16 and explanations thereof & US 2011/0242390 A1 fig. 14, 16 and explanations thereof & US 2015/0115336 A1 & US 2016/0035781 A1 & CN 102208427 A & KR 10-2011-0109894 A & TW 201203529 A	1-15
Y	JP 2010-212361 A (Toshiba Corp.), 24 September 2010 (24.09.2010), fig. 1 to 8 and explanations thereof & US 2010/0224916 A1 fig. 1 to 8 and explanations thereof	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 November 2016 (28.11.16)	06 December 2016 (06.12.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/078348

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-508989 A (Intel Corp.), 12 April 2012 (12.04.2012), fig. 1 to 8 and explanations thereof & US 2010/0155846 A1 fig. 1 to 8 and explanations thereof & US 2012/0115330 A1 & US 2015/0076571 A1 & WO 2010/080276 A2 & EP 2359394 A2 & TW 201034185 A & CN 102239546 A & KR 10-2011-0084166 A	1-15
Y	JP 2010-239116 A (Sony Corp.), 21 October 2010 (21.10.2010), fig. 1 and explanation thereof & US 2011/0031376 A1 fig. 1 and explanation thereof & US 8981517 B2 & WO 2010/104021 A1 & TW 201106481 A & CN 102272931 A & KR 10-2011-0132205 A	11
Y	JP 2014-216859 A (Olympus Corp.), 17 November 2014 (17.11.2014), fig. 17 to 19 and explanations thereof & US 2016/0044265 A1 fig. 1 to 3, 17 to 19 and explanations thereof & WO 2014/174898 A1	12,13
A	WO 2013/088984 A1 (Sony Corp.), 20 June 2013 (20.06.2013), entire text; all drawings & US 2015/0279892 A1 & EP 2793263 A1 & CN 103975437 A & KR 10-2014-0110844 A & TW 201330240 A	1-15
A	JP 61-285762 A (Toshiba Corp.), 16 December 1986 (16.12.1986), entire text; all drawings (Family: none)	1-15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０７８３４８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/14(2006.01)i, H01L21/28(2006.01)i, H01L21/283(2006.01)i, H01L27/146(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/14, H01L21/28, H01L21/283, H01L27/146, H04N5/361, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-216639 A (ソニー株式会社) 2011.10.27, 図 14, 16 及びその説明箇所 & US 2011/0242390 A1, 図 14, 16 及びその説明箇所 & US 2015/0115336 A1 & US 2016/0035781 A1 & CN 102208427 A & KR 10-2011-0109894 A & TW 201203529 A	1-15
Y	JP 2010-212361 A (株式会社東芝) 2010.09.24, 図 1-8 及びその説明箇所 & US 2010/0224916 A1, 図 1-8 及びその説明箇所	1-15

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１１．２０１６	０６．１２．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６６６
今井　聖和
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-508989 A (インテル　コーポレイション) 2012.04.12, 図 1-8 及びその説明箇所 & US 2010/0155846 A1, 図 1-8 及びその説明箇所 & US 2012/0115330 A1 & US 2015/0076571 A1 & WO 2010/080276 A2 & EP 2359394 A2 & TW 201034185 A & CN 102239546 A & KR 10-2011-0084166 A	1-15
Y	JP 2010-239116 A (ソニー株式会社) 2010.10.21, 図 1 及びその説明箇所 & US 2011/0031376 A1, 図 1 及びその説明箇所 & US 8981517 B2 & WO 2010/104021 A1 & TW 201106481 A & CN 102272931 A & KR 10-2011-0132205 A	11
Y	JP 2014-216859 A (オリンパス株式会社) 2014.11.17, 図 17-19 及びその説明箇所 & US 2016/0044265 A1, 図 1-3, 17-19 及びその説明箇所 & WO 2014/174898 A1	12, 13
A	WO 2013/088984 A1 (ソニー株式会社) 2013.06.20, 全文全図 & US 2015/0279892 A1 & EP 2793263 A1 & CN 103975437 A & KR 10-2014-0110844 A & TW 201330240 A	1-15
A	JP 61-285762 A (株式会社東芝) 1986.12.16, 全文全図 (ファミリーなし)	1-15