

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-176216

(P2021-176216A)

(43) 公開日 令和3年11月4日(2021.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/0175 220	5J056
H04L 25/02 (2006.01)	H04L 25/02 V	5K029

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2020-81228 (P2020-81228)
 (22) 出願日 令和2年5月1日(2020.5.1)

(71) 出願人 398069894
 インターチップ株式会社
 千葉県白井市桜台2-5-1
 (74) 代理人 100128532
 弁理士 村中 克年
 (72) 発明者 有吉 竜司
 千葉県白井市桜台2-5-1 インターチ
 ップ株式会社内
 Fターム(参考) 5J056 AA28 BB52 CC04 DD29 EE11
 FF08
 5K029 AA18 CC01 DD24

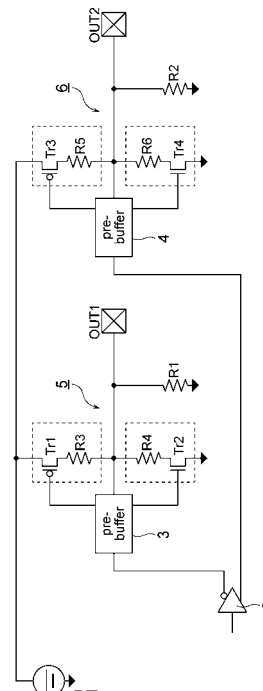
(54) 【発明の名称】 LPHCSL伝送方式におけるドライバ

(57) 【要約】

【課題】 スwitchングのタイミング調整が不要になり、構造も簡素化できるLPHCSL伝送方式におけるドライバを提供する。

【解決手段】 LPHCSL伝送方式におけるドライバであって、PMOSトランジスタTr1とNMOSトランジスタTr2とを組み合わせたスイッチング素子であり、その第1の出力端子OUT1に第1の伝送線路が接続される第1のCMOS型トランジスタ5と、第1のCMOS型トランジスタ5と同構成のスイッチング素子であり、その第2の出力端子OUT2に第2の伝送線路が接続される第2のCMOS型トランジスタ6と、第1および第2のCMOS型トランジスタ5,6に所定電圧の電力を供給する電圧レギュレータ1と、第1のCMOS型トランジスタ5のスイッチングのためのスイッチング信号を供給する第1のプリバッファ3と、第2のCMOS型トランジスタ6のスイッチングのためのスイッチング信号を供給する第2のプリバッファ4とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

L P H C S L 伝送方式におけるドライバであって、
P M O S トランジスタと N M O S トランジスタとを組み合わせたスイッチング素子であり、その第 1 の出力端子に第 1 の伝送線路が接続される第 1 の C M O S 型トランジスタと、
前記第 1 の C M O S 型トランジスタと同様構成のスイッチング素子であり、その第 2 の出力端子に第 2 の伝送線路が接続される第 2 の C M O S 型トランジスタと、
前記第 1 および第 2 の C M O S 型トランジスタに所定電圧の電力を供給する電圧レギュレータと、
前記第 1 の C M O S 型トランジスタのスイッチングのためのスイッチング信号を供給する第 1 のプリバッファと、
前記第 2 の C M O S 型トランジスタのスイッチングのためのスイッチング信号を供給する第 2 のプリバッファと、
を有することを特徴とする L P H C S L 伝送方式におけるドライバ。

10

【請求項 2】

請求項 1 に記載する L P H C S L 伝送方式におけるドライバにおいて、
前記第 1 および第 2 の C M O S 型トランジスタと前記第 1 および第 2 の出力端子との間に所定抵抗値の第 1 の抵抗素子および第 2 の抵抗素子をそれぞれ並列に接続したことを特徴とする L P H C S L 伝送方式におけるドライバ。

20

【請求項 3】

請求項 1 または請求項 2 に記載する L P H C S L 伝送方式において、
前記第 1 および第 2 のプリバッファは、C M O S 型トランジスタで形成したことを特徴とする L P H C S L 伝送方式におけるドライバ。

【請求項 4】

請求項 2 または請求項 3 に記載する L P H C S L 伝送方式において、
前記プリバッファは、
一方の入力端子にイネーブルラインの出力を入力し、他方の入力端子に伝送信号を入力するとともに、前記第 1 または第 3 のトランジスタのゲートにスイッチング信号を供給するナンド回路と、
一方の入力端子に前記イネーブルラインの出力をインバータで反転して入力し、他方の入力端子に前記伝送信号を入力するとともに、前記第 2 または第 4 のトランジスタのゲートにスイッチング信号を供給するノア回路と、
を有することを特徴とする L P H C S L 伝送方式におけるドライバ。

30

【請求項 5】

請求項 4 に記載する L P H C S L 伝送方式において、
前記第 1 および第 2 の抵抗素子に直列に n 型の M O S トランジスタを接続し、該 M O S トランジスタのゲートに前記イネーブルラインの出力を入力するように構成したことを特徴とする L P H C S L 伝送方式におけるドライバ。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は L P H C S L 伝送方式におけるドライバに関する。

【背景技術】

【0002】

比較的長距離の高速な通信では、ノイズ耐性などにすぐれる差動信号を利用した差動伝送方式が汎用されている。差動伝送方式に用いる差動信号には各種規格があるが、その一種としての HCSL (High-speed current steering logic) 方式が古くから提案されている。これを、図 4 に示す。同図中、01 は HCSL 方式のドライバ、02 は信号を受ける LSI で形成したレシーバで、これらドライバ 01 とレシーバ 02 との間を伝送線路 (特性インピーダンス $Z_0 = 50 \Omega$) 03, 04 で接続している。

50

【 0 0 0 3 】

ここで、HCSL伝送方式に用いるドライバ01は、基本的に電流ソース型、すなわち出力がハイ・インピーダンスであって、終端抵抗(ほとんどの場合は 50Ω)R01, R02に対して約0.75Vの信号振幅が得られるような電流が交互に切替えて供給される。そして、終端抵抗R01, R02を、レシーバ02に近接したボード上に配設することで、不要な反射を可及的に抑制する構成となっている。それでも、リングングなどが発生することがあるので、ドライバ出力の間近にも、20~30 Ω 程度のダンピング抵抗R03, R04を配設することが推奨されている。

【 0 0 0 4 】

上述のHCSL方式に対し、LPHCSL(Low power high-speed current steering logic)方式では、図5に示すように、ドライバ01の出力側を、HCSL方式の電流ソース型から、線路03, 04の特性インピーダンス(殆どの場合は 50Ω)に出力抵抗が整合したプッシュプルバッファに変更する一方、レシーバ02側には終端抵抗を配置せずハイ・インピーダンスとすることで敢えて信号反射を起こし、レシーバ02端に現れる電圧振幅が、ドライバ01から発射する出力振幅の2倍になるようにする。ここで、レシーバ02側からドライバ01側に戻る反射波は、ドライバ01の出力抵抗が線路03, 04の特性インピーダンス Z_0 とインピーダンス整合しているので、そこで吸収される。この結果、ボード上では、終端抵抗やダンピング抵抗が不要となり、部品点数が削減される。また、HCSL方式における終端抵抗R03, R04(図01参照)でのDC的な電流消費が無い分、低消費電流化を図ることができる。

【 0 0 0 5 】

LPHCSL方式を採用する従来技術に係る差動伝送方式を開示する文献として特許文献1が公知となっている。ここで、特許文献1に開示する伝送方式では、2個一組で交互にスイッチング動作する4個二組のトランジスタがいずれもnチャンネルのMOSトランジスタで形成してある。このため、2個ずつ交互に各MOSトランジスタを動作させるための電圧を生成するには、一方の組および他方の組に独立にスイッチング電圧を供給する2個のプリバッファ回路が必要になる。

【 0 0 0 6 】

この結果、2個のプリバッファ回路からは、2種類の動作信号が正確なタイミングで生成されるように、厳密なタイミング調整を行う必要がある。

【 0 0 0 7 】

この結果、特許文献1等を開示する従来のLPHCSL方式では、2個のプリバッファ回路間のタイミング調整等に手間がかかり、またこれに伴う構成が複雑になるという課題があった。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献1 】 米国特許登録 7, 830, 177号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明は、上記従来技術に鑑み、スイッチングのタイミング調整が不要になり、構造も簡素化できるLPHCSL伝送方式におけるドライバを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

上記目的を達成する本発明の第1の態様は、

LPHCSL伝送方式におけるドライバであって、

PMOSトランジスタとNMOSトランジスタとを組み合わせたスイッチング素子であり、その第1の出力端子に第1の伝送線路が接続される第1のCMOS型トランジスタと、前記第1のCMOS型トランジスタと同様構成のスイッチング素子であり、その第2の

10

20

30

40

50

出力端子に第2の伝送線路が接続される第2のCMOS型トランジスタと、

前記第1および第2のCMOS型トランジスタに所定電圧の電力を供給する電圧レギュレータと、

前記第1のCMOS型トランジスタのスイッチングのためのスイッチング信号を供給する第1のプリバッファと、

前記第2のCMOS型トランジスタのスイッチングのためのスイッチング信号を供給する第2のプリバッファと、

を有することを特徴とする。

【0011】

本発明の第2の態様は、

第1の態様に記載するLPHCSL伝送方式におけるドライバにおいて、

前記第1および第2のCMOS型トランジスタと前記第1および第2の出力端子との間に所定抵抗値の第1の抵抗素子および第2の抵抗素子をそれぞれ並列に接続したことを特徴とする。

【0012】

本発明の第3の態様は、

第1または第2の態様に記載するLPHCSL伝送方式において、

前記第1および第2のプリバッファは、CMOS型トランジスタで形成したことを特徴とする。

【0013】

本発明の第4の態様は、

第1～第3の態様に記載するLPHCSL伝送方式において、

前記プリバッファは、

一方の入力端子にイネーブルラインの出力を入力し、他方の入力端子に伝送信号を入力するとともに、前記第1または第3のトランジスタのゲートにスイッチング信号を供給するナンド回路と、

一方の入力端子に前記イネーブルラインの出力をインバータで反転して入力し、他方の入力端子に前記伝送信号を入力するとともに、前記第2または第4のトランジスタのゲートにスイッチング信号を供給するノア回路と、

を有することを特徴とする。

【0014】

本発明の第5の態様は、

第4の態様に記載するLPHCSL伝送方式において、

前記第1および第2の抵抗素子に直列にn型のMOSTランジスタを接続し、該MOSTランジスタのゲートに前記イネーブルラインの出力を入力するように構成したことを特徴とする。

【発明の効果】

【0015】

本発明によれば所定の伝送信号を生成する2個一組のトランジスタをCMOS型トランジスタで形成したので、当該CMOS型トランジスタを形成するPMOSTランジスタとNMOSTランジスタを動作させるプリバッファは、1個で済む。この結果、プリバッファは、従来技術のように、2種類の動作信号が正確なタイミングで生成されるように、厳密なタイミング調整を行う必要はなく、これに伴う構成の簡素化も実現し得る。

【図面の簡単な説明】

【0016】

【図1】本発明の実施の形態に係るLPHCSL伝送方式におけるドライバを示すブロック図である。

【図2】図1に示すドライバのプリバッファ部分を抽出し、その具体例を示すブロック図である。

【図3】図1に示すドライバのプリバッファ部分を抽出し、その他の具体例を示すブロッ

10

20

30

40

50

ク図である。

【図 4】従来技術に係るHCSL(High-speed current steering logic)方式の伝送系を概念的に示す説明図である。

【図 5】従来技術に係るLPHCSL(Low power high-speed current steering logic)方式の伝送系を概念的に示す説明図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態を図面に基づき詳細に説明する。

【0018】

図 1 は、本発明の実施の形態に係る L P H C S L 伝送方式におけるドライバを示すブロック図である。同図に示すように、本形態に係るドライバは、調整電圧 V_{REG} が所定電圧（例えば、1.5V）に調整された電圧レギュレータ 1、逆論理の 2 種類の 2 値信号を生成する信号生成部 2、第 1 および第 2 のプリバッファ 3、4、第 1 および第 2 の CMOS 型トランジスタ 5、6、第 1 および第 2 の出力端子 OUT 1、OUT 2 を有している。そして、電圧レギュレータ 1 から供給する調整電圧 V_{REG} を第 1 および第 2 の CMOS 型トランジスタ 5、6 のスイッチング動作によりオン、オフさせて逆位相の 2 種類の伝送信号を生成し、第 1 および第 2 の出力端子 OUT 1、OUT 2 に接続する第 1 および第 2 の伝送路（いずれも図示せず；以下同じ）を介し受信端に向けて差動伝送する。

【0019】

さらに詳言すると、第 1 の CMOS 型トランジスタ 5 は、PMOS トランジスタ Tr_1 と NMOS トランジスタ Tr_2 からなるスイッチング素子であり、その出力側が第 1 の出力端子 OUT 1 を介して第 1 の伝送路に接続されている。また、第 2 の CMOS 型トランジスタ 6 は、PMOS トランジスタ Tr_3 と NMOS トランジスタ Tr_4 からなるスイッチング素子であり、その出力側が第 2 の出力端子 OUT 2 を介して第 2 の伝送路に接続されている。

【0020】

ここで、第 1 および第 3 の PMOS トランジスタ Tr_1 、 Tr_3 のオン抵抗は、第 1 および第 3 の PMOS トランジスタ Tr_1 、 Tr_3 のトランジスタサイズと、これらにそれぞれ直列に接続された調整抵抗素子 R_3 、 R_5 により 100 オームになるように調整されている。同様に、第 2 および第 4 の NMOS トランジスタ Tr_2 、 Tr_4 のオン抵抗は、第 2 および第 4 の NMOS トランジスタ Tr_2 、 Tr_4 のトランジスタサイズと、これらにそれぞれ直列接続された調整抵抗素子 R_4 、 R_6 により 100 オームになるように調整されている。

【0021】

さらに、第 1 および第 2 の CMOS 型トランジスタ 5、6 と第 1 および第 2 の出力端子 OUT 1、OUT 2 との間には所定抵抗値（本例では 100 オーム）の第 1 の抵抗素子 R_1 および第 2 の抵抗素子 R_2 がそれぞれ並列に接続してある。

【0022】

本形態において、第 1 の抵抗素子 R_1 および第 2 の抵抗素子 R_2 を並列に接続することは必須ではない。出力インピーダンスの整合および波形振幅の調整を適切に実現することができれば、第 1 および第 2 の抵抗素子 R_1 、 R_2 を省略することができる場合がある。すなわち、次の条件が成立する場合である。

【0023】

第 1 および第 2 の抵抗素子 R_1 、 R_2 の抵抗値（ R_1 、 R_2 ）= $Z_0 \cdot (V_{REG} - V_{swing})$ （オーム）・・・（式 1）、として決定される。

ここで、

Z_0 ；第 1 および第 2 の出力端子 OUT 1、OUT 2 に接続される第 1 および第 2 の伝送線路の特性インピーダンス、

V_{REG} ；電圧レギュレータ 1 から供給する調整電圧、

V_{swing} ；第 1 および第 2 の伝送線路のレシーバ側で要求される信号電圧振幅である。

【 0 0 2 4 】

第 1 および第 2 の抵抗素子 R_1 , R_2 が不要な場合とは、この部分の抵抗値が無量大、すなわち前記式 (1) において、 $(V_{REG} = V_{swing})$ となる場合である。かかる条件は、本形態 (特性インピーダンス $Z_0 = 50$ (オーム)) の場合、第 1 および第 2 の抵抗素子 R_1 , R_2 の抵抗値がそれぞれ 50 (オーム) のときに成立する。

【 0 0 2 5 】

本形態は、 $Z_0 = 50$ (オーム) 、 $V_{REG} = 1.5$ (v) 、 $V_{swing} = 0.75$ (v) の場合であるが、同様の場合で、 $Z_0 = 50$ (オーム) 、 $V_{swing} = 0.75$ (v) に対して、例えば $V_{REG} = 1.2$ (v) と設定すると、PMOS トランジスタ Tr_1 , Tr_3 および NMOS トランジスタ Tr_2 , Tr_4 のオン抵抗は 80 オーム、第 1 および第 2 の抵抗素子 R_1 , R_2 の抵抗は約 133 (オーム) となるように設計する。このとき、消費電流は前述の場合よりも最大で約 2 (mA) 削減される。このように V_{REG} を削減すると、電流は削減し得るが、第 1 および第 3 の PMOS トランジスタ Tr_1 , Tr_3 ならびに第 2 および第 4 の NMOS トランジスタ Tr_2 , Tr_4 のスイッチングスピードが遅くなり波形が鈍るとともに、特に第 1 および第 3 の PMOS トランジスタ Tr_1 、 Tr_3 側で所定のオン抵抗を得ることが困難になってくるので、 $V_{REG} = 1.2 \sim 1.5$ (v) 程度が好適である。

【 0 0 2 6 】

同様に、特性インピーダンス $Z_0 = 75$ (オーム) の伝送線路の系統に適用する場合の例としては、 $Z_0 = 75$ (オーム) 、 $V_{REG} = 1.5$ V 、 $V_{swing} = 0.75$ V とすると、PMOS トランジスタ Tr_1 , Tr_3 および NMOS トランジスタ Tr_2 , Tr_4 のオン抵抗は 150 (オーム) 、第 1 および第 2 の抵抗素子 R_1 , R_2 の抵抗は約 150 (オーム) となるように設計すれば良い。

【 0 0 2 7 】

次に、第 1 および第 2 のプリバッファ 3 , 4 の具体例に関して説明する。図 2 は、図 1 に示すドライバのプリバッファ部分を抽出し、その具体例を示すブロック図である。なお、本図では第 1 の出力端子 OUT_1 側 (プリバッファ 3 側) のみを示す。出力端子 OUT_2 側 (プリバッファ 4 側) は同構成であるので説明を省略する。

【 0 0 2 8 】

本例に示す第 1 のプリバッファ 3 は、第 3 の CMOS 型トランジスタ 7 で形成してある。かかる第 1 のプリバッファ 3 は、PMOS トランジスタ Tr_5 および NMOS トランジスタ 6 のそれぞれのドレインにオン抵抗調整用の抵抗素子が付いているが、出力バッファ形式としては単純な CMOS 型出力バッファとして構成してある。このため、プリバッファとしても非常に単純な CMOS 型出力バッファ用のもので済んでしまう。最も単純なものは、インバータである。

【 0 0 2 9 】

図 3 は、図 1 に示すドライバのプリバッファ部分を抽出し、その他の具体例を示すブロック図である。なお、本図でも第 1 の出力端子 OUT_1 側 (プリバッファ 3 側) のみを示す。

【 0 0 3 0 】

本例は、出力端子 OUT_1 に得られる出力をトライステート ($Hi-Z$) とする場合である。本例におけるバッファ 3 は、ナンド回路 3 A およびノア回路 3 B を有している。ここで、ナンド回路 3 A は、一方の入力端子にイネーブルライン 8 の出力を入力し、他方の入力端子に伝送信号 S を入力する。そして、第 1 のトランジスタ Tr_1 のゲートにナンド回路 3 A の出力であるスイッチング信号を供給する。

【 0 0 3 1 】

一方、ノア回路 3 C は、一方の入力端子にイネーブルライン 8 の出力をインバータ 3 B で反転させて入力し、他方の入力端子に伝送信号 S を入力する。そして、第 2 のトランジスタ Tr_2 のゲートにノア回路 3 C の出力であるスイッチング信号を供給する。

【 0 0 3 2 】

10

20

30

40

50

本形態において、所望のトライステートは、第1の抵抗素子R 1 に直列に n 型の M O S トランジスタ T r 7 を接続し、この M O S トランジスタ T r 7 のゲートにイネーブルライン 8 の出力を入力するように構成することでも実現できる。

【符号の説明】

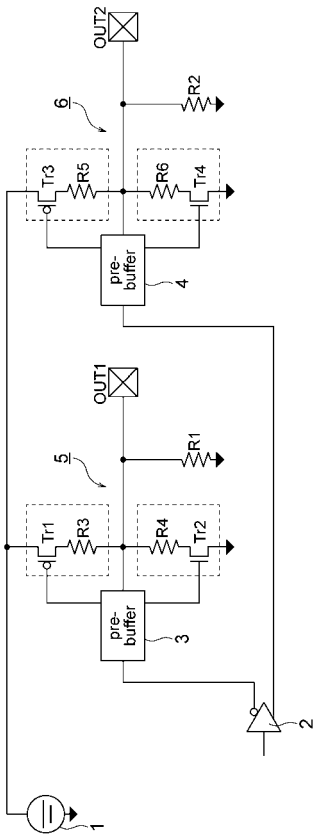
【 0 0 3 3 】

- 1 電圧レギュレータ
- 3 第1のプリバッファ
- 3 A ナンド回路
- 3 B インバータ
- 3 C N O R 回路
- 4 第 2 のプリバッファ
- 5 第1の C M O S 型トランジスタ
- 6 第 2 の C M O S 型トランジスタ
- 7 第 3 の C M O S 型トランジスタ
- 8 イネーブルライン
- S 伝送信号
- T r 1 P M O S トランジスタ
- T r 2 N M O S トランジスタ
- T r 7 N M O S トランジスタ
- O U T 1 第 1 の出力端子
- O U T 2 第 2 の出力端子
- R 1 第1の抵抗素子
- R 2 第 2 の抵抗素子

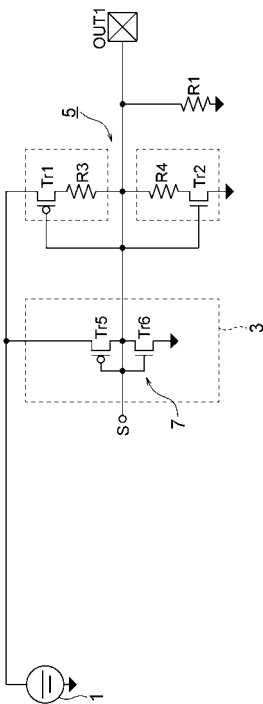
10

20

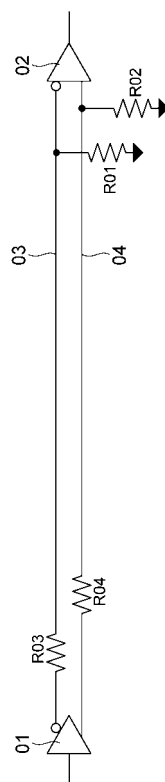
【 図 1 】



【 図 2 】



【图 4】



【 図 5 】

