

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6849513号
(P6849513)

(45) 発行日 令和3年3月24日 (2021.3.24)

(24) 登録日 令和3年3月8日 (2021.3.8)

(51) Int. Cl.	F I
B 4 1 J 29/38 (2006.01)	B 4 1 J 29/38 1 0 4
B 4 1 J 5/30 (2006.01)	B 4 1 J 5/30 Z
G 0 3 G 21/00 (2006.01)	G 0 3 G 21/00 3 9 8
H 0 4 N 1/00 (2006.01)	H 0 4 N 1/00 C

請求項の数 15 (全 16 頁)

(21) 出願番号	特願2017-77656 (P2017-77656)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成29年4月10日 (2017.4.10)	(74) 代理人	100090273 弁理士 國分 孝悦
(65) 公開番号	特開2018-20549 (P2018-20549A)	(72) 発明者	大野 信一 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(43) 公開日	平成30年2月8日 (2018.2.8)		
審査請求日	令和2年3月25日 (2020.3.25)	審査官	上田 正樹
(31) 優先権主張番号	特願2016-145623 (P2016-145623)		
(32) 優先日	平成28年7月25日 (2016.7.25)		
(33) 優先権主張国・地域又は機関	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 電子機器及び電子機器の制御方法

(57) 【特許請求の範囲】

【請求項 1】

記憶装置と、

前記記憶装置の電源オフをそれぞれ指示する複数の指示部とを有し、

前記複数の指示部のうちの少なくとも1個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、前記記憶装置の電源オフを指示することを特徴とする電子機器。

【請求項 2】

前記複数の指示部は、それぞれ、前記指示した前記記憶装置の電源オフの回数をカウントし、

前記複数の指示部のうちの少なくとも1個の指示部は、前記複数の指示部がそれぞれカウントした前記記憶装置の電源オフの回数を合算し、前記合算した回数に応じて、前記記憶装置の電源オフを指示することを特徴とする請求項1記載の電子機器。

【請求項 3】

前記複数の指示部は、それぞれ、前記カウントした前記記憶装置の電源オフの回数を複数の不揮発性メモリに書き込み、

前記複数の指示部のうちの少なくとも1個の指示部は、前記複数の指示部によりそれぞれカウントされた前記記憶装置の電源オフの回数を前記複数の不揮発性メモリから読み出し、前記複数の指示部がそれぞれカウントした前記記憶装置の電源オフの回数を合算することを特徴とする請求項2記載の電子機器。

10

20

【請求項 4】

前記複数の指示部のうちの 1 個の指示部は、前記複数の指示部によりそれぞれカウントされた前記記憶装置の電源オフの回数を前記複数の不揮発性メモリから読み出し、前記複数の指示部がそれぞれカウントした前記記憶装置の電源オフの回数を合算し、前記合算した回数を前記複数の不揮発性メモリのうちの 1 の不揮発性メモリに書き込み、他の不揮発性メモリに記憶されている回数の消去を指示することを特徴とする請求項 3 記載の電子機器。

【請求項 5】

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計が第 1 の閾値未満である場合には、省電力モードでは前記記憶装置の電源オフを指示し、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計が第 1 の閾値以上である場合には、省電力モードでは前記記憶装置の電源オフを指示しないことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の電子機器。

10

【請求項 6】

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計が第 2 の閾値以上である場合には、前記記憶装置の電源オンを指示しないことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の電子機器。

【請求項 7】

20

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、省電力モードの開始時刻から前記記憶装置の電源オフを指示するまでの時間を異ならせることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の電子機器。

【請求項 8】

前記複数の指示部のうちの 1 個の指示部は、電子機器の上位装置を制御するメイン制御部であり、

前記複数の指示部のうちの他の 1 個の指示部は、前記記憶装置を制御する制御部であり、前記メイン制御部が省電力状態にあるときに前記記憶装置に電源オフを指示するものであることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の電子機器。

30

【請求項 9】

さらに、印刷を行うプリンタ部を有することを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の電子機器。

【請求項 10】

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記記憶装置が磁気式記憶装置である場合には、前記指示した前記記憶装置の電源オフの回数をカウントし、前記記憶装置が半導体記憶装置である場合には、前記指示した前記記憶装置の電源オフの回数をカウントしないことを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の電子機器。

【請求項 11】

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、前記記憶装置の電源オフを指示するタイミングを制御することを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載の電子機器。

40

【請求項 12】

前記複数の指示部のうちの少なくとも 1 個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、前記記憶装置の電源オフを指示するタイミングを遅延させることを特徴とする請求項 1 ～ 11 のいずれか 1 項に記載の電子機器。

【請求項 13】

記憶装置と、

50

前記記憶装置の電源オフを制御部に指示するプロセッサと、
前記記憶装置の電源オフを指示するメモリコントローラとを有し、
前記プロセッサにより指示された電源オフの回数と前記メモリコントローラにより指示
された電源オフの回数は、同じカウンタによりカウントされ、
前記プロセッサと前記メモリコントローラは、前記カウンタによるカウントに応じて、
電源オフを指示することを特徴とする電子機器。

【請求項14】

記憶装置と、

前記記憶装置の電源オフをそれぞれ指示する複数の指示部とを有する電子機器の制御方法であって、

前記複数の指示部のうちの少なくとも1個の指示部が、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、前記記憶装置の電源オフを指示するステップを有することを特徴とする電子機器の制御方法。

【請求項15】

記憶装置の電源オフを制御部に指示するプロセッサと、

前記記憶装置の電源オフを指示するメモリコントローラとを有する電子機器の制御方法
であって、

前記プロセッサにより指示された電源オフの回数と前記メモリコントローラにより指示
された電源オフの回数が、同じカウンタによりカウントされ、

前記プロセッサと前記メモリコントローラが、前記カウンタによるカウントに応じて、
電源オフを指示するように制御されることを特徴とする電子機器の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器及び電子機器の制御方法に関する。

【背景技術】

【0002】

HDD（ハードディスクドライブ）は、耐久性の理由により、電源オン／オフ回数に上限が設けられている。そのため、HDDを使用する際には、電源オン／オフ回数の上限を超えないことが重要である。一方で、昨今の省電力化要望の高まりにより、画像形成装置の消費電力抑制を目的としたHDD電源のオフを、より頻繁に行うことが求められている。そこで、HDD電源のオフをより頻繁に行いつつ、オン／オフ回数の上限を超えさせないため、オフ回数の管理方法が必要となっている。一方、SSD（Solid State Drive）では、耐久性の理由による電源オン／オフ回数の上限は設けられていないので、オフ回数の管理は不要である。HDD電源のオン／オフ回数の管理方法には、一つの制御装置からHDDの電源オン／オフを制御して、その時のオフ回数をカウントするものがある（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-114571号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献1は、一つの制御装置からHDDの電源をオン／オフ制御するため、より柔軟な省電力制御を行うために、複数の制御装置からHDDの電源オン／オフしようとする、オフ回数を正確にカウントできない課題がある。例えば、2つの制御装置A及びBから一つのHDDの電源をオフする場合、ある状態では制御装置AがHDDの電源をオフしてその回数をカウントする。別の状態では、制御装置BがHDDの電源をオフするが、このオフ回数はカウントされない。その結果、カウントされたオフ回数は、実際のオ

10

20

30

40

50

フ回数よりも少なくなってしまう。これにより、予期せずオン／オフ回数の上限を超える事態が発生する恐れがある。また、SSDには電源オン／オフの寿命は無いので、HDDとは異なる電源オフ回数の管理方法が必要である。

【0005】

本発明の目的は、記憶装置の電源オフの回数が上限を超える事態の発生を防止することができる電子機器及び電子機器の制御方法を提供することである。

【課題を解決するための手段】

【0006】

本発明の電子機器は、記憶装置と、前記記憶装置の電源オフをそれぞれ指示する複数の指示部とを有し、前記複数の指示部のうちの少なくとも1個の指示部は、前記複数の指示部がそれぞれ指示した前記記憶装置の電源オフの回数の合計に応じて、前記記憶装置の電源オフを指示する。

10

【発明の効果】

【0007】

記憶装置の電源オフの回数が上限を超える事態の発生を防止することができる。

【図面の簡単な説明】

【0008】

【図1】画像形成装置の構成例を示す図である。

【図2】SATA-SATAブリッジの構成例を示す図である。

【図3】画像形成装置の電力状態を示す図である。

20

【図4】寿命引き延ばし制御方法を示すタイミングチャートである。

【図5】電力状態の移行処理を示すフローチャートである。

【図6】電力移行条件の設定処理を示すフローチャートである。

【図7】電力移行条件の処理を示すフローチャートである。

【図8】記憶装置電源オフ処理を示すフローチャートである。

【図9】記憶装置電源オフ処理を示すフローチャートである。

【図10】電源オフ回数要求処理を示すフローチャートである。

【図11】電源オフ回数応答処理を示すフローチャートである。

【発明を実施するための形態】

【0009】

30

図1は、本発明の実施形態による画像形成システムの構成例を示す図である。画像形成システムは、画像形成装置（電子機器）101及び情報機器116を有する。本実施形態は、記憶装置電源オフ回数制御を行う電子機器の例としての画像形成装置101について説明する。なお、画像形成装置101は、特に断らない限り、本実施形態の機能が実行されるのであれば、単体の機器であっても、複数の機器からなるシステムであってもよい。

【0010】

画像形成装置101は、スキャナ部102又はネットワークI/F109から入力した画像データに対して画像処理を施した後に、プリンタ部108により、紙面に画像データを印刷して出力する。また、画像形成装置101は、スキャナ部102から入力した画像データに画像処理を施した後に、ネットワークI/F109により、情報機器116に画像データを送信する。スキャナ部102は、紙面上の画像情報を光学的に取り込み、電気信号の画像データに変換した後、スキャン画像処理部103に送信する。スキャン画像処理部103は、スキャナ部102から受信した画像データに画像処理を施してSATAコントローラ111に送信する。メインCPU（Central Processing Unit）104は、画像形成装置101全体の制御を司る。DRAM（Dynamic Random Access Memory）105は、メインCPU104で実行される制御プログラムを格納すると共に、一時的なデータのワークエリアとして利用される。操作部106は、ユーザに対して画像形成装置101の情報を通知すると共に、ユーザからの操作を受け付ける。プリント画像処理部107は、受信した画像データに画像処理を施した後に、プリンタ部108に画像データを送信する。プリンタ部108は、プリント

40

50

画像処理部107から受信した画像データを紙面上に印刷して出力する。ネットワークI/F109は、LAN(Local Area Network)110を介して、情報機器116と通信を行うインタフェースである。LAN110は、画像形成装置101と情報機器116との間で通信を行うための通信網である。ここでのLAN110は、有線、無線など物理的な接続形態は問わない。SATAコントローラ111は、SATA(Serial ATA)規格に準拠した周辺機器を制御すると共に、周辺機器との間でデータの送受信を行う。SATA-SATAブリッジ112は、SATAコントローラ111と記憶装置113との間の通信の受け渡しを行うと共に、記憶装置113の電源を制御する制御部である。記憶装置113は、HDD(ハードディスクドライブ)又はSSD(ソリッドステートドライブ)である。なお、記憶装置113は、HDD及びSSDが混在されていてもよい。HDDは、電源オン/オフ回数の寿命があるので、電源オン/オフ回数の管理が必要である。これは、HDDが、リレー回路や、ドライブモーター、磁気ヘッドおよびその周辺の部品の寿命がHDDのオン/オフにより影響を受けるからである。これに対して、SSDは、電源オン/オフ回数の寿命への影響がほとんどないので、電源オン/オフ回数の管理が原則必要ない。以下、記憶装置113がHDである場合の記憶装置113の電源オン/オフ回数の管理方法を説明する。記憶装置113は、SATAコントローラ111及びSATA-SATAブリッジ112の指示に従い、内部の記録媒体にデータの記録を行うと共に、内部の記録媒体からデータを読み出す。電源制御部114は、画像形成装置101全体の電源制御を司る。フラッシュROM115は、メインCPU104で実行されるプログラム及び設定情報を記憶する。情報機器116は、LAN110を介して画像形成装置101と通信を行い、印刷ジョブの送信を行うと共に、画像形成装置101からスキャン画像を受信する。メインCPU104は、記憶装置(HDD)113の電源オフの回数をカウントし、そのカウントした記憶装置(HDD)113の電源オフの回数をフラッシュROM115に書き込む。

【0011】

図2は、SATA-SATAブリッジ112の構成例を示す図である。SATA-SATAブリッジ112は、SATAデバイスI/F部201、SATAホストI/F部202、CPU203、GPIO204、DRAM205、及びフラッシュROM206を有する。SATAデバイスI/F部201は、SATA規格準拠の周辺機器として振る舞い、SATAコントローラ111と通信を行う。SATAホストI/F部202は、SATA規格準拠の記憶装置113を制御すると共に、記憶装置113との間でデータの送受信を行う。CPU(Central Processing Unit)203は、SATA-SATAブリッジ112全体の制御を司る。GPIO(General Purpose Input/Output)204は、CPU203の指示に従って、電源制御部114との間で信号の送受信を行う。DRAM205は、CPU203で実行される制御プログラムを格納すると共に、一時的なデータのワークエリアとして利用される。フラッシュROM206は、CPU203で実行されるプログラム及び設定情報を記憶する。CPU203によってカウントされた記憶装置(HDD)113の電源オフ回数は、フラッシュROM206に書き込まれる。記憶装置電源ライン207は、電源制御部114から記憶装置113に電源を供給する。また、GPIO204は、記憶装置電源ライン207の状態を検出する。

【0012】

図3は、画像形成装置101の電力状態を示す図である。状態301では、画像形成装置101は、電力状態PS0であって、電力P0を消費する。状態302では、画像形成装置101は、電力状態PS1であって、スキャナ部102及びプリンタ部108への電力供給が行われないので、電力P0よりも低い電力P1を消費する。状態303では、画像形成装置101は、電力状態PS2であって、ネットワークI/F109以外への電力供給が行われないので、電力P1よりも低い電力P2を消費する。

【0013】

画像形成装置101は、通常動作時において、電力状態PS0をとる。画像形成装置1

10

20

30

40

50

01は、電力状態PS0において、所定の条件を満たすと、電力状態PS1に移行する。更に、画像形成装置101は、電力状態PS1において、所定の条件を満たすと、電力状態PS2に移行する。ここで、所定の条件は、一定時間、ネットワークI/F109を介してプリントジョブを受信しなかった場合や、一定時間、操作部106がユーザからの操作を受け付けなかった場合などである。

【0014】

逆に、画像形成装置101は、電力状態PS2又はPS1において、所定の条件を満たすと、電力状態PS0に移行する。ここで、所定の条件は、ネットワークI/F109がマジックパケットを受信した場合や、操作部106がユーザからの操作を受け付けた場合などである。

10

【0015】

電力状態PS0では、画像形成装置101内のモジュールの全てに通常の電力が供給される。電力状態PS1では、スキャナ部102、スキャン画像処理部103、プリンタ部108、プリントが画像処理部107、フラッシュROM115への電力供給は停止する。そして、メインCPU104、DRAM105、電源制御部114、SATAコントローラ111、STA-SATAブリッジ112、操作部106へは通常よりも少ない電力を供給して待機状態にする。そして、ネットワークI/F109へは通常の電力を供給して情報機器116から送信されるパケットを受信できる状態を保つ。記憶装置113へは、SATA-SATAブリッジ112に設定された省電力移行条件が記憶装置電源オフであれば電力供給を停止し、そうでなければ通常よりも少ない電力を供給して待機状態にする。

20

【0016】

電力状態PS2では、電力状態PS1に加えて、ネットワークI/F109へは通常よりも少ない、マジックパケットを受けられる程度の電力を供給する。そして、記憶装置113への電力供給は停止する。

【0017】

図4は、記憶装置113の寿命引き延ばし制御方法を示すタイミングチャートであり、電力状態PS2と記憶装置113の電源オフのタイミングを示す。以下、画像形成装置101の制御方法を示す。PS2状態信号401は、ハイレベルが電力状態PS2を示し、ローレベルが電力状態PS0又はPS1を示す。PS2状態信号401に示すように、時刻T=0分では、所定の条件を満たしたことにより、電力状態PS1から電力状態PS2へ移行し、その後、所定の条件を満たし、電力状態PS2から電力状態PS0へ移行している。

30

【0018】

記憶装置電源信号402～406は、ハイレベルが記憶装置113の電源オンを示し、ローレベルが記憶装置113の電源オフを示す。記憶装置電源信号402は、記憶装置113の電源オフの回数が0回の場合の記憶装置電源オフのタイミングを示す信号であり、PS2状態信号401と同じタイミングで記憶装置113の電源がオフする。すなわち、電力状態PS2の場合には記憶装置113の電源がオフし、電力状態PS0又はPS1の場合には記憶装置113の電源がオンする。

40

【0019】

記憶装置電源信号403は、記憶装置113の電源オフの回数が1000回の場合の記憶装置113の電源オフのタイミングを示す信号であり、記憶装置電源信号402よりも10分遅れたT=10分のタイミングで、記憶装置113の電源がオフする。記憶装置電源信号404は、記憶装置113の電源オフの回数が2000回の場合の記憶装置113の電源オフのタイミングを示す信号であり、記憶装置電源信号403よりも10分遅れたT=20分のタイミングで、記憶装置113の電源がオフする。

【0020】

記憶装置電源信号405は、記憶装置113の電源オフの回数が8000回の場合の記憶装置113の電源オフのタイミングを示す信号であり、電力状態PS2になっても、記

50

憶装置 1 1 3 の電源がオフしない。記憶装置 1 1 3 が H D D である場合、記憶装置 1 1 3 は、電源のオン／オフ回数に上限があり、それを超えて使用することはできない。それが記憶装置（H D D）1 1 3 の寿命である。画像形成装置 1 0 1 の耐用期間中に、記憶装置（H D D）1 1 3 の電源のオン／オフ回数が上限を超えないようにするために、記憶装置（H D D）1 1 3 の寿命の引き延ばし制御を行う必要がある。記憶装置（H D D）1 1 3 の電源オフの回数をカウントして、その回数に応じて、電力状態 P S 2 の開始時刻 T = 0 分から記憶装置（H D D）1 1 3 の電源をオフするまでの時間を遅延させる。そして、遅延後の時点で、まだ電力状態 P S 2 であった場合に、ようやく記憶装置（H D D）1 1 3 の電源をオフする。また、カウントした記憶装置（H D D）1 1 3 の電源オフの回数が H D D のオン／オフ回数の上限に近づくと、電力状態 P S 2 になっても電源装置（H D D）1 1 3 の電源はオフさせない処理を行う。

10

【0 0 2 1】

図 4 では、記憶装置（H D D）1 1 3 の電源のオン／オフ回数の上限を 1 0 0 0 0 回の場合を示しており、記憶装置（H D D）1 1 3 の電源オフの回数 1 0 0 0 回毎に記憶装置（H D D）1 1 3 の電源をオフするまでの遅延時間を 1 0 分追加している。記憶装置電源信号 4 0 5 のように、記憶装置（H D D）1 1 3 の電源オフの回数が 8 0 0 0 回以上である場合には、H D D の電源のオン／オフ回数の上限に近づいたと判断する。その場合、電力状態 P S 2 の開始時刻 T = 0 分から遅延時間経過後の時刻 T = 8 0 分になっても記憶装置（H D D）1 1 3 の電源はオフしない。記憶装置電源信号 4 0 6 のように、記憶装置（H D D）1 1 3 の電源オフの回数が 1 0 0 0 0 回以上である場合には、H D D の電源のオン／オフ回数の上限を超えたと判断して、画像形成装置 1 0 1 の電源がオンしても記憶装置（H D D）1 1 3 の電源はオンしない。ただし、この記憶装置（H D D）1 1 3 の寿命の引き延ばし制御は、省電力を目的とした記憶装置（H D D）1 1 3 の電源オフに限ったことであり、画像形成装置 1 0 1 の電源がオフされた場合は、当然ながら記憶装置（H D D）1 1 3 の電源はオフされることになる。

20

【0 0 2 2】

図 5（a）は、メイン C P U 1 0 4 における電力状態 P S 2 への移行処理を示すフローチャートである。ステップ S 5 0 1 では、メイン C P U 1 0 4 は、電力状態 P S 2 への移行条件を満たしたか否かを判断し、電力状態 P S 2 への移行条件を満たした場合には、ステップ S 5 0 2 に処理を進める。図 4 において、記憶装置電源信号 4 0 3 の場合には時刻 T = 1 0 分で移行条件を満たし、記憶装置電源信号 4 0 4 の場合には時刻 T = 2 0 分で移行条件を満たす。ステップ S 5 0 2 では、メイン C P U 1 0 4 は、S A T A コントローラ 1 1 1 及び S A T A - S A T A ブリッジ 1 1 2 を介して、記憶装置 1 1 3 に電源オフの準備をさせるコマンドを送信する。次に、ステップ S 5 0 3 では、メイン C P U 1 0 4 は、指示部であり、電源制御部 1 1 4 に対して、記憶装置 1 1 3 の電源オフを指示する。次に、ステップ S 5 0 4 では、メイン C P U 1 0 4 は、フラッシュ R O M 1 1 5 から記憶装置 1 1 3 の電源オフの回数を読み出す。次に、ステップ S 5 0 5 では、メイン C P U 1 0 4 は、記憶装置 1 1 3 の電源オフの回数に 1 を加算する。すなわち、メイン C P U 1 0 4 は、指示した記憶装置 1 1 3 の電源オフの回数をカウントする。次に、ステップ S 5 0 6 では、メイン C P U 1 0 4 は、記憶装置 1 1 3 の電源オフの回数をフラッシュ R O M 1 1 5 に書き込む。メイン C P U 1 0 4 がカウントした記憶装置 1 1 3 の電源オフの回数は、フラッシュ R O M 1 1 5 に格納され、この値を基準に記憶装置 1 1 3 の寿命の延命制御が行われる。

30

40

【0 0 2 3】

図 5（b）は、メイン C P U 1 0 4 における電力状態 P S 1 への移行処理を示すフローチャートである。ステップ S 5 1 1 では、メイン C P U 1 0 4 は、電力状態 P S 1 への移行条件を満たしたか否かを判断し、電力状態 P S 1 への移行条件を満たした場合には、ステップ S 5 1 2 に処理を進める。ステップ S 5 1 2 では、メイン C P U 1 0 4 は、S A T A コントローラ 1 1 1 を介して S A T A - S A T A ブリッジ 1 1 2 に対して、電力状態 P S 1 への移行を指示するコマンドを送信する。

50

【0024】

図6は、メインCPU104における電力移行条件の設定処理を示すフローチャートである。ステップS601では、メインCPU104は、初期化時もしくは省電力状態における省電力移行条件を変更するか否かを判断し、省電力移行条件を変更する場合には、ステップS602に進む。ステップS602では、メインCPU104は、SATAコントローラ111を介してSATA-SATAブリッジ112に対して、省電力移行条件を送信する。

【0025】

図7は、SATA-SATAブリッジ112における電力移行条件の処理を示すフローチャートである。ステップS701では、SATA-SATAブリッジ112は、メインCPU104から省電力移行条件を受信したか否かを判断し、省電力移行条件を受信した場合には、ステップS702に処理を進める。ステップS702では、SATA-SATAブリッジ112は、省電力移行条件をCPU203内の設定レジスタに書き込む。

10

【0026】

省電力移行条件は、図5(a)のステップS501の電力状態PS2への移行条件と、図5(b)のステップS511の電力状態PS1への移行条件を含む。また、省電力移行条件は、電力状態PS0及びPS1における記憶装置113の電源の条件を含む。例えば、省電力移行条件は、諸条件を満たせば、記憶装置113の電源をオフするのか、それともオフしないのかなどの条件である。記憶装置(HDD)113の電源のオン/オフ回数が上限に近づいた場合は、記憶装置(HDD)113の電源をオフしない設定にすることで、省電力を目的とした記憶装置(HDD)113の電源オフをさせないことができる。

20

【0027】

上記の諸条件の一例としては、CPU203内の設定レジスタに記憶装置(HDD)113の電源オフが設定され、かつ、記憶装置(HDD)113の電源のオン/オフ回数の上限まで余裕がある場合、記憶装置(HDD)113の電源をオフする。なお、上限まで余裕がある場合とは、図4における記憶装置電源信号404のように、記憶装置(HDD)113の電源オフの回数が2000回の状態などである。記憶装置(HDD)113の電源のオン/オフ回数の上限までに余裕があるか否かは、記憶装置(HDD)113の電源のオン/オフ回数の上限からある程度のマージンを見込んだ回数を閾値に設定し、それを超えたか否かで判定してもよい。

30

【0028】

また、CPU203内の設定レジスタに記憶装置(HDD)113の電源オフが設定され、かつ、記憶装置(HDD)113の電源のオン/オフ回数の上限に近付いた場合、記憶装置(HDD)113の電源をオフせずオンのままにする。なお、オン/オフ回数の上限に近付いた場合とは、図4における記憶装置電源信号405のように、記憶装置(HDD)113の電源オフの回数が8000回の状態などである。

【0029】

また、CPU203内の設定レジスタに記憶装置113の電源のオンが設定されている場合は、記憶装置113の電源のオン/オフ回数に拘わらず、HDD113の電源をオフせずオンのままにする。

40

【0030】

また、記憶装置(HDD)113の寿命の延命制御を行ったにもかかわらず、画像形成装置101の電源がオン/オフされたことによって、記憶装置(HDD)113の電源のオン/オフ回数の上限以上になってしまう場合がある。その場合は、それ以上、記憶装置(HDD)113の電源をオンさせずに、記憶装置(HDD)113の状態を維持する。記憶装置(HDD)113の電源のオン/オフ回数の上限以上になってしまった場合とは、図4における記憶装置電源信号406のように、記憶装置(HDD)113の電源オフの回数が10000回の状態などである。この状態になると、記憶装置(HDD)113が起動しないため、画像形成装置101の機能が果たせないで、操作部106もしくはネットワークI/F109を通じてユーザに対して速やかに記憶装置(HDD)113の

50

交換及びデータのコピーを通知する。

【0031】

図8は、SATA-SATAブリッジ112における記憶装置113の電源オフ処理を示すフローチャートである。ステップS801では、SATA-SATAブリッジ112は、メインCPU104から電力状態PS1への移行コマンドを受信したか否かを判断し、その移行コマンドを受信した場合には、ステップS802に処理を進める。ステップS802では、SATA-SATAブリッジ112は、メインCPU104からDevSleepコマンドを受信すると、SATAデバイスI/F部201がDevSleep状態となる。SATA-SATAブリッジ112は、SATAデバイスI/F部201がDevSleep状態であるか否かを判断し、DevSleep状態である場合には、ステップS803に処理を進める。ステップS803では、SATA-SATAブリッジ112のCPU203は、CPU203内の設定レジスタから省電力移行条件を読み出す。

10

【0032】

次に、ステップS804では、SATA-SATAブリッジ112は、省電力移行条件が記憶装置113の電源オフであるかどうかを判断する。SATA-SATAブリッジ112は、省電力移行条件が記憶装置113の電源オフである場合には、ステップS805に処理を進め、省電力移行条件が記憶装置113の電源オンである場合には、処理を終了する。ステップS805では、SATA-SATAブリッジ112は、記憶装置113の電源がオンか否かを判断する。具体的には、CPU203は、GPIO204を介して記憶装置電源ライン207が電源電位レベルであるか否かを判断する。SATA-SATAブリッジ112は、記憶装置113の電源がオンである場合には、ステップS806に処理を進め、記憶装置113の電源がオフである場合には、処理を終了する。ステップS806では、CPU203は、指示部であり、GPIO204を介して電源制御部114に、記憶装置113の電源オフを指示する。次に、ステップS807では、CPU203は、フラッシュROM206から記憶装置113の電源オフの回数を読み出す。次に、ステップS808では、CPU203は、記憶装置113の電源オフの回수에1を加算する。すなわち、CPU203は、指示した記憶装置113の電源オフの回数をカウントする。次に、ステップS809では、CPU203は、記憶装置113の電源オフの回数をフラッシュROM206に書き込む。ここで、フラッシュROM206に書き込む記憶装置113の電源オフの回数は、SATA-SATAブリッジ112の指示によって、記憶装置113の電源をオフした場合の一時的な回数である。

20

30

【0033】

図9は、電源制御部114における記憶装置電源オフ処理を示すフローチャートである。ステップS901では、電源制御部114は、メインCPU104又はSATA-SATAブリッジ112から記憶装置113の電源オフの指示を受信したか否かを判断し、記憶装置113の電源オフの指示を受信した場合には、ステップS902に処理を進める。ステップS902では、電源制御部114は、記憶装置113の電源をオフする。

【0034】

図10は、メインCPU104における電源オフ回数要求処理を示すフローチャートである。ステップS1011では、メインCPU104は、記憶装置113に対して、記憶装置113の種類を示す機器情報を要求する。次に、メインCPU104は、記憶装置113から機器情報を受信するまで待機し、記憶装置113から機器情報を受信した場合には、ステップS1013に処理を進める。ステップS1013では、メインCPU104は、受信した機器情報を基に、記憶装置113がHDD及びSSDのいずれであるのかを判定する。メインCPU104は、記憶装置113がHDDであると判定した場合には、ステップS1001に処理を進め、記憶装置113がSSDであると判定した場合には、処理を終了する。なお、S1011からS1013は、必須ではない。S1001から開始してもよい。たとえば、電源オン後、S1001から開始してもよい。HDDは磁気および磁気式記憶装置の一例である。SSDは、半導体記憶装置の一例である。

40

【0035】

50

ステップS1001では、メインCPU104は、SATA-SATAブリッジ112に対して、記憶装置(HDD)113の電源オフの回数を要求する。オフ回数の要求は、SATAコマンドを用いて行う。次に、ステップS1002では、メインCPU104は、SATA-SATAブリッジ112から記憶装置(HDD)113の電源オフの回数を受信したか否かを判断し、オフ回数を受信した場合には、ステップS1003に処理を進める。ステップS1003では、メインCPU104は、フラッシュROM115から記憶装置(HDD)113の電源オフの回数を読み出す。次に、ステップS1004では、メインCPU104は、SATA-SATAブリッジ112から受信した記憶装置(HDD)113の電源オフの回数を、フラッシュROM115から読み出した記憶装置(HDD)113の電源オフの回数に加算(合算)する。次に、ステップS1005では、メインCPU104は、加算後の記憶装置(HDD)113の電源オフの回数をフラッシュROM115に書き込む。次に、ステップS1006では、メインCPU104は、SATA-SATAブリッジ112に対して、記憶装置(HDD)113の電源オフの回数の消去を要求する。最終的に、フラッシュROM115に書き込まれたオフ回数は、メインCPU104及びSATA-SATAブリッジ112の両者の指示による記憶装置(HDD)113の電源オフの回数を合算した値となる。

10

【0036】

図4で説明した記憶装置(HDD)113の寿命の引き延ばし制御は、フラッシュROM115に記録されたオフ回数に基づき、メインCPU104によって実施される。オフ回数を要求するタイミングは、定期的にポーリングしてもよいし、SATA-SATAブリッジ112の省電力状態が移行したことをメインCPU104が検知したタイミングでもよい。

20

【0037】

図11は、SATA-SATAブリッジ112における電源オフ回数応答処理を示すフローチャートである。ステップS1101では、SATA-SATAブリッジ112は、メインCPU104から記憶装置113の電源オフの回数の要求を受信したか否かを判断し、受信した場合には、ステップS1102に処理を進める。ステップS1102では、CPU203は、フラッシュROM206から記憶装置113の電源オフの回数を読み出す。次に、ステップS1103では、CPU203は、記憶装置113の電源オフの回数をメインCPU104に送信する。次に、ステップS1104では、SATA-SATAブリッジ112は、メインCPU104から記憶装置113の電源オフの回数の消去要求を受信したか否かを判断し、受信した場合には、ステップS1105に処理を進める。ステップS1105では、CPU203は、フラッシュROM206から記憶装置113の電源オフの回数を消去する。フラッシュROM206には、SATA-SATAブリッジ112の指示によって記憶装置113の電源をオフした場合の一時的なオフ回数が記録されているので、そのオフ回数はメインCPU104へ送信後は不要となるので消去してオフ回数をリセットする。

30

【0038】

以上のように、メインCPU104は、記憶装置113がHDDである場合、SATA-SATAブリッジ112によって記憶装置(HDD)113の電源をオフした回数を、メインCPU104によって記憶装置(HDD)113の電源をオフした回数に加算する。メインCPU104は、加算後のオフ回数に応じて記憶装置(HDD)113の電源オフを制御する。これにより、記憶装置(HDD)113の電源オフの回数のカウント値が実際のオフ回数よりも少なくなることを防止できる。その結果、予期せず記憶装置(HDD)113の電源のオン/オフ回数の上限を超える事態の発生を防止できる。

40

【0039】

また、メインCPU104は、記憶装置113がSSDの場合、SATA-SATAブリッジ112によって記憶装置(SSD)113の電源をオフした回数を加算しない。その結果、寿命の引き延ばし制御による電源オフまでの時間を遅らせる影響が小さくなるので、不必要な電源オンの時間が短くなり、省電力効果が高まる。

50

【0040】

つまり、メインCPU104は、画像形成装置101の上位装置を制御するメイン制御部である。SATA-SATAブリッジ112は、記憶装置113を制御する制御部である。また、メインCPU104が省電力状態にあるときに、SATA-SATAブリッジ112は記憶装置113に電源オフを指示することがある。そこで、本実施形態によれば、メインCPU104が省電力状態にあるときに、SATA-SATAブリッジ112からの電源オフの指示をメインCPU104が認識できないということもなくなる。

【0041】

メインCPU104及びSATA-SATAブリッジ112は、複数の指示部であり、記憶装置113の電源オフをそれぞれ指示する。なお、複数の指示部は、3個以上でもよい。複数の指示部のうちの少なくとも1個の指示部は、複数の指示部がそれぞれ指示した記憶装置113の電源オフの回数の合計に応じて、記憶装置113の電源供給を指示する。

10

【0042】

複数の指示部は、それぞれ、指示した記憶装置(HDD)113の電源オフの回数をカウントする。複数の指示部のうちの少なくとも1個の指示部は、複数の指示部がそれぞれカウントした記憶装置(HDD)113の電源オフの回数を合算し、その合算した回数に応じて、記憶装置(HDD)113の電源供給を指示する。

【0043】

複数の指示部104及び112は、それぞれ、そのカウントした記憶装置(HDD)113の電源オフの回数を複数のフラッシュROM(不揮発性メモリ)115及び206に書き込む。複数の指示部のうちの少なくとも1個の指示部104は、複数の指示部によりそれぞれカウントされた記憶装置(HDD)113の電源オフの回数を複数のフラッシュROM115及び206から読み出す。そして、複数の指示部のうちの少なくとも1個の指示部104は、複数の指示部がそれぞれカウントした記憶装置(HDD)113の電源オフの回数を合算する。

20

【0044】

複数の指示部のうちの1個の指示部104は、複数の指示部によりそれぞれカウントされた記憶装置(HDD)113の電源オフの回数を複数のフラッシュROM115及び206から読み出す。そして、複数の指示部のうちの1個の指示部104は、複数の指示部がそれぞれカウントした記憶装置(HDD)113の電源オフの回数を合算する。そして、複数の指示部のうちの1個の指示部104は、その合算した回数を複数のフラッシュROM115及び206のうちの一のフラッシュROM115に書き込み、他のフラッシュROM206に記憶されている回数の消去を指示する。

30

【0045】

複数の指示部のうちの少なくとも1個の指示部104は、複数の指示部がそれぞれ指示した記憶装置(HDD)113の電源オフの回数の合計が第1の閾値(8000回)未満である場合には、省電力モードPS2では記憶装置113の電源オフを指示する。それは、図4に示されている。複数の指示部のうちの少なくとも1個の指示部104は、複数の指示部がそれぞれ指示した記憶装置(HDD)113の電源オフの回数の合計が第1の閾値(8000回)以上である場合には、省電力モードPS2では記憶装置113の電源オフを指示しない。

40

【0046】

複数の指示部のうちの少なくとも1個の指示部104は、図4のように、複数の指示部がそれぞれ指示した記憶装置(HDD)113の電源オフの回数の合計が第2の閾値(10000回)以上である場合には、記憶装置(HDD)113の電源オンを指示しない。

【0047】

複数の指示部のうちの少なくとも1個の指示部104は、複数の指示部がそれぞれ指示した記憶装置(HDD)113の電源オフの回数の合計に応じて、省電力モードPS2の開始時刻から記憶装置(HDD)113の電源オフを指示するまでの時間を異ならせる。

50

それは、図４に示されている。

【００４８】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

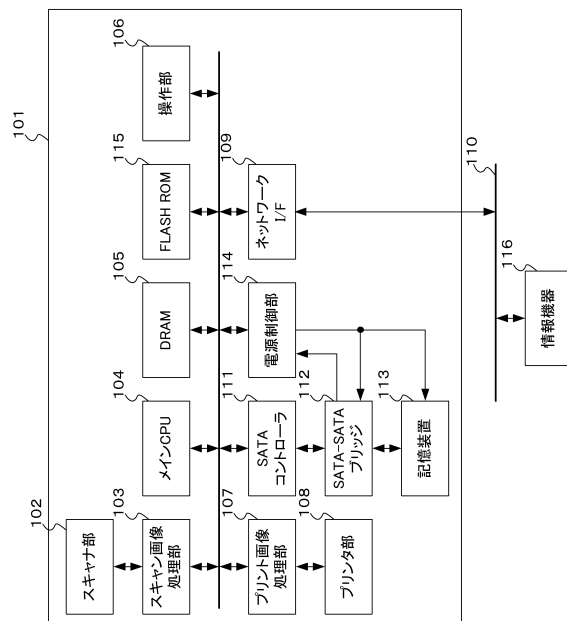
【符号の説明】

【００４９】

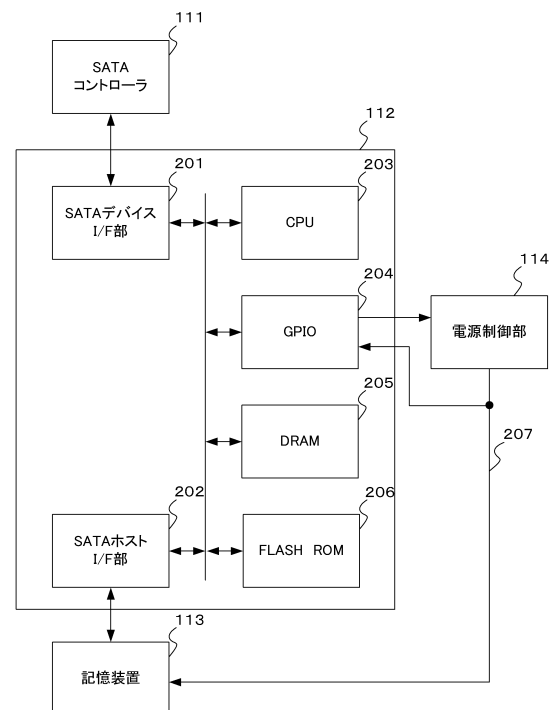
１０４ メインCPU、１１１ SATAコントローラ、１１２ SATA-SATAブリッジ、１１３ 記憶装置、１１４ 電源制御部

10

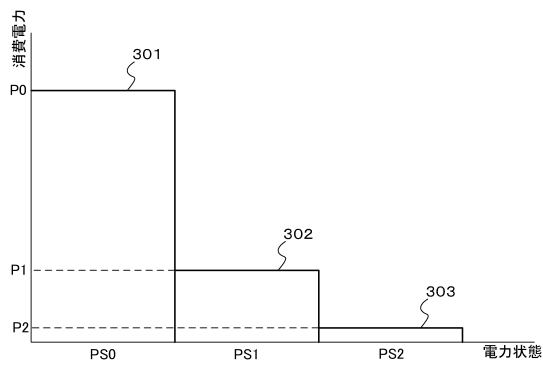
【図１】



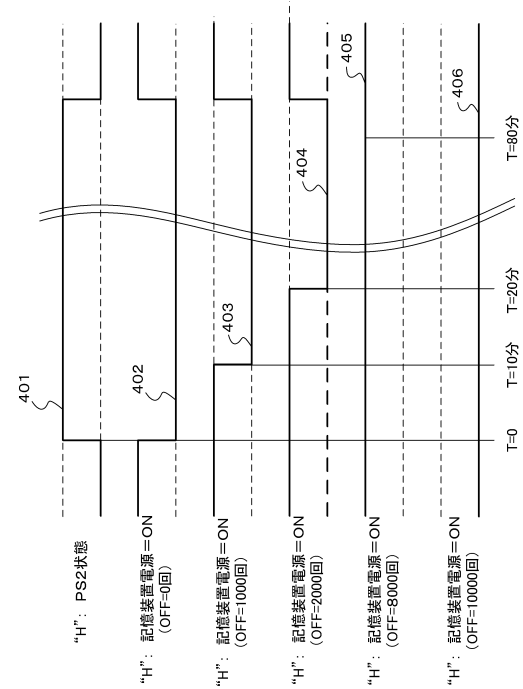
【図２】



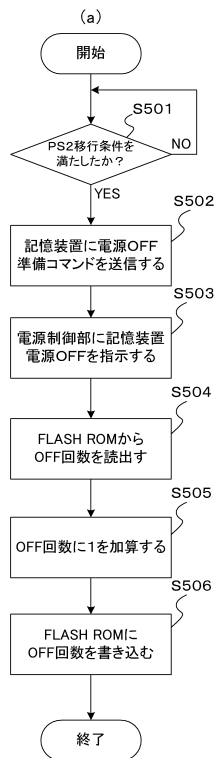
【図 3】



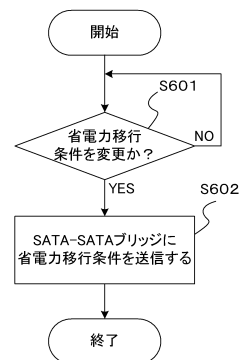
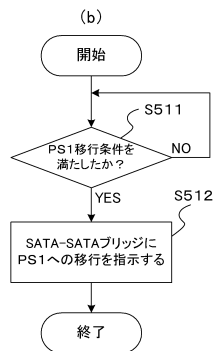
【図 4】



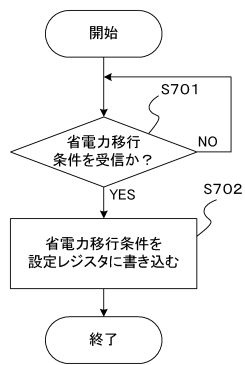
【図 5】



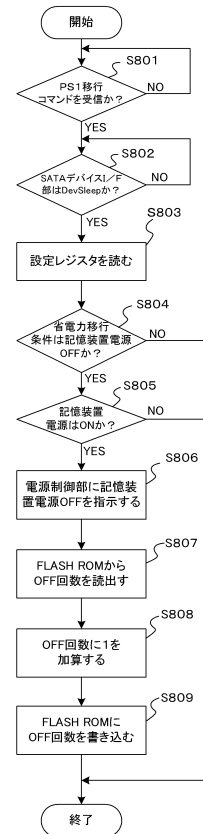
【図 6】



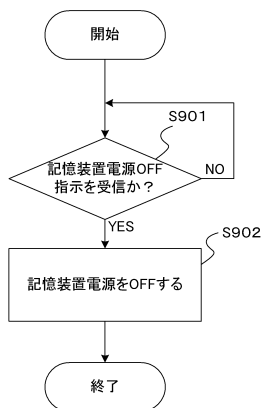
【図 7】



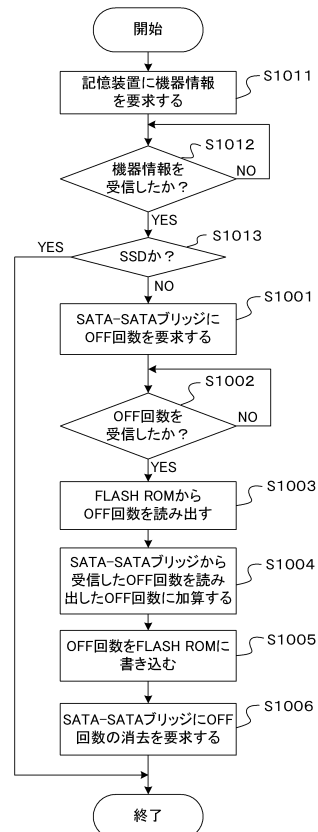
【図 8】



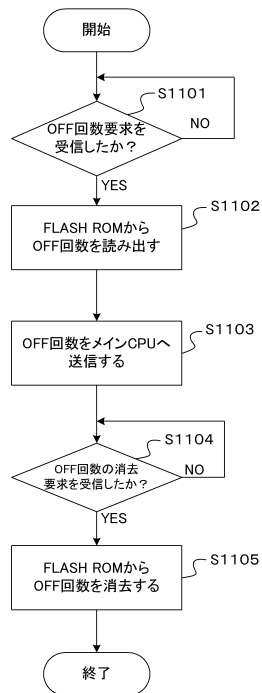
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開2005-186426 (JP, A)
特開2005-078514 (JP, A)
特開2004-110922 (JP, A)
米国特許出願公開第2015/0026493 (US, A1)

(58)調査した分野(Int.Cl., DB名)
B41J 29/38
B41J 5/30
G03G 21/00
H04N 1/00