



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明細書

アクティブマトリクス型表示装置及びその駆動方法

5 技術分野

本発明は、EL (Electroluminescent) 素子やLED (発光ダイオード) などの発光素子を駆動するための能動素子を含む表示装置及びその駆動方法に関し、特に、アモルファスシリコンや有機半導体を使用した薄膜トランジスタ (TFT; thin film transistor) を能動素子として含む表示装置及びその駆動方法に関する。

10 背景技術

TFTは、有機ELディスプレイや液晶ディスプレイといったアクティブマトリクス型ディスプレイを駆動するための能動素子として広く使用されている。図1は、有機EL (Organic Electroluminescent) 素子 (OEL) 100の駆動回路の等価回路の一例を、一つの画素PL_{i,j}について示している。図1を参照すると、この等価回路は、能動素子である2つのpチャンネルTFT101、102と、キャパシタ (Cs) 104とを含む。走査線Wsは選択TFT101のゲートに接続され、データ線Wdは選択TFT101のソースに接続され、一定の電源電圧V_{dd}を供給する電源線Wzは駆動TFT102のソースに接続されている。選択TFT101のドレインは駆動TFT102のゲートに接続されており、駆動TFT102のゲートとソース間にキャパシタ104が形成されている。OEL100のアノードは駆動TFT102のドレインに、そのカソードはアース電位 (又は共通電位) にそれぞれ接続されている。

走査線Wsに選択パルスが印加されると、スイッチとしての選択TFT101がオンに

なりソースとドレイン間が導通する。このとき、データ線Wdから、選択TFT101のソースとドレイン間を介してデータ電圧が供給され、キャパシタ104に蓄積される。このキャパシタ104に蓄積されたデータ電圧が駆動TFT102のゲートとソース間に印加されるので、駆動TFT102のゲート・ソース間電圧 V_{gs} に応じたドレイン電流 I_d が流れ、OEL100に供給されることとなる。

・しかしながら、アルモファスシリコン或いは有機半導体等を用いたTFTは、ゲートに電圧を印加し続けると閾値電圧 V_{th} がシフトする現象、すなわちゲートストレスと呼ばれる現象があることが知られている（例えば、非特許文献1参照）。この現象をPチャネルTFTを例に説明する。

図2にゲートストレスによる閾値電圧 V_{th} のシフトの様子を示す。PチャネルTFTの場合には、ゲート・ソース間電圧を負極性（すなわち、 $V_{gs} < 0$ ）にして印加し続けると、ゲートストレスによって時間経過と共に $I_d - V_{gs}$ 特性は、図2に示すようにマイナス方向に（曲線120Aから曲線120Bへ）変化し、これにより、閾値電圧 V_{th} が V_{th1} から V_{th2} にシフトしていく。なお、図2においては、理解の容易さのため、 V_{gs} を正の値（ $V_{gs} > 0$ ）として示している。

このTFTの特性変化において、ゲート・ソース間電圧 V_{gs} を0V若しくは正極性にして印加し続けることによって元の閾値電圧 V_{th} に復帰する。逆に、 V_{gs} を正極性にして印加し続けると、時間経過と共に閾値電圧 V_{th} はプラス方向にシフトし、その後、 V_{gs} を0V若しくは負極性にして印加し続けることによって元の閾値電圧 V_{th} に復帰する。シフト量は、閾値電圧 V_{gs} の絶対値及び印加時間が大きいほど大きくなる。このような特性を示すTFTを有機EL素子の駆動に用いると、表示中に徐々に閾値電圧 V_{th} がシフトしていくことになる。閾値電圧シフトは、OELの発光輝度の低下やTFTの動作不能を引き起

こすという問題がある。

TFTを構成する材料として、単結晶シリコン、アモルファスシリコン、多結晶シリコンもしくは低温多結晶シリコンが広く使用されている。また、近年、これらシリコン材料の代わりに、有機材料を活性層として使用するTFT（以下、有機TFTと称する。）が注目されている。有機半導体材料としては、比較的キャリア移動度の高い低分子系または高分子系有機材料、たとえば、ペンタセン、ナフタセンまたはポリチオフェン系材料が挙げられる。この種の有機TFTは、プラスチックなどの可撓性フィルム基板上に比較的低温のプロセスで形成することができるので、機械的に柔軟で、軽量且つ薄型のディスプレイを容易に作製することを可能にするものである。また、有機TFTは、印刷工程やロール・ツー・ロール（Roll-to-roll）工程によって比較的低コストで形成可能である。

上記した閾値電圧シフトの現象は、特にアモルファスシリコンTFTや有機TFTにおいて顕著に現れる。有機TFTの閾値電圧シフトについては、たとえば、S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," Applied Physics Letters Vol 79(8) pp. 1124-1126, August 20, 2001（以下、非特許文献1という。）に開示されている。

TFTの閾値電圧シフトを補償するための駆動回路および駆動方法は、たとえば、特許文献1（特表2002-514320号公報）や特許文献2（特開2002-351401号公報）に開示されている。これら文献に記載される駆動回路および駆動方法はいずれも、駆動TFTの閾値電圧シフトを容認しつつ、閾値電圧シフトに関係なく発光素子の発光輝度を一定に制御し得るものである。しかしながら、これら文献の駆動回路でも閾値電圧シフトの発生を抑えることはできないため、閾値電圧シフトによる消費電力の増大を防止できない。また、駆動TFTの閾値電圧が許容範囲を超えてシフトすれば、そのシフト

を補償することは難しく、発光輝度のバラツキやTFTの動作不能が起きる。さらに、駆動TFT以外の選択TFTにも閾値電圧シフトが起こるので、選択TFTの閾値電圧シフトが許容範囲を超えてシフトすれば、選択TFTの動作不能が起こる。特に有機TFTの閾値電圧シフトは、低温ポリシリコンTFTや単結晶シリコンTFTのそれと比べると大

5 きいため、有機TFTを使用するアクティブマトリクス型ディスプレイでは、発光素子の発光輝度のバラツキやTFTの動作不能が起きやすいという問題がある。

さらに、TFTの特性ばらつきを解決するため、駆動TFTのソース若しくはドレイン及びキャパシタと、走査線との接続に工夫を行った構成（特許文献3（特開2004-170815号公報）参照）や、 α -Siトランジスタの閾値電圧シフトを低減するための

10 TFTの接続構成（特許文献4（特開2005-004174号公報）参照）について開示されている。

しかしながら、これら文献に開示された駆動回路、方法においては回路構成、動作が複雑であったり、その効果も限定的であるという問題がある。

発明の開示

15 本発明が解決しようとする課題には、上記の欠点が一例として挙げられる。本発明は、アクティブマトリクス駆動方式において使用されるトランジスタ、特にアモルファスシリコンや有機半導体トランジスタの特性を改善し得る表示装置及びその駆動方法を提供することを目的とする。また、トランジスタの閾値特性のばらつきを解決し、低消費電力で、表示品質が高く、かつ簡便な回路構成及び動作を有する表示装置及びその駆動方法を提供

20 する。

請求項1に記載の発明は、各々が発光素子、データ信号を保持するキャパシタ及び上記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の

- 画素部からなるアクティブマトリクス型の表示パネルと、上記表示パネルの各走査線を順次走査する走査駆動部と、上記走査駆動部による走査に応じて上記表示パネルのデータ線にデータ信号を供給するデータ駆動部と、を有する表示装置であって、逆バイアス電圧を生成する逆バイアス電圧生成部と、逆バイアス電圧をデータ線に選択された時間帯に供給
- 5 して駆動トランジスタに逆バイアス電圧を印加する逆バイアス電圧印加部と、を有することを特徴としている。

- 請求項8に記載の発明は、各々が発光素子、データ信号を保持するキャパシタ及び上記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、上記表示パネルの各走査線を順次走査する走査駆動部と、上記走査駆動部による走査に応じて上記表示パネルのデータ線にデータ信号を供給するデータ駆動部と、を有する表示装置の駆動方法であって、逆バイアス電圧を生成するステップと、逆バイアス電圧を前記データ線に選択された時間帯に供給して前記駆動トランジスタに前記逆バイアス電圧を印加する印加ステップと、を有することを特徴としている。

15 図面の簡単な説明

図1は、従来の発光素子駆動回路の等価回路の一例を示す図である。

図2は、ゲートストレスによるゲート閾値電圧 V_{th} のシフトの様子を示す図である。

図3は、本発明の実施例1であるアクティブマトリクス表示パネルを用いた表示装置のブロック図である。

- 20 図4は、本発明の実施例1に係る、表示パネルのデータ線 X_i 及び走査線 Y_j に関連する画素部 $P_{L_{j,i}}$ 及び画素データ信号及びバイアス電圧を供給するデータドライバ回路を模式的に示す図である。

図5は、画素データ電圧信号（Vdata）及びバイアス電圧Vbの印加動作について示すタイミングチャートである。

図6は、本発明の実施例2に係る、表示パネルのデータ線Xi及び走査線Yjに関連する画素部PL_{j,i}及び画素データ信号及びバイアス電圧を供給するデータドライバ回路を模式的に示す図である。

図7は、画素データ電流信号（Idata）及びバイアス電圧Vbの印加動作について示すタイミングチャートである。

図8は、本発明の他の実施例に係る表示装置を示すブロック図である。

発明を実施するための形態

以下、本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。

[実施例1]

図3は本発明によるアクティブマトリクス表示パネルを用いた表示装置10を示している。この表示装置10は、表示パネル11、走査ドライバ12、データドライバ13、コントローラ15、及び発光素子駆動電源（以下、単に電源ともいう。）16を備えている。

表示パネル11は、m×n個（m、nは2以上の整数）の画素からなるアクティブマトリクス型のものであり、各々が平行に配置された複数のデータ線X1～Xm（Xi：i=1～m）と、複数の走査線Y1～Yn（Yj：j=1～n）と、複数の画素部PL_{j,i}～PL_{n,m}を有している。画素部PL_{j,i}～PL_{n,m}は、データ線X1～Xmと走査線Y1～Ynとの交差部分に配置され、全て同一の構成を有する。また、画素部PL_{j,i}～PL_{n,m}は電源線Zに接続されている。電源線Zには発光素子駆動電源16から所定の発光素子駆動電圧（V

a) が供給される。

表示パネル11の走査線Y1～Ynは走査ドライバ12に接続され、またデータ線X1～Xmはデータドライバ13に接続されている。コントローラ15は、入力される映像信号に応じて表示パネル11の表示制御を行うための走査制御信号及びデータ制御信号を生成する。走査制御信号は走査ドライバ12に供給され、データ制御信号はデータドライバ13に供給される。

走査ドライバ12は、コントローラ15から送出された走査制御信号に応じて表示用走査パルスをもとのタイミングで走査線Y1～Ynに供給し、線順次走査がなされる。

データドライバ13は、コントローラ15から送出されたデータ制御信号に応じて走査パルスが供給される走査線上に位置する画素部の各々に対する画素データ信号をデータ線X1～Xmを介して画素部（選択画素部）に供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データ信号を供給する。さらに、後に詳述するように、データドライバ13は、画素部 $PL_{j,i}$ にデータ線Xiを介してバイアス電圧を供給する機能を有している。

コントローラ15は表示装置10全体の制御、すなわち走査ドライバ12、データドライバ13、及び発光素子駆動電源16の制御を行う。

図4は、表示パネル11の複数の画素部のうち、データ線Xi（ $i=1, 2, \dots, m$ ）及び走査線Yj（ $j=1, 2, \dots, n$ ）に関連する画素部 $PL_{j,i}$ と、データドライバ13に設けられ、データ線Xiを介して画素部 $PL_{j,i}$ に画素データ信号及びバイアス電圧を供給する回路部分を模式的に示している。以下、説明の簡便さのため、当該回路部分をデータドライバ要素13iとして説明する。

画素部 $PL_{j,i}$ には2つのトランジスタ、すなわち選択トランジスタ21及び駆動トラン

ジスタ22と、データ保持キャパシタCs24と、発光素子25と、が設けられている。

なお、本実施例においては、発光素子25として有機EL（エレクトロルミネッセンス）

素子（OEL）を用い、トランジスタ21、22としてPチャネルTFT（薄膜トランジスタ）を用いた場合を例に説明する。なお、トランジスタ21、22の導電型はこれらに

- 5 限定されず適宜選択することができる。また、有機材料を用いた発光素子、トランジスタに限らず、アモルファス・シリコン（ α -Si）その他の半導体をベースとする発光素子やバイポーラトランジスタその他のトランジスタを用いることもできる。各種信号や電源電圧、例えば走査信号、データ信号及びバイアス電圧、発光素子駆動電圧等の極性、及び大きさは、用いられるトランジスタの種類、発光素子の材料、及びそれらの導電型等に応じて適宜選択すればよい。

選択TFT（第1のトランジスタT1）21のゲートは走査線Yj（j=1~n）に接続され、そのソースはデータ線Xiに接続されている。選択TFT21のドレインには駆動TFT（第2のトランジスタT2）22のゲート（制御電極）が接続されている。駆動TFT22のソースは電源線Zに接続され、電源16から電源電圧（正電圧Va）が供給

15 される。駆動TFT22のドレインは有機EL素子（OEL）25のアノードに接続されている。EL素子25のカソードは接地されている。

データ保持キャパシタ（Cs）24の一端（電極E1）は駆動TFT22のゲート（及び選択TFT21のドレイン）に接続され、他端（電極E2）は駆動TFT22のソース（及び電源線Z）に接続されている。

- 20 画素部PL_{j,i}にはデータ線Xiを介してデータドライバ要素13iから画素データ電圧信号（Vdata）及びバイアス電圧（Vb）が供給される。より詳細には、データドライバ要素13iには、入力映像データに応じた電圧の画素データ電圧信号（Vdata）を生成す

るデータ電圧源31と、データ電圧源31からのデータ電圧信号Vdataをデータ線Xiに供給するスイッチ回路(SW1)32と、バイアス電圧Vbを生成するバイアス電圧源33と、バイアス電圧源33からのバイアス電圧Vbをデータ線Xiに供給するスイッチ回路(SW2)34と、を有している。すなわち、スイッチ回路(SW1)32及びスイッチ回路(SW2)34はデータ電圧信号Vdata又はバイアス電圧Vbを選択された時間帯にデータ線Xiに供給する。なお、後述するように、当該バイアス電圧Vbは、駆動TF

5 T22を逆バイアス状態とするための電圧である。各データ線Xi(i=1~m)についてデータドライバ要素13i(i=1~m)が設けられ、データドライバ13を構成している。

10 なお、上記したように、データドライバ要素13iはデータ線Xiを介して第i列上の画素部PL_{i,j}に画素データ信号及びバイアス電圧を供給する回路構成を容易に理解できるように説明的に示すものである。従って、必ずしもデータ線Xi(i=1, 2, . . . , m)に対応してデータドライバ要素13i(i=1, 2, . . . , m)が個別にデータドライバ13内に設けられている必要はなく、後述するように、データ信号の供給に加えてバイ

15 アス電圧の選択的な供給動作を行う機能を有するように構成されていれよい。

次に、画素データ電圧信号(Vdata)及びバイアス電圧Vbの印加動作について図5を参照して詳細に説明する。

入力画像信号の各フレームにおいて、第1~第n走査線(Y1~Yn)には所定パルス時間幅(期間:Tsp)の走査パルスSPが順次印加され、線順次走査が行われる。1フレームについて、第1走査線から第n走査線まで走査を行い、データを書き込むのに要する

20 期間がアドレス期間(Tadr)である。そして、当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号DPがデータ線X1~Xmを介して印加され、表示パネル11の

画像表示制御がなされる。本実施例においては、バイアス電圧 V_b 及び画素データ電圧信号(V_{data})が各画素部に印加される。データドライバ13は、画素データ電圧信号の供給に先立って駆動トランジスタに逆バイアス電圧を印加するよう動作する。なお、図5においては、一般的に j 番目の走査線 Y_j ($j = 1 \sim n$)について説明する。

5 画素部 $PL_{j,i}$ ($i = 1 \sim m$) に接続されている走査線 Y_j に走査パルス SP (パルス幅 $\therefore T_{sp}$) が印加されて走査線 Y_j が選択されると、選択 $TFT21$ が導通し、データドライバ13からの出力電圧が選択 $TFT21$ を介して駆動 $TFT22$ のゲートに供給される。データドライバ13 (データドライバ要素13*i*) は、走査パルス SP の印加に同期して、あるいは走査パルス SP の印加後、スイッチ回路($SW2$)34を導通させてON状態とし、バイアス電圧源33からのバイアス電圧 V_b をデータ線 X_i に選択的に供給する。
10 このとき、スイッチ回路($SW1$)32は非導通状態(OFF)とされ、データ電圧源31からのデータ電圧信号 V_{data} はデータ線 X_i には供給されない。なお、図4は、かかる状態、すなわちスイッチ回路($SW1$)32がOFF、スイッチ回路($SW2$)34がONの状態を模式的に示している。

15 当該バイアス電圧 V_b の印加によってキャパシタ24に電荷が蓄積され、当該電荷に対応する電圧が保持される(保持電圧と称する。)。そして、駆動 $TFT22$ の制御電極であるゲートの電圧 V_g はバイアス電圧 V_b となる。当該バイアス電圧 V_b は駆動 $TFT22$ を逆バイアス状態とする電圧として設定されている。より具体的には、駆動 $TFT22$ のゲート電圧 V_g が駆動 $TFT22$ のソース電圧 V_s を超えるように、すなわちゲート・
20 ソース間電圧 $V_{gs} = V_b - V_a < 0$ であるように設定されている。これにより、駆動 $TFT22$ には逆バイアス電圧 $V_r = V_b - V_a$ が印加され、駆動 $TFT22$ の閾値電圧(V_{th})シフトを低減することができる。あるいは、駆動 $TFT22$ のゲート電圧 V_g が駆動

TFT 22のソース電圧 $V_s = V_a$ と同じ（すなわち、 $V_b = V_a$ ）になるように設定することによって、ゲート・ソース間電圧を0 V（ $V_r = 0$ ）とすることができる。かかるバイアス電圧の印加によってもTFTの閾値電圧（ V_{th} ）シフトの低減には有効である。

なお、当該バイアス電圧 V_b の印加時間（印加期間： T_r ）は適宜、設定することができる。

バイアス電圧 V_b の印加期間が経過した後、スイッチ回路（SW2）34は非導通状態（OFF）とされ、バイアス電圧源33からのバイアス電圧 V_b の供給を遮断すると共に、スイッチ回路（SW1）32を導通させてON状態とすることによって、データ電圧源31からのデータ電圧信号 V_{data} がデータ線 X_i に供給される。そして、当該画素データ信号パルスDP（データ電圧 V_{data} ）が選択TFT 21を介して駆動TFT 22のゲートに供給される。キャパシタ（ C_s ）24の一方の電極E2には電源電圧 V_a （ > 0 ）が供給されているので、キャパシタ24には電圧 $V_a - V_{data}$ に対応する電荷が蓄積され、当該電荷に対応する電圧（保持電圧と称する。）が保持される。そして、当該保持電圧によって駆動TFT 22の制御電極であるゲートが制御される。より具体的には、駆動TFT 22にはゲート・ソース間電圧 V_{gs} （ $= V_{data} - V_a < 0$ ）に応じたドレイン電流が流れる。従って、画素データ信号（データ電圧 V_{data} ）に応じて発光素子（OEL）25は駆動され、当該データ電圧 V_{data} に応じた輝度で発光する。なお、データ電圧 V_{data} は入力映像データの輝度に応じた大きさを有している。つまり、データ電圧 V_{data} の大きさは輝度に応じて変化される。あるいは、データ電圧 V_{data} の大きさを一定として、電圧 V_{data} 持続期間（すなわち、パルス幅 T_{data} ）を映像データの輝度に応じて変化するようにしてもよい。

上記したように、データ線 X_i に逆バイアス電圧を印加する手段を設けているので、画

- 素部の構成を変更することなく駆動トランジスタに容易に逆バイアス電圧を印加することができる。すなわち、かかる構成によれば、画素部内に逆バイアス電圧印加のための素子や回路等を設ける必要がないので、画素部の開口率（発光領域の大きさ）を犠牲にすることなく、また、表示パネルの歩留まりを低下させることなく逆バイアス電圧を印加することができる。また、回路構成も簡便であり、低コストで安定性に優れた表示装置を提供することができる。

[実施例 2]

- 上記した実施例においては、データドライバ 13 として入力映像データに応じた電圧の画素データ電圧信号 (Vdata) を生成するデータ電圧源 31 を用いた場合、すなわち電圧書き込み方式のデータドライバについて説明した。本実施例においては、入力映像データに応じた電流を生成するデータ電流源を用いた場合、すなわち電流書き込み方式のデータドライバについて説明する。

- 図 6 は、データ線 X_i ($i = 1, 2, \dots, m$) 及び走査線 Y_j ($j = 1, 2, \dots, n$) に関連する画素部 $PL_{j,i}$ と、データドライバ 13 に設けられ、データ線 X_i を介して画素部 $PL_{j,i}$ に画素データ電流信号及びバイアス電圧を供給するデータドライバ要素 13i を模式的に示している。

- 画素部 $PL_{j,i}$ に接続されたデータドライバ要素 13i には、入力映像データに応じた電流の画素データ電流信号 (Idata) を生成するデータ電流源 35 と、バイアス電圧 V_b を生成するバイアス電圧源 36 と、バイアス電圧源 36 からのバイアス電圧 V_b をデータ線 X_i に選択された時間帯に供給するスイッチ回路 (SW) 37 と、を有している。

なお、データドライバ要素 13i は、データ線 X_i を介して第 i 列上の画素部 $PL_{j,i}$ に画素データ信号及びバイアス電圧を供給する回路構成を容易に理解できるように説明的に

示すものである。従って、上記した実施例と同様、必ずしもデータ線 X_i に対応してデータドライバ要素 13_i が個別に設けられている必要はなく、データ信号に加えてバイアス電圧を選択的に供給可能な機能を有するように構成されていればよい。

次に、画素データ電流信号（ I_{data} ）及びバイアス電圧 V_b の印加動作について図7を参照して詳細に説明する。

- ・ 入力画像信号の各フレームにおいて、第1～第 n 走査線（ $Y_1 \sim Y_n$ ）には所定パルス時間幅（期間： T_{sp} ）の走査パルス SP が順次印加され、線順次走査が行われる。そして、当該線順次走査に対応して画素ごとの発光輝度を示すデータ信号 DP がデータ線 $X_1 \sim X_m$ を介して印加され、表示パネル11の画像表示制御がなされる。本実施例においては
- 10、バイアス電圧 V_b 及び画素データ電流信号（ I_{data} ）が各画素部に供給される。なお、図7においては、一般的に j 番目の走査線 Y_j （ $j = 1 \sim n$ ）について説明する。

画素部 $PL_{j,i}$ （ $i = 1 \sim m$ ）に接続されている走査線 Y_j に走査パルス SP （パルス幅： T_{sp} ）が印加されて走査線 Y_j が選択されると、選択 TFT_{21} が導通し、データドライバ13（データドライバ要素 13_i ）からの出力が選択 TFT_{21} を介して駆動 TFT_{22} のゲートに供給される。データドライバ13は、走査パルス SP の印加に同期して、あるいは走査パルス SP の印加後、スイッチ回路（ SW ）37を導通させてON状態とし、バイアス電圧源36からのバイアス電圧 V_b をデータ線 X_i に供給する。なお、この際、データ電流源35とデータ線 X_i は接続されたままでよいが、スイッチ手段によって遮断するようにしてもよい。

- 20 当該バイアス電圧 V_b の印加によって駆動 TFT_{22} の制御電極であるゲートの電圧 V_g はバイアス電圧 V_b となる。当該バイアス電圧 V_b は駆動 TFT_{22} を逆バイアス状態とする電圧として設定されている。

より具体的には、駆動TFT22のゲート電圧 V_g が駆動TFT22のソース電圧 V_s を超えるように、すなわちゲート・ソース間電圧 $V_{gs}=V_b-V_a<0$ であるように設定されている。これにより、駆動TFT22には逆バイアス電圧 $V_r=V_b-V_a$ が印加され、駆動TFT22の閾値電圧(V_{th})シフトを低減することができる。あるいは、駆動

5 TFT22のゲート電圧 V_g が駆動TFT22のソース電圧 $V_s=V_a$ と同じ(すなわち $V_b=V_a$)になるように設定することによって、ゲート・ソース間電圧を0V($V_r=0$)とすることができる。かかるバイアス電圧の印加によってもTFTの閾値電圧(V_{th})シフトの低減には有効である。なお、当該バイアス電圧 V_b の印加時間(印加期間: T_r)は適宜、設定することができる。

- 10 バイアス電圧 V_b の印加期間が経過した後、スイッチ回路(SW)37は非導通状態(OFF)とされ、バイアス電圧源36からのバイアス電圧 V_b の供給を遮断する。バイアス電圧源36をデータ線 X_i から遮断することによって、データ電流源35からの画素データ電流信号(I_{data})がデータ線 X_i に供給される。そして、当該画素データ電流 I_{data} が選択TFT21を介してキャパシタ24に供給される。当該画素データ電流 I_{data} はキ
- 15 ャパシタ24に蓄積され、駆動TFT22のゲート電圧は V_{data} となる。そして、当該保持電圧によって駆動TFT22の制御電極であるゲートが制御される。より具体的には、駆動TFT22にはゲート・ソース間電圧 $V_{gs}(=V_{data}-V_a<0)$ に応じたドレイン電流が流れる。従って、データ電流信号 I_{data} (データ電圧 V_{data})に応じて発光素子25は駆動され、当該データ電圧 V_{data} に応じた輝度で発光する。

- 20 上記したように、データ線 X_i に逆バイアス電圧を印加する手段を設けているので、画素部の構成を変更することなく駆動トランジスタに容易に逆バイアス電圧を印加することができる。また、電流書き込み方式による場合であっても、容易に駆動トランジスタに逆

バイアス電圧を印加することができる。

上記した実施例において説明したように、データドライバ側に駆動トランジスタへの逆バイアス電圧印加手段が設けられている。また、データ書き込みに先立ってデータ線にバイアス電圧源を選択的に接続して駆動トランジスタに逆バイアス電圧を印加させるよう動作するスイッチ手段が設けられている。かかる構成によれば、画素部内に逆バイアス電圧印加のための素子や回路等を設ける必要がないので、画素部の開口率（発光領域の大きさ）を犠牲にすることなく、また、表示パネルの歩留まりを低下させることなく逆バイアス電圧を印加することができる。また、回路構成も簡便であり、低コストで安定性に優れた表示装置を提供することができる。

10 なお、上記した実施例においては、各走査線の走査時（走査パルスの印加期間）内において、データ書き込みに先立ってデータ線に逆バイアス電圧を印加する構成について説明したが、逆バイアス電圧の印加タイミングはこれに限らない。また、データの書き込みを行う度に逆バイアス電圧を印加する必要はなく、所定の頻度で選択された時間帯に印加するように構成することができる。

15 例えば、図8に示すように、表示装置10にバイアス設定部41を設けることができる。バイアス設定部41は、走査ドライバ12及びデータドライバ13を制御するコントローラ15に双方向的に接続されている。バイアス設定部41は、表示パネル11により表示を行った期間の累積時間である累積使用時間（累積駆動時間）、逆バイアス電圧印加の累積時間等から、逆バイアス電圧を印加すべき頻度、印加時間等のバイアス印加設定情報を設定する。当該バイアス印加設定情報は、印加回数、印加期間及び印加タイミングに関する情報を含む。

逆バイアス電圧を印加する頻度、印加時間等を適宜変更するように構成することができ

- る。例えば、バイアス設定部41は、入力映像データの数フレーム毎に逆バイアス電圧を印加するように印加頻度を定める。コントローラ15は、走査ドライバ12、及びスイッチ回路及びバイアス電源を含むデータドライバ13を制御して、バイアス設定部41からの当該印加頻度に応じた数の映像フレーム毎に逆バイアス電圧を印加する。あるいは、当該印加頻度に応じた印加期間 (T_r) を定め、逆バイアスを印加する。
- また、他の実施例としては、コントローラ15は、表示パネル11の表示動作を行わない期間あるいは表示装置10が休止している期間において、逆バイアス電圧を印加するように制御することができる。例えば、表示装置10への電力投入時（立ち上げ時）に所定期間上記スイッチ回路を導通させて逆バイアス電圧を印加するようにしてもよい。この場合、コントローラ15は、当該電力投入を検知し、当該検知に応答して走査ドライバ12、及びスイッチ回路及びバイアス電源を含むデータドライバ13を制御して逆バイアス電圧を印加するように構成すればよい。あるいは、表示の切り替え時、例えば入力映像信号（記録済みビデオ信号、放送波信号、放送チャンネル信号等）の切り替え時において逆バイアス電圧を印加するように構成することもできる。

請求の範囲

1. 各々が発光素子、データ信号を保持するキャパシタ及び前記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、前記表示パネルの各走査線を順次走査する走査駆動部と、前記走査駆動部による走査に応じて前記表示パネルのデータ線にデータ信号を供給するデータ駆動部と、を有する表示装置であって、
逆バイアス電圧を生成する逆バイアス電圧生成部と、
前記逆バイアス電圧を前記データ線に選択された時間帯に供給して前記駆動トランジスタに前記逆バイアス電圧を印加する逆バイアス電圧印加部と、を有することを特徴とする表示装置。
2. 前記逆バイアス電圧印加部は、前記データ駆動部による前記データ信号の供給に先立って前記駆動トランジスタに前記逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。
3. 前記データ信号は電圧信号であり、前記逆バイアス電圧印加部は前記電圧信号を遮断して前記駆動トランジスタに前記逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。
4. 前記表示パネルの累積駆動時間に基づいて前記逆バイアス電圧の印加頻度を定める設定部を有し、前記逆バイアス電圧印加部は前記印加頻度に基づいて前記逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。
5. 前記前記逆バイアス電圧印加部は、前記印加頻度に応じた数のフレーム毎に前記逆バイアス電圧を印加することを特徴とする請求項4に記載の表示装置。

6. 前記表示パネルの累積駆動時間に基づいて前記逆バイアス電圧の印加期間の長さを定める設定部を有し、前記逆バイアス電圧印加部は前記印加期間の長さに応じて前記逆バイアス電圧を印加することを特徴とする請求項2に記載の表示装置。
7. 前記逆バイアス電圧印加部は、前記走査駆動部による走査がなされない休止期間に
- 5 前記逆バイアス電圧を印加することを特徴とする請求項1に記載の表示装置。
8. 各々が発光素子、データ信号を保持するキャパシタ及び前記発光素子を該保持されたデータ信号に基づいて駆動する駆動トランジスタを有する複数の画素部からなるアクティブマトリクス型の表示パネルと、前記表示パネルの各走査線を順次走査する走査駆動部と、前記走査駆動部による走査に応じて前記表示パネルのデータ線にデータ信号を供給する
- 10 データ駆動部と、を有する表示装置の駆動方法であって、
- 逆バイアス電圧を生成するステップと、
- 前記逆バイアス電圧を前記データ線に選択された時間帯に供給して前記駆動トランジスタに前記逆バイアス電圧を印加する印加ステップと、を有することを特徴とする駆動方法。
- 15 9. 前記印加ステップは、前記データ駆動部による前記データ信号の供給に先立って前記駆動トランジスタに前記逆バイアス電圧を印加することを特徴とする請求項8に記載の駆動方法。

図 1

従来技術

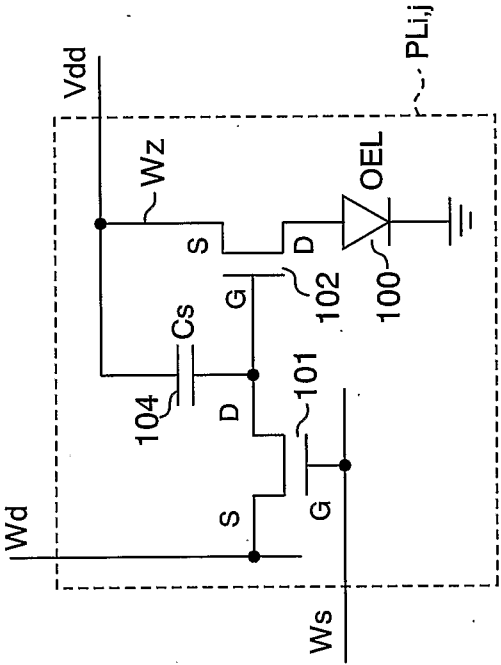


図 2

従来技術

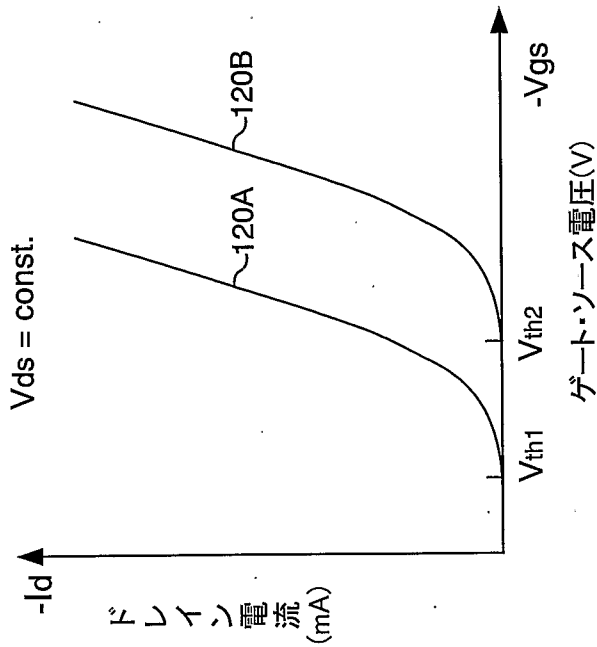


図 3

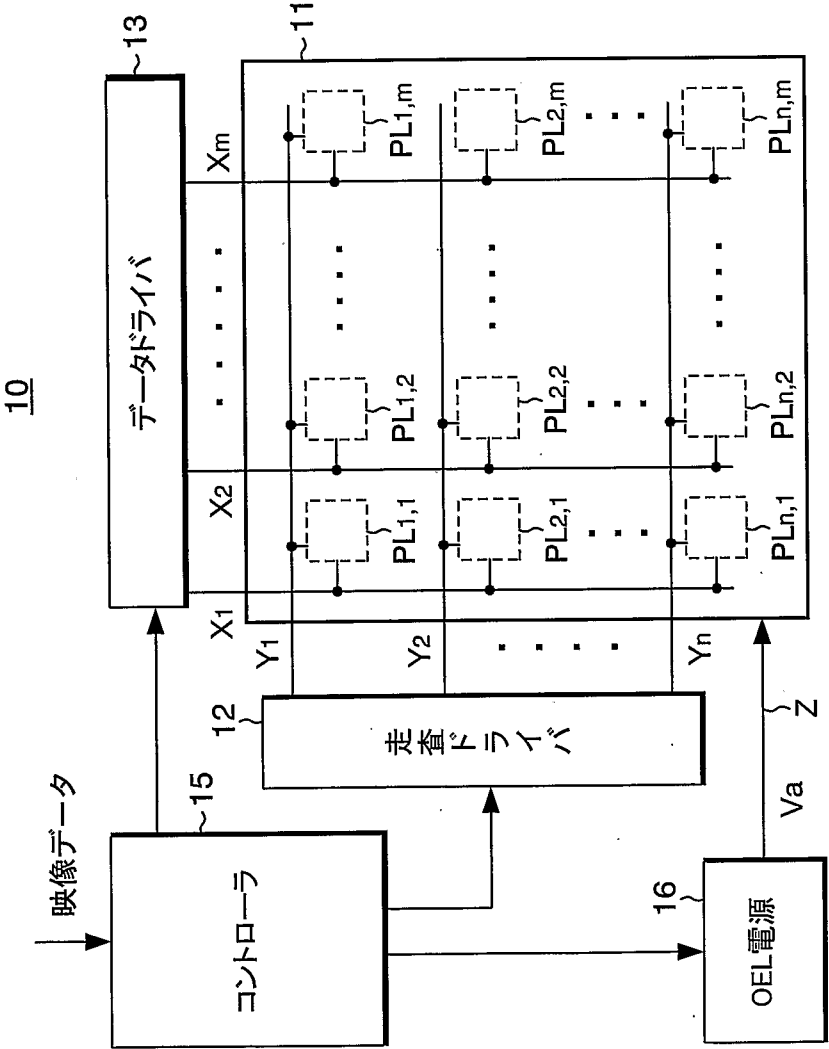


図 4

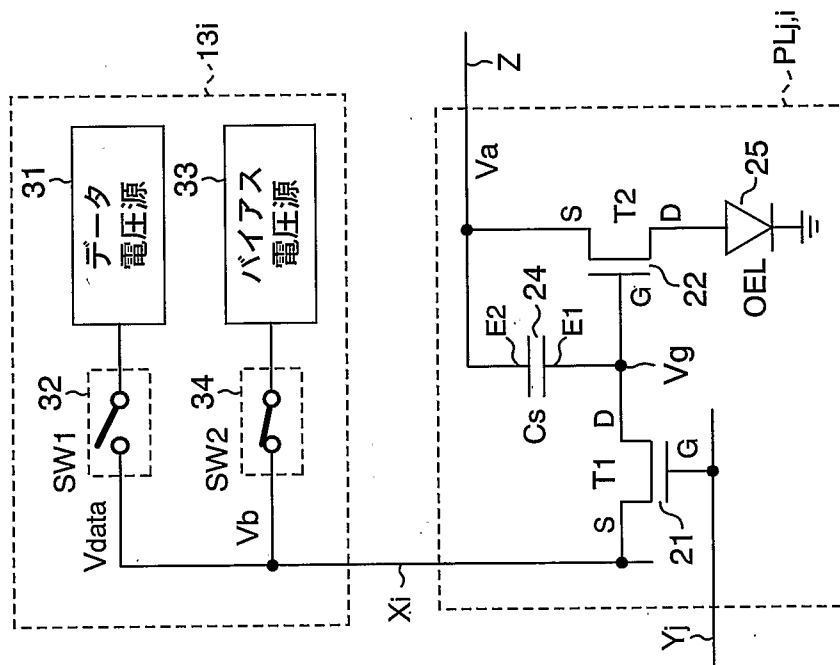


図 5

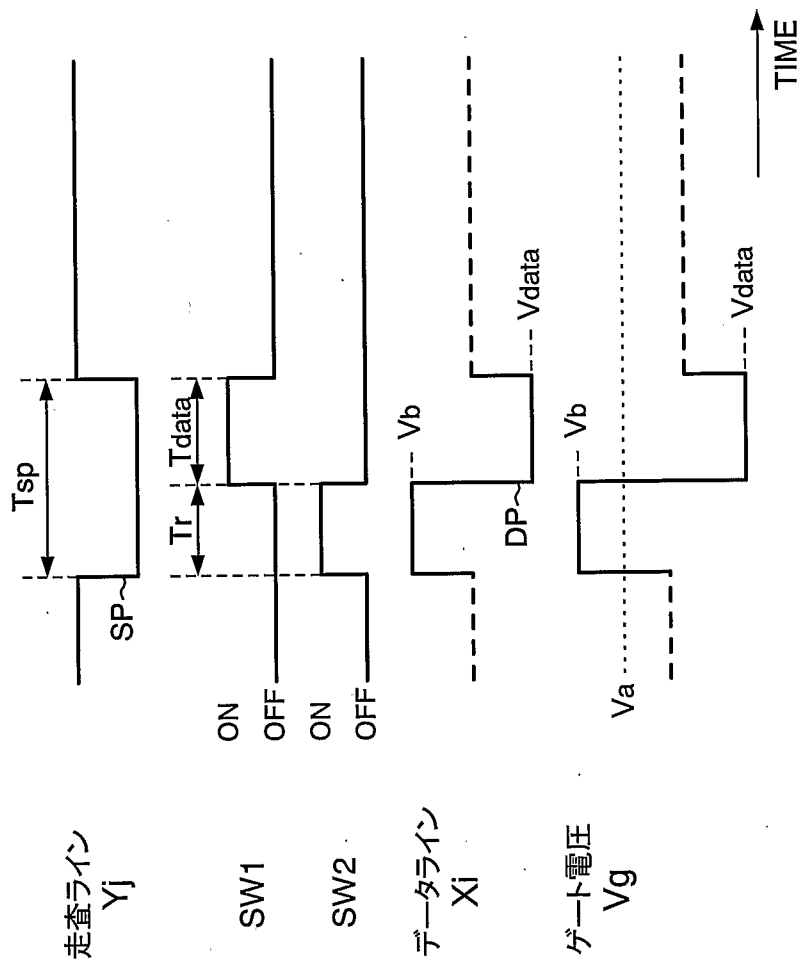


図 6

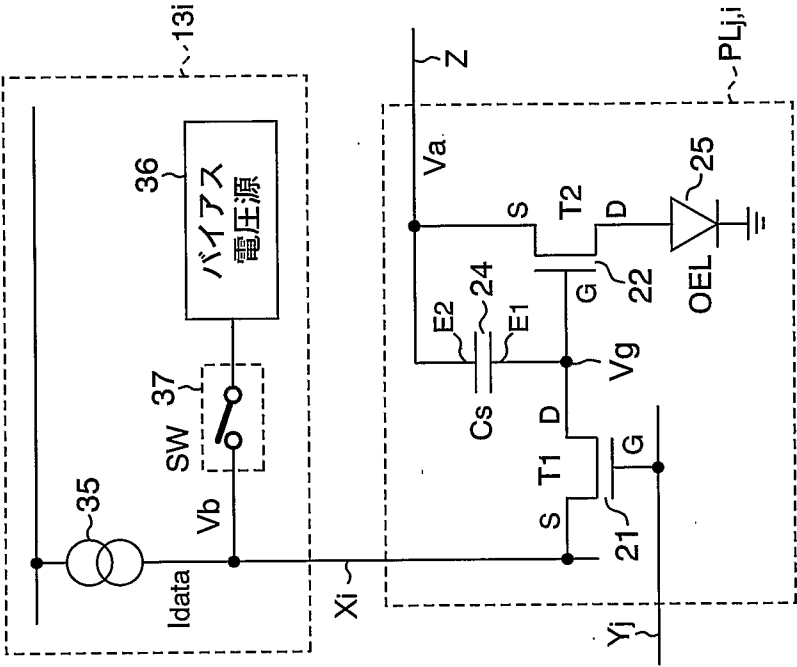


図 7

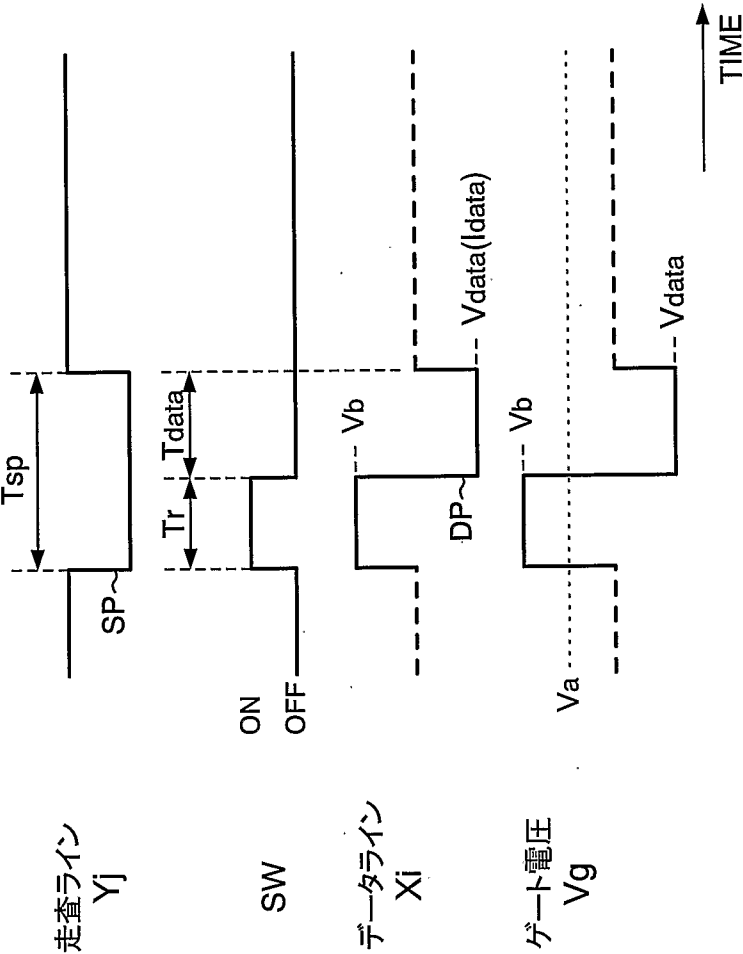
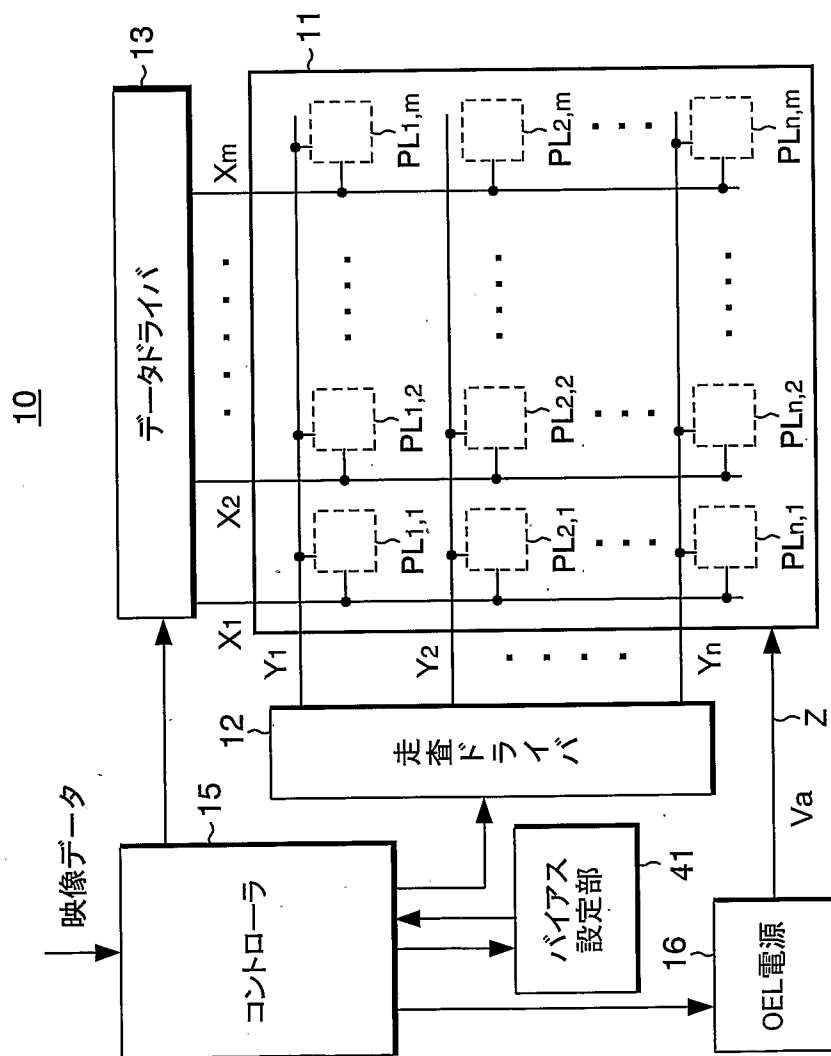


図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314319

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2006-119179 A (Seiko Epson Corp.), 11 May, 2006 (11.05.06), Par. Nos. [0038] to [0059]; Figs. 1 to 6 & US 2006/0092185 A1	1-3, 8-9
X Y	JP 2004-118132 A (Hitachi, Ltd.), 15 April, 2004 (15.04.04), Par. Nos. [0050] to [0066]; Figs. 1 to 8 & US 2004/0061671 A1	1-3, 8-9 4-7
A	JP 2004-102278 A (Yutatsu Kodan Kofun Yugen Koshi), 02 April, 2004 (02.04.04), Par. Nos. [0017] to [0029]; Figs. 3 to 5 & US 6677713 B1	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August, 2006 (15.08.06)

Date of mailing of the international search report
22 August, 2006 (22.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314319

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-228329 A (Sanyo Electric Co., Ltd.), 15 August, 2003 (15.08.03), Par. Nos. [0017] to [0028]; Figs. 1 to 3 (Family: none)	4-7
Y	JP 2001-13942 A (NEC Corp.), 19 January, 2001 (19.01.01), Par. Nos. [0020] to [0035]; Figs. 1 to 2 & EP 1071071 A2	4-7
Y	JP 9-114418 A (Fujitsu General Ltd.), 02 May, 1997 (02.05.97), Par. Nos. [0007] to [0010]; Figs. 1 to 4 (Family: none)	4-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	J P 2 0 0 6 - 1 1 9 1 7 9 A (セイコーエプソン株式会社) 2 0 0 6 . 0 5 . 1 1, 段落【0038】-【0059】,【図1】 -【図6】 & U S 2 0 0 6 / 0 0 9 2 1 8 5 A 1	1-3, 8-9
X	J P 2 0 0 4 - 1 1 8 1 3 2 A (株式会社日立製作所) 2 0 0 4 . 0 4 . 1 5, 段落【0050】-【0066】,【図1】 -【図8】 & U S 2 0 0 4 / 0 0 6 1 6 7 1 A 1	1-3, 8-9
Y		4-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.08.2006

国際調査報告の発送日

22.08.2006

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 4 - 1 0 2 2 7 8 A (友達光電股▼ふん▲有限公司) 2 0 0 4 . 0 4 . 0 2 , 段落【0 0 1 7】 - 【0 0 2 9】 , 【図 3】 - 【図 5】 & U S 6 6 7 7 7 1 3 B 1	1 - 9
Y	J P 2 0 0 3 - 2 2 8 3 2 9 A (三洋電機株式会社) 2 0 0 3 . 0 8 . 1 5 , 段落【0 0 1 7】 - 【0 0 2 8】 , 【図 1】 - 【図 3】 (ファミリーなし)	4 - 7
Y	J P 2 0 0 1 - 1 3 9 4 2 A (日本電気株式会社) 2 0 0 1 . 0 1 . 1 9 , 段落【0 0 2 0】 - 【0 0 3 5】 , 【図 1】 - 【図 2】 & E P 1 0 7 1 0 7 1 A 2	4 - 7
Y	J P 9 - 1 1 4 4 1 8 A (株式会社富士通ゼネラル) 1 9 9 7 . 0 5 . 0 2 , 段落【0 0 0 7】 - 【0 0 1 0】 , 【図 1】 - 【図 4】 (ファミリーなし)	4 - 7