



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0036876
(43) 공개일자 2021년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01) G06N 3/063 (2006.01)
H01L 27/24 (2006.01)
(52) CPC특허분류
H01L 45/1625 (2013.01)
G06N 3/063 (2013.01)
(21) 출원번호 10-2021-0033683
(22) 출원일자 2021년03월16일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
왕건욱
서울특별시 성북구 안암로 145, 고려대학교 R&D 센터 411호(안암동5가)
장진곤
서울특별시 성북구 안암로 145, 고려대학교 R&D 센터 411호(안암동5가)
(74) 대리인
특허법인가산

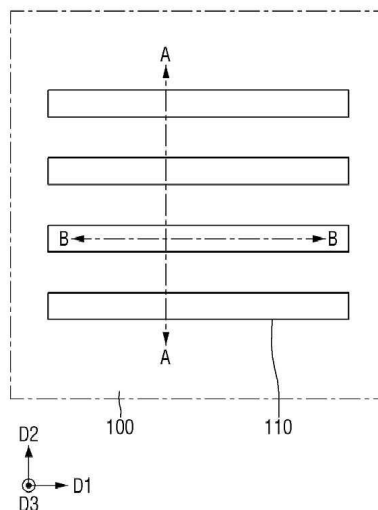
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 하드웨어 뉴럴 네트워크 구현을 위한 균일한 산화물 멤리스터 어레이 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로, 균일한 산소 농도를 갖는 저항 변화층을 포함하는 멤리스터 어레이 소자 제조 방법을 제공하는 것이다. 본 발명에 따른 멤리스터 어레이 소자 제조 방법은, 기판 상에, 제1 방향으로 연장되고, 제1 방향과 교차하는 제2 방향으로 이격되는 복수의 하부 전극을 형성하고, 기판 상에, 각각의 하부 전극을 덮는 저항 변화층을 형성하고, 저항 변화층 상에, 제2 방향으로 연장되고, 제1 방향으로 이격된 복수의 상부 전극을 형성하는 것을 포함하고, 저항 변화층을 형성하는 것은 TiO_2 타겟을 이용한 교류 고주파 스퍼터링 방법을 통해 TiO_x 막을 증착하는 것을 포함하고, 저항 변화층은 하부 전극의 측벽을 감싸고 하부 전극의 상면을 덮는다.

대표도 - 도2



(52) CPC특허분류

H01L 27/2481 (2013.01)

H01L 45/1233 (2013.01)

H01L 45/1253 (2013.01)

H01L 45/146 (2013.01)

H01L 45/1666 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711086379

과제번호 2019R1A2C2003704

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 개인기초연구(과기정통부)(R&D)

연구과제명 에너지 절감형 스마트 단일 뉴럴 네트워크를 위한 가소성 고차원 튜닝 및 누설 뉴럴
신호 제어 가능한 이중접합형 인공시냅스 소재/소자 개발

기 여 율 1/2

과제수행기관명 고려대학교

연구기간 2019.03.01 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호 1345320665

과제번호 2020R1I1A1A01073059

부처명 교육부

과제관리(전문)기관명 한국연구재단

연구사업명 이공학학술연구기반구축(R&D)

연구과제명 시스템 내부 학습 기반의 뉴로모픽 컴퓨팅을 위한 균일한 인공 시냅스 어레이의 하
드웨어 동작 구현

기 여 율 1/2

과제수행기관명 고려대학교

연구기간 2020.06.01 ~ 2021.02.28

명세서

청구범위

청구항 1

기관 상에, 제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 이격되는 복수의 하부 전극을 형성하고,

상기 기관 상에, 각각의 상기 하부 전극을 덮는 저항 변화층을 형성하고,

상기 저항 변화층 상에, 상기 제2 방향으로 연장되고, 상기 제1 방향으로 이격된 복수의 상부 전극을 형성하는 것을 포함하고,

상기 저항 변화층을 형성하는 것은 TiO_2 타겟을 이용한 교류 고주파 스퍼터링 방법을 통해 TiO_x 막을 증착하는 것을 포함하고,

상기 저항 변화층은 상기 하부 전극의 측벽을 감싸고 상기 하부 전극의 상면을 덮는 메모리스트어 어레이 소자 제조 방법.

청구항 2

제 1항에 있어서,

상기 저항 변화층을 형성하는 것은 단일막의 상기 TiO_x 막을 형성하는 메모리스트어 어레이 소자 제조 방법.

청구항 3

제 1항에 있어서,

상기 저항 변화층은 TiO_x 를 포함하고,

상기 x는 2.03 내지 2.17인 메모리스트어 어레이 소자 제조 방법.

청구항 4

제 1항에 있어서,

상기 저항 변화층을 형성하는 것은 상기 TiO_x 막을 증착한 후 산화공정이 수행되지 않는 메모리스트어 어레이 소자 제조 방법.

청구항 5

제 1항에 있어서,

상기 하부 전극 및 상기 상부 전극은 동일한 물질을 포함하는 메모리스트어 어레이 소자 제조 방법.

청구항 6

기관;

상기 기관 상에, 제1 방향으로 연장되고 상기 제1 방향과 교차하는 제2 방향으로 이격된 복수의 하부 전극;

상기 기관 상에, 상기 하부 전극의 측벽을 감싸고, 상기 하부 전극의 상면을 덮는 저항 변화층으로, 상기 저항 변화층은 단일층인 저항 변화층; 및

상기 저항 변화층 상에, 상기 제2 방향으로 연장되고, 상기 제1 방향으로 이격된 복수의 상부 전극을 포함하고,

상기 저항 변화층은 TiO_x 이고, 상기 x는 2.03 내지 2.17인 메모리스트어 어레이 소자.

청구항 7

제 6항에 있어서,

상기 저항 변화층은 인가되는 전기적 신호의 스위에 따라 아날로그 방식으로 변하는 저항 특성을 갖는 멤리스터 어레이 소자.

청구항 8

제 6항에 있어서,

상기 저항 변화층과 상기 상부 전극 사이의 인터페이스층을 더 포함하는 멤리스터 어레이 소자.

청구항 9

제 8항에 있어서,

상기 상부 전극은 금속 A를 포함하고,

상기 인터페이스층은 상기 금속 A의 산화물인 멤리스터 어레이 소자.

청구항 10

제 6항에 있어서,

상기 하부 전극과 상기 상부 전극은 동일한 물질로 형성되고, 상기 물질은 알루미늄인 멤리스터 어레이 소자.

발명의 설명

기술 분야

[0001] 본 발명은 효율적인 비정형 데이터 인식/학습 처리를 위한 뉴럴 네트워크 시스템의 구성 소자로써 균일한 산화물 멤리스터 어레이 소자 구현에 관한 내용이다.

배경 기술

[0002] 빅데이터는 기존의 단순한 디지털 신호를 넘어선 복잡한 파형, 영상, 음성, 사물 인식과 같은 비정형 데이터를 요구하며, 그것은 현재의 폰 노이만 구조의 컴퓨팅 처리 프로세스의 막대한 연산 수행 부담과 에너지 소모, 비효율성을 수반하게 된다. 따라서 이러한 비정형 데이터를 효율적으로 처리하기 위한 컴퓨팅 플랫폼이 개발되고 있으며, 특히 인간의 뇌 신경세포 구조를 모방한 인공신경망 구조는 연산 및 저장 작업을 한가지의 멤리스터 크로스바 유닛으로 처리할 수 있는 장점을 갖는다.

[0003] 인공신경망, 즉 뉴럴 네트워크는 객체 인식 결과에 따라 역전파 알고리즘을 통해 각각의 네트워크 단일 유닛 셀에 가중치를 부여하고, 그것의 에러를 줄이는 최적화 방향으로 시냅스 가중치를 변화시켜 나가게 된다. 이러한 시냅스 가중치를 기존의 컴퓨팅 디지털 신호가 아닌, 물리적인 소자 단위의 매트릭스 위에서 멤리스터의 저항 상태에 따라 분포를 만들어 내는 하드웨어 구현이 현재 뉴럴 네트워크에서 가장 중요한 과제이다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 균일한 산소 농도를 갖는 저항 변화층을 포함하는 멤리스터 어레이 소자 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 기술적 과제는 균일한 문턱 전압 스위칭 특성을 갖는 멤리스터 어레이 소자를 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 멤리스터 어레이 소자 제조 방법은, 기판 상

에, 제1 방향으로 연장되고, 제1 방향과 교차하는 제2 방향으로 이격되는 복수의 하부 전극을 형성하고, 기판 상에, 각각의 하부 전극을 덮는 저항 변화층을 형성하고, 저항 변화층 상에, 제2 방향으로 연장되고, 제1 방향으로 이격된 복수의 상부 전극을 형성하는 것을 포함하고, 저항 변화층을 형성하는 것은 TiO_2 타겟을 이용한 교류 고주파 스퍼터링 방법을 통해 TiO_x 막을 증착하는 것을 포함하고, 저항 변화층은 하부 전극의 측벽을 감싸고 하부 전극의 상면을 덮는다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자는 기판, 기판 상에, 제1 방향으로 연장되고 제1 방향과 교차하는 제2 방향으로 이격된 복수의 하부 전극, 기판 상에, 하부 전극의 측벽을 감싸고, 하부 전극의 상면을 덮는 저항 변화층으로, 저항 변화층은 단일층인 저항 변화층, 및 저항 변화층 상에, 제2 방향으로 연장되고, 제1 방향으로 이격된 복수의 상부 전극을 포함하고, 저항 변화층은 TiO_x 이고, x 는 2.03 내지 2.17이다.

[0009] 기타 실시예들의 구체적인 사항들은 발명의 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 몇몇 실시예에 따른 스토리지(storage) 장치가 적용된 시스템(1000)을 도시한 도면이다.

도 2 내지 도 10은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자를 제조 방법을 설명하기 위한 중간 단계의 도면들이다.

도 11 및 도 12는 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자를 설명하기 위한 예시적인 단면도들이다.

도 13은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 저항 변화층의 산소 농도를 설명하기 위한 그래프이다.

도 14는 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 동작을 설명하기 위한 그래프이다.

도 15는 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자에 연속적인 펄스 전압의 인가에 따른 메모리스터 어레이 소자의 전도도 변화를 보여주는 그래프이다.

도 16은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 문턱 전압의 산포도를 나타내는 그래프이다.

도 17은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 안정성을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 명세서에서 다양한 곳에 등장하는 "몇몇 실시예에서" 또는 "일 실시예에서" 등의 어구는 반드시 모두 동일한 실시예를 가리키는 것은 아니다.

[0012] 본 명세서에서 사용되는 "포함한다" 등의 용어는 명세서 상에 기재된 여러 구성 요소를 또는 여러 단계들은 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소를 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.

[0013] 이하에서, "상부"나 "상"이라고 기재된 것은 접촉하여 바로 위/아래/좌/우에 있는 것뿐만 아니라 비접촉으로 위/아래/좌/우에 있는 것도 포함할 수 있다. 이하 첨부된 도면을 참조하면서 오로지 예시를 위한 실시예에 의해 상세히 설명하기로 한다.

[0014] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 아니 된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0015] 이하 첨부된 도면을 참고하여, 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자 및 그 제조 방법에 대해 상세히 설명하기로 한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 스토리지(storage) 장치가 적용된 시스템(1000)을 도시한 도면이다. 도 1의 시스템(1000)은 기본적으로 휴대용 통신 단말기(mobile phone), 스마트폰(smart phone), 태블릿 PC(tablet personal computer), 웨어러블 기기, 헬스케어 기기 또는 IOT(internet of things) 기기와 같은 모바일(mobile) 시스템일 수 있다. 하지만 도 1의 시스템(1000)은 반드시 모바일 시스템에 한정되는 것은 아니고, 개인용 컴퓨터(personal computer), 랩탑(laptop) 컴퓨터, 서버(server), 미디어 재생기(media player) 또는 내

비게이션(navigation)과 같은 차량용 장비(automotive device) 등이 될 수도 있다.

- [0017] 도 1을 참조하면, 시스템(1000)은 메인 프로세서(main processor)(1100), 메모리(1200a, 1200b) 및 스토리지 장치(1300a, 1300b)를 포함할 수 있으며, 추가로 촬영 장치(image capturing device)(1410), 사용자 입력 장치(user input device)(1420), 센서(1430), 통신 장치(1440), 디스플레이(1450), 스피커(1460), 전력 공급 장치(power supplying device)(1470) 및 연결 인터페이스(connecting interface)(1480) 중 하나 이상을 포함할 수 있다.
- [0018] 메인 프로세서(1100)는 시스템(1000)의 전반적인 동작, 보다 구체적으로는 시스템(1000)을 이루는 다른 구성 요소들의 동작을 제어할 수 있다. 이와 같은 메인 프로세서(1100)는 범용 프로세서, 전용 프로세서 또는 애플리케이션 프로세서(application processor) 등으로 구현될 수 있다.
- [0019] 메인 프로세서(1100)는 하나 이상의 CPU 코어(1110)를 포함할 수 있으며, 메모리(1200a, 1200b) 및/또는 스토리지 장치(1300a, 1300b)를 제어하기 위한 컨트롤러(1120)를 더 포함할 수 있다. 실시예에 따라서는, 메인 프로세서(1100)는 AI(artificial intelligence) 데이터 연산 등 고속 데이터 연산을 위한 전용 회로인 가속기(accelerator)(1130)를 더 포함할 수 있다. 이와 같은 가속기(1130)는 GPU(Graphics Processing Unit), NPU(Neural Processing Unit) 및/또는 DPU(Data Processing Unit) 등을 포함할 수 있으며, 메인 프로세서(1100)의 다른 구성 요소와는 물리적으로 독립된 별개의 칩(chip)으로 구현될 수도 있다.
- [0020] 메모리(1200a, 1200b)는 시스템(1000)의 주기억 장치로 사용될 수 있으며, SRAM 및/또는 DRAM 등의 휘발성 메모리를 포함할 수 있으나, 플래시 메모리, PRAM 및/또는 RRAM 등의 비휘발성 메모리를 포함할 수도 있다. 또한, 메모리(1200a, 1200b)는 본 발명의 몇몇 실시예에 따른 멤리스터 어레이 소자(memristor array device)를 포함할 수도 있다. 메모리(1200a, 1200b)는 메인 프로세서(1100)와 동일한 패키지 내에 구현되는 것도 가능하다.
- [0021] 스토리지 장치(1300a, 1300b)는 전원 공급 여부와 관계없이 데이터를 저장하는 비휘발성 저장 장치로서 기능할 수 있으며, 메모리(1200a, 1200b)에 비해 상대적으로 큰 저장 용량을 가질 수 있다. 스토리지 장치(1300a, 1300b)는 스토리지 컨트롤러(1310a, 1310b)와, 스토리지 컨트롤러(1310a, 1310b)의 제어 하에 데이터를 저장하는 비휘발성 메모리(non-volatile memory, NVM)(1320a, 1320b)를 포함할 수 있다. 비휘발성 메모리(1320a, 1320b)는 2D(2-dimensional) 구조 혹은 3D(3-dimensional) V-NAND(Vertical NAND) 구조의 플래시 메모리를 포함할 수 있으나, PRAM 및/또는 RRAM 등의 다른 종류의 비휘발성 메모리를 포함할 수도 있다. 또한, 비휘발성 메모리(1320a, 1320b)는 본 발명의 몇몇 실시예에 따른 멤리스터 어레이 소자를 포함할 수도 있다.
- [0022] 스토리지 장치(1300a, 1300b)는 메인 프로세서(1100)와는 물리적으로 분리된 상태로 시스템(1000)에 포함될 수도 있고, 메인 프로세서(1100)와 동일한 패키지 내에 구현될 수도 있다. 또한, 스토리지 장치(1300a, 1300b)는 SSD(solid state device) 혹은 메모리 카드(memory card)와 같은 형태를 가짐으로써, 후술할 연결 인터페이스(1480)와 같은 인터페이스를 통해 시스템(1000)의 다른 구성 요소들과 탈부착 가능하도록 결합될 수도 있다. 이와 같은 스토리지 장치(1300a, 1300b)는 UFS(Universal Flash Storage), eMMC(embedded multi-media card) 혹은 NVMe(non-volatile memory express)와 같은 표준 규약이 적용되는 장치일 수 있으나, 반드시 이에 한정되는 건 아니다.
- [0023] 촬영 장치(1410)는 정지 영상 또는 동영상 촬영할 수 있으며, 카메라(camera), 캠코더(camcorder) 및/또는 웹캠(webcam) 등일 수 있다.
- [0024] 사용자 입력 장치(1420)는 시스템(1000)의 사용자로부터 입력된 다양한 유형의 데이터를 수신할 수 있으며, 터치 패드(touch pad), 키패드(keyboard), 키보드(keyboard), 마우스(mouse) 및/또는 마이크(microphone) 등일 수 있다.
- [0025] 센서(1430)는 시스템(1000)의 외부로부터 획득될 수 있는 다양한 유형의 물리량을 감지하고, 감지된 물리량을 전기 신호로 변환할 수 있다. 이와 같은 센서(1430)는 온도 센서, 압력 센서, 조도 센서, 위치 센서, 가속도 센서, 바이오 센서(biosensor) 및/또는 자이로스코프(gyroscope) 센서 등일 수 있다.
- [0026] 통신 장치(1440)는 다양한 통신 규약에 따라 시스템(1000) 외부의 다른 장치들과의 사이에서 신호의 송신 및 수신을 수행할 수 있다. 이와 같은 통신 장치(1440)는 안테나, 트랜시버(transceiver) 및/또는 모뎀(MODEM) 등을 포함하여 구현될 수 있다.
- [0027] 디스플레이(1450) 및 스피커(1460)는 시스템(1000)의 사용자에게 각각 시각적 정보와 청각적 정보를 출력하는 출력 장치로 기능할 수 있다.

- [0028] 전력 공급 장치(1470)는 시스템(1000)에 내장된 배터리(도시 안함) 및/또는 외부 전원으로부터 공급되는 전력을 적절히 변환하여 시스템(1000)의 각 구성 요소들에게 공급할 수 있다.
- [0029] 연결 인터페이스(1480)는 시스템(1000)과, 시스템(1000)에 연결되어 시스템(1000과 데이터를 주고받을 수 있는 외부 장치 사이의 연결을 제공할 수 있다. 연결 인터페이스(1480)는 ATA(Advanced Technology Attachment), SATA(Serial ATA), e-SATA(external SATA), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCI(Peripheral Component Interconnection), PCIe(PCI express), NVMe, IEEE 1394, USB(universal serial bus), SD(secure digital) 카드, MMC(multi-media card), eMMC, UFS, eUFS(embedded Universal Flash Storage), CF(compact flash) 카드 인터페이스 등과 같은 다양한 인터페이스 방식으로 구현될 수 있다.
- [0030] 도 2 내지 도 10은 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자 제조 방법을 설명하기 위한 중간 도면들이다. 이하에서, 도 2 내지 도 10을 이용하여 메모리스트 어레이 소자 제조 방법을 설명한다.
- [0031] 도 2는 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자 제조 방법을 설명하기 위한 예시적인 레이아웃도이다. 도 3은 도 2의 A-A를 따라 절단한 단면도이다. 도 4는 도 2의 B-B를 따라 절단한 단면도이다.
- [0032] 도 2 내지 도 4를 참고하면, 기판(100) 상에 복수의 하부 전극(110)이 형성될 수 있다.
- [0033] 복수의 하부 전극(110) 각각은 제1 방향(D1)으로 연장될 수 있다. 각각의 하부 전극(110)은 제2 방향(D2)으로 서로 이격될 수 있다. 제2 방향(D2)은 제1 방향(D1)과 교차하는 방향이다. 제2 방향(D2)은 예를 들어 제1 방향(D1)과 수직일 수 있다. 설명의 편의상, 하부 전극(110)이 4개가 형성되는 것으로 도시하였지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 하부 전극(110)은 4개 이상 형성될 수 있고, 4개 이하 형성될 수도 있다.
- [0034] 기판(100)은 예를 들어, 실리콘 기판 등이 사용될 수 있으나, 이에 한정되는 것은 아니다. 기판(100)은 다양한 재료의 기판이 사용될 수 있다. 기판(100)은 예를 들어, 실리콘, SOI(silicon on insulator), PET(polyethylene terephthalate), PES(polyethersulfone), PS(polystyrene), PC(polycarbonate), PI(polyimide), PEN(polyethylene naphthalate) 및 PAR(polyarylate) 중 하나를 포함할 수 있다. 또한, 기판(100)은 유리 재료의 기판을 포함할 수 있다. 본 명세서에서, 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 유리 기판을 포함하는 것으로 설명한다.
- [0035] 하부 전극(110)은 전도성 물질을 포함할 수 있다. 예를 들어, 하부 전극(110)은 그래핀(graphene), CNTs(carbon nanotubes), 및 금속 중 적어도 하나를 포함할 수 있다. 상기 금속은 예를 들어, 알루미늄(Al), 금(Au), 구리(Cu), 이리듐(Ir), 루테튬(Ru), 백금(Pt), 타이타늄(Ti), 타이타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐(W), 몰리브덴(Mo), 이리듐 산화물(IrO₂) 및 크롬(Cr) 중 적어도 하나일 수 있다. 바람직하게, 하부 전극(110)은 알루미늄(Al)일 수 있다. 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 하부 전극(110)은 알루미늄(Al)을 포함하는 것으로 설명한다.
- [0036] 도 5는 몇몇 실시예에 따른 메모리스트 어레이 소자 제조 방법을 설명하기 위한 예시적인 레이아웃도이다. 도 6은 도 5의 A-A를 따라 절단한 단면도이다. 도 7은 도 5의 B-B를 따라 절단한 단면도이다.
- [0037] 도 5 내지 도 7을 참고하면, 하부 전극(110) 상에, 저항 변화층(130)이 형성될 수 있다.
- [0038] 저항 변화층(130)은 하부 전극(110)을 감싸도록 형성될 수 있다. 예를 들어 저항 변화층(130)은 하부 전극(110)의 측벽을 감싸도록 형성될 수 있다. 저항 변화층(130)은 하부 전극(110)의 상면을 덮도록 형성될 수 있다.
- [0039] 몇몇 실시예에서, 저항 변화층(130)의 적어도 일부는 하부 전극(110)의 측벽과 제2 방향(D2)으로 중첩될 수 있다. 즉, 인접하는 하부 전극(110) 사이를 저항 변화층(130)이 채울 수 있다. 저항 변화층(130)은 하부 전극(110)의 상면을 덮을 수 있다. 즉, 저항 변화층(130)의 적어도 일부는 하부 전극(110)과 제3 방향(D3)으로 중첩될 수 있다. 제3 방향(D3)은 예를 들어, 제1 방향(D1) 및 제2 방향(D2)과 교차할 수 있다. 제3 방향(D3)은 예를 들어, 제1 방향(D1) 및 제2 방향(D2)과 수직일 수 있다. 제3 방향(D3)은 제1 방향(D1)과 제2 방향(D2)이 연장되는 평면과 수직일 수 있다.
- [0040] 저항 변화층(130)은 단일층일 수 있다. 저항 변화층(130)은 산소 공공을 따라 금속이 이동하면서 전하를 띄게 되어 부도체-도체 전이(IMT) 특성을 가질 수 있다. 저항 변화층(130)은 금속 산화물을 포함할 수 있다. 저항 변화층(130)은 예를 들어, 나이오븀 산화물(NbO₂), 바나듐 산화물(VO₂), SmNiO₃, 또는 타이타늄 산화물(TiO_x) 중 적어도 하나를 포함할 수 있다. 바람직하게, 저항 변화층(130)은 타이타늄 산화물(TiO_x)를 포함할 수 있다. 본

명세서에서, 저항 변화층(130)은 단일막으로서, 타이타늄 산화물을 포함하는 것으로 설명한다.

- [0041] 저항 변화층(130)은 스퍼터링(sputtering), 펄스레이저 증착법(PLD; pulsed layer deposition), 증발법(thermal evaporation), 전자빔 증발법(electron-beam evaporation) 등과 같은 물리 기상 증착법(PVD; physical vapor deposition)을 이용하여 형성될 수 있다. 또한, 저항 변화층(130)은 분자선 에피택시 증착법(MBE; molecular beam epitaxy) 또는 화학 기상 증착법(CVD; chemical vapor deposition)을 이용하여 형성될 수 있다. 예를 들어, 저항 변화층(130)은 스퍼터링 방법을 이용하여 형성될 수 있다.
- [0042] 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자 제조 방법을 이용하면 저항 변화층(130)이 형성되는 과정에서 별도의 패터닝 공정이 요구되지 않는다. 이는 공정 단순화 측면에서 유리한 효과를 가질 수 있다.
- [0043] 저항 변화층(130)은 TiO_2 를 타겟을 이용한 교류 고주파 스퍼터링 방법을 통해 TiO_x 막을 증착하는 것을 포함할 수 있다. 저항 변화층(130)은 5.0mTorr 조건의 아르곤 챔버 내에서 증착될 수 있다. 상기 TiO_x 막은 단일막일 수 있다. 저항 변화층(130)은 타이타늄 산화물(TiO_x)을 포함할 수 있다. 상기 x는 2.03 내지 2.17일 수 있다. 즉, 본 발명의 몇몇 실시예에 따른 메모리스트 소자 어레이의 저항 변화층(130)의 금속 대 산소의 비율은 2.03 내지 2.17일 수 있다. 바람직하게, 저항 변화층(130)의 금속 대 산소의 비율은 2.03일 수 있다. 저항 변화층(130)의 산소 농도에 관한 내용은 도 13을 이용하여 후술한다.
- [0044] 저항 변화층(130)은 TiO_2 단일막을 증착하여 형성될 수 있다. 즉, 저항 변화층(130)을 형성하는 것은 단일막의 TiO_x 막을 증착한 후 별도의 산화 공정이 수행되지 않는다. 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 저항 변화층(130)은 TiO_x 단일막을 증착하는 것을 포함하고, 별도의 패터닝 공정 및 별도의 산화 공정이 수행되지 않기 때문에, 공정 단순화 측면에서 유리한 효과를 가질 수 있다.
- [0045] 도 8은 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자를 설명하기 위한 예시적인 레이아웃도이다. 도 9은 도 8의 A-A를 따라 절단한 단면도이다. 도 10는 도 8의 B-B를 따라 절단한 단면도이다.
- [0046] 도 8 내지 도 10을 참고하면, 저항 변화층(130) 상에 복수의 상부 전극(150)이 형성될 수 있다.
- [0047] 복수의 상부 전극(150)은 제2 방향(D2)으로 연장될 수 있다. 상부 전극(150) 각각은 서로 제1 방향(D1)으로 이격될 수 있다. 즉, 상부 전극(150)은 하부 전극(110)과 교차되는 방향으로 연장될 수 있다.
- [0048] 상부 전극(150)은 전도성 물질을 포함할 수 있다. 예를 들어, 상부 전극(150)은 그래핀(graphene), CNTs(carbon nanotubes), 금속을 포함할 수 있다. 상기 금속은 예를 들어, 알루미늄(Al), 금(Au), 구리(Cu), 이리듐(Ir), 루테튬(Ru), 백금(Pt), 타이타늄(Ti), 타이타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN) 및 크롬(Cr) 중 적어도 하나일 수 있다. 바람직하게, 상부 전극(150)은 알루미늄(Al)일 수 있다. 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 상부 전극(150)은 알루미늄(Al)을 포함하는 것으로 설명한다.
- [0049] 상부 전극(150)과 하부 전극(110)은 서로 다른 물질일 수도 있고, 서로 동일한 물질일 수도 있다. 본 명세서에서 상부 전극(150)과 하부 전극(110)은 동일한 물질을 포함하는 것으로 설명한다.
- [0050] 몇몇 실시예에서, 상부 전극(150) 및 하부 전극(110)은 각각 비트 라인(bit line)과 워드 라인(word line)일 수 있다. 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니고, 하부 전극(110)이 비트 라인일 수도 있고, 상부 전극(150)이 워드 라인일 수도 있음은 물론이다.
- [0051] 저항 변화층(130)은 상부 전극(150)과 하부 전극(110)이 교차되는 영역에 형성되는 제1 부분(130a)과, 상부 전극(150)과 하부 전극(110)이 교차되지 않는 영역에 형성되는 제2 부분(130b)을 포함할 수 있다.
- [0052] 저항 변화층(130)의 제1 부분(130a)은 하부 전극(110) 및 상부 전극(150)과 제3 방향(D3)으로 중첩될 수 있다. 저항 변화층(130)의 제2 부분(130b)은 상부 전극(150) 및 하부 전극(110) 모두와 제3 방향(D3)으로 중첩되지 않을 수 있다. 저항 변화층(130)의 제2 부분(130b)의 적어도 일부는 하부 전극(110)과 제2 방향(D2)으로 중첩될 수 있다.
- [0053] 저항 변화층(130)의 제1 부분(130a)은 전류가 흐르는 부분일 수 있다. 몇몇 실시예에서, 상부 전극(150) 및 하부 전극(110) 사이에 전압이 인가될 수 있다. 인가되는 전압의 크기에 따라서, 상부 전극(150) 또는 하부 전극(110)으로부터 이온이 발생될 수 있다. 상기 이온은 저항 변화층(130)의 제1 부분(130a)을 통해 이동될 수 있다. 저항 변화층(130)의 제1 부분(130a)에는 전도성 필라멘트가 형성될 수 있다. 저항 변화층(130)은 인가되는 전기적 신호의 스위치에 따라 아날로그방식으로 변하는 저항 특성을 가질 수 있다. 즉, 본 발명의 몇몇 실시예

에 따른 메모리스트 어레이 소자는 아날로그 방식의 저항 스위칭 특징을 가질 수 있다.

- [0054] 하부 전극(110)과 상부 전극(150)이 교차되는 영역에서, 상부 전극(150)의 제3 방향(D3)으로의 두께는 저항 변화층(130)의 제1 부분(130a)의 제3 방향(D3)으로의 두께보다 클 수 있다.
- [0055] 하부 전극(110)과 상부 전극(150)이 교차되는 영역에서, 하부 전극(110)의 제3 방향(D3)으로의 두께는 저항 변화층(130)의 제1 부분(130a)의 제3 방향(D3)으로의 두께보다 클 수 있다.
- [0056] 다만, 본 발명의 기술적 사상은 이에 제한되는 것은 아니고, 하부 전극(110)과 상부 전극(150)이 교차되는 영역에서, 상부 전극(150)의 제3 방향(D3)으로의 두께는 저항 변화층(130)의 제1 부분(130a)의 제3 방향(D3)으로의 두께보다 작을 수 있고, 하부 전극(110)의 제3 방향(D3)으로의 두께는 저항 변화층(130)의 제1 부분(130a)의 제3 방향(D3)의 두께보다 작을 수 있음은 물론이다.
- [0057] 도 11 및 도 12는 몇몇 실시예에 따른 메모리스트 어레이 소자를 설명하기 위한 예시적인 단면도들이다. 도 11은 도 8의 A-A를 따라 절단한 단면도이다. 도 12는 도 8의 B-B를 따라 절단한 단면도이다. 설명의 편의상 도 9 및 도 10을 이용하여 설명한 것과 다른 점을 중심으로 설명한다.
- [0058] 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 인터페이스층(120, 140)을 더 포함할 수 있다. 인터페이스층(120, 140)은 제1 인터페이스층(120)과 제2 인터페이스층(140)을 포함할 수 있다.
- [0059] 제1 인터페이스층(120)은 하부 전극(110)과 저항 변화층(130)의 경계에 형성될 수 있다. 제2 인터페이스층(140)은 상부 전극(150)과 저항 변화층(130)의 경계에 형성될 수 있다.
- [0060] 제1 및 제2 인터페이스층(120, 140)은 금속 산화물을 포함할 수 있다. 예를 들어, 하부 전극(110)이 금속 A를 포함할 경우, 제1 인터페이스층(120)은 금속 A의 산화물을 포함할 수 있다. 마찬가지로, 상부 전극(150)이 금속 A를 포함할 경우, 제2 인터페이스층(140)은 금속 A의 산화물을 포함할 수 있다. 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 하부 전극(110) 및 상부 전극(150)은 각각 알루미늄을 포함하므로, 제1 및 제2 인터페이스층(120, 140)은 각각 알루미늄 산화물을 포함할 수 있다.
- [0061] 도 11에서, 제1 인터페이스층(120)은 하부 전극(110)과 저항 변화층(130)의 경계에 형성될 수 있다. 제1 인터페이스층(120)은 예를 들어, 하부 전극(110)의 측면 및 상면 상에 형성될 수 있다. 제2 인터페이스층(140)은 상부 전극(150)과 저항 변화층(130)의 경계에 형성될 수 있다. 제2 인터페이스층(140)은 예를 들어, 상부 전극(150)의 하면 상에 형성될 수 있다.
- [0062] 도 12에서, 제1 인터페이스층(120)은 하부 전극(110)의 상면 상에 형성될 수 있다. 제2 인터페이스층(140)은 상부 전극(150)의 하면 상에 형성될 수 있다. 제2 인터페이스층(140)은 상부 전극(150)과 하부 전극(110)이 교차되는 영역에 형성될 수 있다.
- [0063] 도 13은 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 저항 변화층의 산소 농도를 설명하기 위한 그래프이다. 도 13은 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 상부 전극(150)에서 하부 전극(110)을 향함에 따라 메모리스트 어레이 소자에 포함된 원소의 농도를 도시한 그래프이다.
- [0064] 도 13을 참고하면, 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 알루미늄(Al), 산소(O) 및 타이타늄(Ti)을 포함할 수 있다.
- [0065] 상부 전극(150)은 예를 들어, 알루미늄, 및 산소를 포함할 수 있다. 저항 변화층(130)은 예를 들어, 타이타늄과 산소를 포함할 수 있다. 하부 전극(110)은 예를 들어 알루미늄 및 산소를 포함할 수 있다.
- [0066] 도 13의 가로축은 스퍼터 시간(sputter time)을 도시한다. 즉, 도 13의 가로축은 상부 전극(150)에서 기판(100)을 향함에 따른 메모리스트 어레이 소자의 깊이이다. 도 13의 세로축은 메모리스트 어레이 소자에 포함된 원자의 원자 농도(atomic concentration)이다.
- [0067] 상부 전극(150)에서, 기판(100)을 향함에 따라 상부 전극(150)의 알루미늄의 농도는 점진적으로 증가하다가 감소한다. 즉, 상부 전극(150)의 중심부의 알루미늄의 농도가 제일 높다. 상부 전극(150)의 중심부에서 멀어질수록 알루미늄의 농도가 감소한다. 상부 전극(150)의 중심부에서 멀어질수록 상부 전극(150)이 산화될 수 있다.
- [0068] 저항 변화층(130)은 타이타늄 산화물(TiO_x)을 포함한다. 저항 변화층(130)은 타이타늄(Ti)과 산소(O)로 이루어져 있다. 상기 x는 2.03 내지 2.17일 수 있다. 바람직하게, 상기 x는 2.03일 수 있다. 즉, 저항 변화층(130)에서, 타이타늄 대 산소의 비율이 2.03 내지 2.17일 수 있다. 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소

자는 균일한 산소 비율을 갖는 저항 변화층(130)을 포함할 수 있다. 여기서 균일하다는 것은 완전히 동일하다는 것을 의미하는 것은 아니고, 공정 상의 마진을 포함할 수 있다.

- [0069] 저항 변화층(130)의 산소 비율이 균일하여 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 성능 및 신뢰성이 향상될 수 있다.
- [0070] 상부 전극(150)에서, 기판(100)을 향함에 따라 하부 전극(110)의 알루미늄의 농도는 점진적으로 증가하다가 감소한다. 즉, 하부 전극(110)의 중심부의 알루미늄의 농도가 제일 높다. 하부 전극(110)의 중심부에서 멀어질수록 알루미늄의 농도가 감소한다. 하부 전극(110)의 중심부에서 멀어질수록 하부 전극(110)이 산화될 수 있다.
- [0071] 기판(100)은 유리 기판을 포함하므로, 하부 전극(110)에서 기판(100)을 향함에 따라 기판(100)에 포함된 산소의 농도는 점진적으로 증가할 수 있다.
- [0072] 도 14는 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자의 동작을 설명하기 위한 그래프이다. 도 15는 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자에 연속적인 펄스 전압의 인가에 따른 메모리스트 어레이 소자의 전도도의 변화를 보여주는 그래프이다.
- [0073] 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 바이폴라(bipolar) 저항성 스위칭 특성과 아날로그 방식의 저항 스위칭 특성을 가질 수 있다. 일 실시예에 따른 메모리스트 어레이 소자는 인공 시냅스로 작용할 수 있다. 몇몇 실시예에 따른 메모리스트 어레이 소자는 STDP(spike-timing dependent plasticity)와 같은 시냅스와 같은(synapse-like) 학습 동작을 수행할 수 있다. 낮은 스위칭 전압을 갖는 STDP는 저전력 뉴로모픽 컴퓨팅(neuromorphic computing)을 가능하게 한다. 뿐만 아니라, 낮은 스위칭 전압은 생물학적 전위에 근접하기 때문에 포유류의 신경 네트워크와 직접적인 인터페이스도 가능할 수 있다. 그리하여, 몇몇 실시예에 따른 메모리스트 어레이 소자는 뉴로모픽 장치의 구성요소가 될 수도 있다.
- [0074] 도 14를 참고하면, 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 바이폴라(bipolar) 저항성 스위칭 특성을 가질 수 있다. 일 실시예에 따른 메모리스트 어레이 소자는 음(-)의 전압을 인가할 경우 프로그래밍(programming)될 수 있다. 일 실시예에 따른 메모리스트 어레이 소자는 양(+)의 전압을 인가할 경우 이레이징(erasing)될 수 있다.
- [0075] 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 셋(SET)과, 리셋(RESET)을 포함할 수 있다. 상기 셋(SET)은 메모리스트 어레이 소자가 프로그래밍하는 과정일 수 있다. 상기 리셋(RESET)은 메모리스트 어레이 소자가 이레이징하는 과정일 수 있다. 몇몇 실시예에 따른 메모리스트 어레이 소자에 음의 전압이 인가되면 셋(SET) 과정이 이루어진다. 몇몇 실시예에 따른 메모리스트 어레이 소자에 양의 전압이 인가되면 리셋(RESET) 과정이 이루어진다.
- [0076] 도 14에서, 셋(SET)은 제1 경로(P1)를 따라 이루어질 수 있다. 리셋(RESET)은 제4 경로(P4)를 따라 이루어질 수 있다. 셋(SET) 과정은 몇몇 실시예에 따른 메모리스트 어레이 소자가 고저항 상태에서 저저항 상태로 변화되는 과정이다. 리셋(RESET) 과정은 몇몇 실시예에 따른 메모리스트 어레이 소자가 저저항 상태에서 고저항 상태로 변화되는 과정이다.
- [0077] 제1 경로(P1), 제2 경로(P2), 제3 경로(P3) 및 제4 경로(P4)는 몇몇 실시예에 따른 메모리스트 어레이 소자의 전도성을 나타내는 경로일 수 있다. 도 14의 그래프에서, R1은 고저항 상태이고, R2, R3 및 R4는 저저항 상태이다. 저저항 상태는 전류가 상대적으로 많이 흐르는 상태이고, 고저항 상태는 전류가 상대적으로 적게 흐르는 상태일 수 있다.
- [0078] 몇몇 실시예에 따른 메모리스트 어레이 소자의 초기 상태는 고저항 상태(R1)이다. 메모리스트 어레이 소자에 일정 전압, 예를 들어 음의 전압을 인가하면, 메모리스트 어레이 소자는 고저항 상태(R1)에서 저저항 상태(R2)로 스위칭된다.
- [0079] 셋(SET)에서, 몇몇 실시예에 따른 메모리스트 어레이 소자는 제1 경로(P1)를 따라 고저항 상태(R1)에서 저저항 상태(R2)로 스위칭된다. 이어서, 몇몇 실시예에 따른 메모리스트 어레이 소자는 제2 경로(P2)를 따라 저저항 상태를 유지하면서 전압을 감소시킬 수 있다. 제2 경로(P2)는 전압을 감소시키면서 저저항 상태를 유지하는 과정이다. 제2 경로(P2)를 통해 본 발명의 몇몇 실시예에 따른 메모리스트 어레이 소자는 비휘발성 소자라는 것을 알 수 있다.
- [0080] 리셋(RESET)에서, 몇몇 실시예에 따른 메모리스트 어레이 소자는 제4 경로(P4)를 따라 저저항 상태(R4)에서 고저

항 상태(R1)로 스위칭된다.

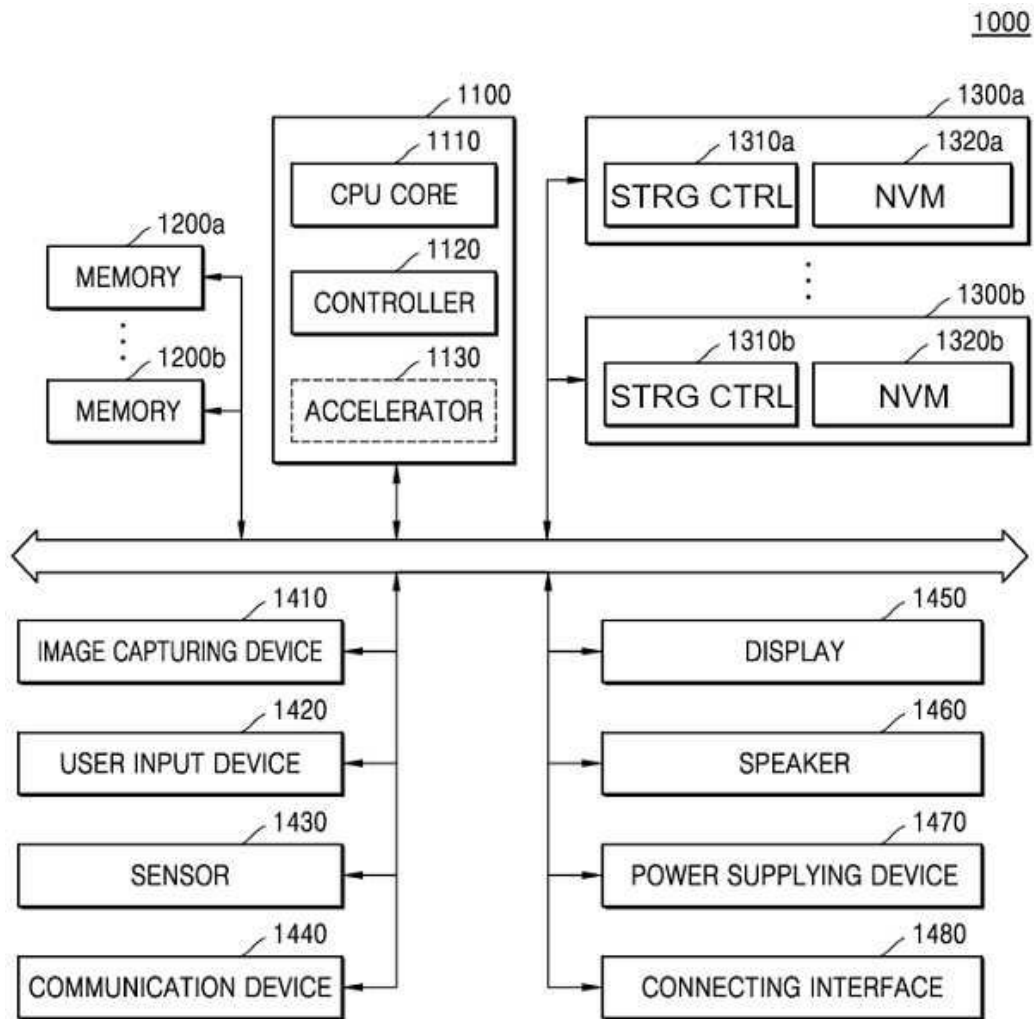
- [0081] 도 15를 참고하면, 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자는 아날로그 방식의 저항 스위칭 특성을 가질 수 있다.
- [0082] 도 15의 그래프에서, x축은 펄스 넘버(pulse number)를 의미한다. y축은 PSC(post-synaptic current)를 의미한다. PSC는 전압 자극이 인가되었을 때, 인공시냅스 소자를 통하여 흐르는 전류를 의미한다.
- [0083] 몇몇 실시예에 따른 메모리스터 어레이 소자의 하부 전극(110)과, 상부 전극(150)에 -1.55V를 갖는 음(-)의 펄스 전압(V_p)을 25회 반복 인가하고, 매 인가 시마다 전도도를 측정한다. 26회째 부터는 몇몇 실시예에 따른 메모리스터 어레이 소자의 하부 전극(110)과, 상부 전극(150)에 +1.4V를 갖는 양(+)의 펄스 전압(V_d)을 25회 반복 인가하고, 매 인가 시마다 전도도를 측정한다.
- [0084] 도 15에서, 음(-)의 펄스 전압(V_p)을 인가한 구간은 셋(SET) 구간일 수 있다. 양(+)의 펄스 전압(V_d)을 인가한 구간은 리셋(RESET) 구간일 수 있다. 셋(SET) 구간에서, 메모리스터 어레이 소자에 흐르는 전류는 10^{-6} A 내지 5×10^{-5} A일 수 있다. 셋(SET)의 초기 구간에서 메모리스터 어레이 소자의 전도성은 급격하게 변화한다. 셋(SET)의 마지막 구간에서 메모리스터 어레이 소자의 전도성은 완만하게 변화한다.
- [0085] 리셋(RESET) 구간에서, 메모리스터 어레이 소자에 흐르는 전류는 5×10^{-6} A 내지 5×10^{-5} A일 수 있다. 리셋(RESET)의 초기 구간에서 메모리스터 어레이 소자의 전도성은 급격하게 변화한다. 리셋(RESET)의 마지막 구간에서 메모리스터 어레이 소자의 전도성은 완만하게 변화한다.
- [0086] 몇몇 실시예에 따른 메모리스터 어레이 소자는 인가되는 펄스 전압에 따라 다양한 전도성을 가질 수 있다. 이는 몇몇 실시예에 따른 메모리스터 어레이 소자가 아날로그 방식의 저항 스위칭 특성을 가짐을 의미한다.
- [0087] 도 16은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 문턱 전압의 산포도를 나타내는 그래프이다.
- [0088] 도 16을 참고하면, 몇몇 실시예에 따른 메모리스터 어레이 소자의 문턱 전압은 약 2.7%의 산포도를 갖는다. 셋(SET) 과정에서, 몇몇 실시예에 따른 메모리스터 어레이 소자의 문턱 전압은 -2.59 ± 0.07 V를 가질 수 있다. 리셋(RESET) 과정에서, 몇몇 실시예에 따른 메모리스터 어레이 소자의 문턱 전압은 2.35 ± 0.08 V를 가질 수 있다.
- [0089] 도 17은 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자의 안정성을 설명하기 위한 그래프이다. 도 17에서, 메모리스터 어레이 소자에 인가되는 펄스 넘버에 따른 전류를 나타내는 그래프가 도시된다.
- [0090] 도 17을 참고하면, 초기 단계의 메모리스터 어레이 소자의 동작과, 1개월 이 지난 후의 메모리스터 어레이 소자의 동작과, 2개월이 지난 후의 메모리스터 어레이 소자의 동작과, 4개월이 지난 후의 메모리스터 어레이 소자의 동작과, 6개월이 지난 후의 메모리스터 어레이 소자의 동작이 동일하다. 본 발명의 몇몇 실시예에 따른 메모리스터 어레이 소자는 높은 안정성을 가질 수 있다.
- [0091] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

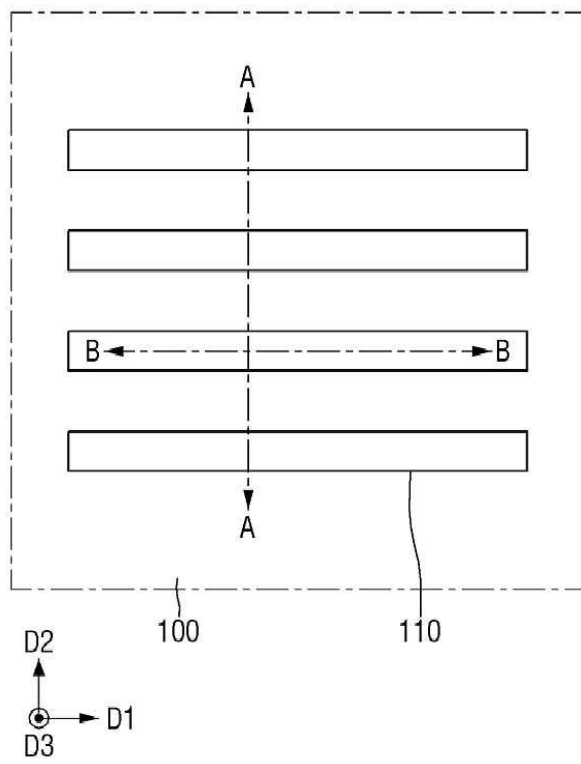
- [0092] 100: 기판 110: 하부 전극
- 130: 저항 변화층 150: 상부 전극
- 120: 제1 인터페이스층 140: 제2 인터페이스층

도면

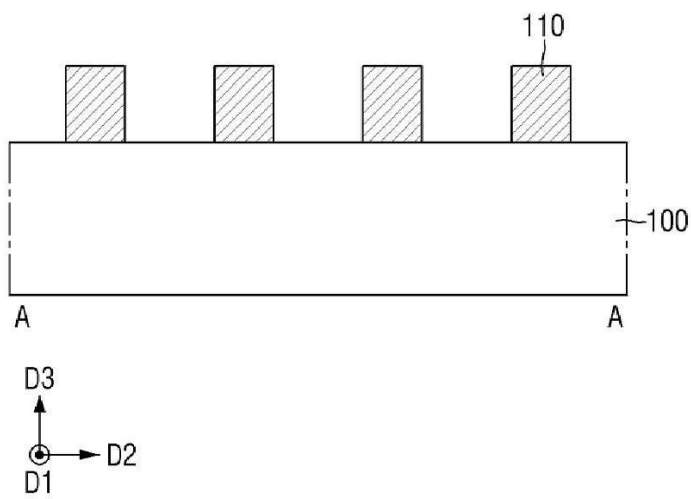
도면1



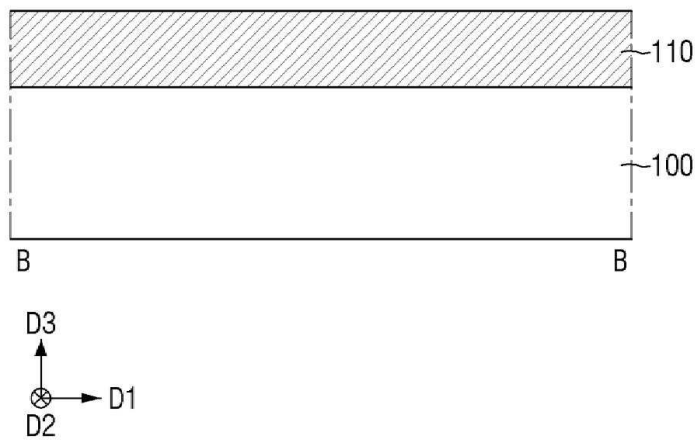
도면2



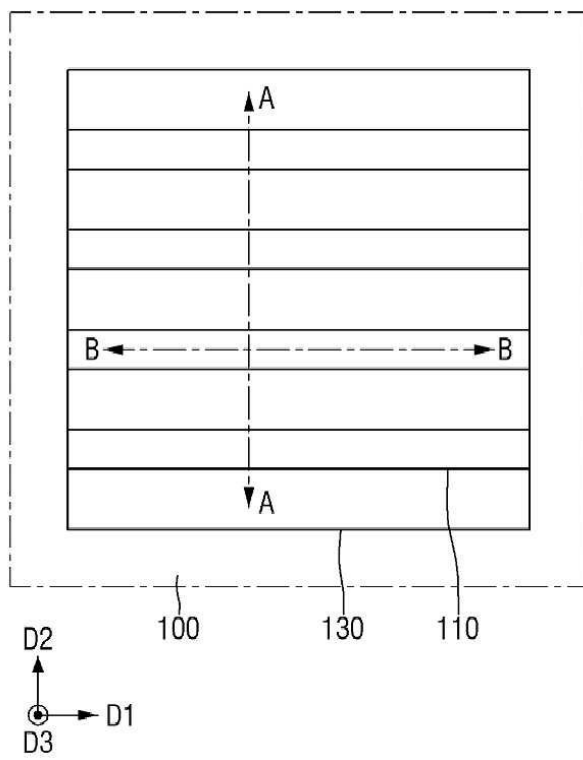
도면3



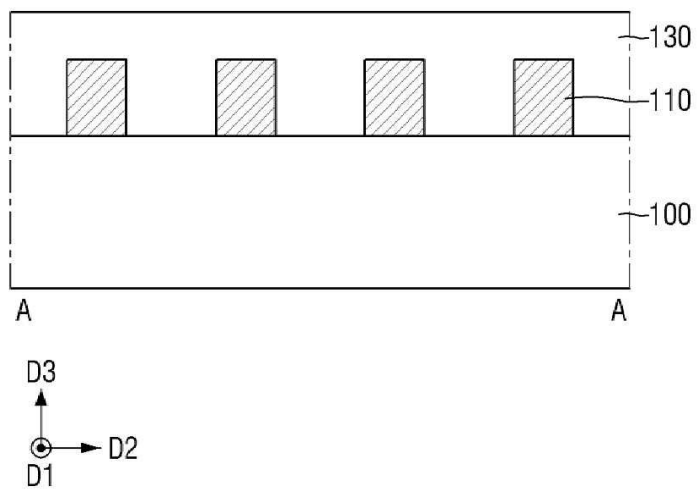
도면4



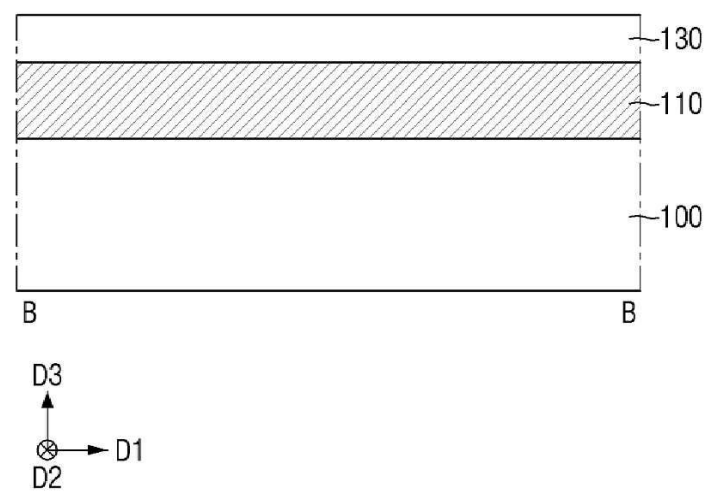
도면5



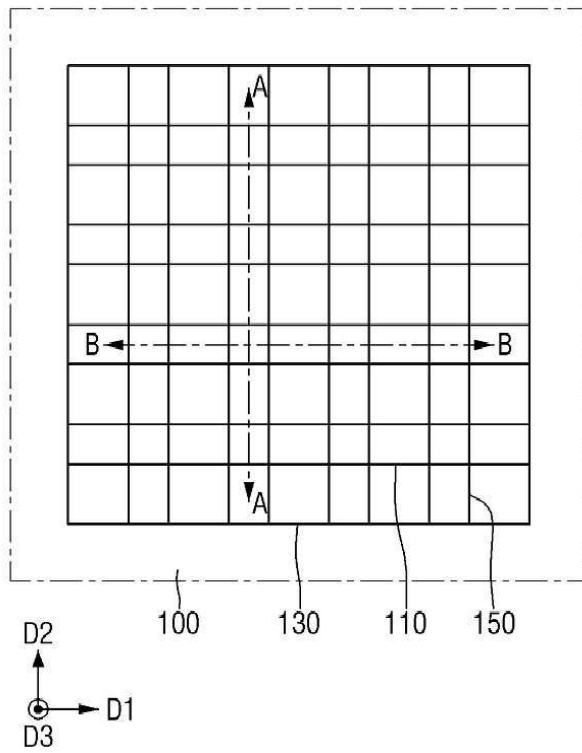
도면6



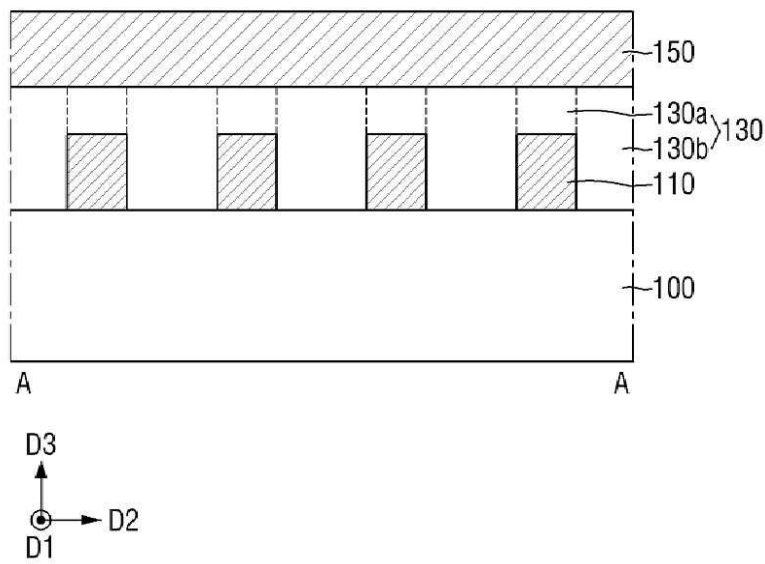
도면7



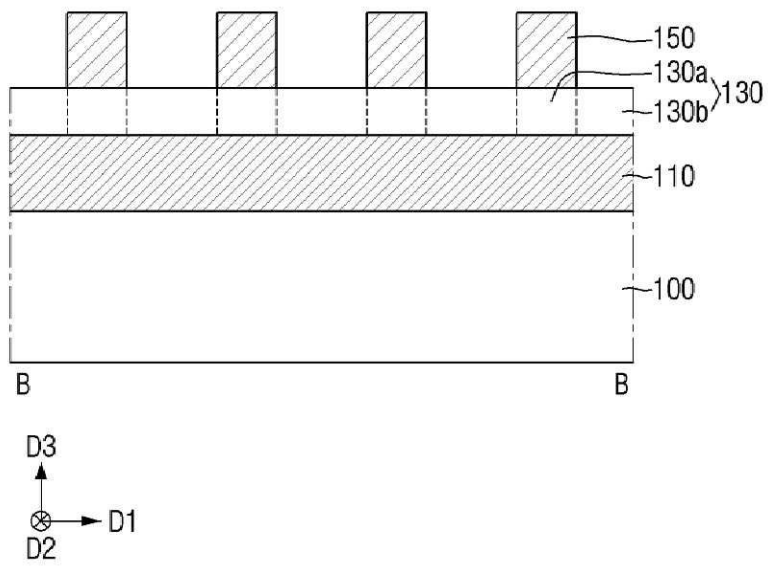
도면8



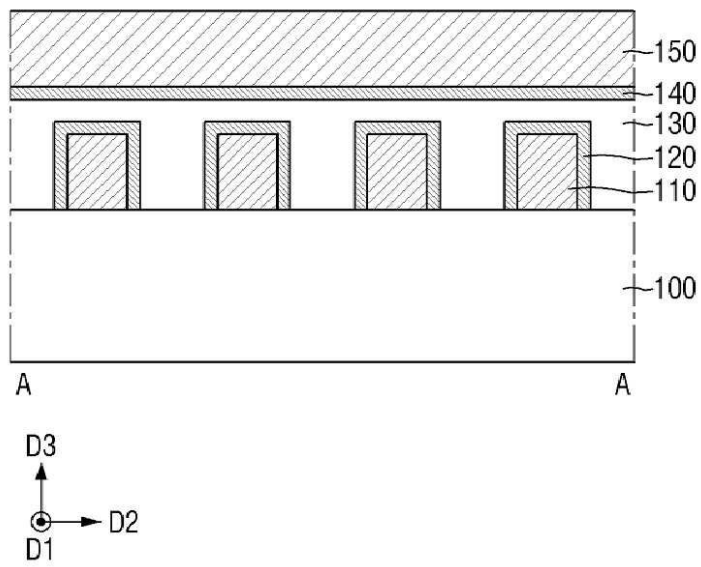
도면9



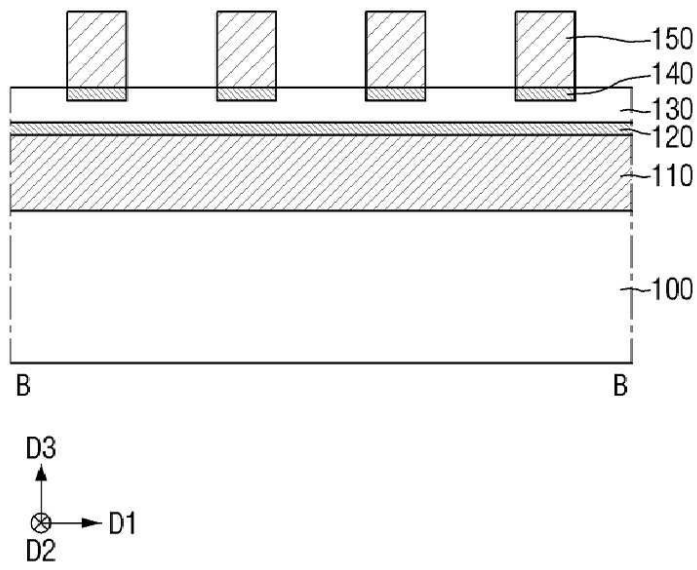
도면10



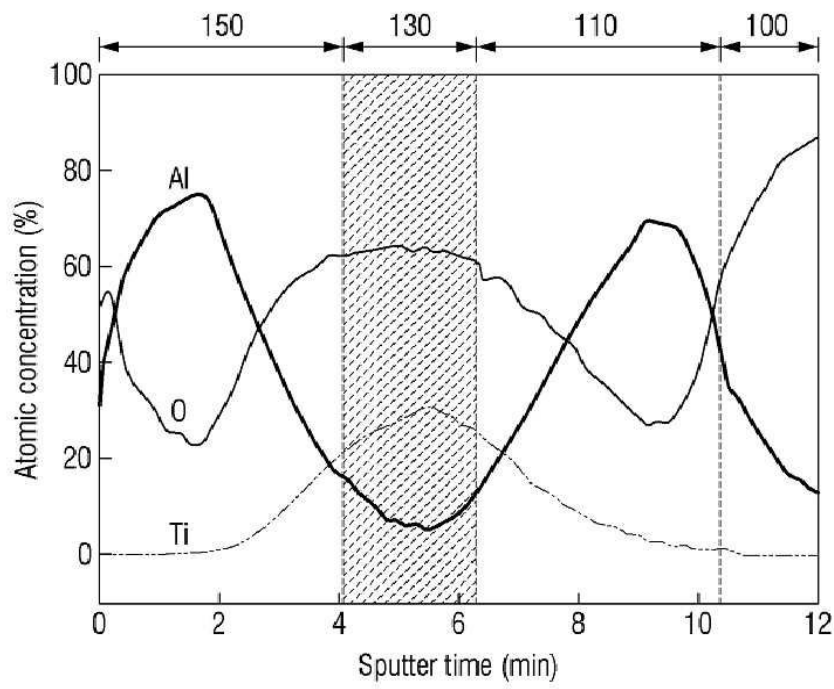
도면11



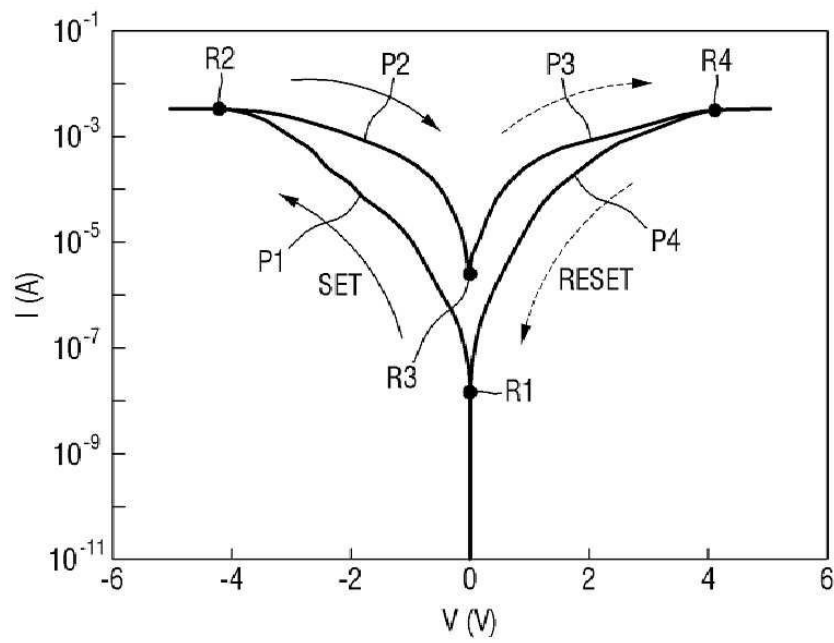
도면12



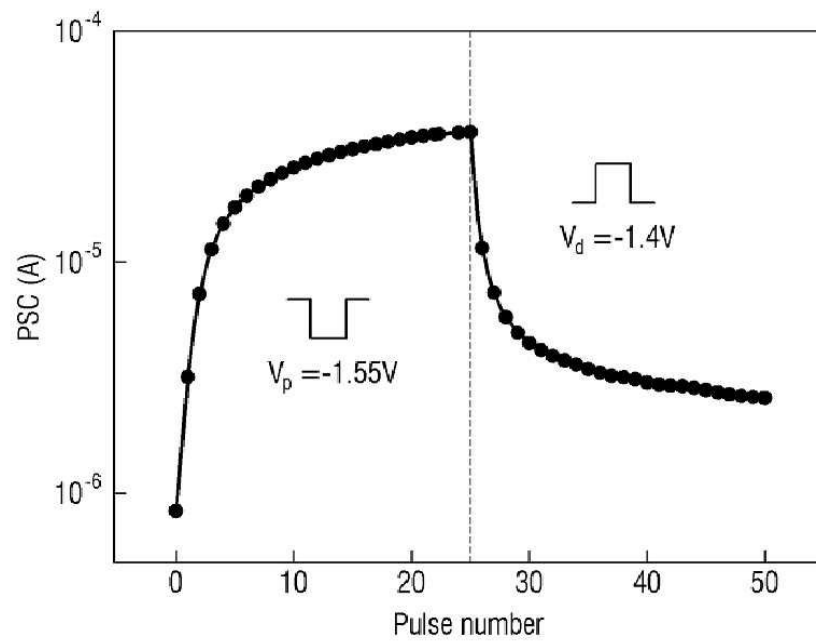
도면13



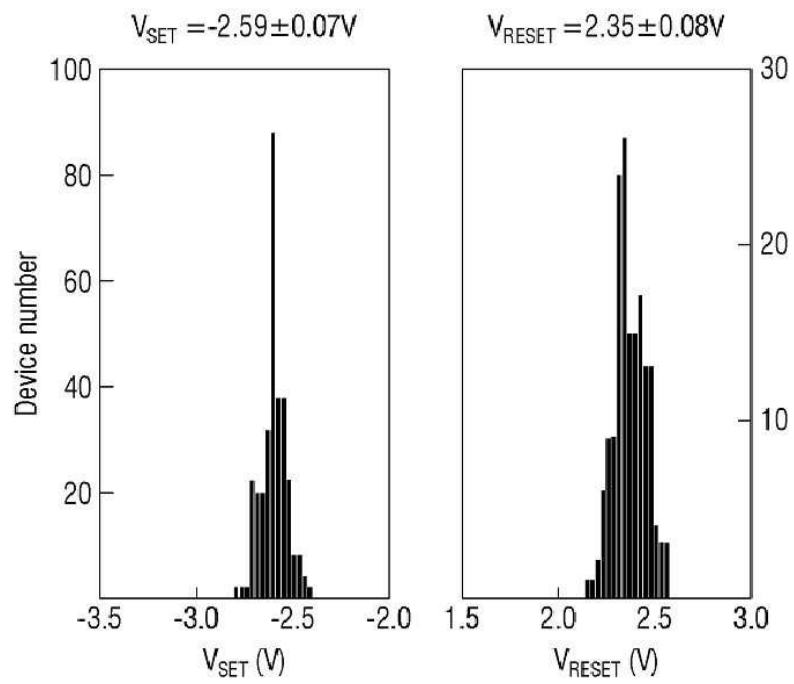
도면14



도면15



도면16



도면17

