

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月26日(26.12.2024)



(10) 国際公開番号

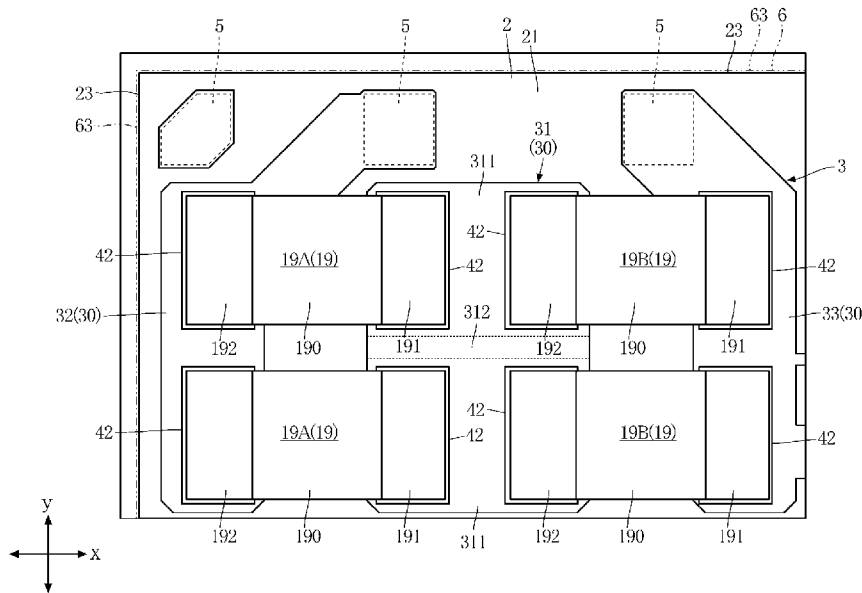
**WO 2024/262253 A1**

- (51) 国際特許分類:  
*H01L 25/00* (2006.01) *H01G 4/228* (2006.01)  
*H01C 1/01* (2006.01) *H01L 23/12* (2006.01)  
*H01G 2/06* (2006.01)
- (21) 国際出願番号: PCT/JP2024/019376
- (22) 国際出願日: 2024年5月27日(27.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-101351 2023年6月21日(21.06.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2番地 Kyoto (JP).
- (72) 発明者: 宮崎 弘規 (MIYAZAKI Hiroki);  
〒6158585 京都府京都市右京区西院溝崎町2  
番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町  
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子装置

FIG.3



(57) Abstract: This electronic device comprises: a plurality of electronic components that each include a pair of terminals; a support member that has a support surface which supports the plurality of electronic components; a wiring layer that is formed on the support surface; and a sealing resin that covers each of the plurality of electronic components. The wiring layer includes a first wiring part to which is joined one of the pair of terminals of each of the plurality of electronic components. In a circuit diagram, the electrical characteristics of the plurality of electronic components are equivalent

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

---

to one circuit symbol.

(57) 要約: 電子装置は、一対の端子を各々が含む複数の電子部品と、複数の電子部品を支持する支持面を有する支持部材と、前記支持面に形成された配線層と、前記複数の電子部品の各々を覆う封止樹脂と、を備える。前記配線層は、前記複数の電子部品の各々の前記一対の端子のいずれかがそれぞれ接合された第1配線部を含む。前記複数の電子部品は、回路図において、電気的な特性を1つの回路記号に等価される。

## 明 細 書

発明の名称：電子装置

技術分野

[0001] 本開示は、電子装置に関する。

背景技術

[0002] 従来、複数の電子部品を備える電子装置が知られている。たとえば、特許文献1には、従来の電子装置の一例が開示されている。特許文献1に記載の電子装置（半導体装置）は、絶縁層、配線層、複数の接合層、複数の電子部品および封止樹脂を備える。配線層は、絶縁層に配置されている。複数の電子部品の各々は、抵抗器、コンデンサおよびインダクタなどの受動素子、並びにダイオードのいずれかである。複数の電子部品は、表面実装型かつチップ型である。各電子部品において、接合層を介して、配線層に接合されている。封止樹脂は、絶縁層上に形成され、配線層、複数の接合層および複数の電子部品を覆っている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-34600号公報

発明の概要

発明が解決しようとする課題

[0004] 上記電子装置（半導体装置）の用途は、電気自動車またはハイブリッド自動車などの自動車、産業機器および家電機器など、様々であり、その用途に応じて、電子装置に求められる要求が異なる。

[0005] 本開示は、従来より改良が施された電子装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、モジュール設計の自由度を高めることが可能な電子装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される電子装置は、一対の端子を各々が含

む複数の電子部品と、前記複数の電子部品を支持する支持面を有する支持部材と、前記支持面に形成された配線層と、前記複数の電子部品の各々を覆う封止樹脂と、を備える。前記配線層は、前記複数の電子部品の各々の前記一对の端子のいずれかがそれぞれ接合された第1配線部を含む。前記複数の電子部品は、回路図において、電気的な特性を1つの回路記号に等価される。

### 発明の効果

[0007] 上記構成によれば、モジュール設計の自由度を高めることが可能となる。

### 図面の簡単な説明

[0008] [図1]図1は、第1実施形態にかかる電子装置を示す底面側から見た斜視図である。

[図2]図2は、第1実施形態にかかる電子装置を示す平面図であって、封止樹脂を想像線で示している。

[図3]図3は、図2の一部を拡大した部分拡大図である。

[図4]図4は、図2の平面図において、封止樹脂を省略し、且つ、半導体素子および複数の電子部品を想像線で示した図である。

[図5]図5は、第1実施形態にかかる半導体装置を示す底面図である。

[図6]図6は、図2のVⅠーVⅠ線に沿う断面図である。

[図7]図7は、図6の一部を拡大した部分拡大図である。

[図8]図8は、図2のVⅠⅠⅠーVⅠⅠⅠ線に沿う断面図である。

[図9]図9は、図2のⅠⅩーⅠⅩ線に沿う断面図である。

[図10]図10は、図9の一部を拡大した部分拡大図である。

[図11]図11は、第1実施形態にかかる電子装置の一部（2つの第1電子部品および2つの第2電子部品）を示す回路図である。

[図12]図12は、図11に示す回路構成を等価的にまとめた回路図である。

[図13]図13は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図14]図14は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図15]図15は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図16]図16は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図17]図17は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図18]図18は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図19]図19は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図20]図20は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図21]図21は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図22]図22は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図23]図23は、第1実施形態にかかる電子装置の製造方法の一工程を示す断面図である。

[図24]図24は、第1実施形態の第1変形例にかかる電子装置を示す要部拡大平面図であって、図3に対応する。

[図25]図25は、第1実施形態の第2変形例にかかる電子装置を示す断面図であって、図6の断面に対応する。

[図26]図26は、第1実施形態の第3変形例にかかる電子装置を示す概要図である。

[図27]図27は、第2実施形態にかかる電子装置を示す要部拡大平面図であって、図3に対応する。

[図28]図28は、第2実施形態にかかる電子装置を示す断面図であって、図6の断面に対応する。

[図29]図29は、第2実施形態にかかる電子装置を示す要部拡大断面図であって、図28の一部を拡大した図である。

[図30]図30は、第2実施形態の変形例にかかる電子装置を示す要部拡大平面図であって、図3に対応する。

[図31]図31は、第2実施形態の変形例にかかる電子装置を示す要部拡大断面図であって、図10の断面に対応する。

[図32]図32は、第3実施形態にかかる電子装置を示す要部拡大平面図であって、図3に対応する。

[図33]図33は、第3実施形態にかかる電子装置を示す要部拡大断面図であって、図10の断面に対応する。

[図34]図34は、他の実施形態にかかる電子装置を示す概略図である。

[図35]図35は、他の実施形態にかかる電子装置を示す断面図であって、図6の断面に対応する。

### 発明を実施するための形態

[0009] 本開示の電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置

している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、「ある物A（の材料）がある材料Cを含む」とは、「ある物A（の材料）がある材料Cからなる場合」、および、「ある物A（の材料）の主成分がある材料Cである場合」を含む。また、「ある面Aがある方向B（の一方側または他方側）を向く」とは、特段の断りのない限り、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。また、「ある面Aがある面Bに直交する」とは、特段の断りのない限り、面Aの面Bに対する角度が90°である場合に限定されず、面Aが面Bに対して傾いている場合を含む。

[0011] 図1～図10は、第1実施形態にかかる電子装置A10を示している。電子装置A10は、半導体素子1、複数の電子部品19、支持部材2、配線層3、複数の導電性接合材41、42、複数の外部端子5および封止樹脂6を備える。

[0012] 説明の便宜上、互いに直交する厚さ方向z、第1方向xおよび第2方向yを参照する。例えば厚さ方向zは、電子装置A10の厚さ方向の一例である。以下の説明では、厚さ方向zの一方を上方といい、他方を下方ということがある。なお、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向zにおける各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。また、「平面視」とは、厚さ方向zに見たときをいう。

[0013] 電子装置A10は、電子機器および電気自動車などの配線板に表面実装する装置である。電子装置A10は、リードレスパッケージ型であり、特に、QFNパッケージ（Quad Flat Non-leaded Package）型である。電子装置A

10は、平面視において矩形状である。

[0014] 半導体素子1は、電子装置A10の機能中枢となる部品である。半導体素子1は、たとえばLSIなどの集積回路である。この例と異なり、半導体素子1は、LDO (Low Drop Out) などの電圧制御用素子、オペアンプなどの増幅用素子、トランジスタおよびダイオードなどのディスクリート素子であってもよい。半導体素子1は、平面視において矩形状である。半導体素子1は、支持部材2に支持される。半導体素子1は、平面視において、支持部材2に重なる。

[0015] 半導体素子1は、図6および図8に示すように、素子主面10aおよび素子裏面10bを有する。素子主面10aおよび素子裏面10bは、厚さ方向zにおいて、離間する。素子主面10aと素子裏面10bとは、互いに反対側を向く。素子主面10aは、支持部材2に対向する。

[0016] 図6および図8に示すように、半導体素子1は、複数の電極パッド14を有する。複数の電極パッド14はそれぞれ、素子主面10aに配置されている。素子複数の電極パッド14はそれぞれ、半導体素子1の内部回路（図示略）に導通する。複数の電極パッド14はそれぞれ、複数の導電性接合材41のいずれかを介して、配線層3に接合されている。このような構成により、半導体素子1は、複数の電極パッド14が配置された面（すなわち素子主面10a）を厚さ方向z下方に向けて、配線層3に接合されている。つまり、半導体素子1は、フリップチップ実装されている。

[0017] 複数の電子部品19はそれぞれ、図2、図6、図8および図9に示すように、支持部材2に支持される。複数の電子部品19はそれぞれ、SMD (Surface Mount Device : 表面実装部品) である。複数の電子部品19はそれぞれ、たとえば抵抗器、コンデンサ、またはインダクタなどのいずれかである。複数の電子部品19は、半導体素子1とともに、電子装置A10の機能素子である。複数の電子部品19は、平面視において、半導体素子1の周りに配置されている。

[0018] 図2および図3に示すように、複数の電子部品19は、少なくとも1つの

第1電子部品19Aおよび少なくとも1つの第2電子部品19Bを含み、図示された例では、2つの第1電子部品19Aおよび2つの第2電子部品19Bを含む。後に詳述される構成から理解されるように、2つの第1電子部品19Aは、互いに電氣的に並列に接続されている。2つの第2電子部品19Bは、互いに電氣的に並列に接続されている。2つの第1電子部品19Aと2つの第2電子部品19Bとは、電氣的に直列に接続されている。

[0019] 本実施形態では、2つの第1電子部品19Aおよび2つの第2電子部品19Bの各電氣的な特性に対する性能は、互いに同じである。電氣的な特性とは、電子部品19が抵抗器である場合には、抵抗値であり、電子部品19がコンデンサである場合には、静電容量であり、電子部品19がインダクタである場合には、インダクタンス値である。つまり、電子装置A10では、2つの第1電子部品19Aおよび2つの第2電子部品19Bが、抵抗器である例では、これらの抵抗値が同じ（あるいは略同じ）であり、コンデンサである例では、これらの静電容量の大きさが同じ（あるいは略同じ）であり、インダクタである例では、これらのインダクタンス値が同じ（あるいは略同じ）である。電子装置A10と異なる構成において、2つの第1電子部品19Aおよび2つの第2電子部品19Bの各電氣的な特性に対する性能は、互いに異なってもよい。

[0020] また、図2に示すように、複数の電子部品19は、複数の電子部品19C、19Dを含み、図示された例では、2つの電子部品19Cおよび2つの電子部品19Dを含む。後に後述される構成から理解されるように、2つの電子部品19Cは、互いに電氣的に並列に接続されている。2つの電子部品19Dは、互いに電氣的に並列に接続されている。2つの電子部品19Cと2つの電子部品19Dとは、電氣的に直列に接続されている。

[0021] 本実施形態では、2つの電子部品19Cおよび2つの電子部品19Dの各電氣的な特性に対する性能は、互いに同じである。電子装置A10と異なる構成において、2つの電子部品19Cおよび2つの電子部品19Dの各電氣的な特性に対する性能は、互いに異なってもよい。

- [0022] 複数の電子部品 19（各第 1 電子部品 19 A、各第 2 電子部品 19 B および各電子部品 19 C、19 D を含む）はそれぞれ、図 2、図 3、図 6、図 7 および図 9 に示すように、本体部 190 および一対の端子 191、192 を含む。次で説明する本体部 190 および一対の端子 191、192 は、特段の断りがない限り、各電子部品 19（各第 1 電子部品 19 A、各第 2 電子部品 19 B および各電子部品 19 C、19 D を含む）で共通する。
- [0023] 本体部 190 は、電子部品 19 における機能中枢であり、電子部品 19 の通電により、抵抗器、コンデンサまたはインダクタなどとして動作する。図 3 に示すように、本体部 190 は、平面視において、矩形である。
- [0024] 図 7 および図 8 に示すように、本体部 190 は、一対の側面 190 a、190 b および底面 190 c を有する。一対の側面 190 a、190 b は、図 7 に示すように、各電子部品 19 の長手方向において互いに離間し、且つ、各電子部品 19 の長手方向において互いに反対側を向く。図示された例では、図示された例では、複数の電子部品 19 は、直交方向が第 1 方向 x であるものと、直交方向が第 2 方向 y であるものを含んでおり、複数の電子部品 19 のうち、各第 1 電子部品 19 A、各第 2 電子部品 19 B および各電子部品 19 C、19 D においては、これらの長手方向は、第 1 方向 x である。底面 190 c は、図 7 に示すように、一対の側面 190 a、190 b の各々に繋がり、これらに挟まれている。底面 190 c は、厚さ方向 z 下方を向き、支持部材 2 に対向する。本体部 190 は、一対の側面 190 a、190 b および底面 190 c の他、厚さ方向 z 上方を向く上面と、短手方向の一方を向く側面と、短手方向の他方を向く側面とを有する。
- [0025] 図 2、図 3、図 6 および図 7 に示すように、一対の端子 191、192 は、本体部 190 の長手方向の両側にそれぞれ配置される。各電子部品 19 において、端子 191 は、長手方向の一方の端部に配置され、端子 192 は、長手方向の他方の端部に配置される。
- [0026] 端子 191 は、図 7 に示すように、側方電極 191 a および底面電極 191 b を含む。側方電極 191 a は、側面 190 a の全体を覆う。よって、側

方電極 191a は、側面 190a のうちの厚さ方向 z 上方（一方）の端縁から、側面 190a のうちの厚さ方向 z 下方（他方）の端縁まで繋がる。底面電極 191b は、底面 190c の一部を覆う。底面電極 191b は、底面 190c のうちの長手方向の一方の端縁付近を覆う。底面電極 191b は、側方電極 191a に繋がる。端子 191 は、側方電極 191a および底面電極 191b の他、本体部 190 の上面の一部を覆う部分と、本体部 190 の短手方向の一方を向く側面の一部と、本体部 190 の短手方向の他方を向く側面の一部を覆う部分とを含んでいる。なお、本開示において、側方電極 191a と底面電極 191b との境界は、底面 190c を基準としており、厚さ方向 z 上方側が側方電極 191a であり、厚さ方向 z 下方側が底面電極 191b である。

[0027] 端子 192 は、図 7 に示すように、側方電極 192a および底面電極 192b を含む。側方電極 192a は、側面 190b の全体を覆う。よって、側方電極 192a は、側面 190b のうちの厚さ方向 z 上方（一方）の端縁から、側面 190b のうちの厚さ方向 z 下方（他方）の端縁まで繋がる。底面電極 192b は、底面 190c の一部を覆う。底面電極 192b は、底面 190c のうちの長手方向の他方の端縁付近を覆う。底面電極 192b は、側方電極 192a に繋がる。端子 192 は、側方電極 192a および底面電極 192b の他、本体部 190 の上面の一部を覆う部分と、本体部 190 の短手方向の一方を向く側面の一部と、本体部 190 の短手方向の他方を向く側面の一部を覆う部分とを含んでいる。なお、本開示において、側方電極 192a と底面電極 192b との境界は、底面 190c を基準としており、厚さ方向 z 上方側が側方電極 192a であり、厚さ方向 z 下方側が底面電極 192b である。

[0028] 支持部材 2 は、図 2 および図 6～図 10 に示すように、半導体素子 1 および複数の電子部品 19 を支持する。支持部材 2 は、たとえば樹脂材料を含む。当該樹脂材料は、たとえば封止樹脂 6 と同じであるが、封止樹脂 6 と異なってもよい。また、支持部材 2 には、先述の樹脂材料にシリカなどのフ

イラーが混入されていてもよい。支持部材 2 は、樹脂材料ではなく、単結晶の真性半導体（たとえばケイ素（Si））を含む構成でもよい。支持部材 2 は、図 2、図 4 および図 5 に示すように、平面視矩形状である。支持部材 2 の厚さ（厚さ方向 z に沿う寸法）は、何ら限定されないが、たとえば  $30\mu\text{m}$  以上  $200\mu\text{m}$  以下である。支持部材 2 は、支持面 21、裏面 22 および複数の側面 23 を有する。

[0029] 図 6、図 8 および図 9 に示すように、支持面 21 および裏面 22 は、厚さ方向 z において離間する。支持面 21 と裏面 22 は、互いに反対側を向く。支持面 21 は、支持部材 2 の上面であり、裏面 22 は、支持部材 2 の下面である。支持面 21 は、半導体素子 1（素子主面 10a）に対向する。裏面 22 は、電子装置 A10 を配線板に実装した際、当該配線板に対向する。本実施形態では、支持面 21 は、封止樹脂 6 に覆われ、裏面 22 は、封止樹脂 6 から露出する。

[0030] 図 2、図 4～図 6、図 8 および図 9 に示すように、複数の側面 23 はそれぞれ、支持面 21 と裏面 22 との間に挟まれている。各側面 23 の厚さ方向 z の上端は、支持面 21 に繋がり、各側面 23 の厚さ方向 z の下端は、裏面 22 に繋がる。各側面 23 は、平坦であり、かつ、支持面 21 および裏面 22 のそれぞれに直交する。

[0031] 配線層 3 は、電子装置 A10 の内部に配置される導電体である。配線層 3 は、たとえば Cu を含む。配線層 3 は、たとえばシード層（たとえばチタン（Ti）を含む）と金属層（たとえば Cu を含む）との積層体であるが、導電体からなる単層であってもよい。配線層 3 は、図 2 および図 3 に示すように、複数の配線部 30 を含む。複数の配線部 30 は、互いに離間する。複数の配線部 30 は、半導体素子 1 に導通するもの、複数の電子部品 19 のいずれかに導通するもの、および、半導体素子 1 および複数の電子部品 19 のいずれにも導通しないものを含む。本実施形態では、配線層 3 は、支持面 21 に形成され、支持面 21 に接する。配線層 3 の厚さ（厚さ方向 z に沿う寸法）は、 $3\mu\text{m}$  以上  $100\mu\text{m}$  以下である。

[0032] 図2～図4、図6および図7に示すように、複数の配線部30は、第1配線部31、第2配線部32および第3配線部33を含む。第1配線部31、第2配線部32および第3配線部33は、互いに離間する。

[0033] 第1配線部31には、2つの第1電子部品19Aの各端子191が、導電性接合材42によりそれぞれ接合されている。これにより、2つの第1電子部品19Aの各端子191は、第1配線部31を介して導通する。第1配線部31には、2つの第2電子部品19Bの各端子192が、導電性接合材42によりそれぞれ接合されている。これにより、2つの第2電子部品19Bの各端子192は、第1配線部31を介して導通する。2つの第1電子部品19Aの各端子191と2つの第2電子部品19Bの各端子192とは、第1配線部31を介して導通する。図2～図4に示すように、第1配線部31は、2つの第1電子部品19Aおよび2つの第2電子部品19Bのいずれも介することなく、半導体素子1および外部端子5のいずれにも導通しない。つまり、第1配線部31は、2つの第1電子部品19Aおよび2つの第2電子部品19Bのいずれかを介することで、半導体素子1および外部端子5に導通する。

[0034] 第1配線部31は、図3および図10に示すように、複数の区画部311および連結部312を含む。本実施形態では、第1配線部31は、2つの区画部311を含む。2つの区画部311はそれぞれ、互いに離間する。2つの区画部311の一方には、2つの第1電子部品19Aの一方が有する端子191と、2つの第2電子部品19Bの一方が有する端子192とが接合される。2つの区画部311の他方には、2つの第1電子部品19Aの他方が有する端子191と、2つの第2電子部品19Bの他方が有する端子192とがそれぞれ接合されている。図3および図10に示す例では、2つの区画部311は、第2方向yに離間する。連結部312は、2つの区画部311に挟まれている。連結部312は、2つの区画部311の各々に繋がっており、2つの区画部311を電氣的に繋ぐ。

[0035] 第2配線部32には、2つの第1電子部品19Aの各端子192が、導電

性接合材 4 2 によりそれぞれ接合されている。これにより、2つの第1電子部品 1 9 Aの各端子 1 9 2は、第2配線部 3 2を介して導通する。図2～図4に示す例では、第2配線部 3 2は、複数の外部端子 5のいずれかに導通する。

[0036] 第3配線部 3 3には、2つの第2電子部品 1 9 Bの各端子 1 9 1が、導電性接合材 4 2によりそれぞれ接合されている。これにより、2つの第2電子部品 1 9 Bの各端子 1 9 1は、第3配線部 3 3を介して導通する。図2～図4に示す例では、第3配線部 3 3は、複数の外部端子 5のいずれかおよび半導体素子 1に導通する。

[0037] 図示された例では、第1配線部 3 1、第2配線部 3 2および第3配線部 3 3は、第1方向 xに沿って配置されている。第1配線部 3 1は、第1方向 xにおいて、第2配線部 3 2と第3配線部 3 3との間に位置する。第2配線部 3 2は、第1配線部 3 1に対して、第1方向 xの他方側に配置され、第3配線部 3 3は、第1配線部 3 1に対して、第1方向 xの一方側に配置されている。

[0038] 2つの第1電子部品 1 9 Aはそれぞれ、第1配線部 3 1および第2配線部 3 2に跨って配置されている。2つの第1電子部品 1 9 Aは、第2方向 yに沿って配置され、第2方向 yに見て互いに重なる。2つの第2電子部品 1 9 Bはそれぞれ、第1配線部 3 1および第3配線部 3 3に跨って配置されている。2つの第2電子部品 1 9 Bは、第2方向 yに沿って配置され、第2方向 yに見て互いに重なる。2つの第1電子部品 1 9 Aと2つの第2電子部品 1 9 Bとは、第1方向 xに沿って配置され、第1方向 xに見てそれぞれ個別に重なる。なお、2つの第1電子部品 1 9 Aおよび2つの第2電子部品 1 9 Bの電気的な接続関係が同じであれば、これらの各配置はずれていてもよい。たとえば、製造時の誤差により、2つの第1電子部品 1 9 Aおよび2つの第2電子部品 1 9 Bに、位置ずれが生じうる。

[0039] 図2に示すように、複数の配線部 3 0は、複数の 3 4, 3 5, 3 6を含む。複数の配線部 3 4, 3 5, 3 6は、互いに離間する。

- [0040] 配線部34には、2つの電子部品19Cの各端子191が、導電性接合材42によりそれぞれ接合されている。これにより、2つの電子部品19Cの各端子191は、配線部34を介して導通する。配線部34には、2つの電子部品19Dの各端子192が、導電性接合材42によりそれぞれ接合されている。これにより、2つの電子部品19Dの各端子192は、配線部34を介して導通する。2つの電子部品19Cの各端子191と2つの電子部品19Dの各端子192とは、配線部34を介して導通する。図2および図4に示すように、配線部34は、複数の電子部品19C、19Dのいずれも介することなく、半導体素子1および外部端子5のいずれにも導通しない。つまり、配線部34は、複数の電子部品19C、19Dのいずれかを介することで、半導体素子1および外部端子5に導通する。詳細は省略するが、配線部34は、第1配線部31と同様に、複数の区画部および連結部を含む。
- [0041] 配線部35には、2つの電子部品19Cの各端子192が、導電性接合材42によりそれぞれ接合されている。これにより、2つの電子部品19Cの各端子192は、配線部35を介して導通する。図2および図4に示す例では、配線部35は、半導体素子1に導通する。
- [0042] 配線部36には、2つの電子部品19Dの各端子191が、導電性接合材42によりそれぞれ接合されている。これにより、2つの電子部品19Dの各端子191は、配線部36を介して導通する。図2および図4に示す例では、配線部36は、半導体素子1に導通する。
- [0043] 図示された例では、複数の配線部34、35、36は、第1方向xに沿って配置されている。配線部34は、第1方向xにおいて、配線部35と配線部36との間に位置する。配線部35は、配線部34に対して、第1方向xの他方側に配置され、配線部36は、配線部34に対して、第1方向xの一方側に配置されている。
- [0044] 2つの電子部品19Cはそれぞれ、配線部34および配線部35に跨って配置されている。2つの電子部品19Cは、第2方向yに沿って配置され、第2方向yに見て互いに重なる。2つの電子部品19Dはそれぞれ、配線部

34 および配線部36に跨って配置されている。2つの電子部品19Dは、第2方向yに沿って配置され、第2方向yに見て互いに重なる。2つの電子部品19Cと2つの電子部品19Dとは、第1方向xに沿って配置され、第1方向xに見てそれぞれ個別に重なる。なお、2つの電子部品19Cおよび2つの電子部品19Dの電氣的な接続関係が同じであれば、これらの各配置はずれていてもよい。たとえば、製造時の誤差により、2つの電子部品19Cおよび2つの電子部品19Dに、位置ずれが生じうる。

[0045] 複数の導電性接合材41はそれぞれ、図4、図6および図8から理解されるように、配線層3と、半導体素子1の複数の電極パッド14のいずれかとを接合する。複数の導電性接合材41を介して、半導体素子1は配線層3に導通する。複数の導電性接合材41はそれぞれ、導電性の接合材である。複数の導電性接合材41は、たとえばはんだである。当該はんだは、錫(Sn)を組成に含む合金(たとえばSn-銀(Ag)合金)を含み、且つフラックスを含有する。なお、複数の導電性接合材41の各組成は、この例に限定されない。各導電性接合材41の厚さ(厚さ方向zに沿う寸法)は、何ら限定されないが、たとえば15 $\mu$ m以上100 $\mu$ m以下である。

[0046] 複数の導電性接合材42は、図4、図6、図8および図9に示すように、配線層3(複数の配線部30のいずれか)と、複数の電子部品19の各々の一对の端子191, 192のうちの対応する1つとを接合する。複数の導電性接合材42はそれぞれ、導電性の接合材である。各導電性接合材42は、たとえばはんだである。当該はんだは、錫(Sn)を組成に含む合金(たとえばSn-銀(Ag)合金)を含む。各導電性接合材42は、フラックスを含有していてもよいし含有していなくてもよい。各導電性接合材42の厚さ(厚さ方向zに沿う寸法)は、何ら限定されないが、たとえば1 $\mu$ m以上20 $\mu$ m以下である。

[0047] 複数の導電性接合材42はそれぞれ、図7または図10に示すように、フィレット部421を含む。フィレット部421は、各電子部品19の端子191の側方電極191aあるいは端子192の側方電極192aのいずれか

に接する。図7または図10に示す例では、フィレット部421の側面は、凸に湾曲しているが、凹に湾曲していてもよいし、湾曲していなくてもよい。

[0048] 複数の外部端子5はそれぞれ、配線層3に導通しており、かつ、電子装置A10の外部に露出した導電体である。複数の外部端子5はそれぞれ、電子装置A10を配線板に実装する際の端子となる。図6および図8～図10に示すように、複数の外部端子5はそれぞれ、支持部材2を厚さ方向zに貫通する。複数の外部端子5には、配線層3を介して半導体素子1に導通するもの、配線層3を介して複数の電子部品19のいずれかと半導体素子1とに導通するもの、配線層3を介して複数の電子部品19のいずれかに導通するもの、および、半導体素子1と複数の電子部品19とのいずれにも導通しないものとがある。図示された例では、複数の外部端子5はいずれも、平面視において半導体素子1の外方に配置されており、平面視において半導体素子1および複数の電子部品19のいずれにも重ならない。この例と異なり、複数の外部端子5のいくつかは、平面視において、半導体素子1および複数の電子部品19のいずれかに重なっていてもよい。

[0049] 複数の外部端子5はそれぞれ、図6および図8～図10に示すように、柱状部51および外部電極部52を含む。次で説明する柱状部51および外部電極部52はそれぞれ、特段の断りがない限り、各外部端子5で共通する。

[0050] 図6および図8～図10に示すように、柱状部51は、支持部材2を厚さ方向zに貫通する。柱状部51は、たとえば金属材料を含む。当該金属材料は、何ら限定されないが、たとえばCuである。柱状部51の平面視形状は、何ら限定されないが、図示された例では矩形あるいは多角形である。柱状部51の上面（厚さ方向z上方を向く面）は、たとえば支持部材2の支持面21と面一である。この柱状部51の上面は、配線層3に接する。なお、複数の外部端子5には、柱状部51の上面が配線層3に接しないものがある。このような外部端子5は、ダミー端子となる。柱状部51の下面（厚さ方向z下方を向く面）は、支持部材2から露出する。この柱状部51の

下面は、たとえば支持部材 2 の裏面 2 2 と面一である。本実施形態では、すべての外部端子 5 において、柱状部 5 1 の側面（第 1 方向 x または第 2 方向 y を向く面）は、支持部材 2 に覆われているが、この例と異なり、複数の外部端子 5 には、柱状部 5 1 の側面が露出したものがあるかもしれない。

[0051] 図 6 および図 8 ～図 10 に示すように、外部電極部 5 2 は、柱状部 5 1 のうち、支持部材 2 の裏面 2 2 から露出する部位に接する。外部電極部 5 2 は、裏面 2 2 から突き出る。外部電極部 5 2 は、無電解めっきにより形成される。外部電極部 5 2 は、たとえば、柱状部 5 1 に接する側から Ni 層、パラジウム (Pd) 層、金 (Au) 層の順に積層された複数の金属層から構成される。外部電極部 5 2 は、その他の構成として、柱状部 5 1 に接する側から、Ni 層、Au 層の順に積層された複数の金属層、あるいは、Cu 層、Ag 層、Sn 層の順に積層された複数の金属層とすることができる。外部電極部 5 2 の材料および形成方法は、これらの例に限定されない。

[0052] 封止樹脂 6 は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂 6 は、当該エポキシ樹脂にシリカなどのフィラーが混入されていてもよい。封止樹脂 6 は、図 2 および図 6 ～図 10 に示すように、半導体素子 1、複数の電子部品 19 および配線層 3などを覆う。また、封止樹脂 6 は、図 2 および図 6 ～図 10 に示すように、支持部材 2 の一部と、複数の導電性接合材 4 1 と、複数の導電性接合材 4 2 とを覆う。封止樹脂 6 は、支持面 2 1 に形成される。封止樹脂 6 は、平面視において矩形状である。封止樹脂 6 は、図 1、図 2 および図 5 ～図 10 に示すように、樹脂主面 6 1、樹脂裏面 6 2 および複数の樹脂側面 6 3 を有する。

[0053] 図 6 ～図 10 に示すように、樹脂主面 6 1 および樹脂裏面 6 2 は、厚さ方向 z において離間する。樹脂主面 6 1 と樹脂裏面 6 2 とは、厚さ方向 z において互いに反対側を向く。樹脂主面 6 1 は、厚さ方向 z において、支持面 2 1 と同じ方向を向き、樹脂裏面 6 2 は、厚さ方向 z において裏面 2 2 と同じ方向を向く。樹脂裏面 6 2 は、支持面 2 1 に接する。樹脂裏面 6 2 には、配線層 3 の形状に応じて凹凸がある。図 6、図 8 および図 9 に示すように、複

数の樹脂側面 6 3 の各々は、厚さ方向  $z$  において樹脂主面 6 1 と樹脂裏面 6 2 とに挟まれており、これらに繋がる。複数の樹脂側面 6 3 は、複数の側面 2 3 のうちの対応する 1 つと面一である。

[0054] 次に、電子装置 A 1 0 の回路構成例の一例について、図 1 1 および図 1 2 を参照して説明する。図 1 1 および図 1 2 に示す各回路構成例は、各電子部品 1 9 がコンデンサであるものとして、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B の接続関係を示している。図 1 1 に示す回路図は、先述の接続関係を、図 1 ~ 図 1 0 に示す構造例の通りに記載したものであり、図 1 2 に示す回路図は、図 1 1 に示す回路図を等価的に記載したものである。

[0055] 図 1 1 に示す回路図に示すように、電子装置 A 1 0 では、2 つの第 1 電子部品 1 9 A が、第 1 配線部 3 1 および第 2 配線部 3 2 間で電氣的に並列に接続されている。2 つの第 2 電子部品 1 9 B が、第 1 配線部 3 1 および第 3 配線部 3 3 間で電氣的に並列に接続されている。そして、2 つの第 1 電子部品 1 9 A と 2 つの第 2 電子部品 1 9 B とが、第 1 配線部 3 1 を介して、直列に接続されている。

[0056] これに対して、図 1 2 に示す回路図では、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B の各電氣的な特性（静電容量）が合成されて、第 2 配線部 3 2 および第 3 配線部 3 3 間で 1 つの電子部品 1 9 X として等価的にまとめられている。つまり、電子装置 A 1 0 において、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B は、回路図において、電氣的な特性を 1 つの回路記号（電子部品 1 9 X）に等価される。

[0057] 次に、電子装置 A 1 0 の製造方法の一例について、図 1 3 ~ 図 2 3 を参照して説明する。図 1 3 ~ 図 2 3 は、電子装置 A 1 0 の製造方法における一工程を示す断面図である。これらの断面図は、図 6 に示す断面に対応する。なお、図 2 2 および図 2 3 に示す断面図は、図 1 3 ~ 図 2 1 に示す断面図に対して、厚さ方向  $z$  が反対向きである。

[0058] まず、図 1 3 に示すように、支持基板 8 0 を準備し、当該支持基板 8 0 上

に複数の柱状導体 851 を形成する。支持基板 80 は、たとえば単結晶の真性半導体材料を含む。当該半導体材料は、たとえば Si である。支持基板 80 を準備する工程では、たとえば支持基板 80 として、シリコンウエハを準備する。支持基板 80 は、厚さ方向  $z$  において互いに反対側を向く基板主面 80a および基板裏面 80b を有する。複数の柱状導体 851 は、たとえば次の工程により形成される。まず、基板主面 80a にシード層を形成する。当該シード層の形成は、たとえばスパッタリング法による。そして、シード層上にレジストをパターンニングし、電解めっきにより複数の柱状導体 851 を形成する。その後、レジスト層および不要なシード層を除去する。これらの工程を経て、支持基板 80 の基板主面 80a に、複数の柱状導体 851 を形成する。柱状導体 851 は、後に外部端子 5 の柱状部 51 となる部位である。

[0059] 次いで、図 14 に示すように、支持基板 80 の基板主面 80a に、柱状導体 851 を覆う第 1 樹脂層 82 を形成する。第 1 樹脂層 82 の形成は、たとえばモールド成形による。第 1 樹脂層 82 は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。第 1 樹脂層 82 としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。第 1 樹脂層 82 は、厚さ方向  $z$  において互いに反対側を向く主面 821 および底面 822 を有する。主面 821 は、基板主面 80a と同じ方向を向き、底面 822 は、基板主面 80a に対向する。第 1 樹脂層 82 は、後に支持部材 2 となる部材である。

[0060] 次いで、図 15 に示すように、第 1 樹脂層 82 を研削する。当該第 1 樹脂層 82 の研削は、主面 821 側から、主面 821 から柱状導体 851 が露出するまで行う。当該研削の方法は特に限定されない。また、研削ではない方法により、第 1 樹脂層 82 を低背化してもよい。これにより、柱状導体 851 から柱状部 51 が形成される。

[0061] 次いで、図 16 に示すように、配線層 3 を形成する。配線層 3 は、たとえば次の工程により形成される。まず、主面 821、各柱状部 51 の上に、シード層を形成する。当該シード層の形成は、たとえばスパッタリング法によ

る。たとえばシード層として、Ti層およびCu層が順に積層される。そして、シード層上にレジストをパターニングし、電解めっきにより金属層を形成する。たとえば、金属層は、Cuを含む。その後、レジストおよび不要なシード層（金属層から露出するシード層）を除去する。これらの工程を経て、配線層3を形成する。

[0062] 次いで、図17に示すように、複数の導電性接合材420を形成する。複数の導電性接合材420を形成する工程では、たとえば、各導電性接合材420としてののはんだペーストを、スクリーン印刷によって、対応する配線部30（配線層3）上に形成する。なお、複数の導電性接合材420の形成方法は、これに限定されない。対応する配線部30とは、複数の配線部30のうち、後に複数の電子部品19が接合されるものである。

[0063] 次いで、図18および図19に示すように、複数の電子部品19を搭載し、その後、複数の電子部品19を接合する。図18に示すように、複数の電子部品19を搭載する工程では、電子部品19の端子191と、導電性接合材420とを、対応させて載置する。次いで、各電子部品19を載置した状態で、リフローを行う。このリフローによる熱によって各導電性接合材420が溶融する。次いで、溶融した導電性接合材420を冷却することで、各導電性接合材420が固化し、各導電性接合材42となる。これにより、各電子部品19が各導電性接合材42により接合される。形成される各導電性接合材42には、図19に示すように、フィレット部421が形成される。

[0064] 次いで、図19および図20に示すように、半導体素子1を搭載し、その後、半導体素子1を接合する。半導体素子1を搭載する工程では、図19に示すように、半導体素子1に形成された各導電性接合材410と、配線層3（複数の配線部30のいずれか）とを対応させて載置する。なお、本実施形態では、各導電性接合材410を、半導体素子1の電極パッド14に形成させた例を示すが、対応する配線部30（配線層3）上に形成してもよい。この場合の対応する配線部30とは、複数の配線部30のうち、後に半導体素子1が接合されるものである。また、半導体素子1に形成された各導電性接

合材 410 には、フラックスが付加されている。次いで、半導体素子 1 を載置した状態で、リフローを行う。このリフローによる熱によって各導電性接合材 410 が溶融する。次いで、溶融した導電性接合材 410 を冷却することで、各導電性接合材 410 が固化して、各導電性接合材 41 となる。これにより、半導体素子 1 が各導電性接合材 41 により接合される。

[0065] 次いで、図 21 に示すように、第 2 樹脂層 86 を形成する。第 2 樹脂層 86 は、支持部材 2 の上方に、半導体素子 1、複数の電子部品 19 および配線層 3 を覆うように、形成される。第 2 樹脂層 86 の形成は、たとえばモールド成形による。第 2 樹脂層 86 は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。第 2 樹脂層 86 としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってもよい。第 2 樹脂層 86 は、後に封止樹脂 6 となる部材である。第 2 樹脂層 86 は、厚さ方向 z の一方を向く頂面 861 を有する。頂面 861 は、封止樹脂 6 における樹脂主面 61 に相当する。

[0066] 次いで、図 22 に示すように、支持基板 80 を除去する。当該支持基板 80 の除去では、たとえば、図 21 に示す状態において、基板裏面 80b 側から支持基板 80 を研削する。当該研削では、支持基板 80 を、基板裏面 80b 側から行う。図示された例では、当該研削を、支持基板 80 の除去後も継続して行うことで、支持部材 2 および柱状部 51 を低背化する。この低背化は、行わなくてもよい。

[0067] 次いで、図 23 に示すように、外部電極部 52 を形成する。外部電極部 52 は、裏面 22 から露出する柱状部 51 の頂面に形成される。外部電極部 52 の形成は、たとえば無電解めっきによる。当該無電解めっきでは、柱状部 51 に接する側から、Ni 層、Pd 層、Au 層の順に積層させる。これにより、各々が柱状部 51 および外部電極部 52 を含む複数の外部端子 5 が形成される。

[0068] その後、図 23 に示す切断線 CL で、第 2 樹脂層 86 を切断することで、個片化する。第 2 樹脂層 86 の切断は、たとえばダイシングブレードを用いた切削加工により行われる。第 2 樹脂層 86 が切断線 CL で分割されること

で、電子装置A10における封止樹脂6が形成される。

[0069] 以上の工程を経て、図1～図10に示す電子装置A10が製造される。なお、電子装置A10の製造方法は、上記した例に限定されない。たとえば、支持部材2が単結晶の真性半導体（たとえばSi）を含む場合、次のように製造される。それは、上記支持基板80（シリコンウエハ）に、エッチング等により溝を形成する。次いで、当該溝に複数の柱状導体851を形成する。次いで、第1樹脂層82を形成することなく、配線層3を形成する。また、第2樹脂層86の形成後において、支持基板80を除去するのではなく、先述の溝に形成された複数の柱状導体851が露出するまで、研削する。

[0070] 電子装置A10の作用および効果は、次の通りである。

[0071] 電子装置A10では、配線層3は、複数の電子部品19の各々の一対の端子191、192のいずれかがそれぞれ接合された第1配線部31を含む。そして、複数の電子部品19は、回路図において、電気的な特性を1つの回路記号に等価される。この構成によれば、1つの電子部品の電気的な特性を、複数の電子部品19（本実施形態では2つの第1電子部品19Aおよび2つの第2電子部品19B）の各電気的な特性の合成値として設計される。これにより、複数の電子部品19の組み合わせにより、様々な電気的な特性値が得られるので、電子装置A10は、高精度な電気的な仕様の設計を行うことが可能となる。また、電子装置A10と異なる構成において、図12に示す回路構成の場合、第2配線部32と第3配線部33との間において1つの電子部品19Xで必要な電気的な特性を達成させることがある。この場合、電子部品19Xのサイズ（たとえば厚さ）が大きくなる。このため、封止樹脂6の厚さ（厚さ方向zの寸法）が大きくなり、封止樹脂6から支持部材2に加わる応力により、支持部材2の反りが発生しうる。つまり、封止樹脂6の厚さが小さい程、支持部材2の反りが低減される。これに対して、電子装置A10では、1つの電子部品の電気的な特性を、複数の電子部品19の各電気的な特性の合成値として設計されるので、1つの電子部品19Xを、この電子部品19Xよりも薄い（厚さが小さい）複数の電子部品19に置き換

えることが可能となる。したがって、電子装置 A 1 0 は、封止樹脂 6 の薄型化を図った設計を行うことが可能となる。このような薄型化は、先述の通り、支持部材 2 の反りを低減させる上で好ましい。以上のことから、電子装置 A 1 0 は、モジュール設計の自由度を高めることができる。

[0072] 電子装置 A 1 0 では、配線層 3 は、第 1 配線部 3 1、第 2 配線部 3 2 および第 3 配線部 3 3 を含む。複数の電子部品 1 9 は、第 1 電子部品 1 9 A および第 2 電子部品 1 9 B を含む。第 1 電子部品 1 9 A は、一对の端子 1 9 1、1 9 2 が第 1 配線部 3 1 と第 2 配線部 3 2 とにそれぞれ接合され、第 2 電子部品 1 9 B は、一对の端子 1 9 1、1 9 2 が第 1 配線部 3 1 と第 3 配線部 3 3 とにそれぞれ接合されている。この構成によれば、第 2 配線部 3 2 と第 3 配線部 3 3 とは、第 1 電子部品 1 9 A および第 2 電子部品 1 9 B と、第 1 配線部 3 1 を介して電氣的に接続される。つまり、第 2 配線部 3 2 および第 3 配線部 3 3 の間において、1 つの回路記号に等価される電氣的な特性を、少なくとも 1 つの第 1 電子部品 1 9 A および少なくとも 1 つの第 2 電子部品 1 9 B で設計することが可能となる。

[0073] 電子装置 A 1 0 では、第 1 配線部 3 1 は、複数の電子部品 1 9（2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B）のいずれかを介して半導体素子 1 あるいは複数の外部端子 5 に導通する。この構成によれば、第 1 配線部 3 1 は、半導体素子 1 および複数の外部端子 5 のいずれにも直接導通していない。したがって、第 2 配線部 3 2 と第 3 配線部 3 3 との間を、1 つの電子部品によって導通させることが可能な構成において、第 1 配線部 3 1 を設けることで、第 2 配線部 3 2 と第 3 配線部 3 3 との間において、少なくとも 2 つの電子部品 1 9（1 つの第 1 電子部品 1 9 A と 1 つの第 2 電子部品 1 9 B）の直列回路で導通させることができる。つまり、第 2 配線部 3 2 と第 3 配線部 3 3 との間において、1 つの回路記号に等価される電氣的な特性を、複数の電子部品 1 9 で設計することができる。このことは、電子装置 A 1 0 のモジュール設計の自由度を高める上で好ましい。

[0074] 電子装置 A 1 0 では、第 1 配線部 3 1 は、2 つの区画部 3 1 1 および連結

部 3 1 2 を含む。連結部 3 1 2 は、互いに離間する 2 つの区画部 3 1 1 を繋ぐ。この構成によれば、2 つの第 1 電子部品 1 9 A の各端子 1 9 1 は、第 1 配線部 3 1 を介して電氣的に接続される。したがって、2 つの第 1 電子部品 1 9 A を電氣的に並列に接続することができる。同様に、2 つの第 2 電子部品 1 9 B の各端子 1 9 2 は、第 1 配線部 3 1 を介して電氣的に接続される。したがって、2 つの第 2 電子部品 1 9 B を電氣的に並列に接続することができる。

[0075] 電子装置 A 1 0 では、第 1 配線部 3 1 は、平面視において矩形状である。また、2 つの第 1 電子部品 1 9 A は、第 1 方向 x に見て、互いに重なり、且つ、2 つの第 2 電子部品 1 9 B は、第 1 方向 x に見て、互いに重なる。さらに、2 つの第 1 電子部品 1 9 A は、第 2 方向 y に見て、2 つの第 2 電子部品 1 9 B にそれぞれ個別に重なる。この構成によれば、次に示す距離差を小さくできる。たとえば、当該距離差は、2 つの第 1 電子部品 1 9 A の端子 1 9 1 同士の第 1 配線部 3 1 における導通経路と、2 つの第 2 電子部品 1 9 B の端子 1 9 2 同士の第 1 配線部 3 1 における導通経路との距離差である。また、たとえば、当該距離差は、2 つの第 1 電子部品 1 9 A の一方が含む端子 1 9 1 と 2 つの第 2 電子部品 1 9 B の一方が含む端子 1 9 2 との第 1 配線部 3 1 における導通経路と、2 つの第 1 電子部品 1 9 A の他方が含む端子 1 9 1 と 2 つの第 2 電子部品 1 9 B の他方が含む端子 1 9 2 との第 1 配線部 3 1 における導通経路との距離差である。これにより、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B 間の第 1 配線部 3 1 における導通経路の差を抑制できるので、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B の電氣的なばらつきを抑制できる。

[0076] 電子装置 A 1 0 では、複数の電子部品 1 9 の各々の電氣的な特性に対する性能は、互いに同じである。この構成によれば、たとえば、複数の電子部品 1 9 (第 1 電子部品 1 9 A および第 2 電子部品 1 9 B) の大きさ (厚さおよび平面視サイズ) を均等にすることが可能となるので、複数の電子部品 1 9 の各厚さのばらつきを抑制することができる。これにより、電子装置 A 1 0

は、封止樹脂 6 の厚さ（厚さ方向  $z$  の寸法）の設計が容易となる。また、電子装置 A 1 0 は、複数の電子部品 1 9 の電気的な特性の合成成分の演算が容易となる。

[0077] 電子装置 A 1 0 では、支持部材 2 は、樹脂材料を含み、当該樹脂材料は、封止樹脂 6 と同じである。この構成によれば、支持部材 2 の線膨張係数と封止樹脂 6 の線膨張係数との差を小さくできるので、電子装置 A 1 0 で発生する熱応力を抑制できる。

[0078] 電子装置 A 1 0 では、配線層 3 は、複数の配線部 3 4, 3 5, 3 6 を含む。複数の電子部品 1 9 は、複数の電子部品 1 9 C, 1 9 D を含む。複数の配線部 3 4, 3 5, 3 6 と、複数の電子部品 1 9 C, 1 9 D との相対的な位置関係および電氣的に接続関係は、第 1 配線部 3 1、第 2 配線部 3 2 および第 3 配線部 3 3 と、少なくとも 1 つの第 1 電子部品 1 9 A および少なくとも 1 つの第 2 電子部品 1 9 B との相対的な位置関係および電氣的な接続関係と同様である。したがって、これらの作用および効果は、共通する。

[0079] 以下に、本開示の電子装置の他の実施形態および変形例について、説明する。各実施形態および各変形例における各部の構成は、技術的な矛盾が生じない範囲において相互に組み合わせ可能である。

[0080] 図 2 4 は、第 1 実施形態の第 1 変形例にかかる電子装置 A 1 1 を示している。電子装置 A 1 1 は、電子装置 A 1 0 と比較して、次の点で異なる。第 1 に、2 つの第 1 電子部品 1 9 A の各端子 1 9 1 および 2 つの第 2 電子部品 1 9 B の各端子 1 9 2 が、1 つの導電性接合材 4 2 によって、第 1 配線部 3 1 に接合されている点である。第 2 に、2 つの第 1 電子部品 1 9 A の各端子 1 9 2 が、1 つの導電性接合材 4 2 によって、第 2 配線部 3 2 に接合されている点である。第 3 に、2 つの第 2 電子部品 1 9 B の各端子 1 9 1 が、1 つの導電性接合材 4 2 によって、第 3 配線部 3 3 に接合されている点である。

[0081] 電子装置 A 1 1 では、2 つの第 1 電子部品 1 9 A および 2 つの第 2 電子部品 1 9 B が 1 つの導電性接合材 4 2 により、第 1 配線部 3 1 に接合されている。このように、本開示の電子装置では、各第 1 電子部品 1 9 A と各第 2 電

子部品 19B とは、それぞれ個別に第 1 配線部 31 に接合されている構成に限定されず、一括して第 1 配線部 31 に接合されている構成を含む。同様に、2つの第 1 電子部品 19A が 1つの導電性接合材 42 により、第 2 配線部 32 に接合されている。このように、本開示の電子装置では、2つの第 1 電子部品 19A は、それぞれ個別に第 2 配線部 32 に接合されている構成に限定されず、一括して第 2 配線部 32 に接合されている構成を含む。同様に、2つの第 2 電子部品 19B が 1つの導電性接合材 42 により、第 3 配線部 33 に接合されている。このように、本開示の電子装置では、2つの第 2 電子部品 19B は、それぞれ個別に第 3 配線部 33 に接合されている構成に限定されず、一括して第 3 配線部 33 に接合されている構成を含む。

[0082] 図 25 は、第 1 実施形態の第 2 変形例にかかる電子装置 A12 を示している。電子装置 A12 は、電子装置 A10 と比較して、次の点で異なる。それは、電子装置 A12 の半導体素子 1 の厚さ（厚さ方向 z の寸法）は、電子装置 A10 の半導体素子 1 の厚さよりも大きい点で異なる。

[0083] 電子装置 A12 では、電子装置 A10 と同様に、各電子部品 19 が低背化される。この各電子部品 19 の低背化後であっても、各電子部品 19 の厚さ（厚さ方向 z の寸法）と、半導体素子 1 との厚さ（厚さ方向 z の寸法）との差がある場合には、半導体素子 1 の厚さを、各電子部品 19 の厚さと同じ程度に、厚くしてもよい。このように半導体素子 1 の体積を大きくすることで、封止樹脂 6 の体積（形成量）を小さくすることができる。これにより、封止樹脂 6 の体積（形成量）が小さくなるので、封止樹脂 6 から支持部材 2 にかかる応力を抑制できる。このため、電子装置 A12 は、電子装置 A10 よりも、支持部材 2 の反りを低減できる。

[0084] 図 26 は、第 1 実施形態の第 3 変形例にかかる電子装置 A13 を示している。電子装置 A13 は、電子装置 A10 と比較して、次の点で異なる。第 1 に、複数の電子部品 19 は、3つの第 1 電子部品 19A を含む。第 2 に、複数の電子部品 19 は、3つの第 2 電子部品 19B を含む。

[0085] 電子装置 A13 では、3つの第 1 電子部品 19A が電氣的に並列に接続さ

れ、3つの第2電子部品19Bが電氣的に並列に接続されている。そして、3つの第1電子部品19Aと3つの第2電子部品19Bとは、電氣的に直列に接続されている。このように、本開示の電子装置では、第1電子部品19Aの数および第2電子部品19Bの数はそれぞれ、何ら限定されない。なお、各電子装置A10、A13では、第1電子部品19Aの数と第2電子部品19Bの数とは、同じであるが、これらは異なってもよい。

[0086] 上記各電子装置A11～A13では、電子装置A10と同様に、複数の電子部品19（少なくとも1つの第1電子部品19Aおよび少なくとも1つの第2電子部品19B）の各々の一対の端子191、192のいずれかがそれぞれ接合された第1配線部31を含み、複数の電子部品19は、回路図において、電氣的な特性を1つの回路記号に等価される。したがって、各電子装置A11～A13は、電子装置A10と同様に、高精度な電氣的な仕様の設計および薄型化を図った設計が可能となるので、モジュール設計の自由度を高めることができる。その他、各電子装置A11～A13は、電子装置A10と共通する構成により、同様の効果を奏する。

[0087] 図27～図29は、第2実施形態にかかる電子装置A20を示している。電子装置A20は、電子装置A10と比較して、次の点で異なる。それは、第1配線部31、第2配線部32および第3配線部33はそれぞれ、本体部301および複数の土台部302を含んでいる点である。

[0088] 本体部301は、シード層（たとえばチタン（Ti）を含む）と金属層（たとえばCuを含む）とを含む。土台部302は、本体部301上に積層されている。土台部302は、各電子部品19が接合される部分に配置されており、本体部301と対応する導電性接合材42との間に配置されている。各土台部302は、本体部301の金属層と同じ金属（たとえばCu）を含む。この例と異なり、各土台部302は、本体部301の金属層と異なる金属（たとえばニッケル）を含んでいてもよい。たとえば、各土台部302がニッケルを含む場合、土台部302は、バリアメタルとして機能し、導電性接合材42が配線層3（本体部301の金属層）に浸透することを抑制でき

る。

[0089] 電子装置A20では、図27および図29に示すように、第1配線部31は、複数の接合面31aと凹部31bとを含む。図27において、各接合面31aをドットで示す。複数の接合面31aはそれぞれ、第1配線部31のうちの、対応する導電性接合材42に接する面である。本実施形態では、第1配線部31には、4つの導電性接合材42が配置されるので、第1配線部31は、4つの接合面31aを含む。各接合面31aは、第1配線部31における複数の土台部302の上面にそれぞれ個別に対応する。凹部31bは、厚さ方向zにおいて、複数の接合面31aから支持部材2の支持面21側に窪んだ部分である。本実施形態では、凹部31bは、平面視において、複数の接合面31aのうちの隣接するもの同士の間位置する。図示された例では、凹部31bは、平面視において第1方向xに延びる線状の部分と平面視において第2方向yに延びる線状の部分とがあり、これらが第1配線部31の中央で交差している。電子装置A20では、第1配線部31は、本体部301と複数の土台部302とを含むことで、図29に示すように、第1配線部31において、各電子部品19が接合される部分（導電性接合材42に接する部分）が、部分的に高くなっている。これにより、第1配線部31に凹部31bが形成されている。なお、詳細は省略するが、図27に示す例では、第2配線部32および第3配線部33はそれぞれ、本体部301および複数の土台部302を含むので、第1配線部31の複数の接合面31aおよび凹部31bと同様の、複数の接合面および凹部を含む。

[0090] 電子装置A20では、図28に示すように、土台部302は、半導体素子1の接合領域に対しても形成されている。この例とは異なり、半導体素子1の接合領域に土台部302が形成されていなくてもよい。また、土台部302は、2つの第1電子部品19Aおよび2つの第2電子部品19Bの各接合領域に少なくとも形成されていればよく、他の電子部品19の接合領域には形成されていなくてもよい。

[0091] 電子装置A20では、電子装置A10と同様に、複数の電子部品19（少

なくとも1つの第1電子部品19Aおよび少なくとも1つの第2電子部品19B)の各々の一对の端子191, 192のいずれかがそれぞれ接合された第1配線部31を含み、複数の電子部品19は、回路図において、電気的な特性を1つの回路記号に等価される。したがって、電子装置A20は、電子装置A10と同様に、高精度な電気的な仕様の設計および薄型化を図った設計が可能となるので、モジュール設計の自由度を高めることができる。その他、電子装置A20は、電子装置A10と共通する構成により、当該電子装置A10と同様の効果を奏する。

[0092] 電子装置A20では、複数の接合面31aの間に、凹部31bが配置されている。この構成によれば、各接合面31aと凹部31bとで段差が生じる。この段差によって、導電性接合材42が配線層3に沿って濡れ広がることを抑制できる。したがって、導電性接合材42の流出が抑制されるので、導電性接合材42の厚さ不足および各電子部品19の姿勢が傾くことをそれぞれ抑制できる。つまり、電子装置A20は、電子部品19の接合不良を抑制して、信頼性の低下を抑制できる。

[0093] 図30および図31は、第2実施形態の第1変形例にかかる電子装置A21を示している。電子装置A21は、電子装置A20と比較して、それは、第1配線部31、第2配線部32および第3配線部33はそれぞれ、本体部301および溝部303を含んでいる点である。

[0094] 図31に示すように、第1配線部31において、溝部303は、本体部301から厚さ方向z下方(厚さ方向zにおいて支持面21側)に窪んでいる。このことは、第2配線部32および第3配線部33においても同様である。電子装置A21は、第1配線部31、第2配線部32および第3配線部33は、溝部303を含むことで、当該第1配線部31、第2配線部32および第3配線部33において、各電子部品19が接合される部分の間に窪みが形成されている。図示された例では、各溝部303は、平面視において、第1方向xあるいは第2方向yに延びている。この構成と異なり、複数の溝部303が第1方向xあるいは第2方向yに沿って断続的に配置されていても

よい。

[0095] 電子装置A 2 1は、図3 0および図3 1に示すように、第1配線部3 1は、複数の接合面3 1 aおよび凹部3 1 bを含む。なお、図3 0において、各接合面3 1 aをドットで示す。凹部3 1 bは、平面視において、複数の接合面3 1 aのうちの隣接するもの同士の間位置する。図示された例では、凹部3 1 bは、平面視において第1方向xに延びる線状の部分と平面視において第2方向yに延びる線状の部分とがあり、これらが第1配線部3 1の中央で交差している。このうち、凹部3 1 bのうちの第1方向xに延びる線状の部分は、連結部3 1 2に形成されている。電子装置A 2 1では、第1配線部3 1は、本体部3 0 1と溝部3 0 3とを含むことで、図3 1に示すように、第1配線部3 1において、各電子部品1 9が接合される部分（導電性接合材4 2に接する部分）の間で、一部が窪んでいる。これにより、第1配線部3 1に凹部3 1 bが形成されている。つまり、電子装置A 2 1においては、凹部3 1 bは、溝部3 0 3に対応する。この構成と異なり、複数の溝部3 0 3が平面視において断続的に延びている場合には、第1配線部3 1は、第1方向xあるいは第2方向yに沿って配置された複数の凹部3 1 bを含む。なお、詳細は省略するが、図3 0に示す例では、第2配線部3 2および第3配線部3 3はそれぞれ、本体部3 0 1および溝部3 0 3を含むので、第1配線部3 1の複数の接合面3 1 aおよび凹部3 1 bと同様の、複数の接合面および凹部を含む。

[0096] 電子装置A 2 1では、電子装置A 2 0と同様に、複数の電子部品1 9（少なくとも1つの第1電子部品1 9 Aおよび少なくとも1つの第2電子部品1 9 B）の各々の一对の端子1 9 1, 1 9 2のいずれかがそれぞれ接合された第1配線部3 1を含み、複数の電子部品1 9は、回路図において、電気的な特性を1つの回路記号に等価される。当該複数の電子部品1 9は、電子装置A 2 0においても、電子装置A 1 0と同様に、2つの第1電子部品1 9 Aおよび2つの第2電子部品1 9 Bである。したがって、電子装置A 2 0は、電子装置A 1 0と同様に、高精度な電気的な仕様の設計および薄型化を図った

設計が可能となるので、モジュール設計の自由度を高めることができる。その他、電子装置A 2 1は、電子装置A 2 0と共通する構成により、当該電子装置A 2 0と同様の効果を奏する。

[0097] 電子装置A 2 1では、電子装置A 2 0と同様に、複数の接合面3 1 aの間に、凹部3 1 bが配置されている。したがって、電子装置A 2 1は、電子装置A 2 0と同様に、各電子部品1 9の姿勢が傾くことを抑制できる。なお、電子装置A 2 1では、電子装置A 2 0と異なり、第1配線部3 1、第2配線部3 2および第3配線部3 3の各々において、本体部3 0 1に溝部3 0 3が形成されていることで、各接合面3 1 aと凹部3 1 bとが設けられている。

[0098] 図3 2および図3 3は、第3実施形態にかかる電子装置A 3 0を示している。電子装置A 3 0は、電子装置A 1 0と比較して、次の点で異なる。それは、電子装置A 3 0の第1配線部3 1は、2つの区画部3 1 1が互いに分離している点である。

[0099] 図3 2および図3 3に示すように、第1配線部3 1は、連結部3 1 2を含んでいない。これにより、2つの区画部3 1 1が互いに分離する。この構成では、2つの第1電子部品1 9 Aの一方と2つの第2電子部品1 9 Bの一方とが、2つの区画部3 1 1の一方を介して、電氣的に直列に接続されている。また、2つの第1電子部品1 9 Aの他方と2つの第2電子部品1 9 Bの他方とが、2つの区画部3 1 1の他方を介して、電氣的に直列に接続されている。そして、各々が1つの第1電子部品1 9 Aと1つの第2電子部品1 9 Bとを含む直列回路が、電氣的に並列に接続されている。

[0100] 電子装置A 3 0では、電子装置A 1 0と同様に、複数の電子部品1 9（少なくとも1つの第1電子部品1 9 Aおよび少なくとも1つの第2電子部品1 9 B）の各々の一对の端子1 9 1, 1 9 2のいずれかがそれぞれ接合された第1配線部3 1を含み、複数の電子部品1 9は、回路図において、電氣的な特性を1つの回路記号に等価される。したがって、電子装置A 3 0は、電子装置A 1 0と同様に、高精度な電氣的な仕様の設計および薄型化を図った設計が可能となるので、モジュール設計の自由度を高めることができる。その

他、電子装置A30は、電子装置A10と共通する構成により、当該電子装置A10と同様の効果を奏する。

[0101] 上記第1実施形態ないし上記第3実施形態（これらの変形例を含む）にかかる各電子装置A10～A13、A20、A21、A30において、第1配線部31、第2配線部32および第3配線部33は、厚さ方向zに直交する一方向（たとえば第1方向x）に沿って配置されていなくてもよい。図34は、このような変形例にかかる第1配線部31、第2配線部32および第3配線部33の配置例を示している。

[0102] 図34に示す電子装置において、第1配線部31は、第2配線部32および第3配線部33の各々に対して第2方向yの一方側に配置されている。第2配線部32と第3配線部33とは、第1方向xに沿って配置されている。この構成においても、2つの第1電子部品19Aはそれぞれ、長手方向を第2方向yに沿って配置され、第1配線部31と第2配線部32とに跨って接合されている。また、2つの第2電子部品19Bはそれぞれ、長手方向を第2方向yに沿って配置され、第1配線部31と第3配線部33とに跨って接合されている。図示された例では、2つの第1電子部品19Aおよび2つの第2電子部品19Bは、第1方向xに沿って配置されている。なお、図34に示す例では、2つの第1電子部品19Aおよび2つの第2電子部品19Bは、第1方向xに乱れることなく整列しているが、2つの第1電子部品19Aおよび2つの第2電子部品19Bの電氣的な接続関係が同じであれば、これらの配置は、ずれていてもよい。たとえば、製造時の誤差により、2つの第1電子部品19Aおよび2つの第2電子部品19Bに、位置ずれが生じる。

[0103] 上記第1ないし第3実施形態（これらの変形例を含む）にかかる各電子装置A10～A13、A20、A21、A30において、封止樹脂6は、各樹脂側面63に段差があってもよい。たとえば、図35は、このような変形例にかかる電子装置であって、第1実施形態にかかる電子装置A10に適用した例を示している。図35では、第1実施形態にかかる電子装置A10に適

用した例を示しているが、他の実施形態にかかる電子装置に適用することも可能である。

[0104] 図35に示す電子装置では、各樹脂側面63は、第1側部631および第2側部632を有する。各樹脂側面63において、第1側部631と第2側部632とは、同じ方向を向く。第1側部631は、平面視において、第2側部632よりも外方に配置されている。第1側部631は、樹脂主面61に繋がり、第2側部632は、複数の側面23のうちの対応する1つに繋がる。第2側部632は、これに繋がる側面23と面一である。このような構成により、各樹脂側面63には、段差がある。また、図35に示す電子装置では、複数の外部端子5は、柱状部51が側面23から露出したものを含んでいる。この柱状部51が側面23から露出した外部端子5においては、外部電極部52は、柱状部51のうち、支持部材2の裏面22から露出した面と、支持部材2の側面23から露出した面とを覆っている。

[0105] 図35に示す電子装置においても、電子装置A10と同様の効果を奏する。さらに、図35に示す電子装置では、複数の外部端子5の一部において、外部電極部52が柱状部51のうちの側面23から露出する面にも形成されている。この構成によれば、図35に示す電子装置を、電子機器などの配線板に実装した際、当該実装時に用いる導電性接合材（たとえばはんだ）にフィレットが形成されうる。したがって、図35に示す電子装置は、電子機器などの配線板に適正に接合されているかの外観検査が容易となる。

[0106] 上記第1ないし第3実施形態（これらの変形例を含む）では、第2配線部32と第3配線部33とが、複数の電子部品19（少なくとも1つの第1電子部品19Aおよび少なくとも1つの第2電子部品19B）と第1配線部31とを介して、導通する例を示したが、本開示の電子装置は、2つの配線部30が複数の電子部品19のみを介して導通する構成であってもよい。この場合においても、複数の電子部品19は、回路図において、電气的な特性を1つの回路記号に等価されるように、電气的に接続される。たとえば、図2に示すレイアウト例では、支持部材2の第1方向xの一方側に配置され且つ

第2方向yの中央に配置された2つの電子部品19は、2つの配線部30に跨って接合されている。そして、当該2つの配線部30は、当該2つの電子部品19を介して導通している。

[0107] 本開示の電子装置において、半導体素子1および電子部品19の数および配置と、配線層3のパターン（複数の配線部30の数および配置）と、外部端子5の数および配置とは、それぞれ図示された例に限定されない。つまり、本開示の電子装置の平面レイアウトは、電子装置の仕様に応じて、様々な態様が適用されうる。

[0108] 本開示の電子装置は、機能素子として半導体素子1を備える構成に限定されず、少なくとも複数の電子部品19を備えていればよい。

[0109] 本開示にかかる電子装置は、上記した実施形態に限定されるものではない。本開示の電子装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本開示の電子装置は、以下の付記に記載した実施形態を含む。

付記1.

一対の端子を各々が含む複数の電子部品と、  
前記複数の電子部品を支持する支持面を有する支持部材と、  
前記支持面に形成された配線層と、  
前記複数の電子部品の各々を覆う封止樹脂と、  
を備え、

前記配線層は、前記複数の電子部品の各々の前記一対の端子のいずれかがそれぞれ接合された第1配線部を含み、

前記複数の電子部品は、回路図において、電気的な特性を1つの回路記号に等価される、電子装置。

付記2.

前記配線層は、前記第1配線部から離間しつつ互いに離間する第2配線部および第3配線部を含み、

前記複数の電子部品の各々は、前記第2配線部と前記第3配線部との間に電氣的に接続されており、

前記複数の電子部品は、前記一对の端子が前記第 1 配線部と前記第 2 配線部とにそれぞれ接合された少なくとも 1 つの第 1 電子部品と、前記一对の端子が前記第 1 配線部と前記第 3 配線部とにそれぞれ接合された少なくとも 1 つの第 2 電子部品とを含む、付記 1 に記載の電子装置。

付記 3.

前記少なくとも 1 つの第 1 電子部品は、2 つの第 1 電子部品を含み、  
前記少なくとも 1 つの第 2 電子部品は、2 つの第 2 電子部品を含み、  
前記 2 つの第 1 電子部品と前記 2 つの第 2 電子部品とは、互いに電氣的に直列に接続されている、付記 2 に記載の電子装置。

付記 4.

前記複数の電子部品の各々は、本体部を含み、  
前記支持面は、前記支持部材の厚さ方向の一方を向き、  
前記複数の電子部品の各々において、前記一对の端子は、前記厚さ方向に直交する第 1 方向における前記本体部の両端にそれぞれ個別に形成されている、付記 3 に記載の電子装置。

付記 5.

前記第 1 配線部と、前記第 2 配線部と、前記第 3 配線部とは、前記第 1 方向に沿って配置されており、

前記第 1 配線部は、前記第 2 配線部と前記第 3 配線部との間に位置する、  
付記 4 に記載の電子装置。

付記 6.

前記第 1 配線部は、互いに離間する 2 つの区画部を含み、  
前記 2 つの区画部の一方には、前記 2 つの第 1 電子部品の一方と、前記 2 つの第 2 電子部品の一方とが接合され、

前記 2 つの区画部の他方には、前記 2 つの第 1 電子部品の他方と、前記 2 つの第 2 電子部品の他方とが接合されている、付記 5 に記載の電子装置。

付記 7.

前記第 1 配線部は、前記 2 つの区画部に挟まれ且つ前記 2 つの区画部を繋

ぐ連結部を含む、付記 6 に記載の電子装置。

付記 8.

前記 2 つの第 1 電子部品は、前記第 1 方向に見て、互いに重なり、

前記 2 つの第 2 電子部品は、前記第 1 方向に見て、互いに重なり、

前記 2 つの第 1 電子部品は、前記厚さ方向および前記第 1 方向に直交する第 2 方向に見て、前記 2 つの第 2 電子部品にそれぞれ個別に重なる、付記 5 ないし付記 7 のいずれかに記載の電子装置。

付記 9.

複数の外部端子をさらに備え、

前記支持部材は、前記支持部材の厚さ方向において、前記支持面と反対側を向く裏面を有し、

前記複数の外部端子は、前記裏面において露出しており、

前記第 1 配線部は、前記複数の電子部品を介して前記複数の外部端子に導通する、付記 1 ないし付記 8 のいずれかに記載の電子装置。

付記 10.

複数の導電性接合材をさらに備え、

前記複数の導電性接合材は、前記第 1 配線部と前記複数の電子部品の各々の前記一对の端子のいずれかとをそれぞれ個別に接合する、付記 1 ないし付記 9 のいずれかに記載の電子装置。

付記 11.

前記第 1 配線部は、前記複数の導電性接合材にそれぞれ個別に接する複数の接合面と、前記支持部材の厚さ方向において前記複数の接合面から前記支持面側に窪んだ少なくとも 1 つの凹部とを有し、

前記少なくとも 1 つの凹部は、前記厚さ方向に見て、前記複数の接合面のうちの隣接するもの同士の間位置する、付記 10 に記載の電子装置。

付記 12.

前記複数の電子部品の各々の前記電気的な特性に対する性能は、互いに同じである、付記 1 ないし付記 11 のいずれかに記載の電子装置。

付記 1 3.

前記電気的な特性は、静電容量、抵抗値およびインダクタンス値のいずれかである、付記 1 2 に記載の電子装置。

付記 1 4.

半導体素子をさらに備え、

前記半導体素子は、前記配線層にフリップチップ実装される、付記 1 ないし付記 1 3 のいずれかに記載の電子装置。

付記 1 5.

前記複数の電子部品は、前記支持部材の厚さ方向に見て、前記半導体素子の周りに配置される、付記 1 4 に記載の電子装置。

付記 1 6.

前記封止樹脂は、前記複数の電子部品とともに前記半導体素子を覆う、付記 1 4 または付記 1 5 に記載の電子装置。

付記 1 7.

前記支持部材は、絶縁性の樹脂材料を含む、付記 1 ないし付記 1 6 のいずれかに記載の電子装置。

付記 1 8.

前記支持部材は、前記封止樹脂と同じ樹脂材料を含む、付記 1 7 に記載の電子装置。

## 符号の説明

[0110] A 1 0, A 1 1, A 1 2, A 1 3, A 2 0, A 2 1, A 3 0 : 電子装置

1 : 半導体素子            1 0 a : 素子主面

1 0 b : 素子裏面            1 4 : 電極パッド

1 9 : 電子部品            1 9 A : 第 1 電子部品

1 9 B : 第 2 電子部品            1 9 C, 1 9 D, 1 9 X : 電子部品

1 9 0 : 本体部            1 9 0 a, 1 9 0 b : 側面

1 9 0 c : 底面            1 9 1, 1 9 2 : 端子

1 9 1 a, 1 9 2 a : 側方電極            1 9 1 b, 1 9 2 b : 底面電極

2 : 支持部材            2 1 : 支持面  
2 2 : 裏面            2 3 : 側面  
3 : 配線層            3 0 : 配線部  
3 0 1 : 本体部            3 0 2 : 土台部  
3 0 3 : 溝部            3 1 : 第 1 配線部  
3 1 a : 接合面            3 1 b : 凹部  
3 1 1 : 区画部            3 1 2 : 連結部  
3 2 : 第 2 配線部            3 3 : 第 3 配線部  
3 4, 3 5, 3 6 : 配線部            4 1, 4 2 : 導電性接合材  
4 2 1 : フィレット部            5 : 外部端子  
5 1 : 柱状部            5 2 : 外部電極部  
6 : 封止樹脂            6 1 : 樹脂主面  
6 2 : 樹脂裏面            6 3 : 樹脂側面  
6 3 1 : 第 1 側部            6 3 2 : 第 2 側部  
8 0 : 支持基板            8 0 a : 基板主面  
8 0 b : 基板裏面            8 2 : 第 1 樹脂層  
8 6 : 第 2 樹脂層            4 1 0, 4 2 0 : 導電性接合材  
8 2 1 : 主面            8 2 2 : 底面  
8 5 1 : 柱状導体            8 6 1 : 頂面  
C L : 切断線

## 請求の範囲

- [請求項1] 一対の端子を各々が含む複数の電子部品と、  
前記複数の電子部品を支持する支持面を有する支持部材と、  
前記支持面に形成された配線層と、  
前記複数の電子部品の各々を覆う封止樹脂と、  
を備え、  
前記配線層は、前記複数の電子部品の各々の前記一対の端子のいずれかがそれぞれ接合された第1配線部を含み、  
前記複数の電子部品は、回路図において、電気的な特性を1つの回路記号に等価される、電子装置。
- [請求項2] 前記配線層は、前記第1配線部から離間しつつ互いに離間する第2配線部および第3配線部を含み、  
前記複数の電子部品の各々は、前記第2配線部と前記第3配線部との間に電氣的に接続されており、  
前記複数の電子部品は、前記一対の端子が前記第1配線部と前記第2配線部とにそれぞれ接合された少なくとも1つの第1電子部品と、  
前記一対の端子が前記第1配線部と前記第3配線部とにそれぞれ接合された少なくとも1つの第2電子部品とを含む、請求項1に記載の電子装置。
- [請求項3] 前記少なくとも1つの第1電子部品は、2つの第1電子部品を含み、  
、  
前記少なくとも1つの第2電子部品は、2つの第2電子部品を含み、  
、  
前記2つの第1電子部品と前記2つの第2電子部品とは、互いに電氣的に直列に接続されている、請求項2に記載の電子装置。
- [請求項4] 前記複数の電子部品の各々は、本体部を含み、  
前記支持面は、前記支持部材の厚さ方向の一方を向き、  
前記複数の電子部品の各々において、前記一対の端子は、前記厚さ

方向に直交する第1方向における前記本体部の両端にそれぞれ個別に形成されている、請求項3に記載の電子装置。

[請求項5] 前記第1配線部と、前記第2配線部と、前記第3配線部とは、前記第1方向に沿って配置されており、

前記第1配線部は、前記第2配線部と前記第3配線部との間に位置する、請求項4に記載の電子装置。

[請求項6] 前記第1配線部は、互いに離間する2つの区画部を含み、

前記2つの区画部の一方には、前記2つの第1電子部品の一方と、前記2つの第2電子部品の一方とが接合され、

前記2つの区画部の他方には、前記2つの第1電子部品の他方と、前記2つの第2電子部品の他方とが接合されている、請求項5に記載の電子装置。

[請求項7] 前記第1配線部は、前記2つの区画部に挟まれ且つ前記2つの区画部を繋ぐ連結部を含む、請求項6に記載の電子装置。

[請求項8] 前記2つの第1電子部品は、前記第1方向に見て、互いに重なり、

前記2つの第2電子部品は、前記第1方向に見て、互いに重なり、

前記2つの第1電子部品は、前記厚さ方向および前記第1方向に直交する第2方向に見て、前記2つの第2電子部品にそれぞれ個別に重なる、請求項5ないし請求項7のいずれかに記載の電子装置。

[請求項9] 複数の外部端子をさらに備え、

前記支持部材は、前記支持部材の厚さ方向において、前記支持面と反対側を向く裏面を有し、

前記複数の外部端子は、前記裏面において露出しており、

前記第1配線部は、前記複数の電子部品を介して前記複数の外部端子に導通する、請求項1ないし請求項8のいずれかに記載の電子装置。

[請求項10] 複数の導電性接合材をさらに備え、

前記複数の導電性接合材は、前記第1配線部と前記複数の電子部品

の各々の前記一对の端子のいずれかとをそれぞれ個別に接合する、請求項 1 ないし請求項 9 のいずれかに記載の電子装置。

[請求項11] 前記第 1 配線部は、前記複数の導電性接合材にそれぞれ個別に接する複数の接合面と、前記支持部材の厚さ方向において前記複数の接合面から前記支持面側に窪んだ少なくとも 1 つの凹部とを有し、

前記少なくとも 1 つの凹部は、前記厚さ方向に見て、前記複数の接合面のうちの隣接するもの同士の間位置する、請求項 10 に記載の電子装置。

[請求項12] 前記複数の電子部品の各々の前記電気的な特性に対する性能は、互いに同じである、請求項 1 ないし請求項 11 のいずれかに記載の電子装置。

[請求項13] 前記電気的な特性は、静電容量、抵抗値およびインダクタンス値のいずれかである、請求項 12 に記載の電子装置。

[請求項14] 半導体素子をさらに備え、  
前記半導体素子は、前記配線層にフリップチップ実装される、請求項 1 ないし請求項 13 のいずれかに記載の電子装置。

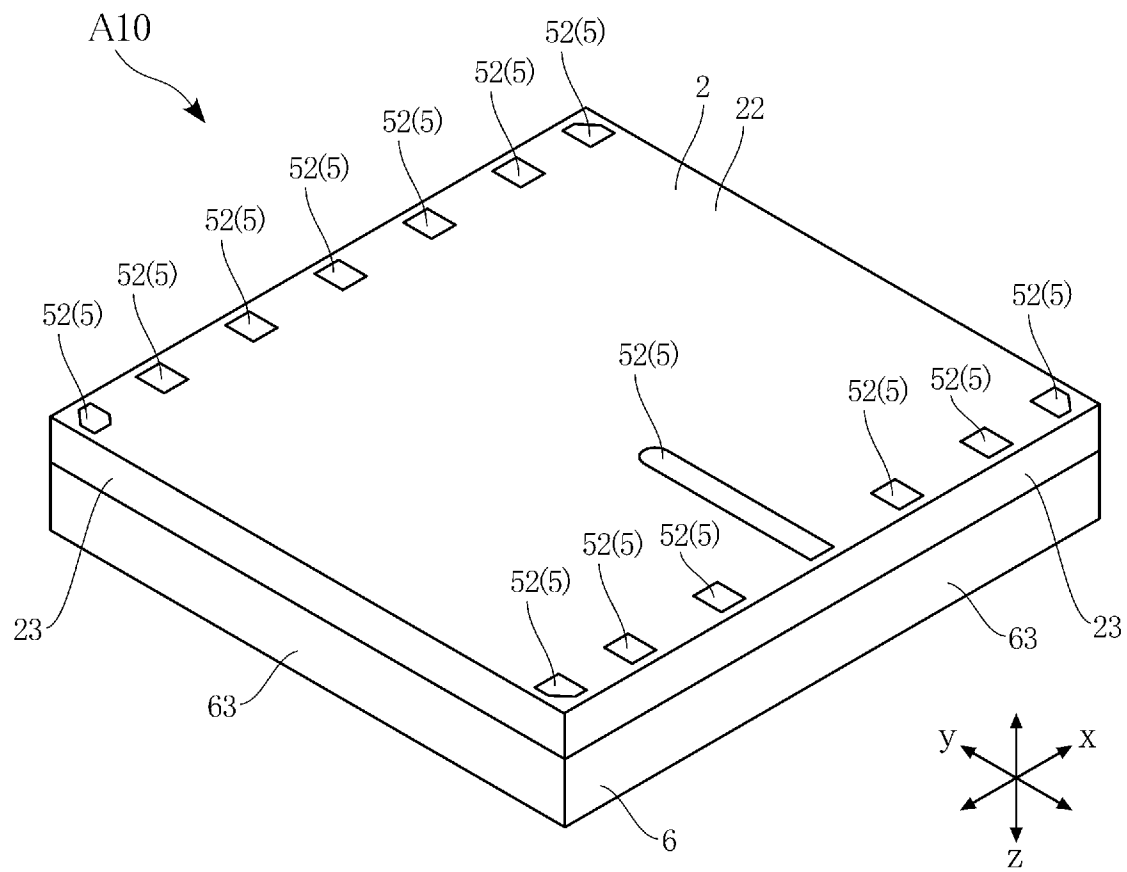
[請求項15] 前記複数の電子部品は、前記支持部材の厚さ方向に見て、前記半導体素子の周りに配置される、請求項 14 に記載の電子装置。

[請求項16] 前記封止樹脂は、前記複数の電子部品とともに前記半導体素子を覆う、請求項 14 または請求項 15 に記載の電子装置。

[請求項17] 前記支持部材は、絶縁性の樹脂材料を含む、請求項 1 ないし請求項 16 のいずれかに記載の電子装置。

[請求項18] 前記支持部材は、前記封止樹脂と同じ樹脂材料を含む、請求項 17 に記載の電子装置。

[図1]  
FIG.1



[図2]

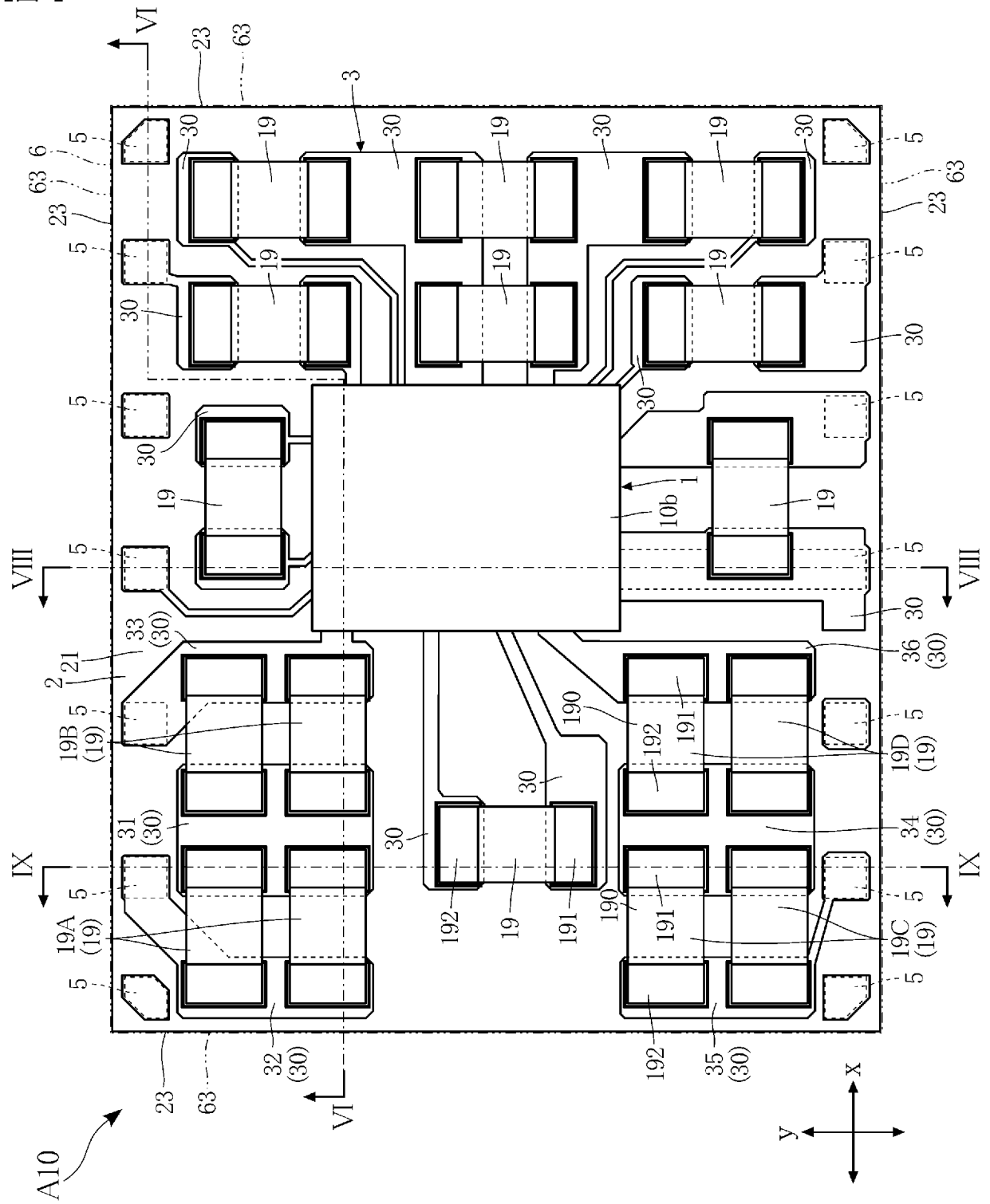


FIG. 2

[図3]

FIG.3

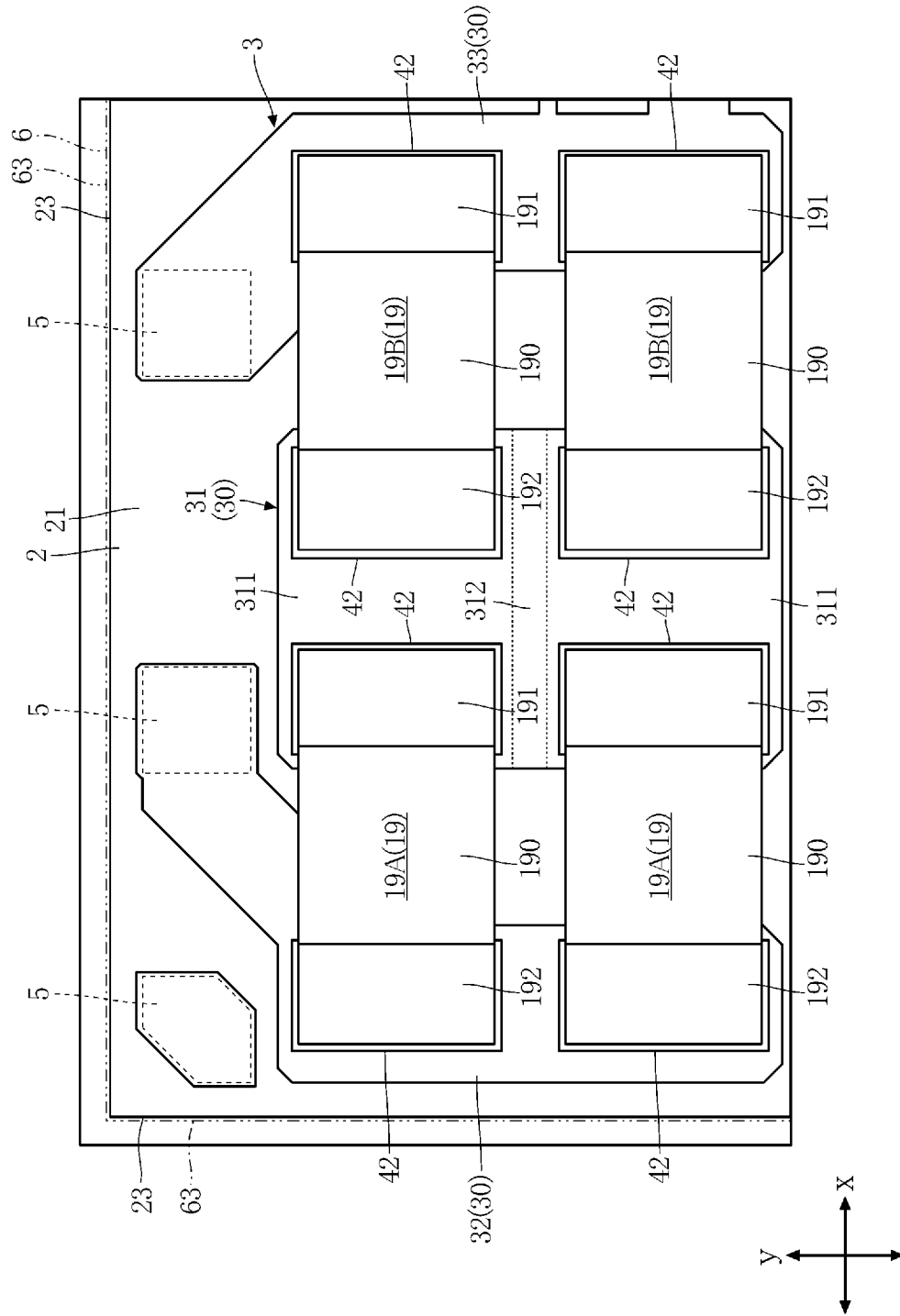








FIG.7

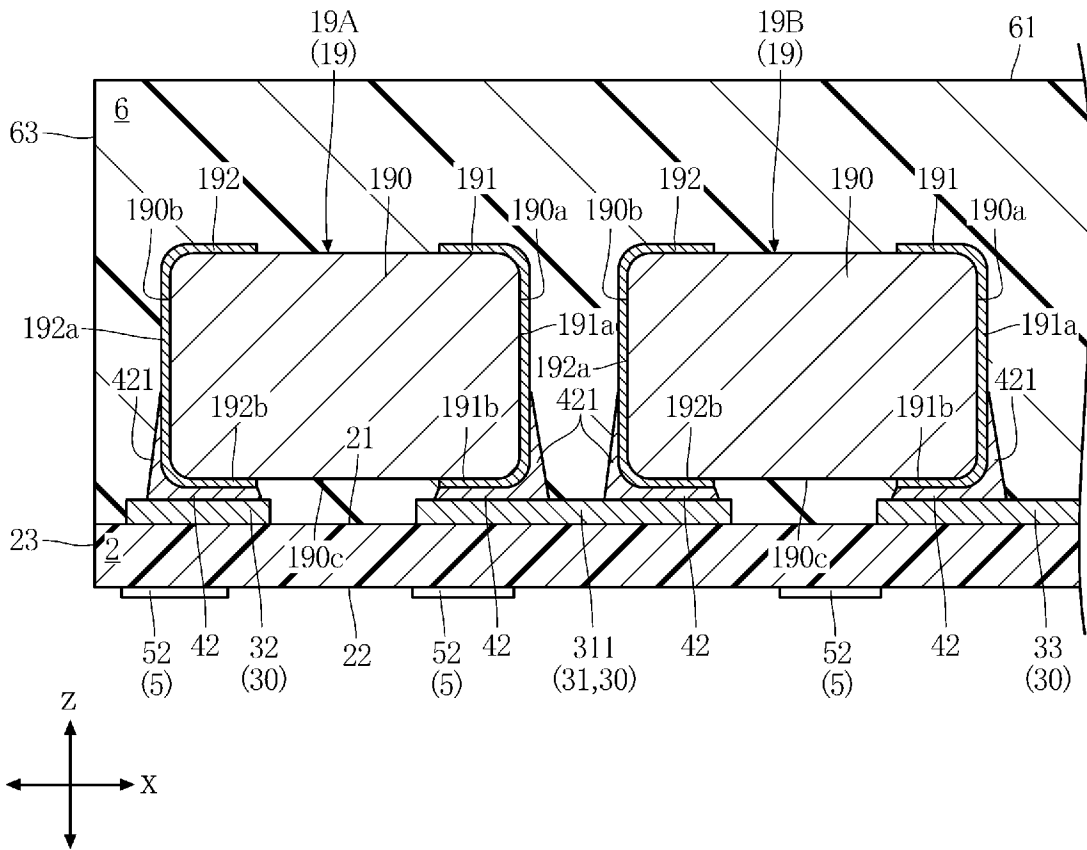
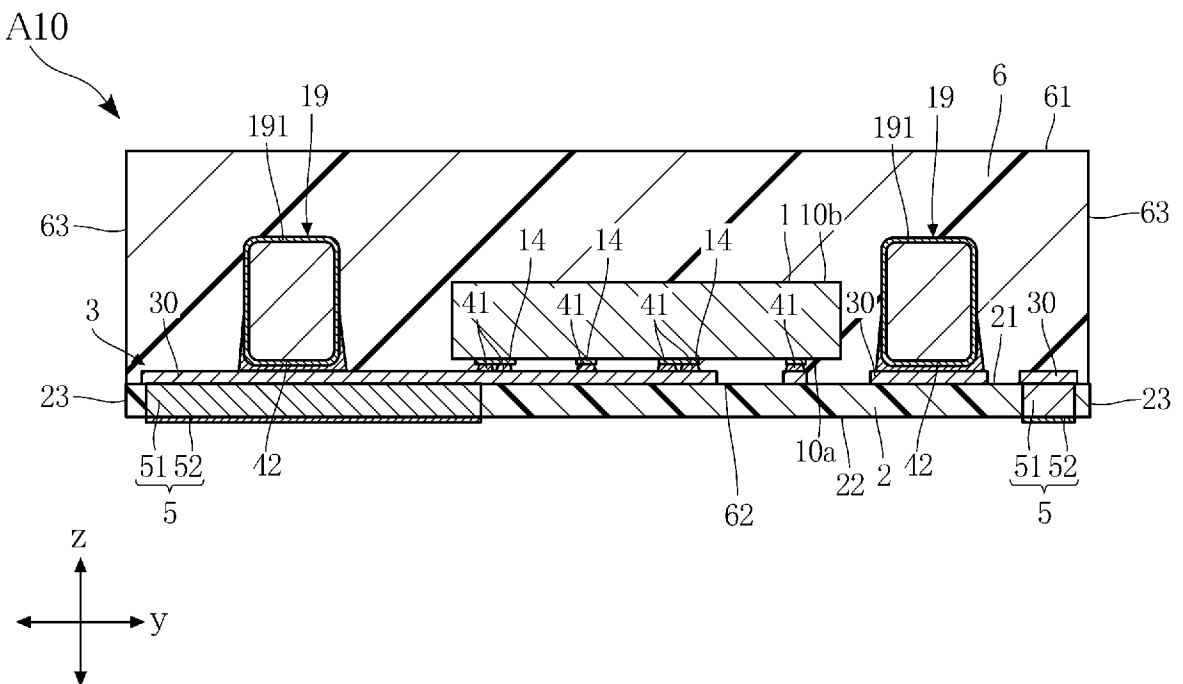
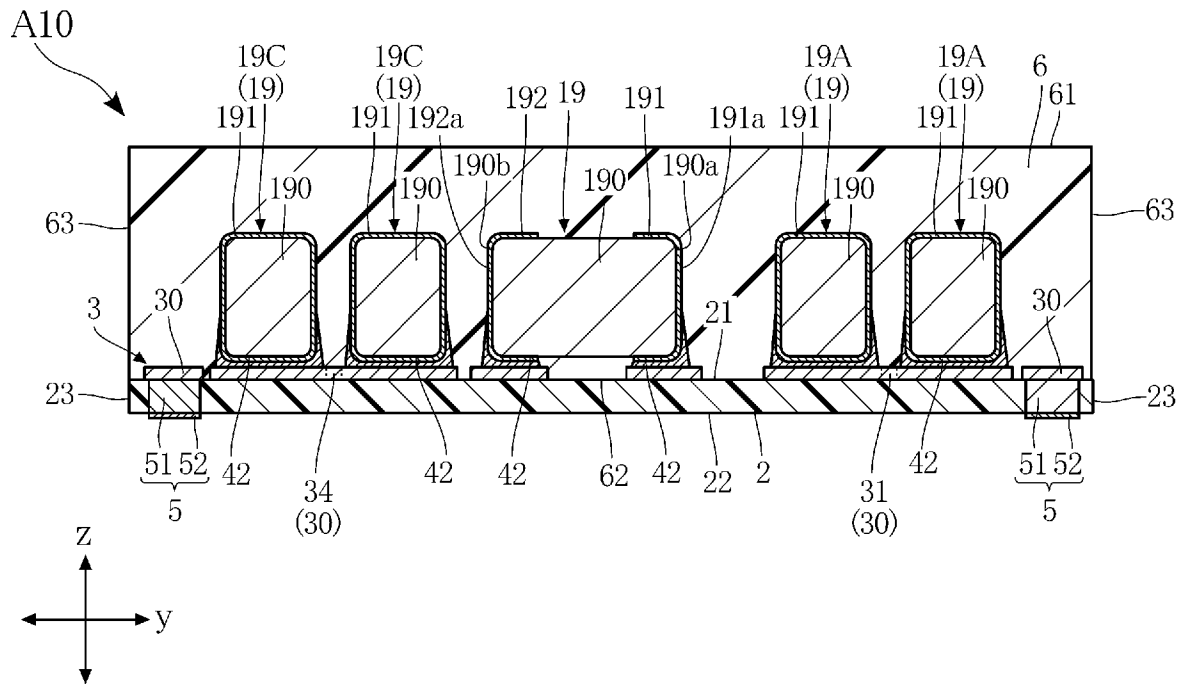


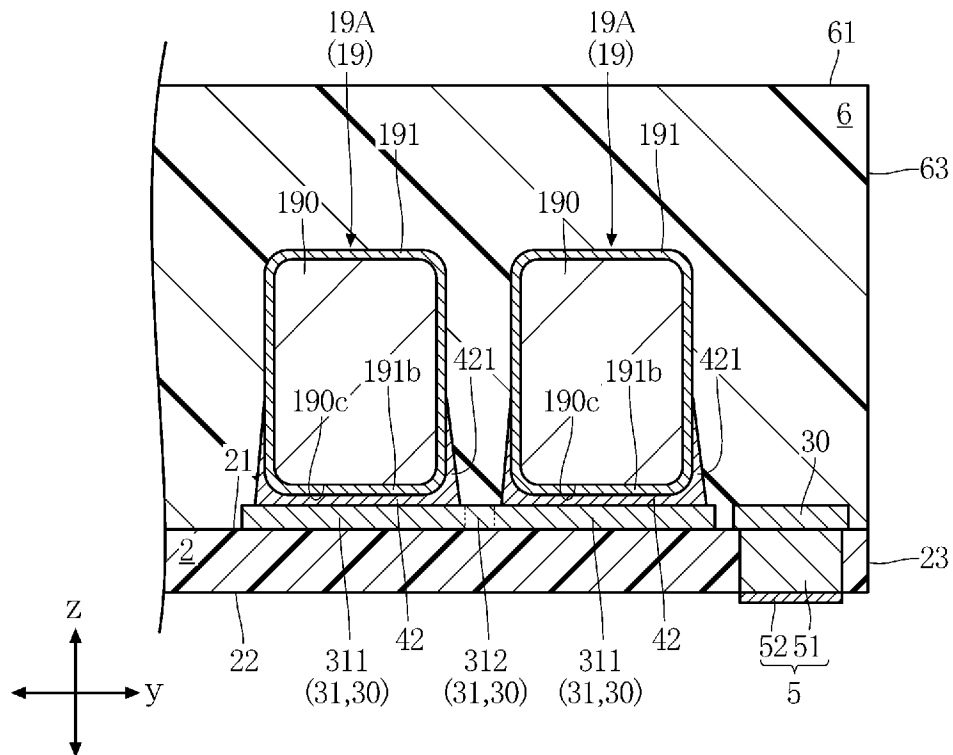
FIG.8



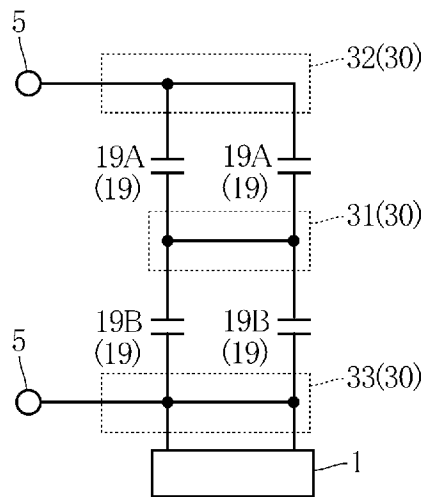
[図9]  
FIG.9



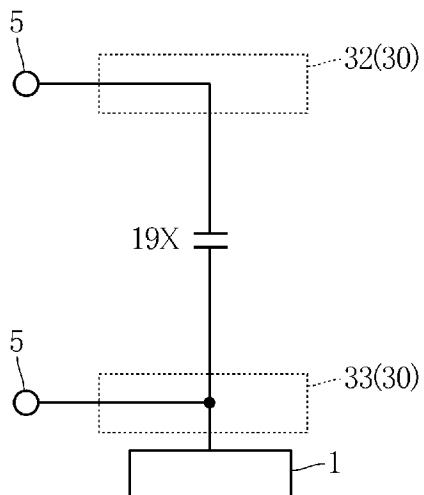
[図10]  
FIG.10



[図11]  
FIG.11

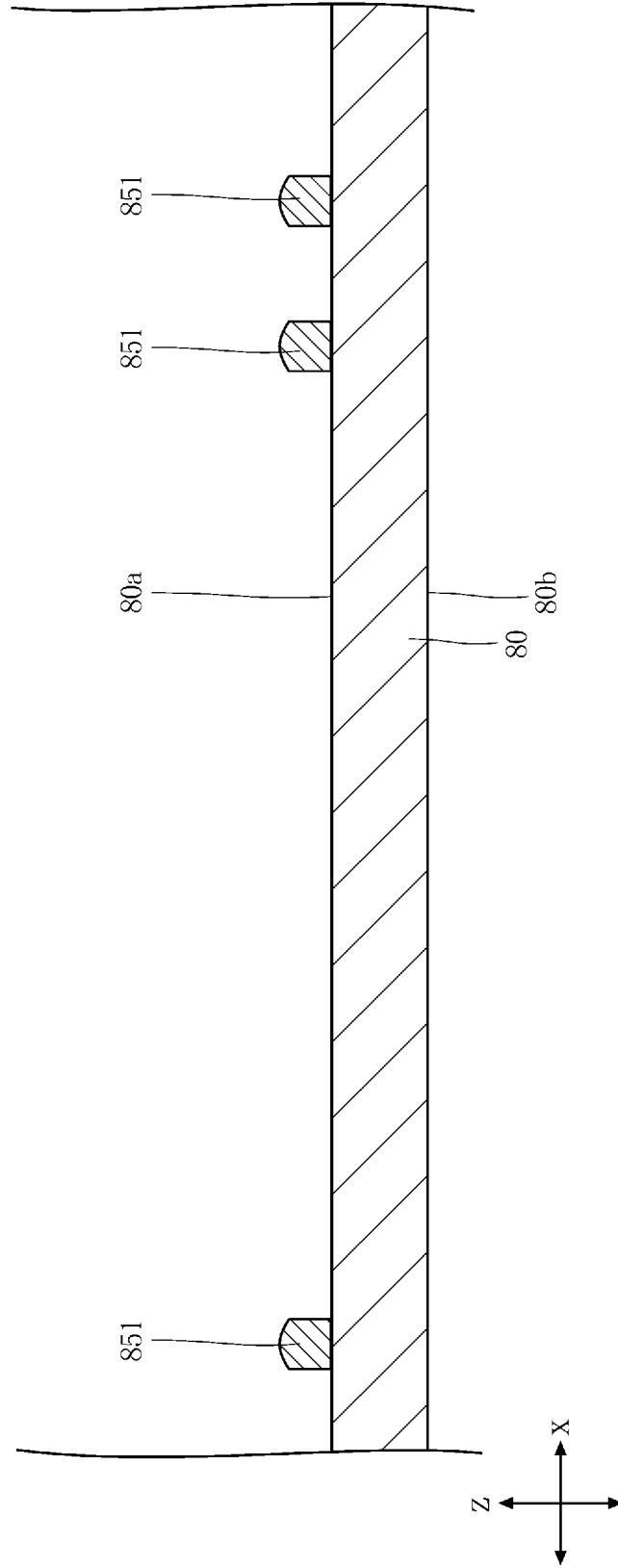


[図12]  
FIG.12



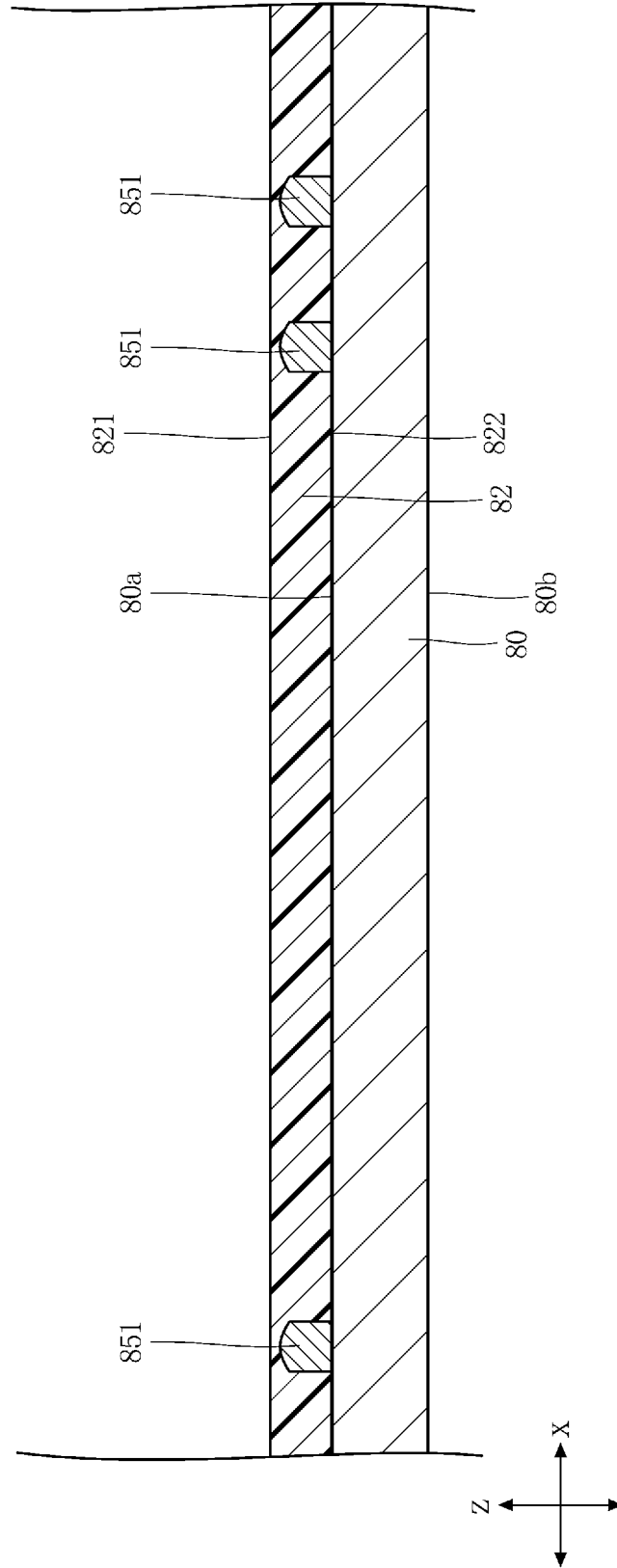
[図13]

FIG.13



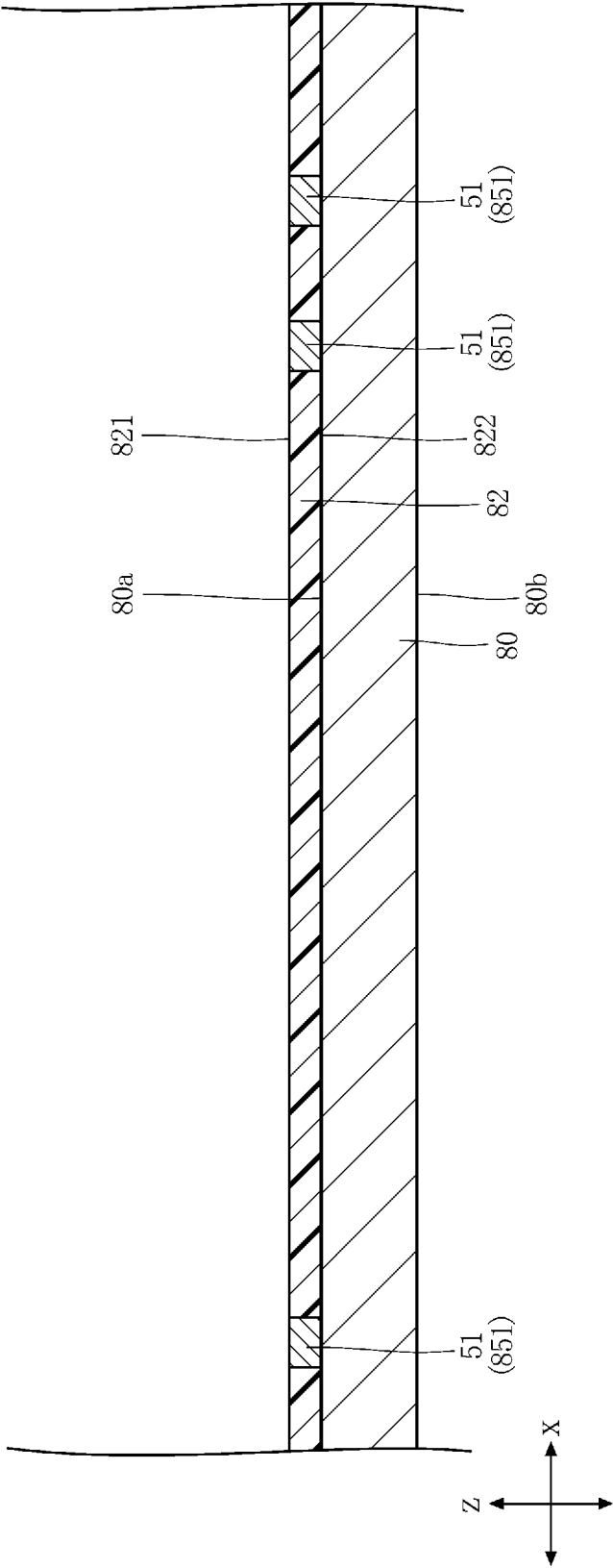
[図14]

FIG.14



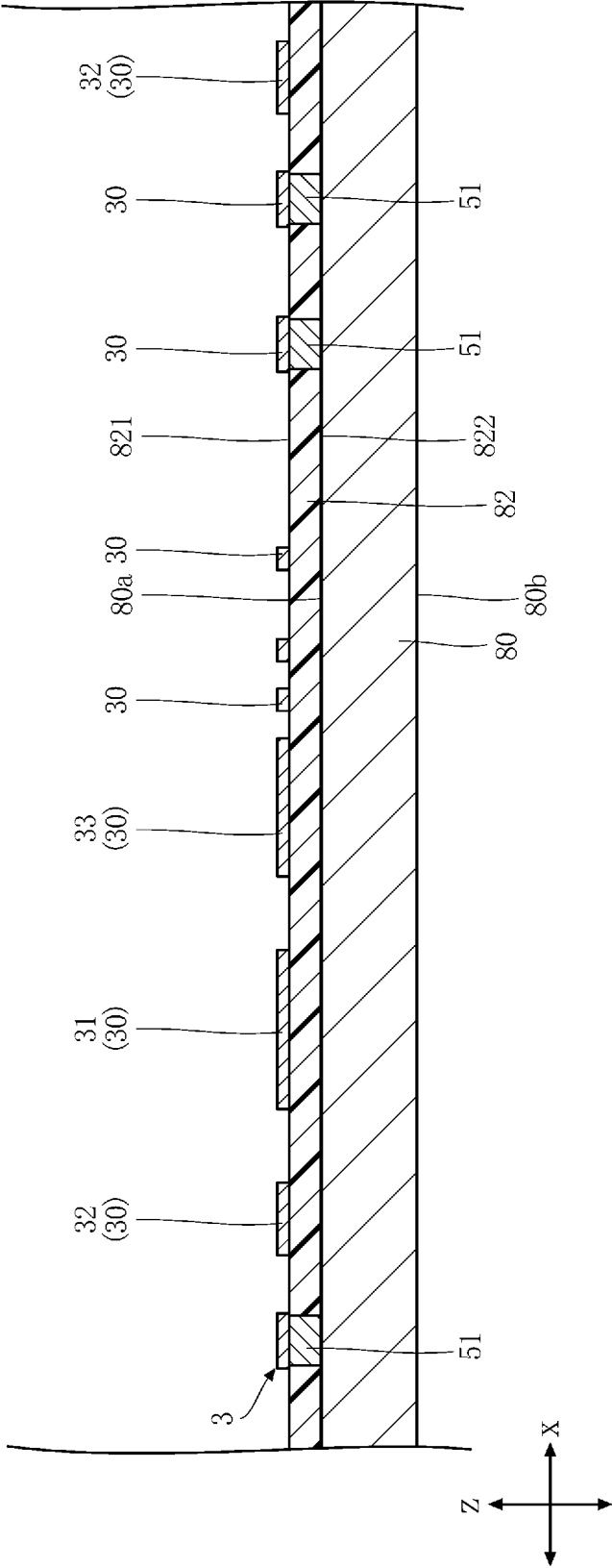
[図15]

FIG.15



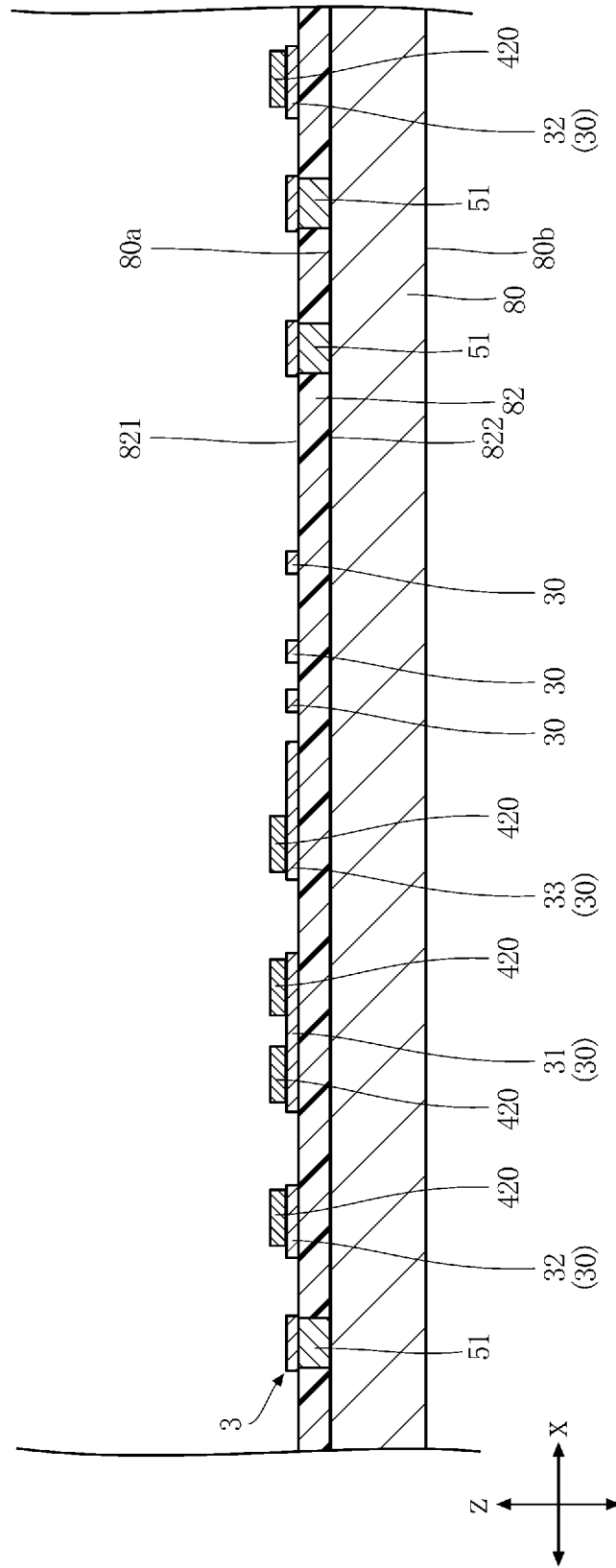
[図16]

FIG.16



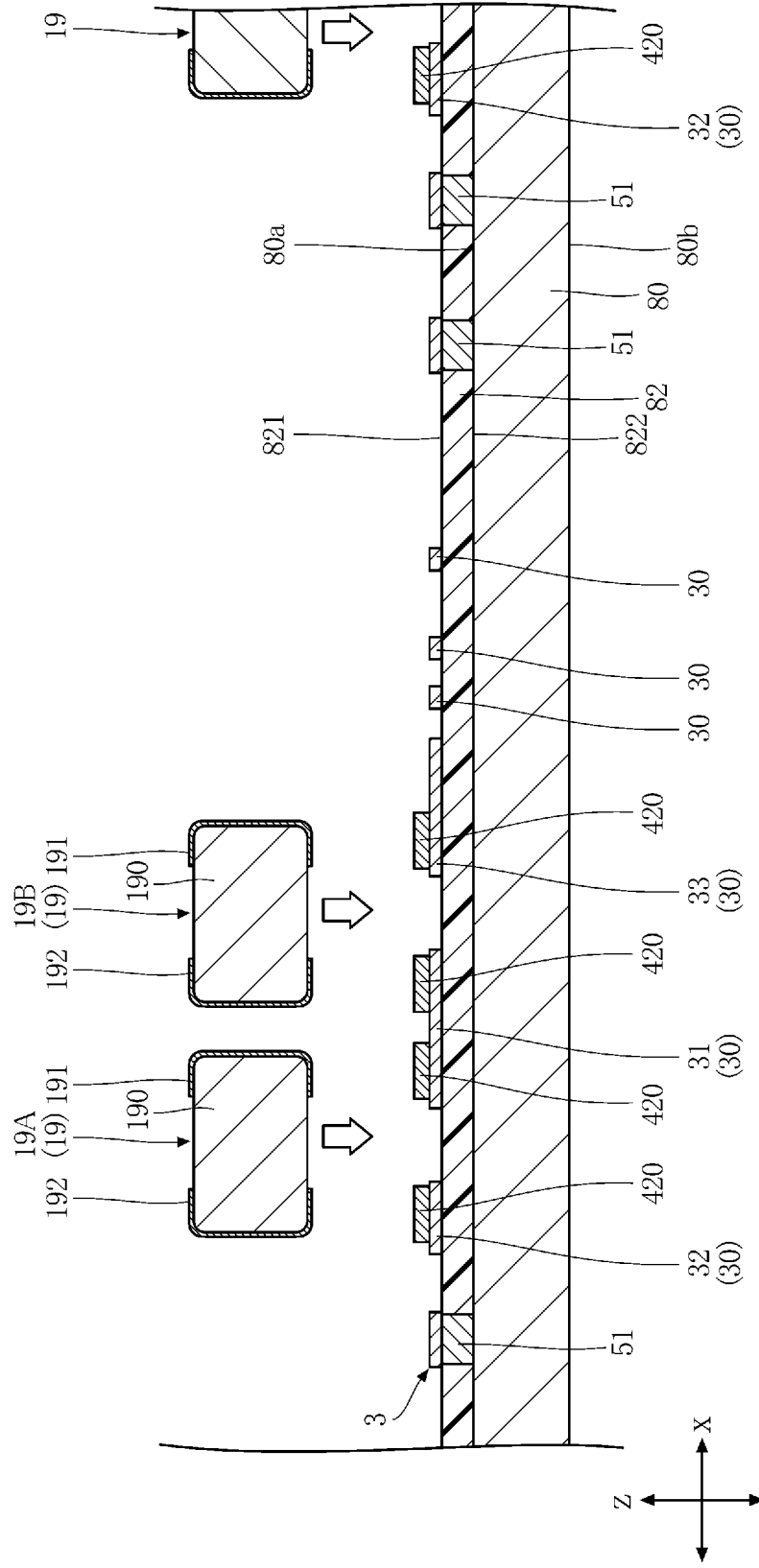
[図17]

FIG.17



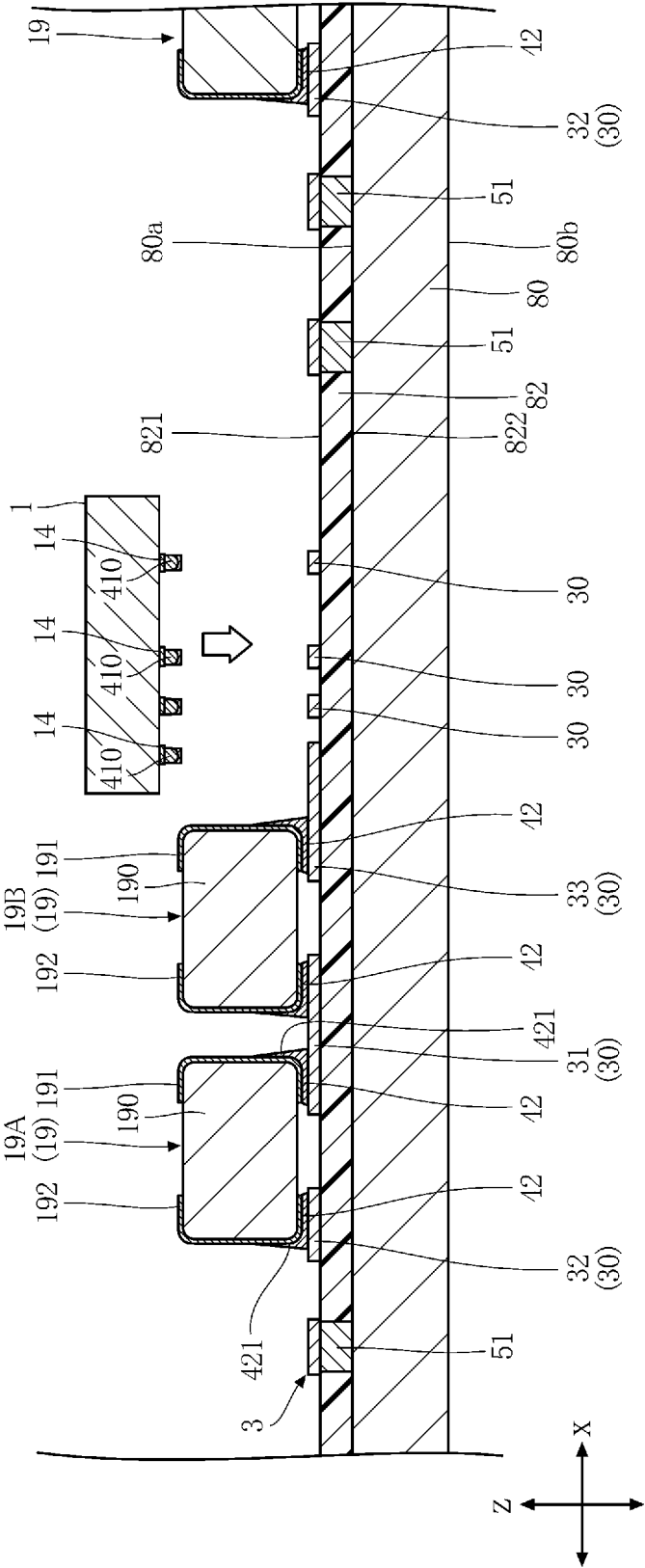
[図18]

FIG.18



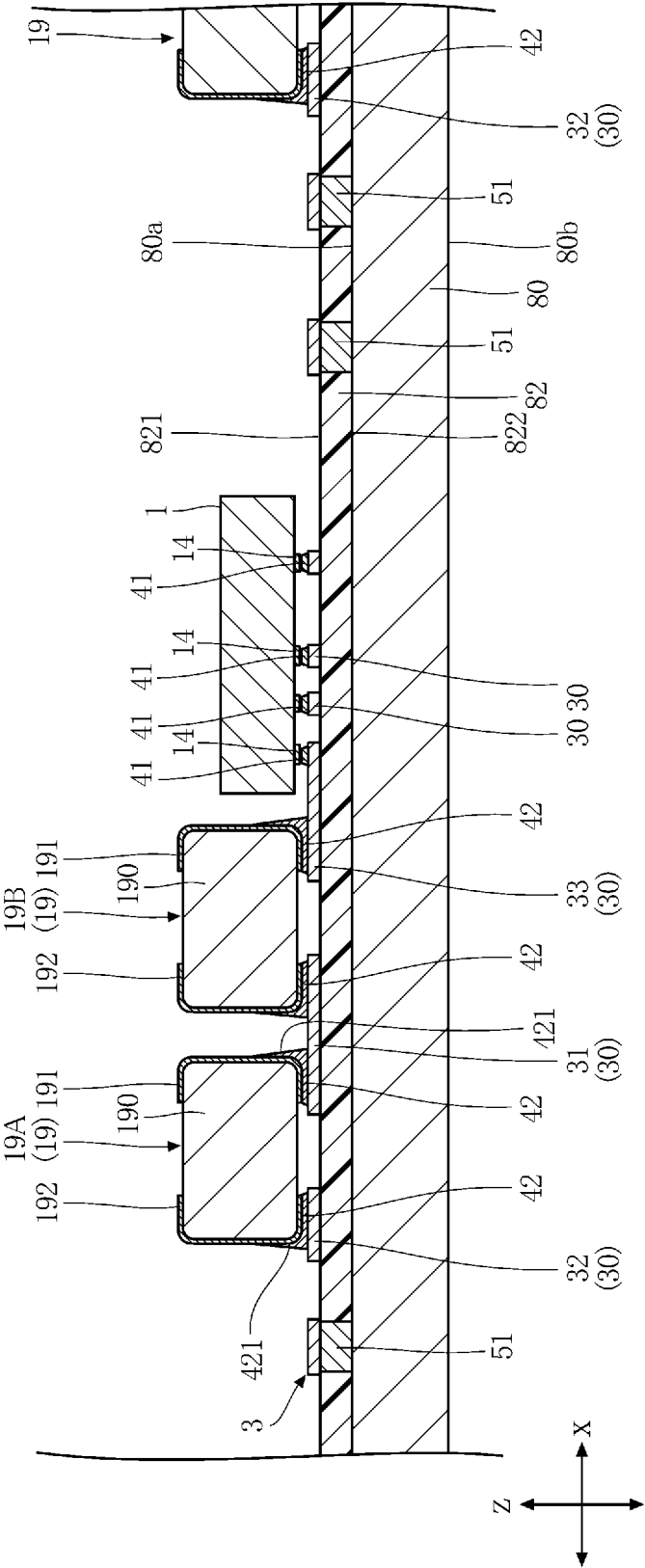
[図19]

FIG.19



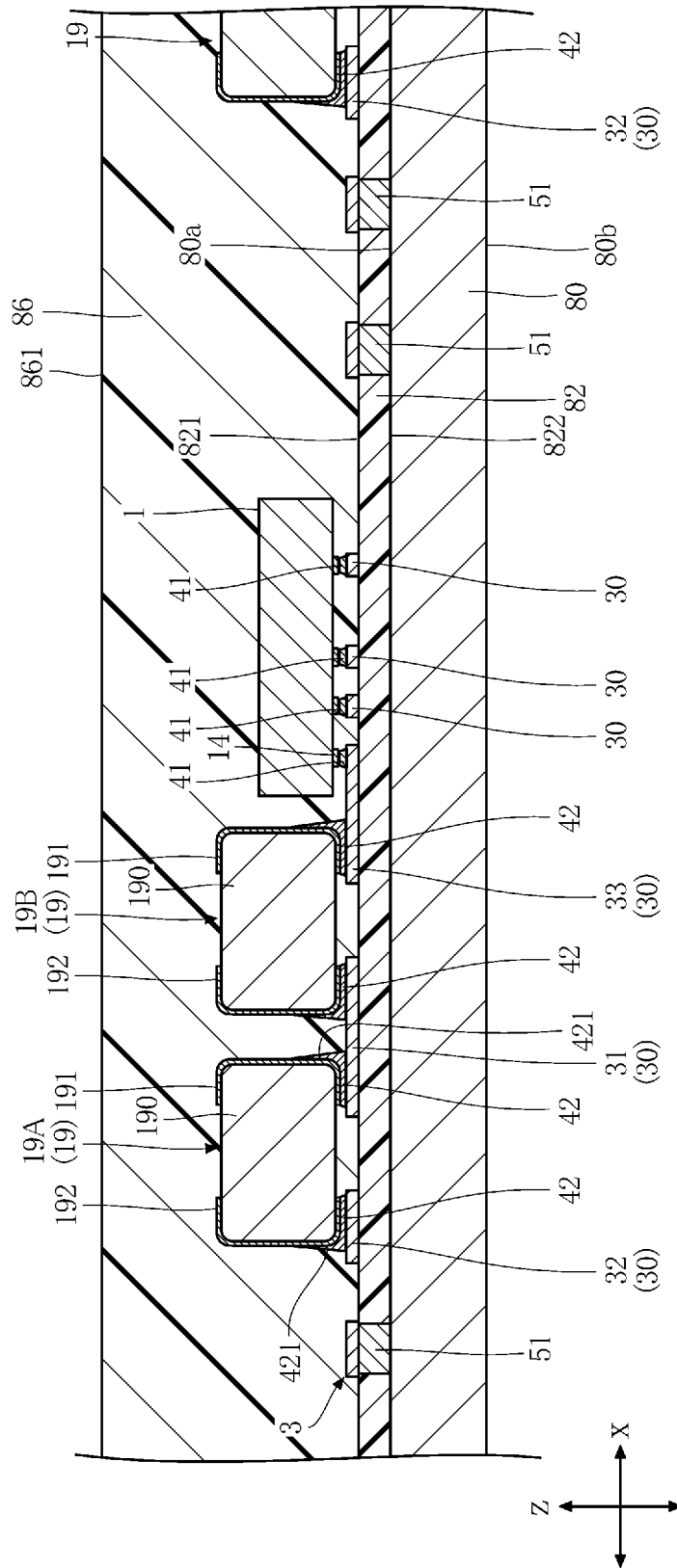
[図20]

FIG.20



[図21]

FIG. 21







[図24]

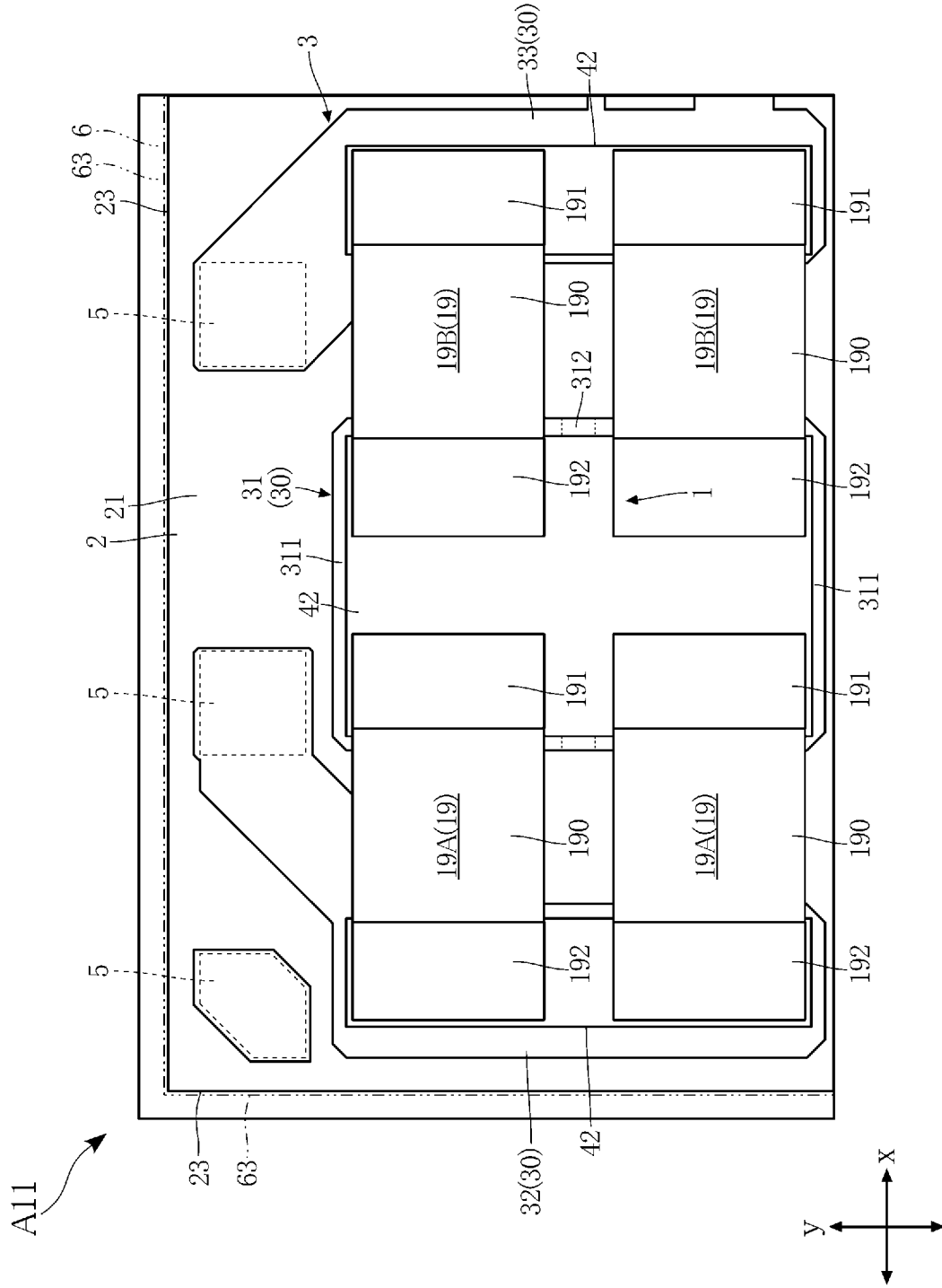
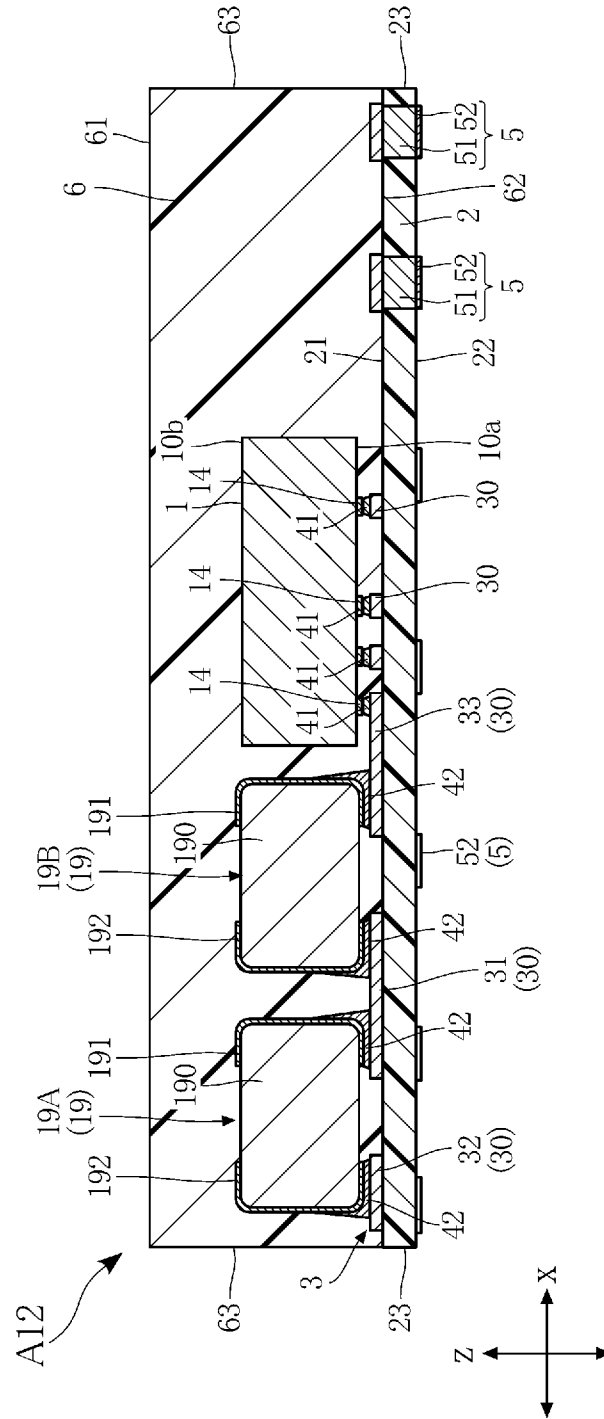


FIG. 24

[図25]

FIG.25



[図26]  
FIG.26

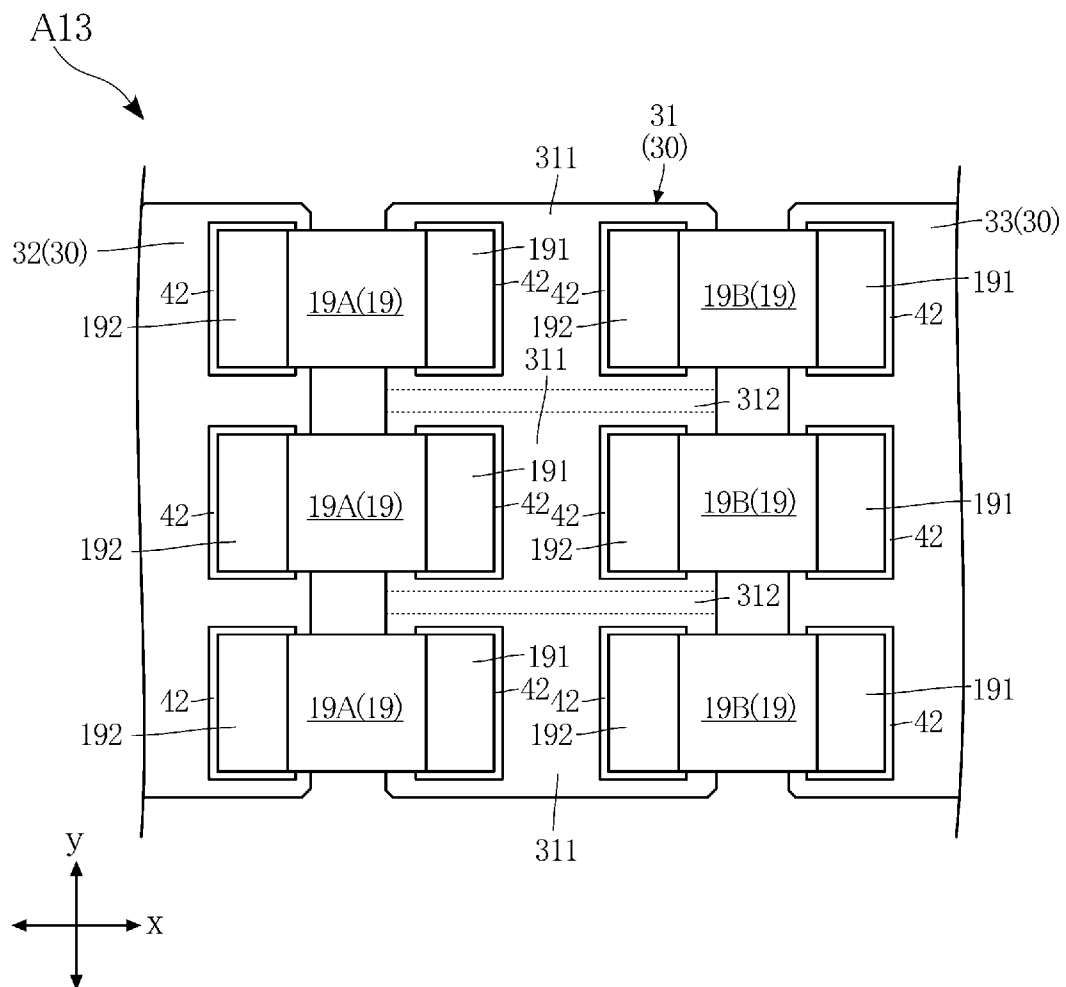
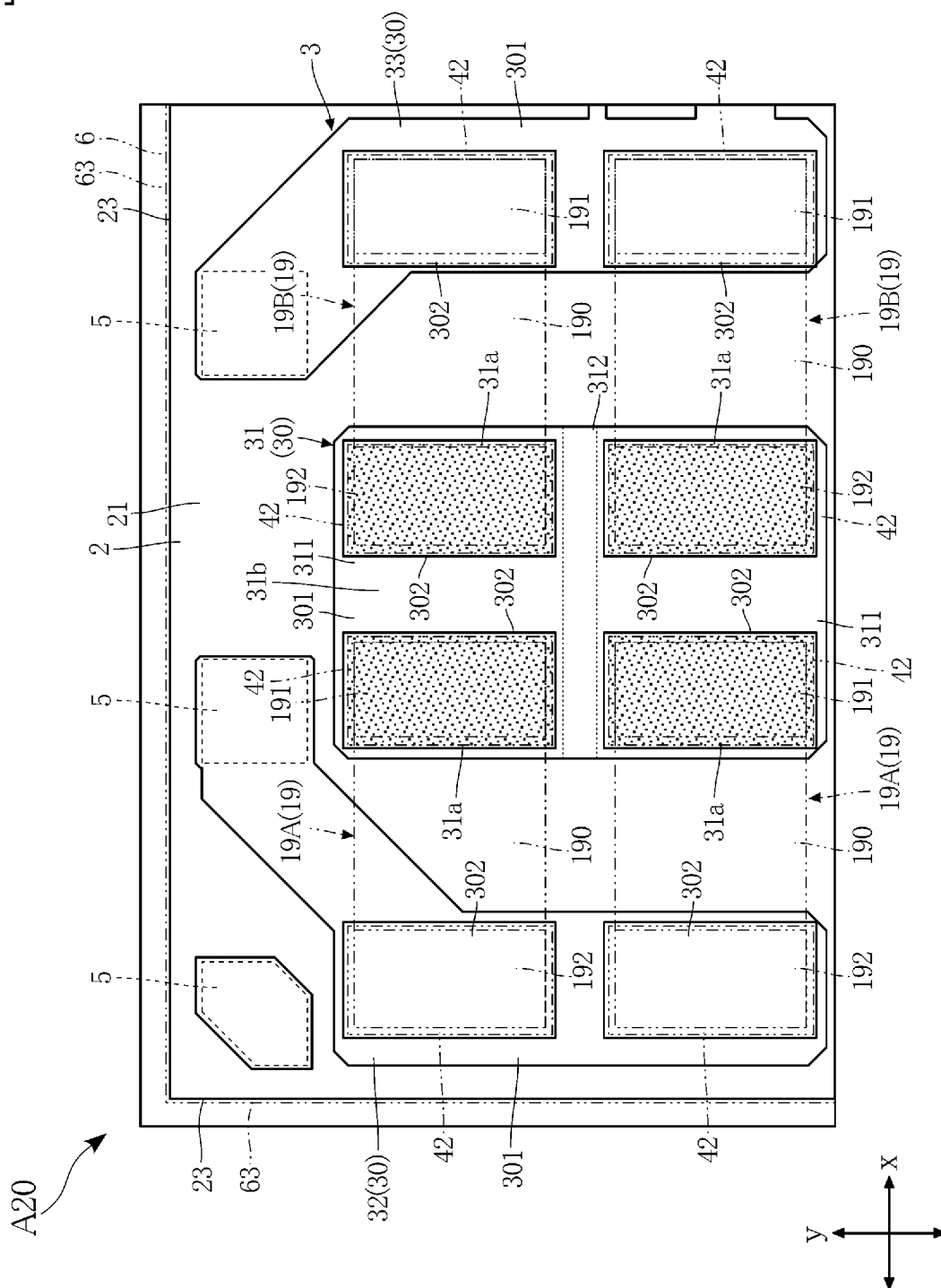
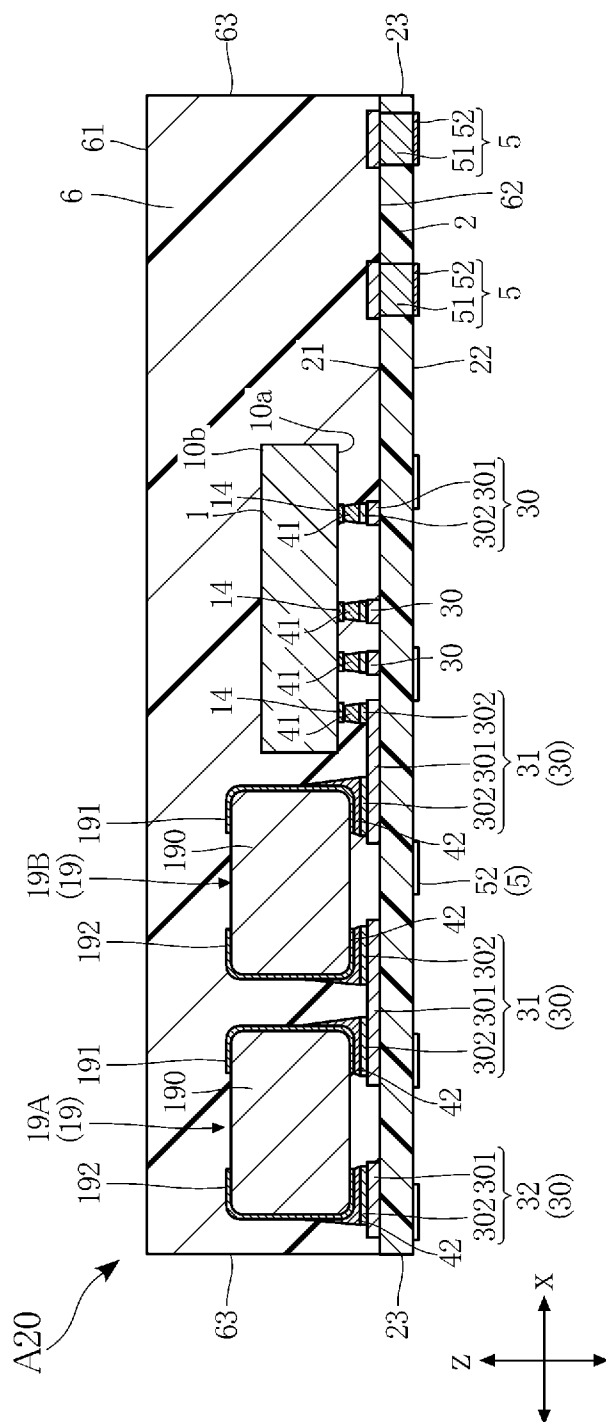


FIG. 27

[図27]



[図28]





[図30]

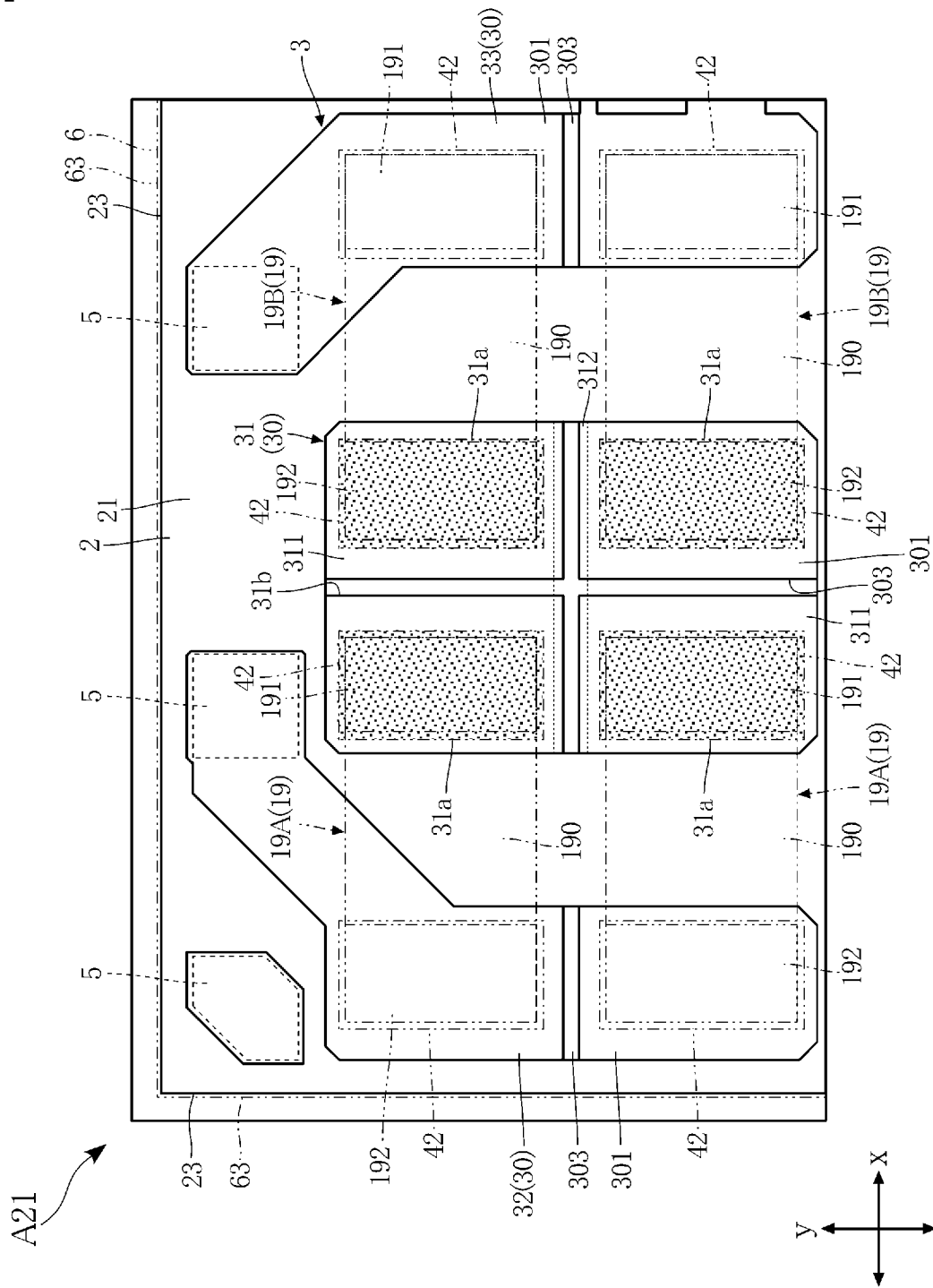
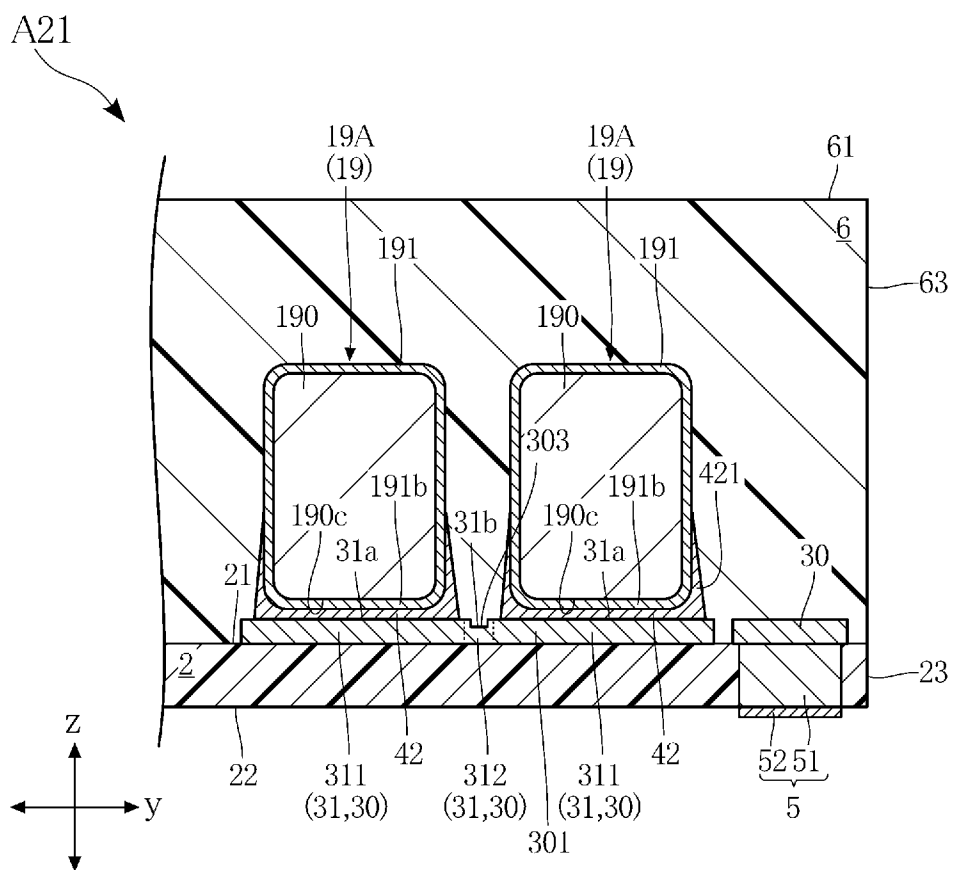
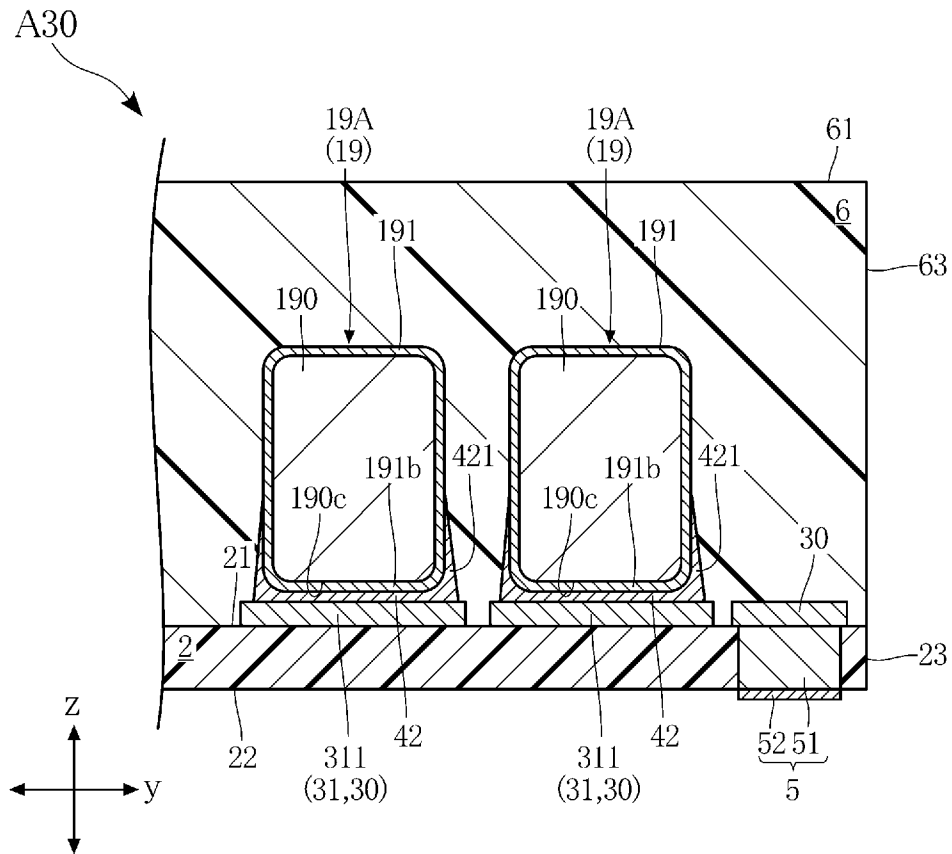


FIG.31

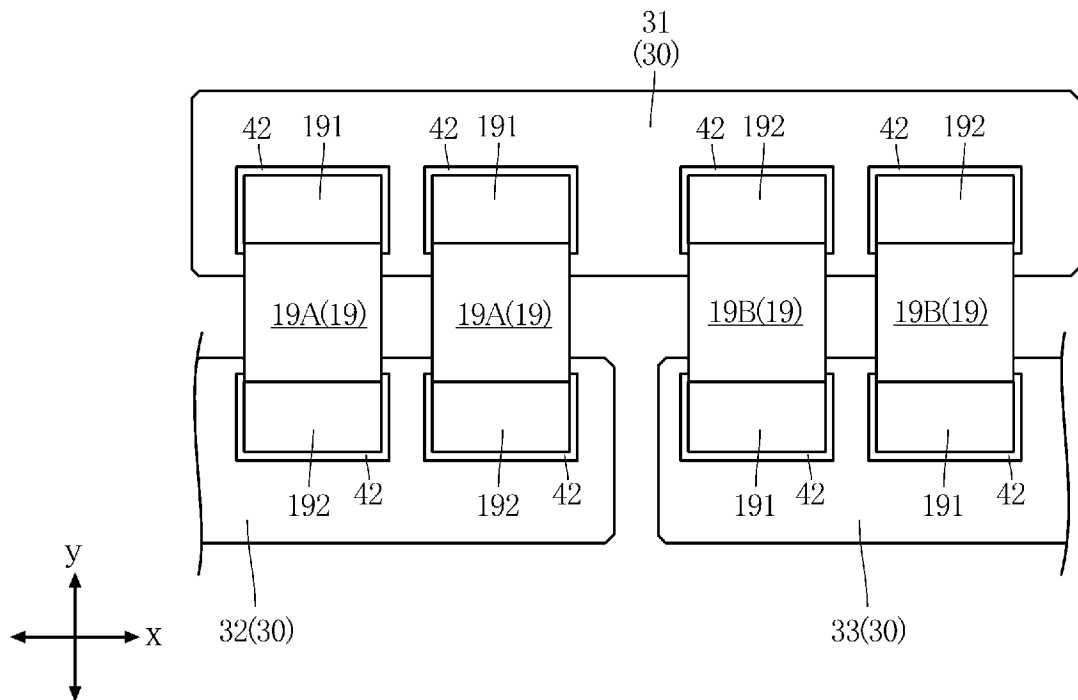




[図33]  
FIG.33

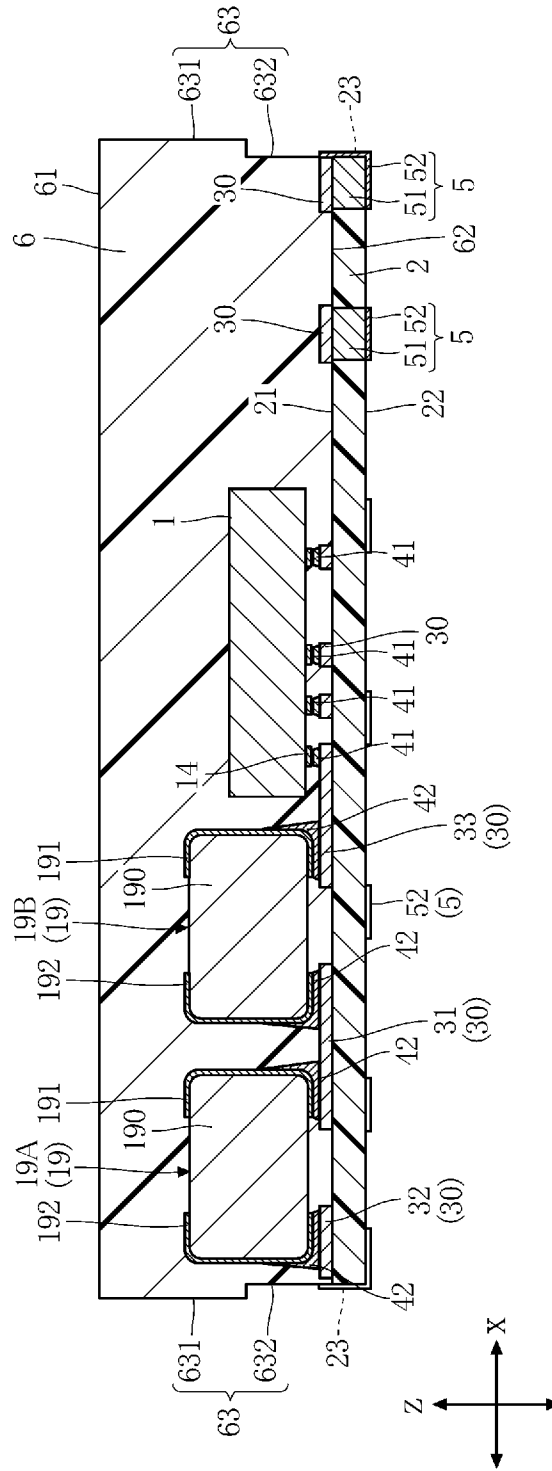


[図34]  
FIG.34



[図35]

FIG.35



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019376

**A. CLASSIFICATION OF SUBJECT MATTER**

**H01L 25/00**(2006.01)i; **H01C 1/01**(2006.01)i; **H01G 2/06**(2006.01)i; **H01G 4/228**(2006.01)i; **H01L 23/12**(2006.01)i  
FI: H01L25/00 B; H01L23/12 B; H01C1/01 Z; H01G2/06 C; H01G2/06 Z; H01G2/06 500; H01G4/228 A

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00; H01C1/01; H01G2/06; H01G4/228; H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
Published unexamined utility model applications of Japan 1971-2024  
Registered utility model specifications of Japan 1996-2024  
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                    | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 63-117454 A (FUJITSU LIMITED) 21 May 1988 (1988-05-21)<br>page 2, upper left column, line 1 to upper right column, line 20, fig. 2 | 1, 9, 12-16           |
| Y         |                                                                                                                                       | 2-8, 10-11, 17-18     |
| Y         | JP 2005-101609 A (SAMSUNG ELECTRONICS CO., LTD.) 14 April 2005 (2005-04-14)<br>paragraphs [0031], [0032], fig. 3                      | 2-8                   |
| Y         | JP 2014-093360 A (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) 19 May 2014<br>(2014-05-19)<br>paragraph [0007]                                 | 10-11                 |
| Y         | JP 09-017914 A (KABUSHIKI KAISHA TOSHIBA) 17 January 1997 (1997-01-17)<br>paragraph [0086]                                            | 17-18                 |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
“D” document cited by the applicant in the international application  
“E” earlier application or patent but published on or after the international filing date  
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
“O” document referring to an oral disclosure, use, exhibition or other means  
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 July 2024

Date of mailing of the international search report

06 August 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)  
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT  
Information on patent family members

International application No.  
**PCT/JP2024/019376**

| Patent document cited in search report |             |   | Publication date (day/month/year) | Patent family member(s)                                                                                                         | Publication date (day/month/year) |
|----------------------------------------|-------------|---|-----------------------------------|---------------------------------------------------------------------------------------------------------------------------------|-----------------------------------|
| JP                                     | 63-117454   | A | 21 May 1988                       | (Family: none)                                                                                                                  |                                   |
| JP                                     | 2005-101609 | A | 14 April 2005                     | US 2005/0063134 A1<br>paragraphs [0040], [0041], fig. 3<br>KR 10-2006-0020047 A<br>TW 248096 B<br>CN 1744779 A                  |                                   |
| JP                                     | 2014-093360 | A | 19 May 2014                       | US 2015/0289371 A1<br>paragraphs [0006], [0007]<br>WO 2014/069305 A1<br>EP 2916630 A1<br>KR 10-2015-0064224 A<br>CN 104756614 A |                                   |
| JP                                     | 09-017914   | A | 17 January 1997                   | US 5864178 A<br>column 43, lines 53-67                                                                                          |                                   |

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 25/00(2006.01)i; H01C 1/01(2006.01)i; H01G 2/06(2006.01)i; H01G 4/228(2006.01)i;  
H01L 23/12(2006.01)i  
FI: H01L25/00 B; H01L23/12 B; H01C1/01 Z; H01G2/06 C; H01G2/06 Z; H01G2/06 500; H01G4/228 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L25/00; H01C1/01; H01G2/06; H01G4/228; H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2024年  
日本国実用新案登録公報 1996-2024年  
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                        | 関連する<br>請求項の番号    |
|-----------------|--------------------------------------------------------------------------|-------------------|
| X               | JP 63-117454 A（富士通株式会社）21.05.1988（1988-05-21）<br>第2ページ左上欄第1行ー右上欄第20行, 図2 | 1, 9, 12-16       |
| Y               |                                                                          | 2-8, 10-11, 17-18 |
| Y               | JP 2005-101609 A（三星電子株式会社）14.04.2005（2005-04-14）<br>段落[0031], [0032], 図3 | 2-8               |
| Y               | JP 2014-093360 A（株式会社豊田自動織機）19.05.2014（2014-05-19）<br>段落[0007]           | 10-11             |
| Y               | JP 09-017914 A（株式会社東芝）17.01.1997（1997-01-17）<br>段落[0086]                 | 17-18             |

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの  
“D” 国際出願で出願人が先行技術文献として記載した文献  
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
“O” 口頭による開示、使用、展示等に言及する文献  
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの  
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
“&” 同一パテントファミリー文献

国際調査を完了した日  
25. 07. 2024

国際調査報告の発送日  
06. 08. 2024

名称及びあて先  
日本国特許庁(ISA/JP)  
〒100-8915  
日本国  
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）  
  
ゆずりは 広行 5D 3046  
  
電話番号 03-3581-1101 内線 3549

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/019376

| 引用文献 |             |   | 公表日        | パテントファミリー文献          | 公表日 |
|------|-------------|---|------------|----------------------|-----|
| JP   | 63-117454   | A | 21.05.1988 | (ファミリーなし)            |     |
| JP   | 2005-101609 | A | 14.04.2005 | US 2005/0063134 A1   |     |
|      |             |   |            | 段落[0040], [0041], 図3 |     |
|      |             |   |            | KR 10-2006-0020047 A |     |
|      |             |   |            | TW 248096 B          |     |
|      |             |   |            | CN 1744779 A         |     |
| JP   | 2014-093360 | A | 19.05.2014 | US 2015/0289371 A1   |     |
|      |             |   |            | 段落[0006], [0007]     |     |
|      |             |   |            | WO 2014/069305 A1    |     |
|      |             |   |            | EP 2916630 A1        |     |
|      |             |   |            | KR 10-2015-0064224 A |     |
|      |             |   |            | CN 104756614 A       |     |
| JP   | 09-017914   | A | 17.01.1997 | US 5864178 A         |     |
|      |             |   |            | 第43欄第53-67行          |     |