

圖 1A

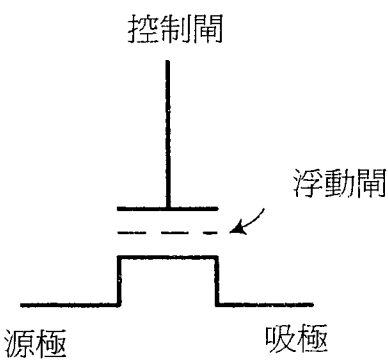


圖 1B

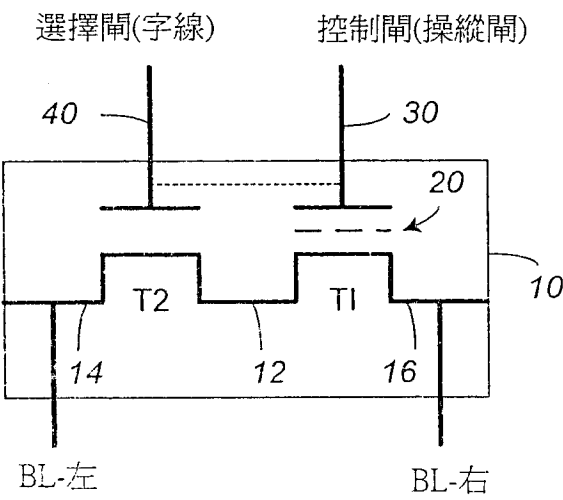


圖 1C

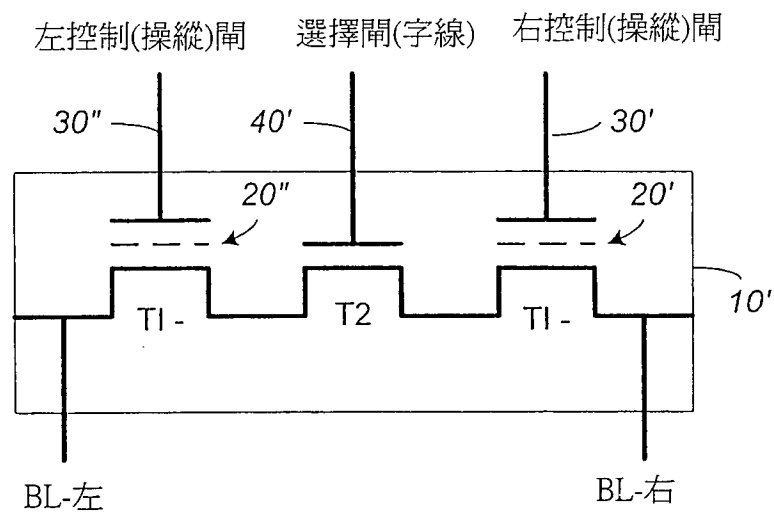


圖 1E

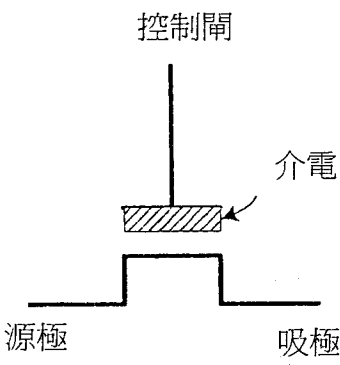


圖 1D

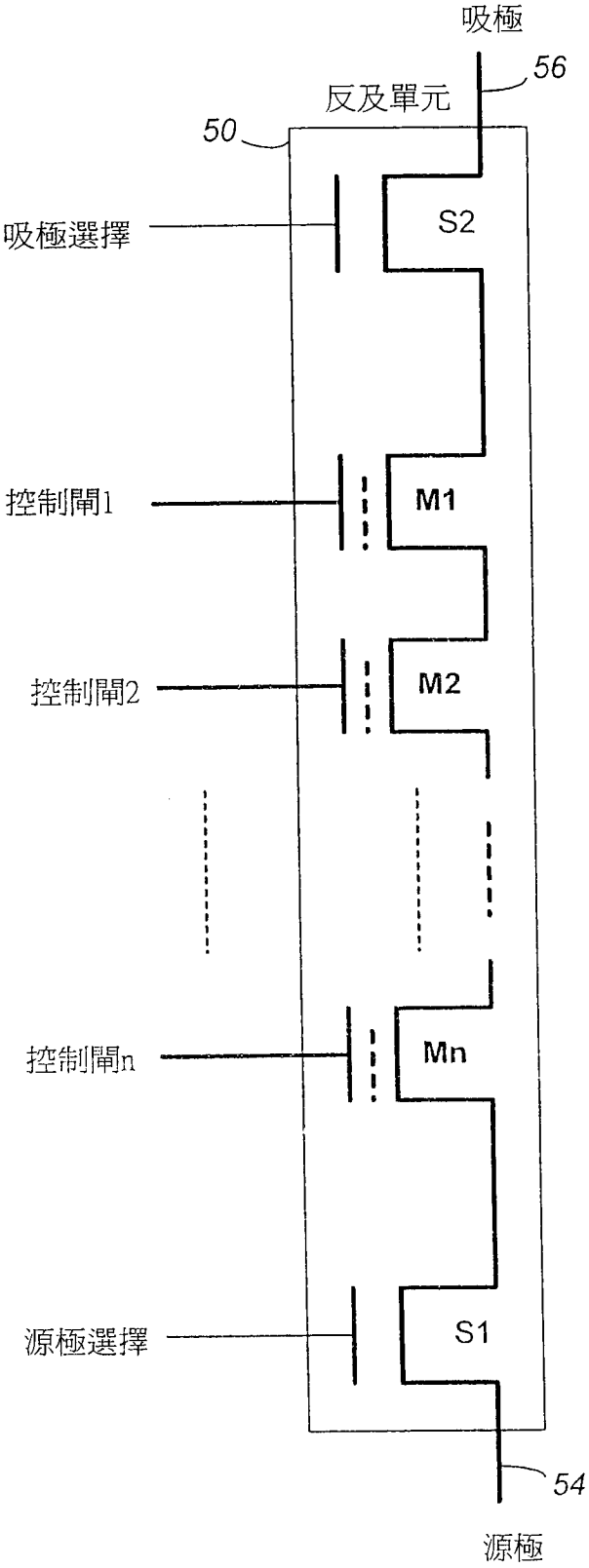


圖 2

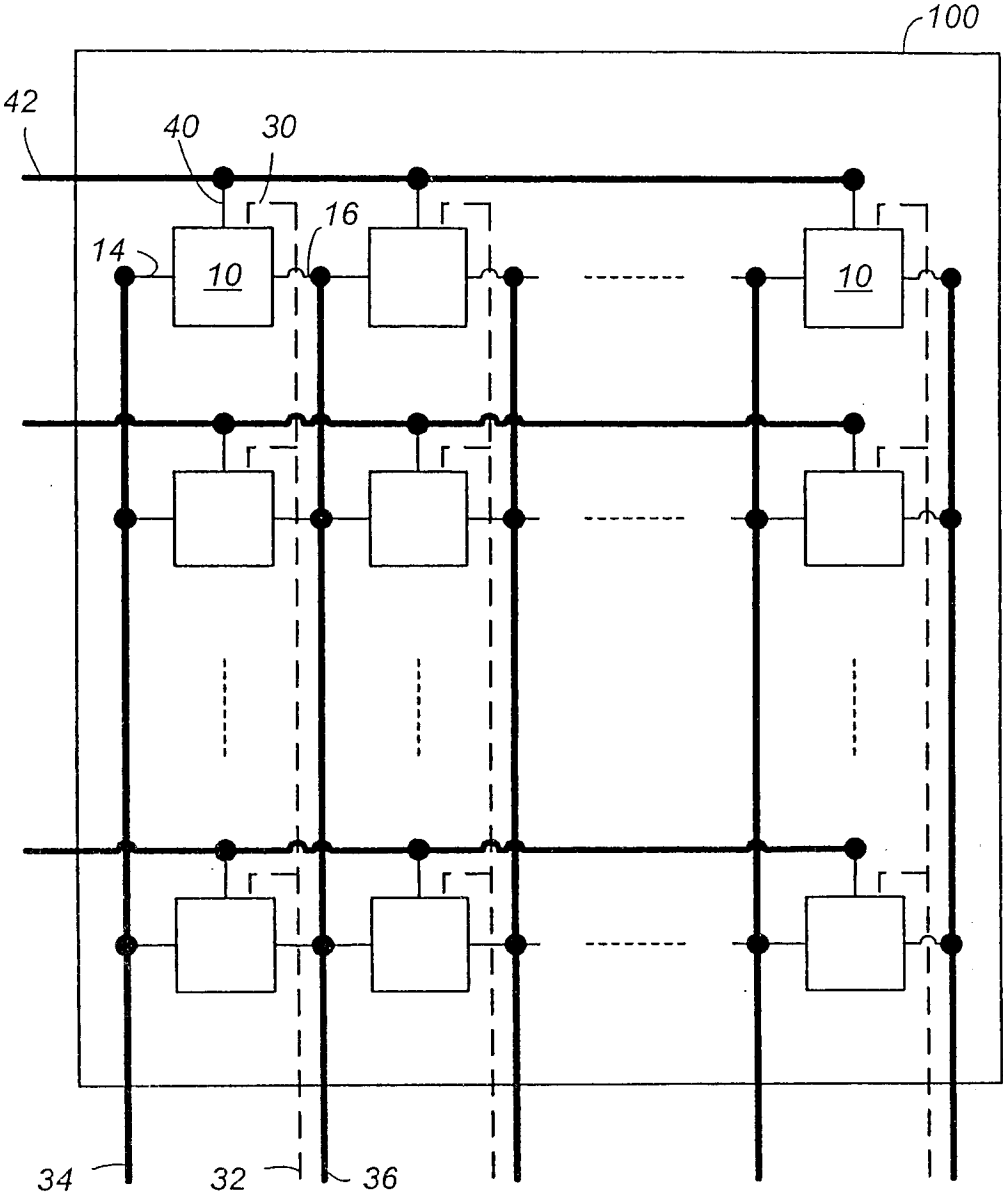


圖3

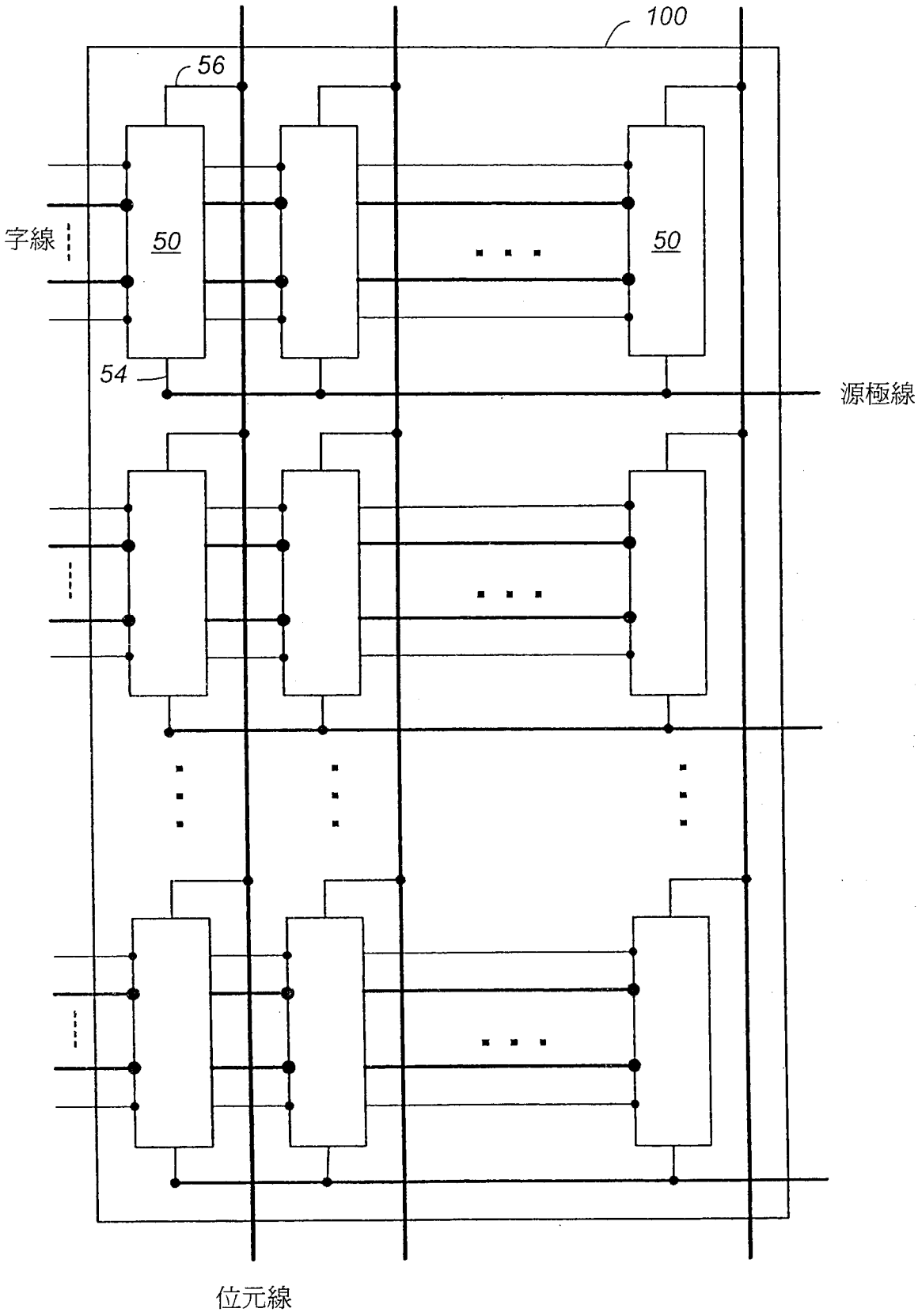


圖4

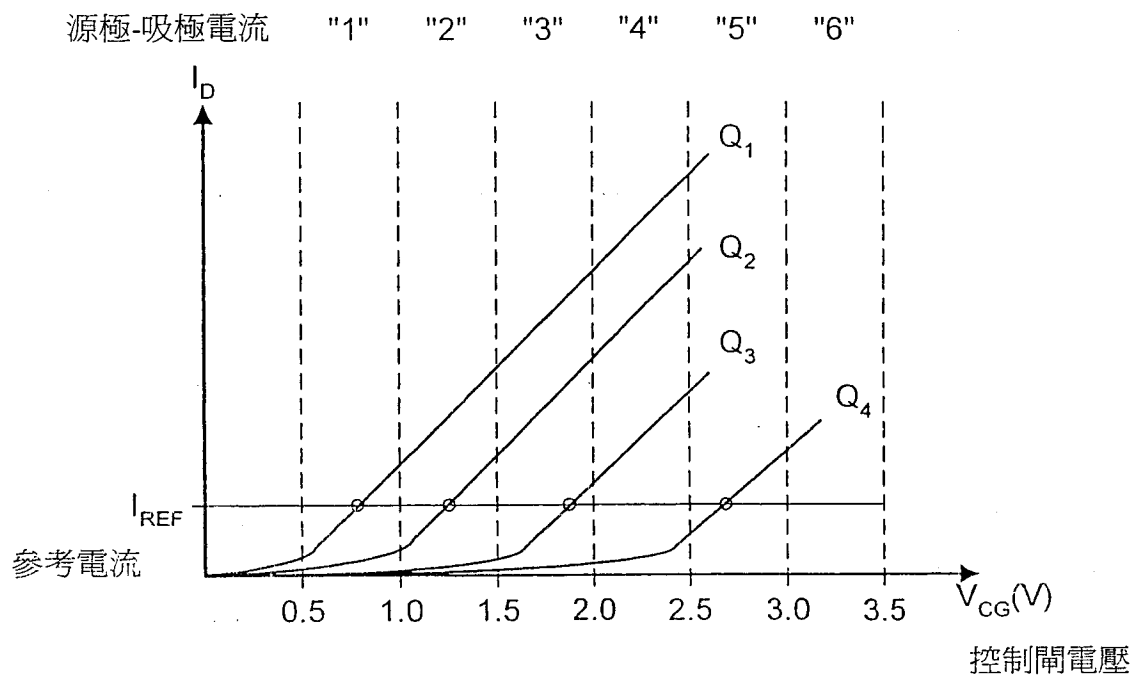


圖5

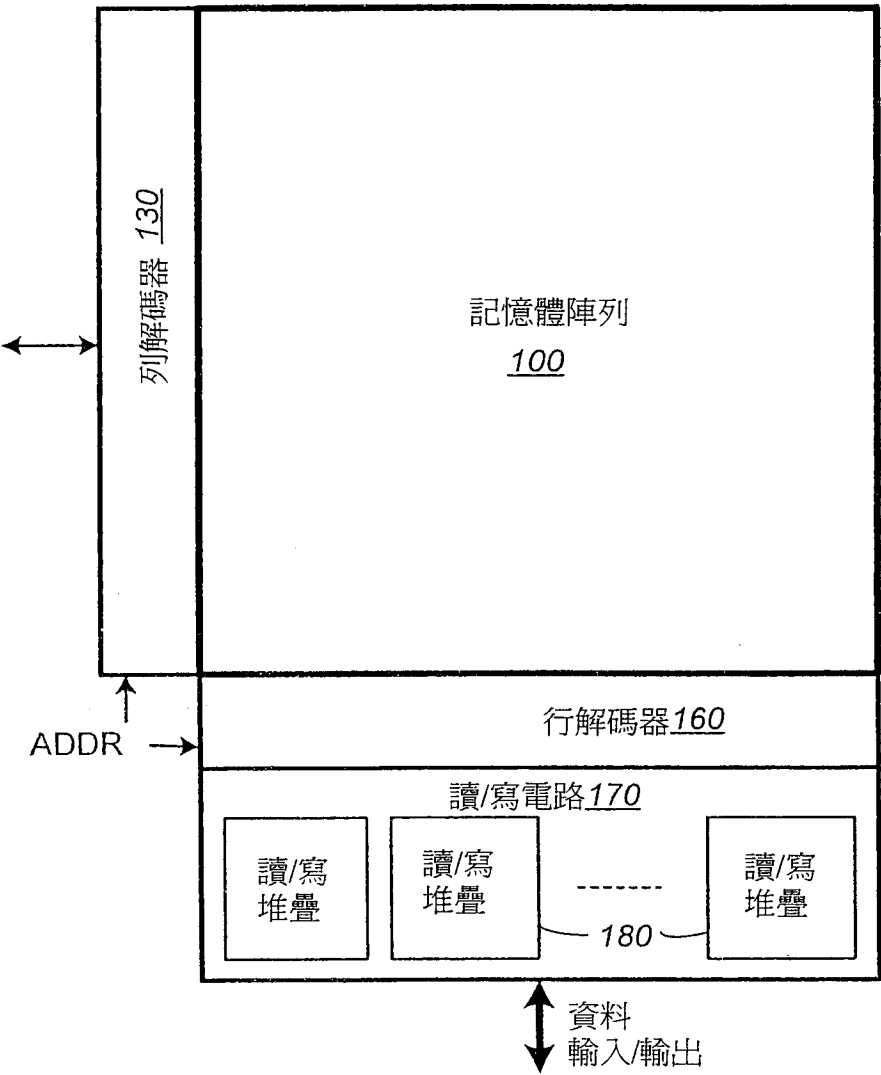


圖6A(習知技術)

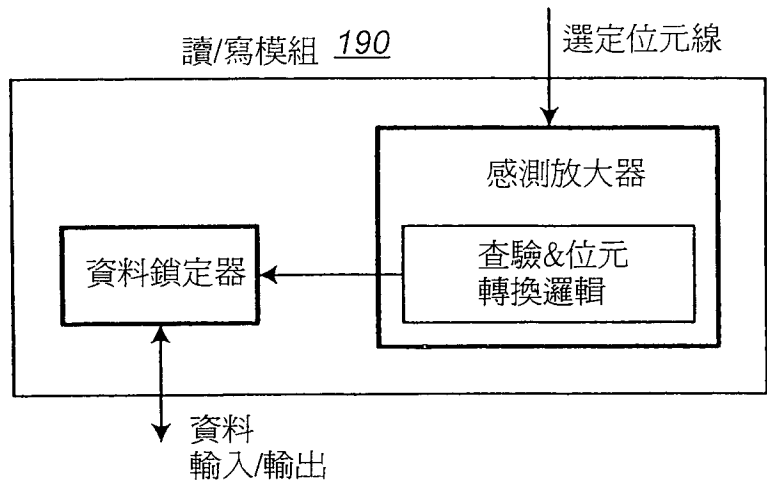


圖6B(習知技術)

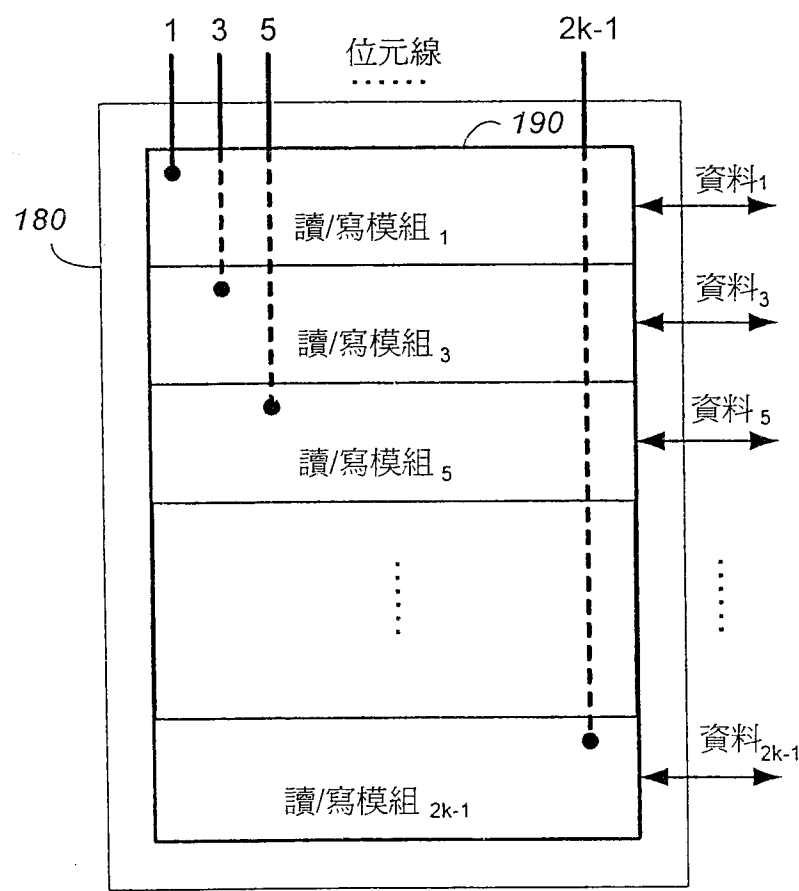


圖 7A

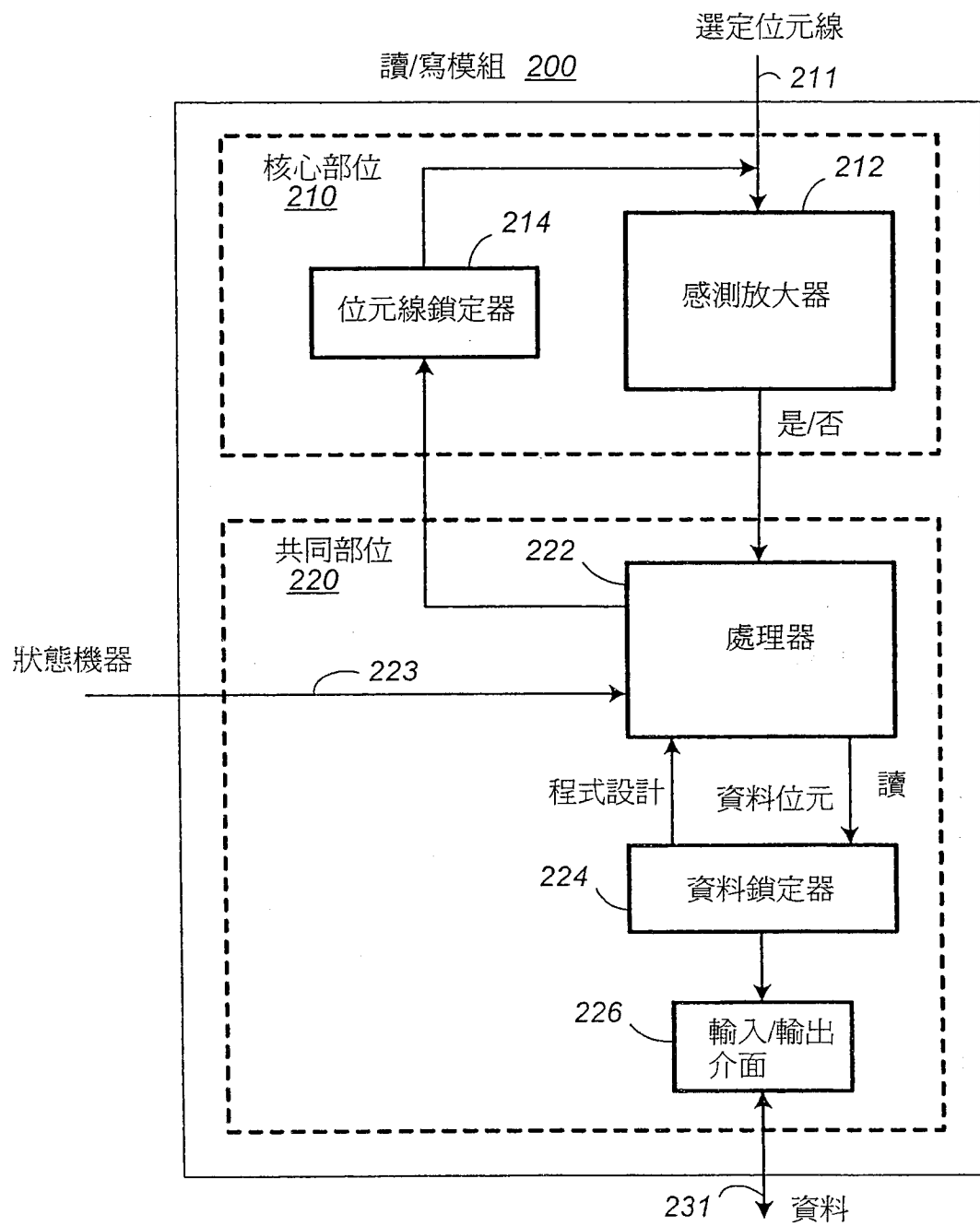


圖 7B

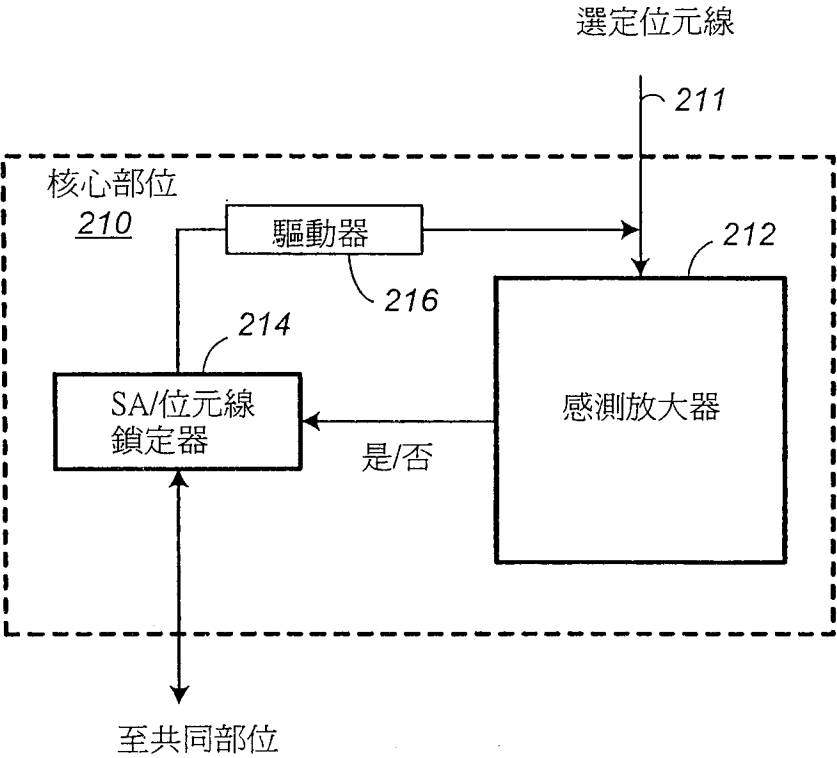


圖 8A

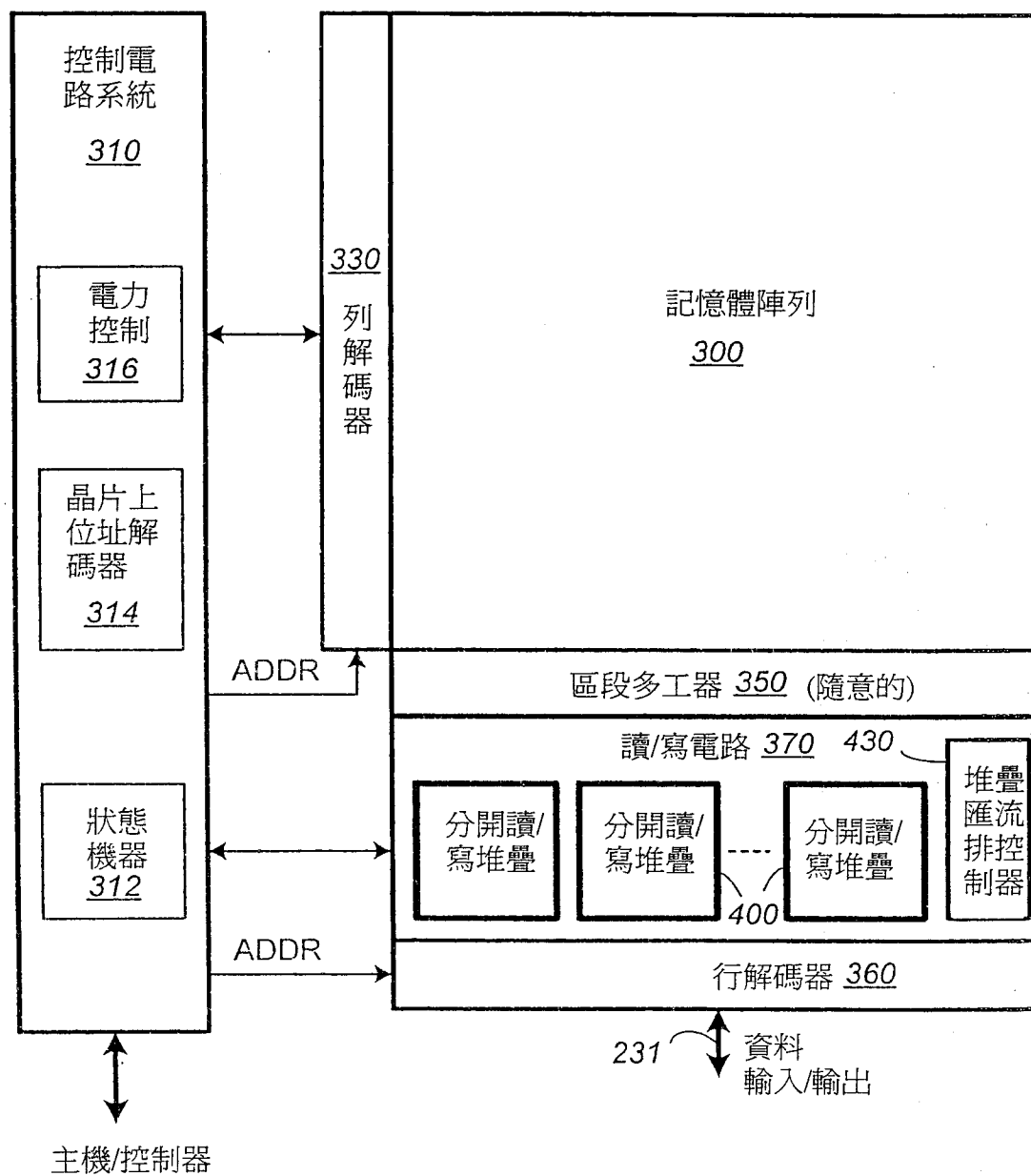


圖 8B

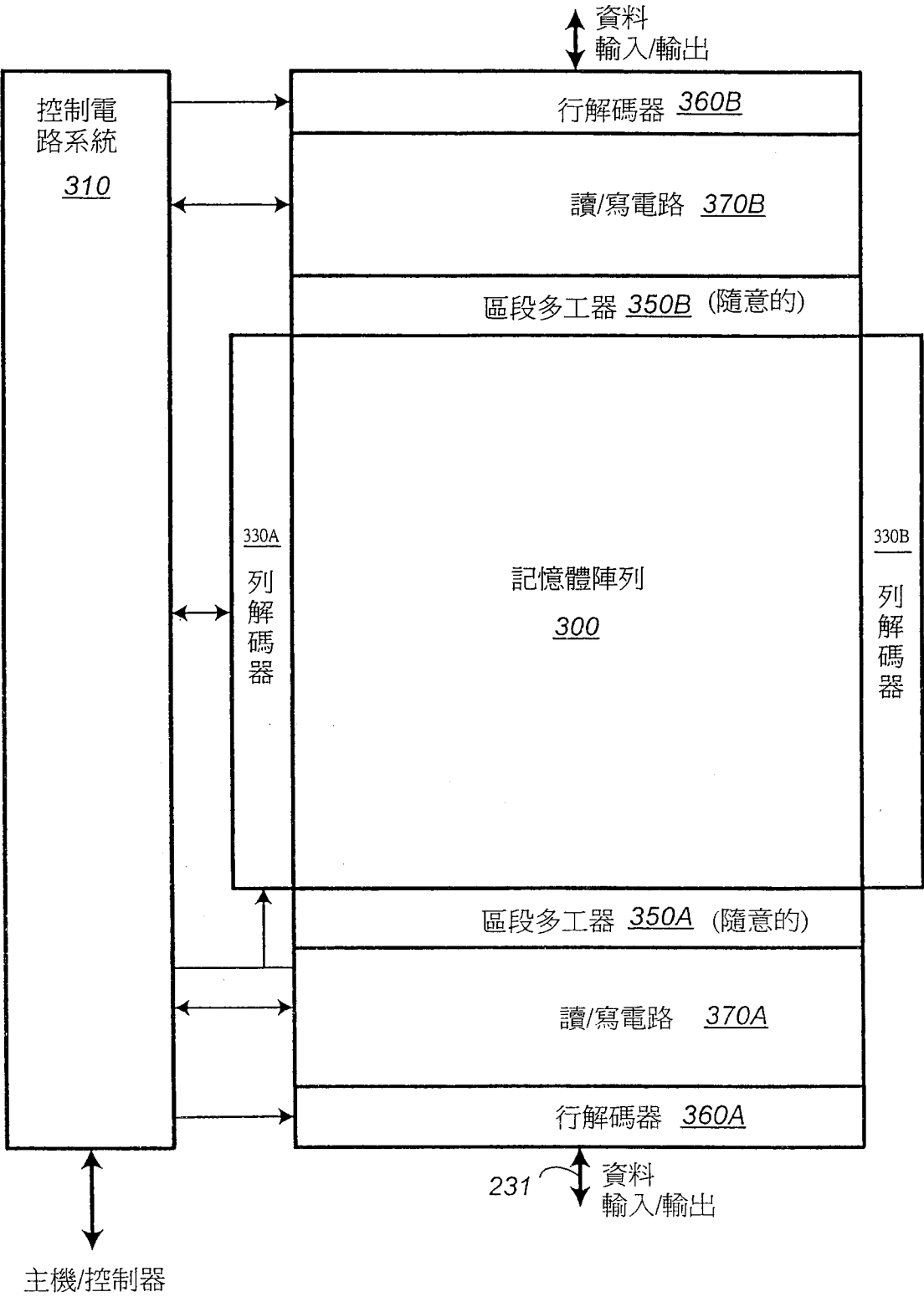


圖9

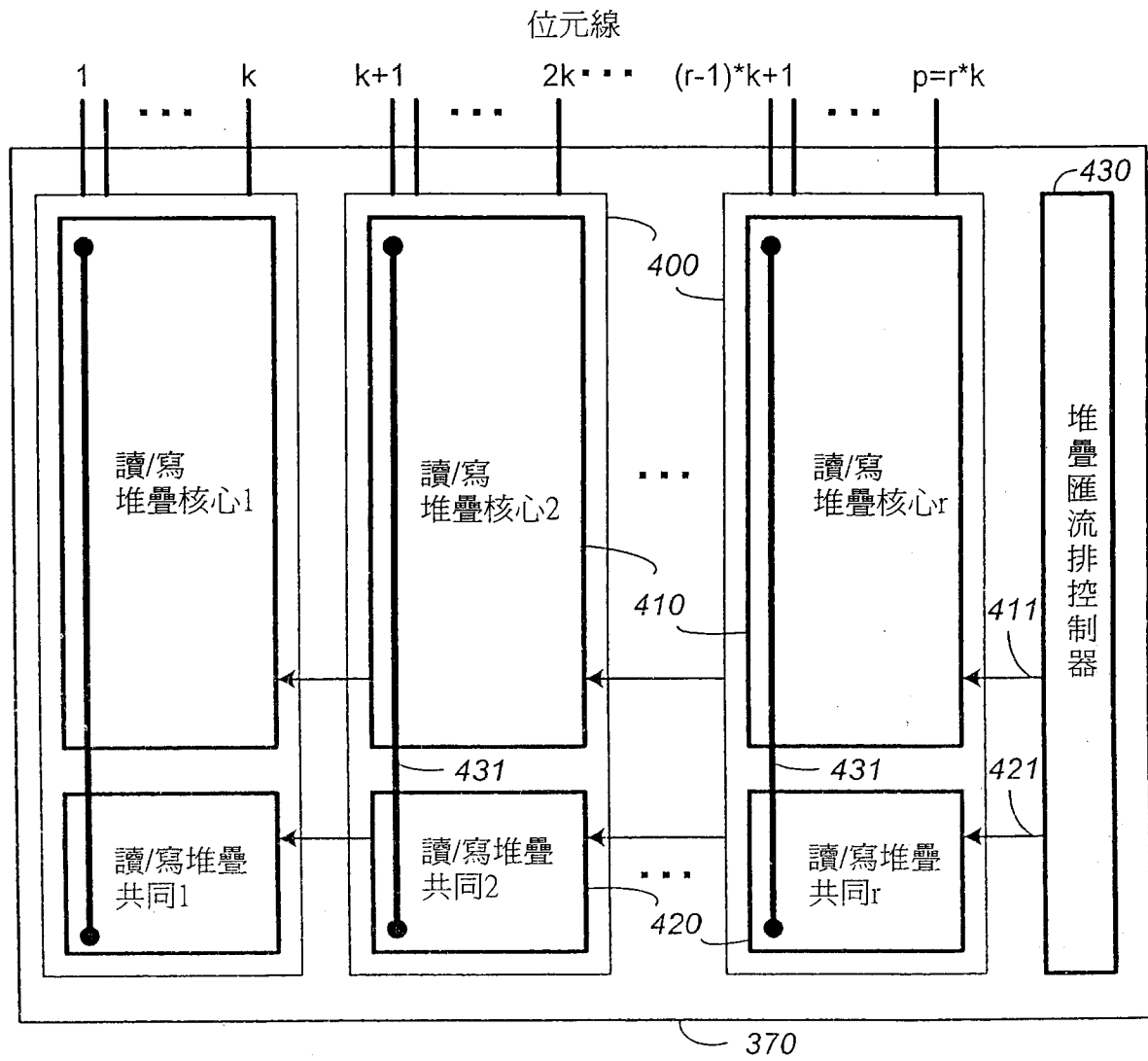


圖 10

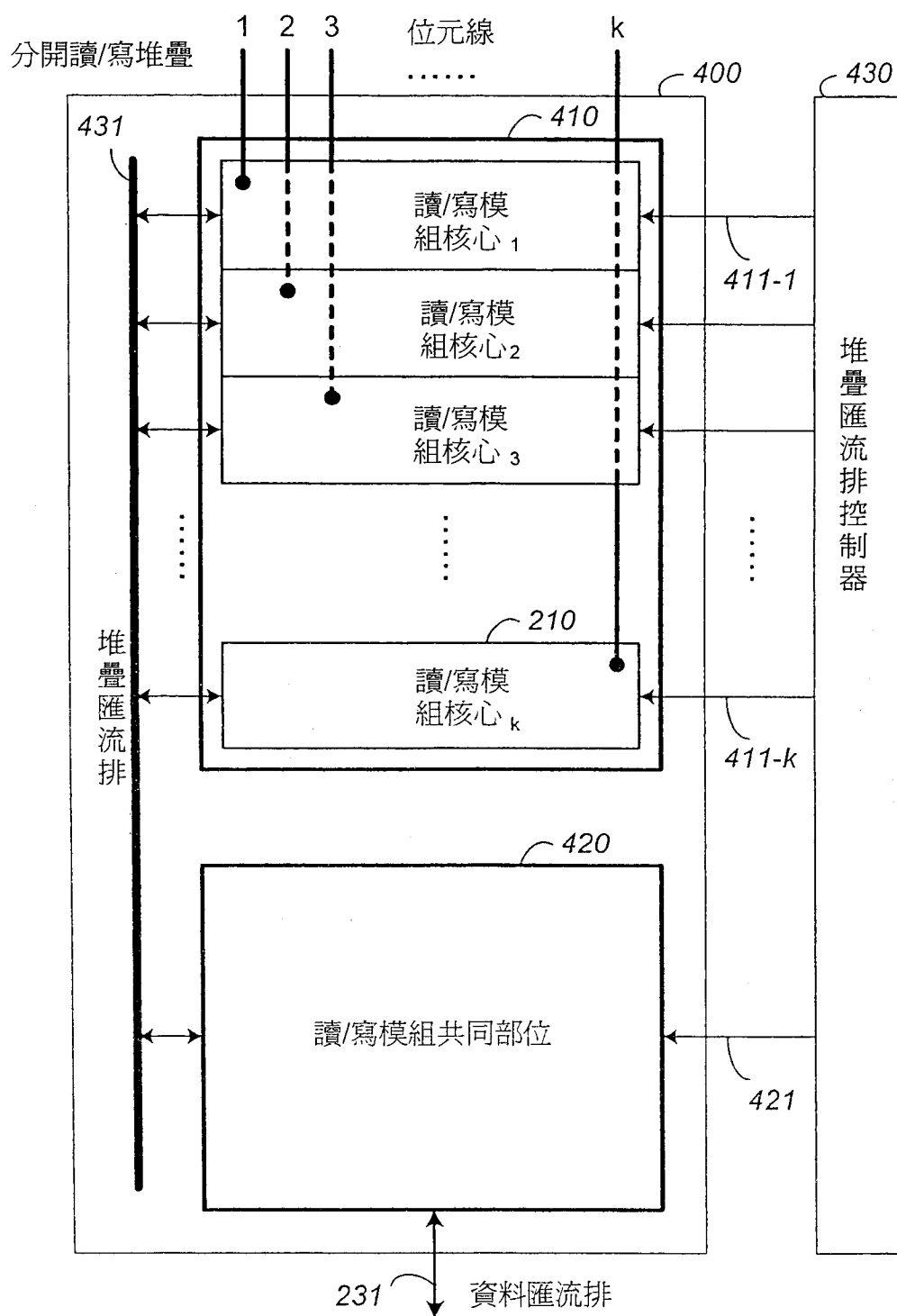
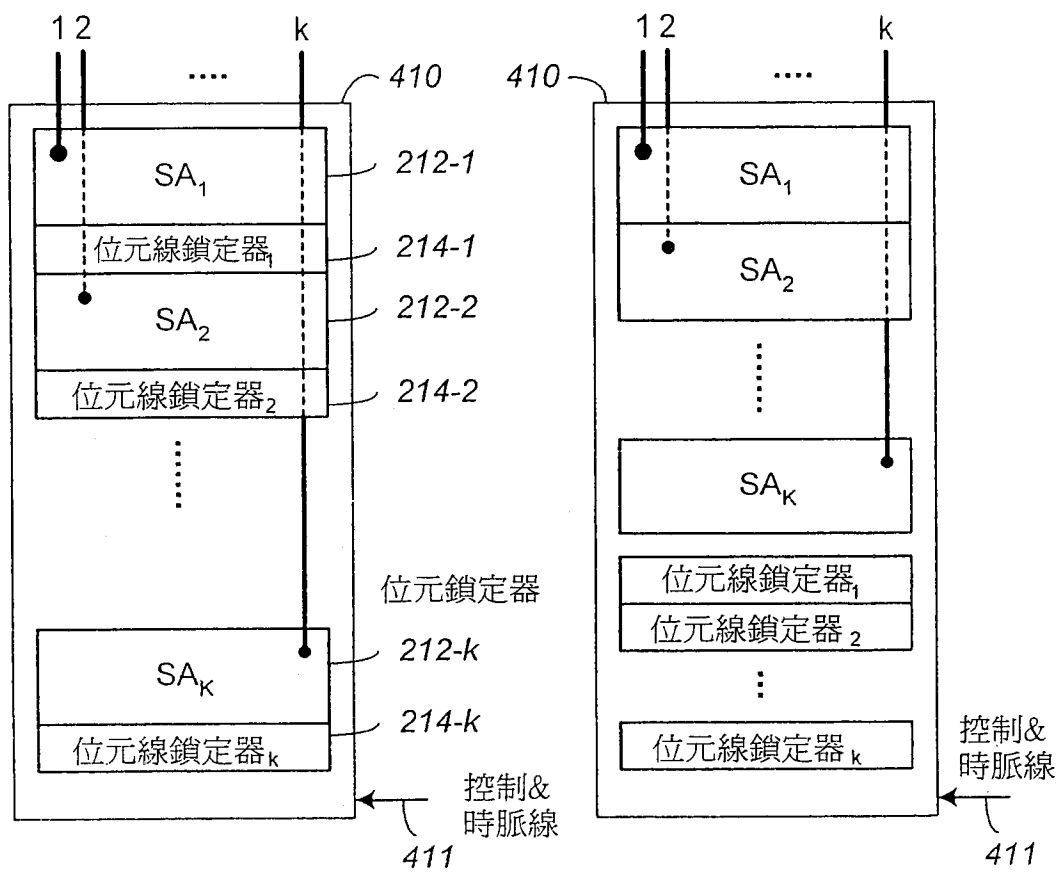


圖 11A

圖 11B

分開讀/寫堆疊核心部位



分開讀/寫堆疊共同部位

圖 12

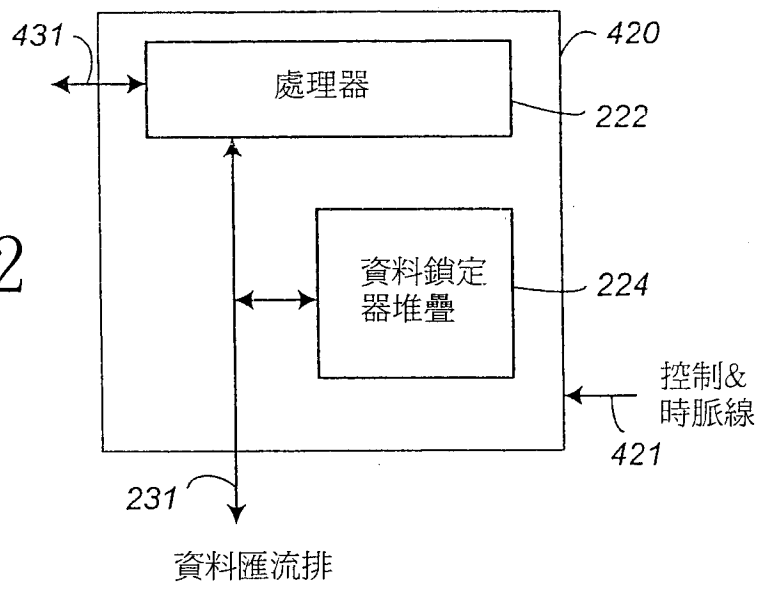


圖 13A

移位資料鎖定器堆疊[2k]

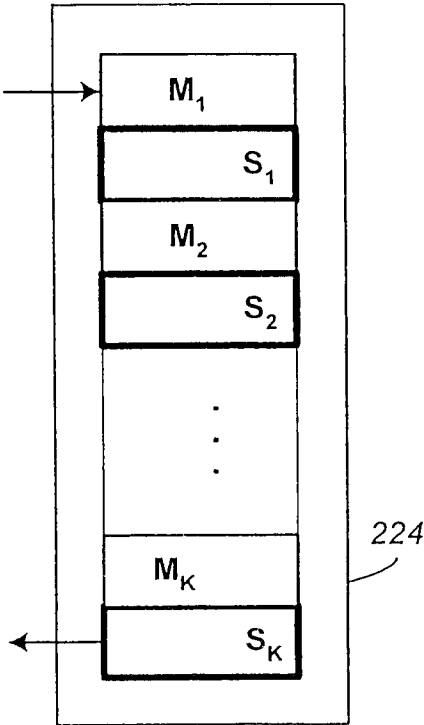


圖 13B

CLK	M_1	S_1	M_2	S_2		M_k	S_k
1	D_1						
1^*	D_1^*	D_1					
2	D_2	D_1^*	D_1				
2^*	D_2^*	D_2	D_1^*	D_1			
.	.	.	.	.		.	.
.	.	.	.	.		.	.
.	.	.	.	.		.	.
k	D_{k-1}^*	D_{k-1}	D_{k-2}^*	D_{k-2}		D_1	
k^*	D_k^*	D_k	D_{k-1}^*	D_{k-1}		D_1^*	D_1

圖 14A

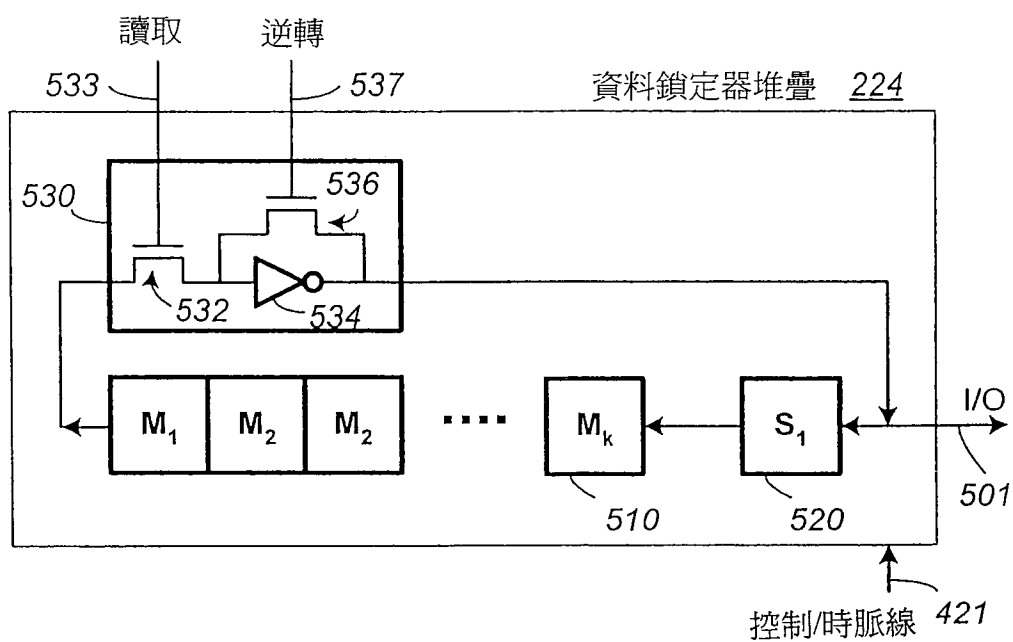


圖 14B

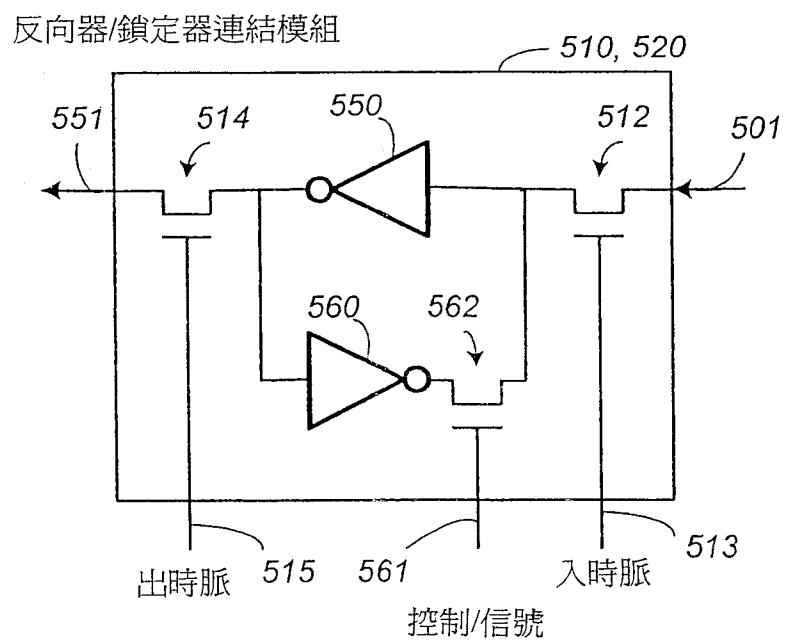


圖 14C

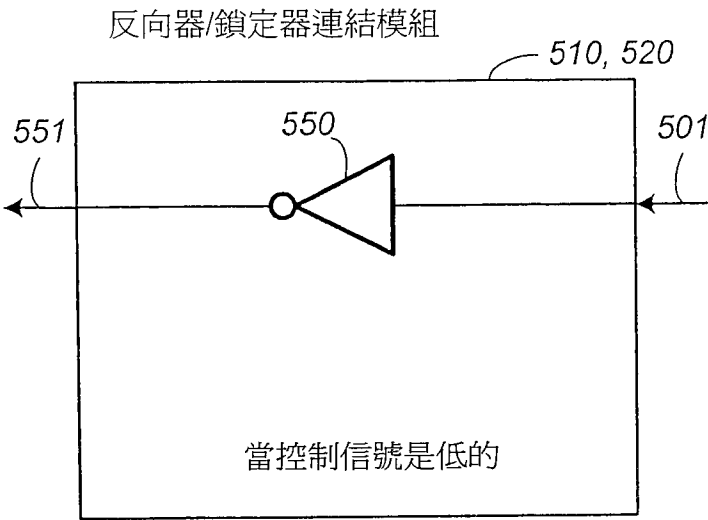


圖 14D

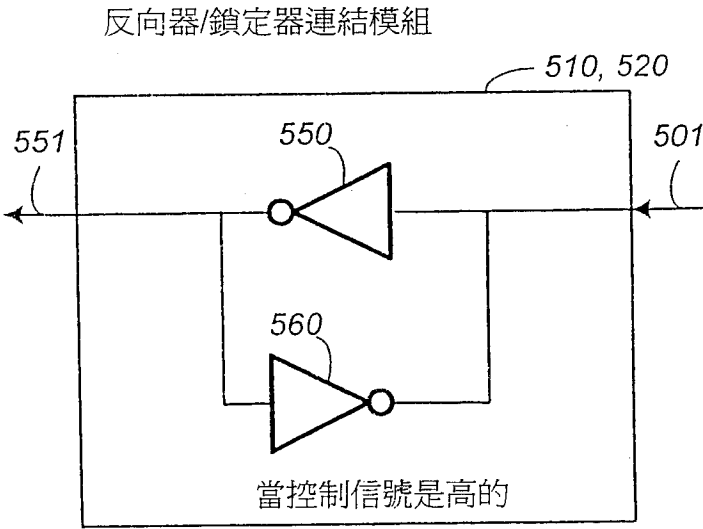


圖 15A

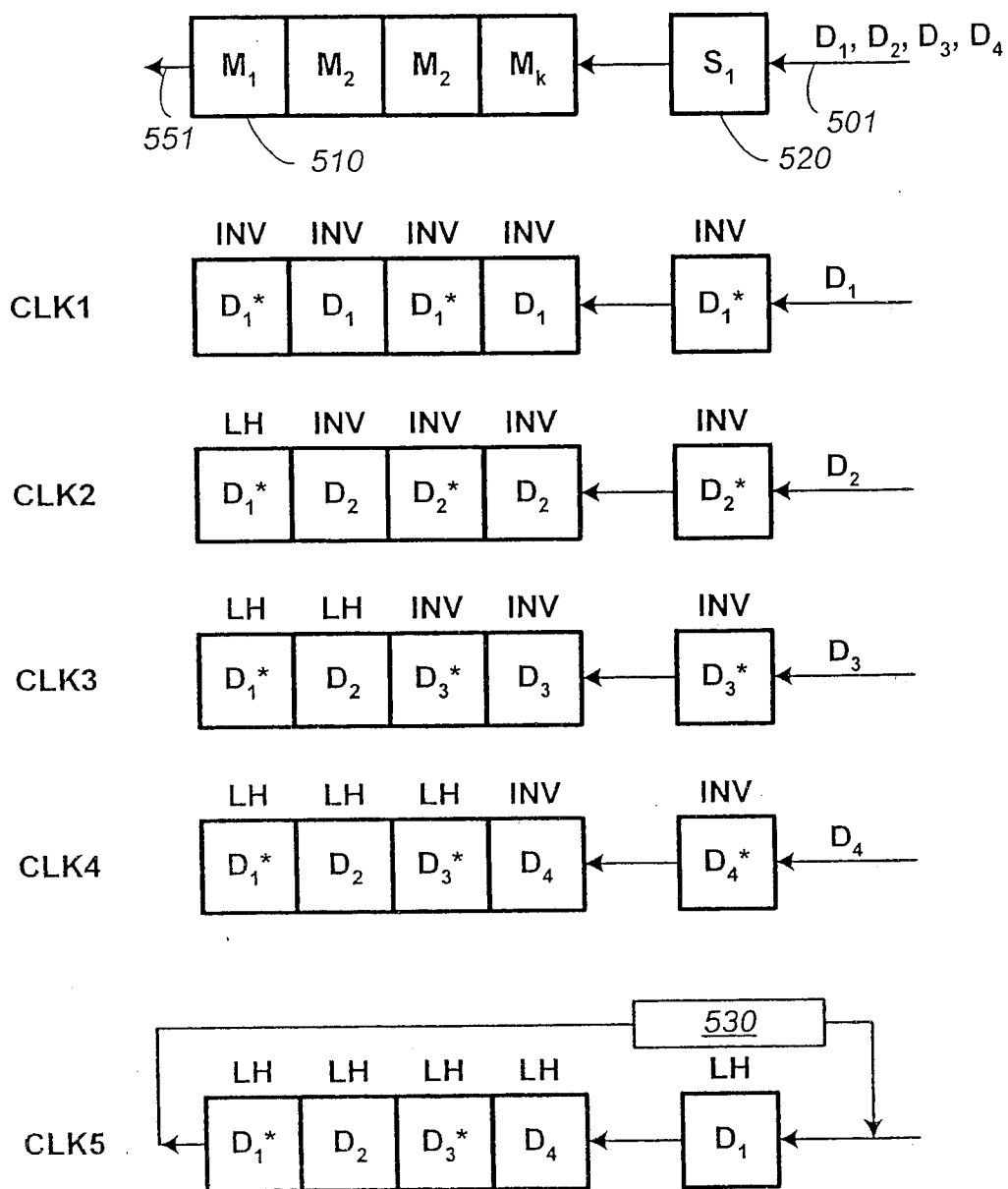


圖 15B

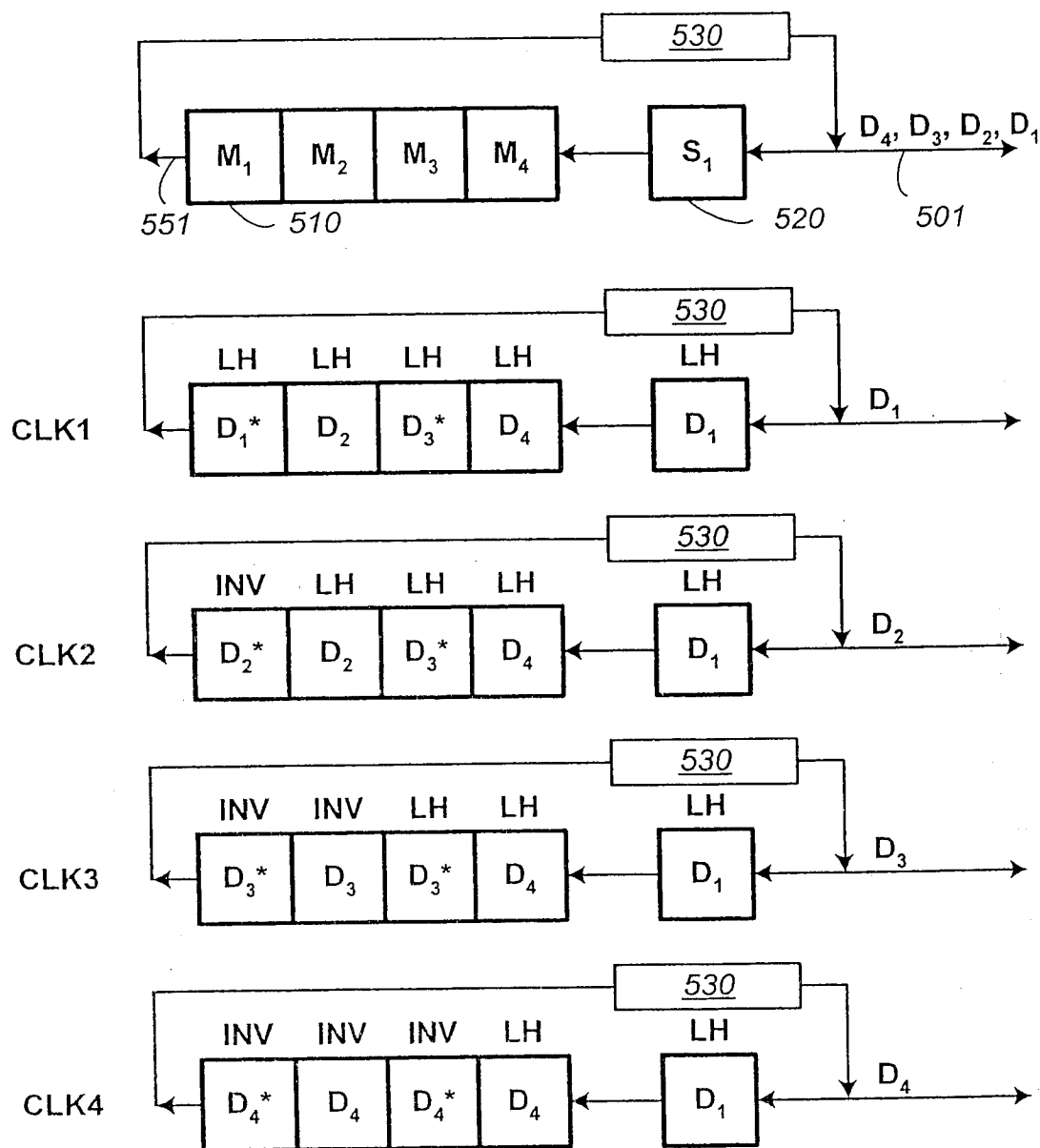


圖 15C

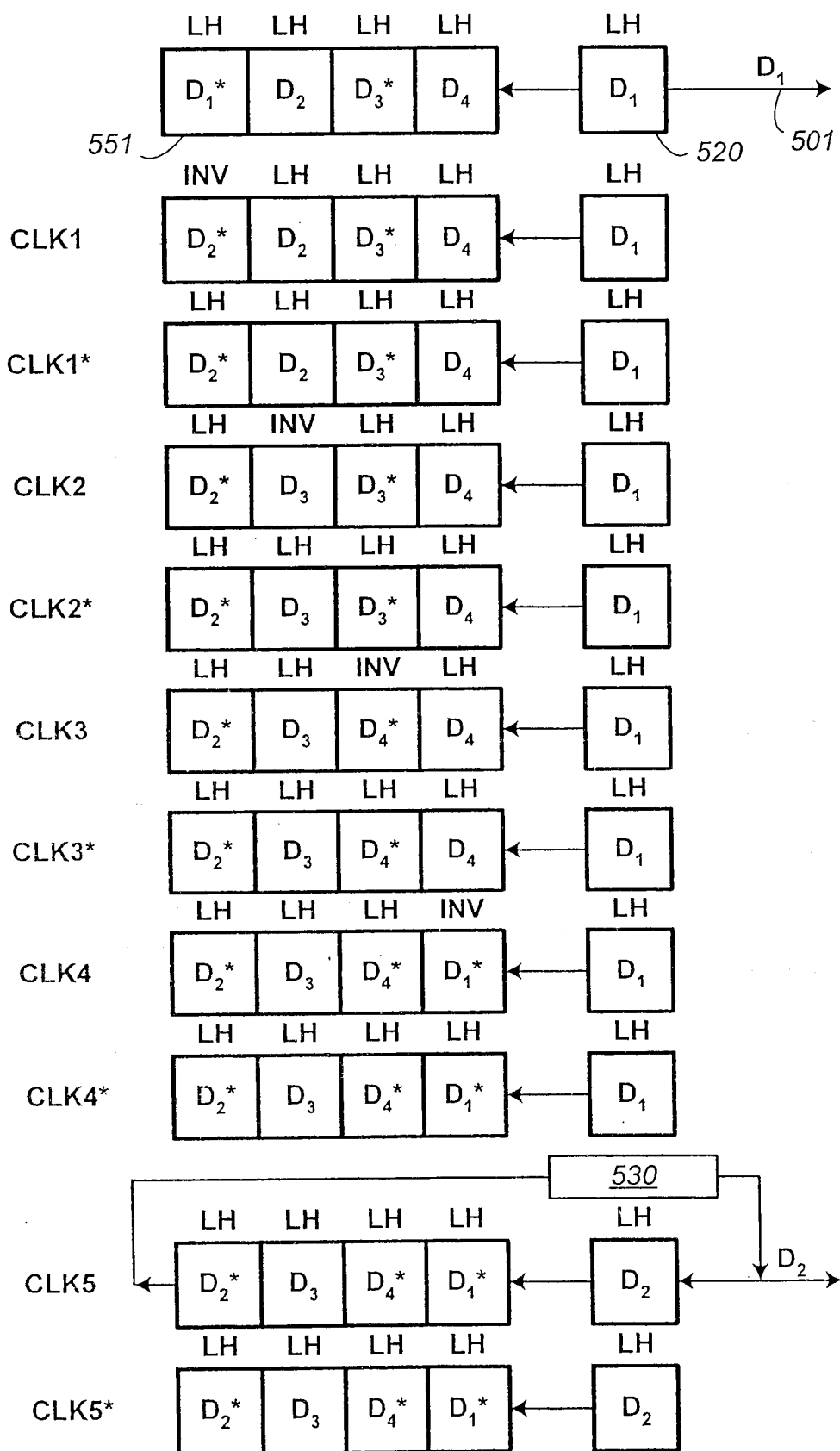


圖 16A

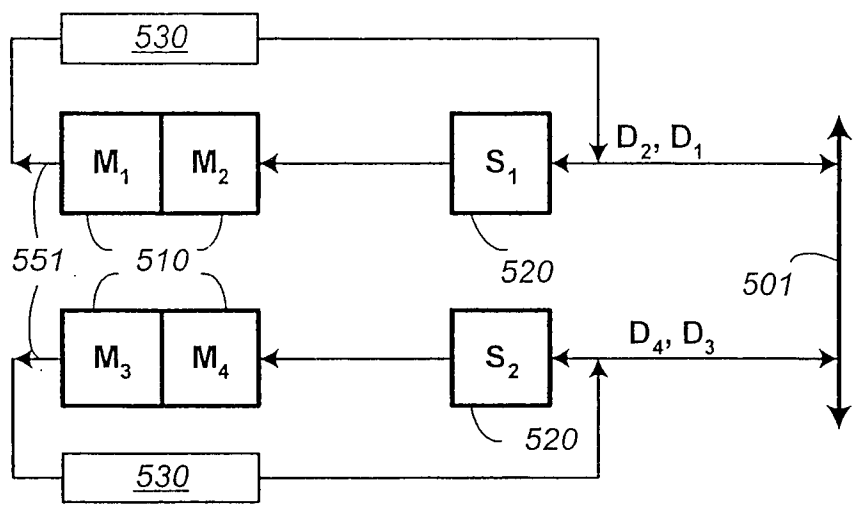


圖 16B

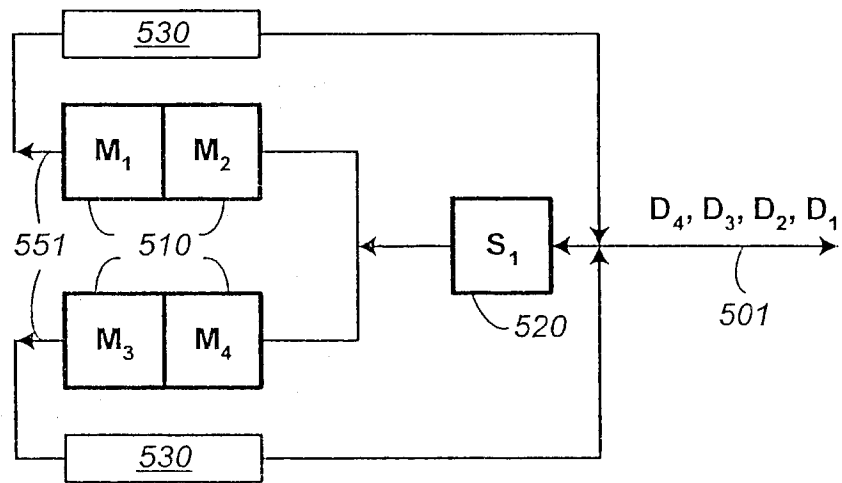
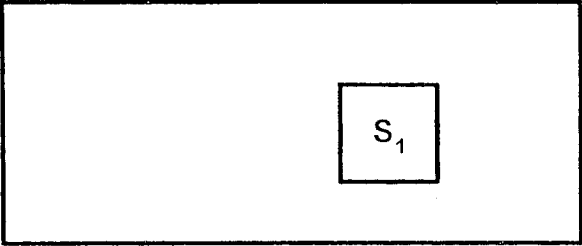


圖 17

處理器 222



I310190.

(此處由本局於收
文時黏貼條碼)

公告本

附件 2：第 92126110 號專利申請案
中文說明書替換本

民國 98 年 2 月 11 日修正 841961

發明專利說明書

年 月 日修正本
98.2.11

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92126110

※申請日期：92 年 09 月 22 日

※IPC 分類：G11C 16/02(2006.01)

壹、發明名稱：

(中) 儲存／讀取在非揮發性記憶體裝置的由連結模組所組成之鏈中的資料的方法
(英) Method for storing/reading data in a chain of linked modules in a non-volatile memory device

貳、申請人：(共 1 人)

1. 姓 名：(中) 桑迪士克股份有限公司

(英) SANDISK CORPORATION

代表人：(中) 1. 查爾斯 凡 歐德

(英) 1. ORDEN, CHARLES VAN

地 址：(中) 美國加州太陽谷喀斯匹安廣場一四〇號

(英) 140 Caspian Court, Sunnyvale, CA 94089, U.S.A.

國籍：(中英) 美國 U.S.A.

參、發明人：(共 1 人)

1. 姓 名：(中) 羅亞卓 塞尼亞

(英) CERNEA, RAUL-ADRIAN

地 址：(中) 美國加州聖大克拉瑞梅森公園大道五四〇號

(英) 540 Mansion Park Drive, Santa Clara, CA 95054, USA

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/09/24 ; 10/254,221 ☒ 有主張優先權

I310190.

(此處由本局於收
文時黏貼條碼)

公告本

附件 2：第 92126110 號專利申請案
中文說明書替換本

民國 98 年 2 月 11 日修正 841961

發明專利說明書

年 月 日修正本
98.2.11

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92126110

※申請日期：92 年 09 月 22 日

※IPC 分類：G11C 16/02(2006.01)

壹、發明名稱：

(中) 儲存／讀取在非揮發性記憶體裝置的由連結模組所組成之鏈中的資料的方法
(英) Method for storing/reading data in a chain of linked modules in a non-volatile memory device

貳、申請人：(共 1 人)

1. 姓 名：(中) 桑迪士克股份有限公司

(英) SANDISK CORPORATION

代表人：(中) 1. 查爾斯 凡 歐德

(英) 1. ORDEN, CHARLES VAN

地 址：(中) 美國加州太陽谷喀斯匹安廣場一四〇號

(英) 140 Caspian Court, Sunnyvale, CA 94089, U.S.A.

國籍：(中英) 美國 U.S.A.

參、發明人：(共 1 人)

1. 姓 名：(中) 羅亞卓 塞尼亞

(英) CERNEA, RAUL-ADRIAN

地 址：(中) 美國加州聖大克拉瑞梅森公園大道五四〇號

(英) 540 Mansion Park Drive, Santa Clara, CA 95054, USA

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/09/24 ; 10/254,221 ☒ 有主張優先權

玖、發明說明

【發明所屬之技術領域】

本發明係相關於非揮發性半導體記憶體，諸如電子式可拭除可程式化唯讀記憶體（EEPROM）及快閃 EEPROM 等，尤其是具有高緊密和高性能寫讀電路之非揮發性半導體記憶體。

【先前技術】

能夠不揮發地儲存電荷，尤其是以包裝成小型代理卡的 EEPROM 和快閃 EEPROM 形式之固態記憶體近年來變成種種可移動和手提裝置的儲存選擇。不像也是固態記憶體之 RAM（隨機存取記憶體），快閃記憶體是非揮發性的，即使在關掉電源之後仍可保留其儲存的資料。儘管快閃記憶體的コスト較高，但在大量儲存應用上的使用仍不斷增加。習知根據諸如硬碟機和軟碟等轉動磁性媒體之大量儲存不適用於可移動和手提環境。這是因為磁碟機相當笨重，容易機械故障、及具有高出入時間和高電力需求。這些特質使得使用碟的儲存不適用於大部分的可移動和可攜式應用。另一方面，因為快閃記憶體的小尺寸、低電力消耗、高速度、和高可靠性特徵，所以埋設型和可移開卡型之快閃記憶體皆相當適用於可移動和手提環境。

EEPROM 和電子式可程式化唯讀記憶體（EPROM）是非揮發性記憶體，能夠被拭除和具有寫入或“程式化”到它們的記憶體單元的新資料。在場效電晶體構造中兩者都

利用浮動（不連接）導電閘，定位在源極和吸極區之間的半導體基底之通道區正上方。然後設置控制閘在浮動閘正上方。藉由保留在浮動閘上之電荷量控制電晶體的臨界電壓特性。即就浮動閘上的指定電荷位準而言，有一在電晶體被打“開”以容許其源極和吸極區之間的傳導之前必須施加到控制閘的對應電壓（臨界）。

浮動閘能夠持有一連續電荷，因此能夠被程式化到臨界電壓觸窗孔的任何臨界電壓位準。藉由裝置的最小和最大臨界位準限定臨界電壓窗孔的尺寸，裝置的最小和最大臨界位準依次對應到能夠被程式化到浮動閘上之電荷範圍。臨界窗孔通常依賴記憶體裝置的特性、操作條件、和歷史。原則上，在窗孔中的每一清楚可分解的臨界電壓位準範圍用於指定單元中明確的記憶體狀態。

當作記憶體單元的電晶體典型上利用兩機構的其中之一程式化成“程式化”狀態。在“熱電子注射”中，施加到吸極的高電壓加速電子橫越過基底通道區。同時，施加到控制閘的高電壓牽引熱電子經過薄的閘介電到浮動閘上。

可利用一些機構拭除記憶體裝置。就 EPROM 而言，藉由紫外線輻射自浮動閘去除電荷可大量拭除記憶體。就 EEPROM 而言，藉由施加高電壓到有關控制閘的基底以便感應浮動閘中的電子以在薄氧化物中打通一到基底通道區的遂道（即 Fowler-Nordheim 隧道效應），如此可電子式拭除記憶體單元。典型上，EEPROM 可利用位元組拭除位

元組。就快閃 EEPROM 而言，可一次同時或一次中分成一或多個區段電子式拭除記憶體，此處一區段包含 512 位元組或更多記憶體。

非揮發性記憶體單元的例子

記憶體裝置典型上包含一或多個可裝設在卡上之記憶體晶片。每一記憶體晶片包含一記憶體單元陣列，由諸如解碼器、和拭除、讀寫電路等周圍電路所支撐。更精密的記憶體裝置又包括控制器，用以執行智慧及較高位準的記憶體操作和接合。今日在市面上有許多成功的非揮發性固態記憶體裝置供人使用。這些記憶體裝置可利用不同類型的記憶體單元，每一類型都具有一或多個電荷儲存元件。

圖 1A-1E 概要圖解非揮發性記憶體單元的不同例子。

圖 1A 概要圖解具有儲存電荷的浮動閘之 EEPROM 單元形式的非揮發性記憶體。電子式可拭除可程式化唯讀記憶體（EEPROM）具有與 EPROM 類似的結構，但是另外設置用以憑藉施加適當電壓而無需暴露在 UV 輻射中自其浮動閘電子式載入和去除電荷之機構。此種單元和製造它們的方法可見美國專利號碼 5,595,924。

圖 1B 概要圖解具有選擇閘和控制或操縱閘之快閃 EEPROM 單元。記憶體單元 10 在源極 14 和汲極 16 擴散之間具有“溢出通道”12。單元實際上形成有串聯的兩電晶體 T1 和 T2。T1 當作具有浮動閘 20 和控制閘 30 之記憶體電晶體。浮動閘能夠儲存可選擇的電荷量。能夠流經

通道的 T1 部位之電流量則依據控制閘 30 上的電壓和存在介於中間的浮動閘 20 上之電荷量。T2 當作具有選擇閘 40 之選擇電晶體。當利用選擇閘 40 中的電壓接通 T2 時，其使通道的 T1 部位之電流可通過源極和吸極之間。選擇電晶體沿著與控制閘中的電壓無關之源極-吸極通道提供一開關。其中一優點乃其能夠用於斷開那些由於它們在它們浮動閘中的電荷耗盡（正電荷）所以仍在零控制閘電壓中被傳導之單元。另一優點乃期使源極側注射程式化可更容易實施。

溢出通道記憶體單元的一簡單實施例乃選擇閘和控制閘連接到圖 1B 的點線索概要表示之相同字線。此藉由具有位在通道的一部位正上方之電荷儲存元件（浮動閘）和位在另一通道部位正上方及電荷儲存元件正上方之控制閘構造（字線的一部分）完成。此實際形成具有串聯的兩連電晶體之單元，其中一個（記憶體電晶體）具有在電荷儲存元件上的電荷量和控制能夠流經其通道部位的電流量之字線上的電壓之組合，另一個（選擇電晶體）僅具有當作其閘的字線。此種用於記憶體系統之單元和製造它們的方法的例子可見美國專利號碼 5,070,032、5,095,344、5,315,541、5,343,063、和 5,661,053。

圖示於圖 1B 之溢出通道單元的更精確實施例乃當選擇閘和控制閘是獨立的、並不以它們之間的點線加以連接。一實施例在連接到垂直於字線的控制（或操縱）線之單元的陣列中具有一行的控制閘。其作用乃當讀取或程式化

被選的單元時，免除字線同時必須執行兩功能。那兩功能係（1）當作選擇電晶體的閘，如此需要適當電壓將選擇電晶體接通及斷開，和（2）經由耦合在字線和電荷儲存元件之間的電場（電容），驅動電荷儲存元件的電壓到想要的位準。通常難以只利用單一電壓就可以最佳方式執行這兩功能。藉由分開控制選擇閘和控制閘，在附加的控制線值行功能（2）的同時，字線僅需要執行功能（1）。此能力考慮到程式化電壓適合目標資料之較高性能的程式化設計。例如，在美國專利號碼 5,313,421 和 6,222,762 說明快閃 EEPROM 陣列中的獨立控制（或操縱）閘之使用。

圖 1C 概要圖解另一具有雙浮動閘及獨立的選擇和控制閘之快閃 EEPROM 單元。除了其實際上具有三串聯電晶體之外，記憶體單元 10 類似於圖 1B 的記憶體單元。在此單元類型中，兩儲存元件（即 T1-左和 T1-右者）被包括在其具有選擇電晶體 T1 在其間的源極和吸極擴散之間的通道正上方。記憶體電晶體各自具有浮動閘 20 和 20'、及控制閘 30 及 30'。利用選擇閘 40 控制選擇電晶體 T2。在任一時間中，只有一對記憶體電晶體的其中之一被存取作為讀或寫之用。當儲存單元 T1-左被存取時，T2 和 T1-右被接通以使通道的 T1-左部位中的電流可通過源極和吸極之間。同樣地，當儲存單元 T1-右被存取時，T2 和 T1-左被接通。藉由具有一部分選擇閘聚矽在接近浮動閘和施加大量的正電壓（如 20V）到選擇閘，使得儲存在浮動閘

內的電子能夠透納到選擇閘聚矽，如此產生拭除。

圖 1D 概要圖解一串組成 NAND（反及）單元之記憶體單元。NAND 單元 50 包含一連串由它們的源極和吸菊輪式鏈接之記憶體電晶體 $M_1, M_2, \dots, M_n$ ($n = 4, 8, 16$ 或更高)。一對選擇電晶體 S_1, S_2 透過 NAND 單元的源極終端 54 和吸極終端 56 控制到外部的記憶體電晶體鏈連接。在記憶體陣列中，當源極選擇電晶體 S_1 被接通時，源極終端耦合到源極線。同樣地，當吸極選擇電晶體 S_2 被接通時，NAND 單元的吸極終端耦合到記憶體陣列的位元線。在鏈中的每一記憶體電晶體具有電荷儲存元件以儲存指定的電荷量，以便表示預期的記憶體狀態。每一選擇電晶體 S_1, S_2 的控制閘都提供讀和寫操作的控制。每一選擇電晶體 S_1, S_2 的控制閘也都提供各自透過其源極終端 54 和吸極終端 56 到 NAND 單元的控制存取。

當程式化期間讀取和查驗 NAND 單元內的定址記憶體電晶體時，其控制閘被供應有適當電壓。同時，利用施加足夠電壓在其控制閘上完全接通 NAND 單元內的未定址記憶體電晶體之剩餘部分。在此方式中，自個別記憶體電晶體的源極到 NAND 單元的源極終端 54 有效建立導電路徑，個別記憶體電晶體的吸極到單元的吸極終端 56 也是一樣有效建立傳導路徑。在美國專利號碼 5,570,315、5,903,495、6,046,935 說明具有此種 NAND 單元構造的記憶體裝置。

圖 1E 概要說明具有儲存電荷專用介電層之非揮發性

記憶體。使用介電層取代前述的導電浮動閘元件。在 2000 年 11 月 IEEE 電子裝置文書第 21 冊第 11 號第 543-545 頁，Eitan 及其他人的“NROM：新局部捕獲及 2 位元非揮發性記憶體單元”已說明此種利用介電儲存元件之記憶體裝置。一 ONO 介電層延伸越過源極和吸極擴散之間的通道。其中一資料專用電荷被定位在與吸極相鄰的介電層，及另一資料專用電荷被定位在與源極相鄰的介電層。例如，美國專利號碼 5,768,192 及 6,011,725 揭示具有夾層在兩二氧化矽層之間的捕獲介電之非揮發性記憶體單元。利用分開讀取在介電內佔有空間的分開電荷儲存區之二進制狀態加以實施多狀態資料儲存。

記憶體陣列

記憶體裝置典型上包含以列及行排列、並且可利用字線和位元線定址的兩次元陣列記憶體單元。

NOR 陣列（反或陣列）

圖 2 圖解記憶體單元之 NOR 陣列的例子。已利用圖解在圖 1B 或 1C 的單元類型實施具有 NOR 型的記憶體裝置。每一列記憶體單元藉由它們的源極和吸極以菊輪式鏈接方式連接。此設計有時被稱作虛擬接地設計。每一記憶體單元 10 具有源極 14、吸極 16、控制閘 30、及選擇閘 40。列中單元具有連接到字線 42 之選擇閘。行中單元具有各自連接到選定位元線 34 及 36 之源極和吸極。在一些

實施例中，記憶體單元具有獨立控制的控制閘和選擇閘，操縱線 36 也連接行中單元的控制閘。

利用每一個都形成有連接在一起的控制閘和選擇閘之記憶體單元實施許多快閃 EEPROM 裝置。在此例中，無需操縱線而是僅有字線連接沿著每一列單元的所有控制閘和選擇閘。這些設計的例子揭示在美國專利號碼 5,172,338 和 5,418,752。在這些設計中，字線實質上執行兩功能：列選擇和供應控制閘電壓到列中所有單元以讀取和程式化。

NAND 陣列（反及陣列）

圖 3 圖解記憶體單元的 NAND 陣列，如圖示於圖 1D 者。沿著每一行 NAND 單元，位元線耦合於每一 NAND 單元的吸極終端 56。沿著每一列 NAND 單元，源極線連接所有它們的源極終端 54。而且，沿著列之 NAND 單元的控制閘連接到一連串對應字線。藉由透過連接字線以它們控制閘上的適當電壓接通一對選擇電晶體（見圖 1D）能夠定址整列 NAND 單元。當 NAND 單元鏈內的記憶體電晶體被讀取時，鏈中剩下的記憶體電晶體透過它們關聯的字線被接通，使得流經鏈的電流實質上根據儲存在被讀取單元中的電荷位準。在 NAND 架構陣列的例子和其操作成記憶體系統的一部分可見於美國專利號碼 5,570,315、5,774,397、及 6,046,935。

區段拭除

電荷儲存記憶體裝置的程式化能夠只是添加更多電荷到其電荷儲存元件。因此，在程式操作之前，電荷儲存元件中的既存電荷必須被去除（或拭除）。拭除電路（未圖示）被設置以拭除一或多個記憶體單元區段。當整列單元或陣列中的顯著幾群單元被一起電子式拭除時，諸如 EEROM 等非揮發性記憶體被稱作“快閃”EEPROM。一旦拭除，則一群單元能夠被重新程式化。可一起拭除的一群單元包括一或多個可定址拭除單元。雖然在單一操作中可程式化或讀取一頁以上，但是拭除單元或區段典型上儲存一或多個程式化單元和被讀取之資料頁。每一頁典型上儲存一或多個資料磁區，該磁區尺寸由主機系統界定。一例子為 512 位元組使用者資料磁區，接在利用磁碟機所建立的標準之後，加上一些有關使用者資料及/或使用者資料所儲存的區段之耗用時間資訊位元組。

讀/寫電路

在一般兩狀態 EEPROM 單元中，至少一電流斷點位準被建立，以便將傳導窗孔分成兩區。當藉由施加預設及固定電壓讀取單元時，藉由與斷點位準（或參考電流 I_{REF} ）將其源極/吸極電流變成記憶體狀態。若電流讀取高於斷點位準，則單元被決定成在一邏輯狀態（如“零”狀態）。另一方面，若電流低於斷點位準，則單元被決定成在另一邏輯狀態（如“一”狀態）。如此，此種兩狀態單元

儲存一位元數位資訊。可自外部程式化之參考電流源通常被設置成記憶體系統的一部分以產生斷點位準電流。

爲了增加記憶體容量，快閃 EEPROM 裝置被製造成具有越來越高的密度是半導體技術發展的現狀。另一增加儲存容量的方法係使每一記憶體單元儲存多於兩狀態。

就多狀態或多位準 EEPROM 記憶體單元而言，藉由多於一斷點使得每一單元能夠儲存多於一位元資料將傳導窗孔分成多於兩區。指定 EEPROM 陣列能夠儲存之資訊被如此增加有每一單元能夠儲存的狀態數目。美國專利號碼 5,172,338 已有說明具有多狀態或多位準記憶體單元之 EEPROM 或快閃 EEPROM。

實際上，通常藉由當參考電壓被施加到控制閘時，感測流過單元的源極和吸極電極之電流加以讀取單元的記憶體狀態。如此，就單元的浮動閘上之每一指定電荷而言，可偵測與固定參考控制閘電壓有關的對應傳導電流。同樣地，可程式化到浮動閘上的電荷範圍界定對應臨界電壓窗孔或對應傳導電流窗孔。

另外，可以爲在控制閘測試中的指定記憶體狀態設定臨界電壓，並且偵測傳導電流是否低於或高於臨界電流以取代偵測分開的電流窗孔之間的傳導電流。在一實施例中，藉由檢查傳導電流排出通過位元線的電容之速率完成有關臨界電流的傳導電流之偵測。

圖 4 圖解在任一時間浮動閘可選擇性儲存之四種不同電荷 Q1-Q4 的源極-吸極電流 I_D 和控制閘電壓 V_{CG} 之間的

關係。四種固態 I_D 對 V_{CG} 曲線表示在記憶體單元的浮動閘上可能被程式化之四種可能電荷位準，各自對應於四種可能記憶體狀態。作為例子，一組單元的臨界電壓窗孔之範圍自 $0.5V$ 到 $3.5V$ 。六記憶體狀態可藉由將臨界窗孔以每一個 $0.5V$ 間隔分成五區加以區分六記憶體狀態。例如，若如圖式使用 $2\mu A$ 的參考電流 I_{REF} ，則程式化有 $Q1$ 的單元可視做在記憶體狀態“1”，因為其曲線與在由 $V_{CG} = 0.5V$ 和 $1.0V$ 所區分的臨界窗孔區之參考電流 I_{REF} 交叉。同樣地， $Q4$ 是在記憶體狀態“5”。

如自上面說明可見一般，記憶體單元儲存的狀態越多，其臨界窗孔分得越精細。為了能夠達成所需的解析度，此在程式化和讀取操作中需要更高的精確性。

美國專利號碼 4,357,685 揭示程式化 2 狀態 EPROM 的方法，其中當單元被程式化成指定狀態時，需接受連續程式化電壓脈衝，每一次添上增加的電荷到浮動閘。在脈衝之間，單元被讀回或查驗以決定其有關斷點位準的源極-汲極電流。當電流狀態已被查驗達到想要狀態時程式化停止。所使用的程式化脈衝列具有增加周期或振幅。

習知程式化電路僅供應程式化脈衝以自被拭除或接地狀態步入臨界窗孔直到目標狀態被達到。實際上，為了考慮到適當解析度，每一分開或區分的區需要至少大約五個程式化步驟到橫軸。性能對 2 狀態記憶體單元是可接受的。然而，就多狀態單元而言，所需的步驟數目增加有分開數目，因此，必須增加程式化精確性或解析度。例如，16

狀態單元平均需要至少 40 程式化脈衝以程式設計到目標狀態。

圖 5 概要圖解具有藉由讀/寫電路 170 透過列解碼器 130 和行解碼器 160 可存取之記憶體陣列 100 的典型配置之記憶體裝置。如與圖 2 及 3 有關的說明一般，記憶體陣列 100 中的記憶體單元之記憶體電晶體可透過一組選定字線和位元線存取。爲了施加適當電壓到定址記憶體電晶體的各自閘，列解碼器 130 選擇一或多個字線和行解碼器 160 選擇一或多個位元線。讀/寫電路 170 被設置以讀或寫（程式設計）定址記憶體電晶體的記憶體狀態。讀/寫電路 170 包含一些透過位元線可連接到陣列中的記憶體元件之讀/寫模組。

圖 6A 爲個別讀/寫模組 190 的概要方塊圖。實質上，在讀取或查驗期間，感測放大器決定流經透過選定位元線所連接之定址記憶體電晶體的吸極之電流。電流依據儲存在記憶體電晶體的電荷和其控制閘電壓。例如，在多狀態 EEPROM 單元中，其浮動閘能夠被充電成幾個不同位準中的其中一個。就 4 位準單元而言，其用於儲存兩位元資料。藉由感測放大器所偵測的位準利用位準到位元變換邏輯變換到儲存在資料鎖存器的一組資料位元。

影響讀/寫性能和準確性之因素

爲了提高讀取和和程式性能，多電荷儲存元件或陣列中的記憶體電晶體被平行讀取或程式化。如此，記憶體元

件的邏輯“頁”被一起讀取或程式化。在既存記憶體架構中，列典型上包含幾個交插頁。頁的所有記憶體元件將被一起讀取或程式化。行解碼器將選擇性連接每一交插頁到對應的讀/寫模組數目。例如，在一實施例中，記憶體陣列被設計成具有 532 位元組頁尺寸（512 位元組加上 20 位元組耗用時間）。若每一行包含吸極位元線和每一列具有兩交插頁，則此連同每一頁有關的 4256 行總計為 8512 行。所有偶數位元線或奇數位元線將有可連接到平行讀或寫之 4256 感測模組。在此方式中，平行的一頁 4256 位元（即 532 位元組）資料被讀取自或被程式化到記憶體元件的一頁中。形成讀/寫電路 170 的讀/寫模組能夠被排列成各種架構。

參照圖 5，讀/寫電路 170 被組成幾堆讀/寫堆疊 180。每一讀/寫堆疊 180 是一疊讀/寫模組 190。在記憶體陣列中，藉由佔用它之一或兩電晶體的尺寸決定行間距。然而，如圖 6A 可見，將可能利用更多電晶體和電路元件實施讀/寫模組的電路系統，因此，將佔用許多行的空間。為了在被佔用的行中為大於一行服務，多模組被堆疊在彼此上面。

圖 6B 圖示習知上藉由一疊讀/寫模組 190 實施的圖 5 之讀/寫堆疊。例如，讀/寫模組可延伸在六行正上方，然後具有一疊八個讀/寫模組的讀/寫堆疊 180 能夠用於平行為八行服務。讀/寫堆疊能夠透過行解碼器耦合到堆之間的八個奇數（1, 3, 5, 7, 9, 11, 13, 15）行或八個偶數（2,

4, 6, 8, 10, 12, 14, 16) 行。

如上述，習知記憶體裝置藉由同時在所有偶數或奇數位元線上以大量平行方式操作以提高讀/寫操作。此包含兩交插頁的列架構將幫助減輕配合讀/寫電路的區段之問題。其也被要求考慮到控制位元線到位元線的電容耦合。區段解碼器被用於多工化一組讀/寫模組到偶數頁或奇數頁。在此方式中，每當一組位元線被讀取或程式化時，交插組能夠被接地以最小化緊鄰的耦合。

然而，交插頁架構在至少三方面有不利點。第一，其需要額外的多工電路系統。第二，執行慢。爲了完成由字線所連接或在同一列之記憶體單元的讀取或程式設計，需要兩讀取或兩程式設計操作。第三，當兩相鄰電荷儲存元件在諸如分開在奇數和偶數頁等不同時間被程式化時，定址在浮動閘位準中的相鄰電荷儲存元件之間的諸如場耦合等其他干擾作用也不理想。

隨著記憶體電晶體之間的間距更接近，相鄰場耦合的問題也變得更明顯。在記憶體電晶體中，電荷儲存元件夾層在通道區和控制閘之間。在通道區流動的電流是一種控制閘的場和電荷儲存元件所促成的最後電場之作用。隨著更增加的密度，所形成的記憶體電晶體越來越靠近在一起。然後，來自相鄰電荷元件的場變成是受影響單元之最後場的重要促成因素。相鄰場依據程式化相鄰的電荷儲存元件之電荷。當此擾亂場隨著相鄰間程式化狀態改變時，此擾亂場本質上是動態的。如此，可依據相鄰間的變化狀態

，受影響單元在不同時間相異地讀取。

習知交插頁架構更加惡化相鄰浮動閘耦合所引起的錯誤。因為偶數頁和奇數頁被彼此單獨地程式化和讀取，所以依據其間交插頁發生情形，頁可在一組條件下被程式化，而在依據另一組完全不同的條件下被讀回。隨著多狀態實施的增加密度、需要更準確的讀取操作、及更粗略劃分臨界窗孔，讀取錯誤將變得更加嚴重。如此，性能將受損及多狀態實施中的電位容量也受限。

因此，普遍對高性能和高容量非揮發性記憶體有需求。尤其是，對具有改良的讀取和程式設計性能之緊密非揮發性記憶體，及對最小化干擾作用之記憶體系統有需求。

【發明內容】

藉由使讀/寫電路的大型區段平行讀和寫記憶體單元的對應區段可滿足這些對高性能及更緊密非揮發性記憶體裝置的需求。尤其是，記憶體裝置具有讀/寫電路區段中的冗餘被減至最低之架構。藉由將讀/寫模組區段重新分配成在以時間多工方式與實際上更小組的共同部位互相作用時平行操作的讀/寫模組核心部位可大大節省空間和電力。在一實施例中，核心部位的組件被組成一堆類似堆疊，這些堆疊的每一個是共用共同部位之此種核心組件中的一疊。

根據本發明的另一觀點，串列匯流排提供讀/寫模組核心部位和每一堆疊中的共同部位之間的通信。在此方式

中，在每一堆疊需要使用最少的通信線。匯流排控制器經由串列匯流排發送控制和時序信號以控制組件的操作和它們的相互作用。在較佳實施例中，同時控制所有類似堆疊中的對應組件。

根據本發明的另一觀點，與多數讀/寫電路結合的資料鎖存器是種 I/O（輸入/輸出），藉由以緊密方式連結賦能以幫助儲存和以鏈方式的串列傳送。在較佳實施例中，藉由一或多個連續連結模組執行緊密資料鎖存器。個別連結模組能夠被控制成運轉成反相器或鎖存器。該方法使得能夠藉由循環一組主連結模組和實際上更小組的從屬連結模組之間的資料而使用最少數目的連結模組。

藉由使用本發明的資料鎖存器可節省珍貴的晶片空間，因為在使重屬連結模組的數目大量減少的同時，它們利用資料鎖存器簡化資料的串列輸入和輸出。

藉由本發明的各種觀點加以節省空間可使晶片設計更加緊密。與現存的讀/寫電路比較，所節省的電路和因此所節省的空間和電力消耗能夠到 50%之多。尤其是，讀/寫模組能夠被緊密包裝，使得它們能夠同時為記憶體陣列的記憶體單元之鄰近列服務。

根據本發明的另一觀點，非揮發性記憶體裝置具有讀/寫模組能夠被緊密包裝，使得它們能夠同時為記憶體陣列的記憶體單元之鄰近列服務的架構。此使得能夠鄰近讀取及程式化記憶體單元的區段或整列，結果，提高性能及減少因為來自鄰近記憶體單元的場所造成的耦合錯誤。

自連同附圖的說明，自下面較佳實施例的說明將能夠更明白本發明的其他特徵和優點。

【實施方式】

圖 7A 為根據本發明的較佳實施例，分成核心部位 210 和共同部位 220 之個別讀/寫模組 220 的概要方塊圖。核心部位 210 包含決定連接位元線 211 中的傳導電流是否高於或低於預設臨界位準之感測放大器 212。如上述，連接位元線 211 使得能夠到陣列中的定址記憶體單元之吸極存取。

在一實施例中，核心部位 210 又包括位元線鎖存器 214。位元線鎖存器用於設定連接位元線 211 上的電壓條件。在一實施中，鎖定位元線鎖存器中的預設狀態將產生連接位元線 211 被牽引成稱作程式設計禁止的狀態（如 V_{dd} ）。此特徵用於後述的程式設計禁止。

共同部位 220 包含處理器 222、一組資料鎖存器 224、及耦合在一組資料鎖存器 224 與資料匯流排 231 之間的 I/O 介面 226。處理器 222 執行計算。例如，其功能之一係決定所感測的記憶體單元之記憶體狀態和儲存所決定的資料到一組資料鎖存器內。如在先前技術一段所說明一般，記憶體單元能夠保留一連續電荷及因此能夠被程式化到臨界電壓窗孔中的任何臨界電壓位準（即剛接通單元到預設傳導電流之控制閘電壓）。一組資料鎖存器 224 用於儲存在讀取操作期間處理器所決定的資料位元。輸入資料位

元線表示程式化到記憶體中的寫入資料。I/O 介面 226 提供一組資料鎖存器 224 與資料匯流排 231 之間的介面。

在讀取或感測期間，操作是在基本上控制供應到定址單元的不同控制閘電壓之狀態機器的控制器之下。當它進入對應於由記憶體所保持各種記憶體狀態的各種預定控制閘電壓時，感測放大器 212 將跳脫在這些電壓的其中之一。在那點，處理器 222 考慮感測放大器的跳脫事件和有關透過輸入線 223 來自狀態機器的施加控制閘電壓之資訊決定最後的記憶體狀態。然後計算記憶體狀態的二進制編碼並且儲存最後的資料位元到一組資料鎖存器 224 中。

圖 7B 圖解圖 7A 所示的讀/寫模組之核心部位的另一較佳實施例。實質上，SA/位元線鎖存器 214 充作鎖定感測放大器 21 的輸出之鎖存器，也充作有關圖 7A 所說明之位元線鎖存器。如此，能夠利用感測放大器或處理器設定該 SA/位元線鎖存器 214。在較佳實施例中，來自 SA/位元線鎖存器 214 的信號被驅動器 216 驅動以設定選定位元線 211 的電壓。

參照圖 7A，在程式設計或查驗期間，被程式化的資料自資料匯流排 231 輸入到一組資料鎖存器 224。在狀態機器的控制器之下的程式設計操作包含施加到定址單元的控制閘之一連串程式化電壓脈衝。每一程式化脈衝跟著被讀回以決定單元是否已被程式化成想要的記憶體狀態。處理器 222 監督有關想要的記憶體狀態之讀回記憶體狀態。當兩狀態一致時，處理器 222 設定位元線鎖存器 214，以

便使位元線被牽引成稱作程式設計禁止的狀態。即使程式化脈衝出現在其控制閘上，此禁止耦合到位元線的單元更進一步程式化。

I/O 介面 226 使資料能夠被傳送入一組資料鎖存器 224 或自此傳送。如圖 8A, 8B, 及 9 將可見到的，在記憶體裝置上平行使用一區段讀/寫模組以同時讀取或程式設計一區段資料。典型上，讀/寫模組區段具有組合以形成移位暫存器之資料鎖存器的個別組，使得由讀/寫模組區段所鎖定的資料能夠被連續傳送出到資料匯流排 231。同樣地，讀/寫模組區段專用的程式設計資料能夠連續地自資料匯流排 231 輸入並且鎖定到資料鎖存器的各自組。

另一讀/寫模組 200 的特定實施例被揭示在共同審查和共同指定的美國專利申請案：“具有減少相鄰場錯誤之非揮發性記憶體和方法”，與本發明同一天由 Paul-Adrian Cernea 和 Yan Li 發表。藉以併入該申請案的整個揭示內容在本文中以做參考。

緊密讀/寫電路

就平行操作的一區段讀/寫模組而言，本發明的一重要特徵係將每一模組分成核心部位和共同部位，並且使核心部位的區段與實際上較少數目的共同部位一起操作和共有。此架構使個別讀/寫模組間的複製電路可析出因數，藉以節省空間和電力。在高密度記憶體晶片設計中，空間的節省可到整個記憶體陣列的讀/寫電路 50% 之多。此使

讀/寫模組可被緊密包裝，使得它們能夠同時為記憶體陣列的記憶體單元之鄰近列服務。

圖 8A 概要圖解根據本發明的一實施例之具有一堆分開讀/寫堆疊的緊密記憶體裝置。記憶體裝置包括記憶體單元的兩次元陣列 300、控制電路系統 310、及讀/寫電路 370。透過列解碼器 330 藉由字線和透過行解碼器 360 藉由位元線可定址記憶體陣列 300。讀/寫電路 370 被實施成一堆分開讀/寫堆疊 400 並且使一區段記憶體單元可被平行讀取和程式化。在一實施例中，在一列記憶體單元被分成多數區段之處，區段多工器 350 被設置以將讀/寫電路 370 多工成個別區段。如稍後將更詳細說明一般，藉由堆疊匯流排控制器 430 控制和藉由堆疊匯流排產生讀/寫堆疊 400 間的通信。

控制電路系統 310 與讀/寫電路 370 共同操作以執行記憶體陣列 300 上的記憶體操作。控制電路系統 310 包括狀態機器 312、晶片上位址解碼器 314、及電力控制模組 316。狀態機器 312 提供記憶體操作的晶片位準控制。晶片上位址解碼器 314 提供主機或記憶體控制器所使用的硬體位址到解碼器 330 及 370 所使用的硬體位址之間的位址介面。電力控制模組 316 控制在記憶體操作期間供應到字線和位元線之電力和電壓。

圖 8B 圖解圖 8A 所示的緊密記憶體裝置之較佳配置。在陣列的相對側以對稱方式實施藉由各種周圍電路到記憶體陣列 300 的存取，使得在每側上的存取線和電路系統

減少一半。如此，列解碼器被分成列解碼器 330A 及 330B，而行解碼器被分成行解碼器 360A 及 360B。在一記憶體陣列被分成多數區段的實施例中，區段多工器 350 被分成區段多工器 350A 及 350B。同樣地，讀/寫電路也被分成自陣列 300 底部連接到位元線之讀/寫電路 370A，和自陣列 300 頂部連接到位元線之讀/寫電路 370B。在此方式中，讀/寫模組的密度及因此分開的讀/寫堆疊 400 的密度實質上減少一半。

圖 9 更詳細概要圖解被組成一堆分開讀/寫堆疊之圖 8A 或 8B 所示的讀/寫電路。每一分開讀/寫堆疊 400 實質上包含為 k 記憶體單元的一段平行服務之一堆讀/寫模組。每一堆疊被分成核心堆疊部位 410 和共同堆疊部位 420。藉由堆疊匯流排控制器 430 控制和藉由互連匯流排 431 產生每一讀/寫堆疊 400 間的通信。控制線 411 提供來自堆疊匯流排控制器 430 的控制和時脈信號到讀/寫堆疊的每一核心部位 410。同樣地，控制線 412 提供來自堆疊匯流排控制器 430 的控制和時脈信號到讀/寫堆疊的每一共同部位 420。

平行操作的整堆分開讀/寫堆疊 400 使沿著列的一區段 p 單元可被平行讀取或程式化。例如，若 r 是堆中的堆疊數目，則 $p = r * k$ 。一示範性記憶體陣列可具有 $p = 512$ 位元組（ 512×8 位元）， $k = 8$ ，因此 $r = 512$ 。在較佳實施例中，區段是一連續整列單元。在另一實施例中，區段是列中的一子集單元。例如，單元子集可能是整列的二分

之一或整列的四分之一。單元子集可能是一連續鄰近單元或每隔一單元，或每隔預定數目單元。

在圖 8A 的實施例中，將有 p 數目讀/寫模組，每一個用於 p 單元的每一區段。當每一堆疊正為 k 記憶體單元服務時，堆中的讀/寫堆疊的總數因此被指定為 $r = p/k$ 。在 $p = 512$ 位元組及 $r = 8$ 的例子中， $r = 512$ 。

如上述，在高密度和高性能記憶體中所遇到的問題之一係需要平行讀取和程式化一區段鄰近列單元及難以為每一單元容納讀/寫模組。

藉由圖 8B 所示的周圍電路形成在記憶體陣列的相對側上之較佳實施例減輕容納問題。當讀/寫電路 370A, 370B 形成在記憶體陣列 300 的相對側上時，然後一半的 p 單元區段將自陣列的頂側被存取，而另一半將自陣列的底側存取。如此，在每一側上將有 $p/2$ 數目讀/寫模組。因此，在每一側上的讀/寫堆疊 400 將只需要平行為 $p/2$ 數目位元線或記憶體單元服務，如此，堆中讀/寫堆疊的總數被指定成 $r = p/2k$ 。在 $p = 512$ 位元組及 $k = 8$ 的例子中， r 為 256。此意謂與圖 8A 所示的實施例相比，在記憶體陣列的每一側上只需要讀/寫堆疊 400 的一半。

在容納或其他考慮要求更低密度的其他實施例中，一列單元被分成單元的兩或更多交插區段。例如，單元的一區段包含來自偶數行的單元和單元的另一區段包含來自奇數行的單元。如圖 8A 及 8B 所示，區段多工器 350 或 350A 及 350B 將用於切換一堆分開讀/寫堆疊到偶數或奇

數區段。在圖 8B 的實施例中，在陣列的每一側上具有 $p/4$ 數目讀/寫模組。在此例中，在每一相對側上的讀/寫磨堆疊數目是 $r = p/4k$ 。如此，更多空間被提供以安裝更少的讀/寫模組，但是以減低性能為代價，並且讀/寫區段也不再鄰近。

圖 10 為自一疊讀/寫模組所構成的分開讀/寫堆疊之詳圖。分開讀/寫堆疊 400 實質上包括 k 數目的讀/寫模組，透過 k 數目的位元線服務 k 數目的記憶體單元。一如在圖 7 所示的讀/寫模組 200 可見一般，其包含比記憶體單元還多的電路元件，因此，將無法容納在其寬度實質上是由記憶體單元的寬度所界定之一行內。依據讀/寫模組 200 的精密複雜及特徵其能夠輕易佔用，例如，在八到 16 或更多行（即 $k \sim 8$ 到 16 或更多）之間。每一讀/寫模組具有橫跨在諸如 k 等足夠數目的行上方之寬度。此意謂為了為每一行服務，相等數目的模組， k ，必須堆疊在那些橫跨行內。例如，若每一讀/寫模組具有 16 行的寬度，則就讀/寫電路只在一側上之圖 8A 的實施例而言，堆疊將包含十六讀/寫模組。圖 8B 的較佳實施例中，讀/寫電路形成在陣列的頂部及底部上，使得在每一端存取八位元線，堆疊將是八個讀/寫模組深。

本發明的一重要特徵係實施精密複雜讀/寫模組 200，同時高緊密。藉由將 p 讀/寫模組的區段分成共用更少數目的（即 r ）讀/寫模組共同部位 220 之 p 讀/寫模組核心部位 210 使之成為可能。（見圖 7 和圖 10）

圖 10 圖解服務 k 位元線的讀/寫堆疊 400 被分成堆疊核心部位 410 和堆疊共同部位 420。堆疊核心部位 410 包含 k 讀/寫模組核心，諸如圖 7A 或圖 7B 所示的核心 210 等。堆疊共同部位 420 包含一讀/寫模組共同部位，諸如圖 7A 所示的共同部位 220。分成核心部位和共同部位係依據核心部位皆被同時或平行操作之原則。在此例中，當記憶體單元的對應區段被平行感測時，其將包括感測放大器 212 和 SA/位元線鎖存器 210（見圖 7B）。在記憶體單元的區段被平行感測之後，藉由更少的共同部位以串列方式處理感測結果。核心部位 410 和共同部位 420 每一個之間的通信係經由在堆疊匯流排控制器 430 控制之下的堆疊匯流排 431。此藉由來自運轉堆中所有堆疊之控制器的諸如 411- k 和 421 等控制線加以完成。

此共用規劃避免讀/寫電路中的冗餘。若 $k = 8$ ，則每一堆疊內大約八分之七的共用部位不在被需要。就整個讀/寫電路而言，此大約總計廢除總數 $r \cdot (k-1)$ 的共同部位，使得大大節省積體記憶體晶片上的空間。如上述，此可減少讀/寫電路所佔用空間達 50% 之多。

圖 11A 圖解圖 10 所示的讀/寫堆疊核心 410 之實施例，其中堆疊中的每一感測放大器位在接近其結合的位元線鎖存器。感測放大器和位元線鎖存器類似於圖 7 的讀/寫模組核心部位 210 所示的那些。讀/寫堆疊核心 410 包含 k 感測放大器 212-1 到 212- k 和 k 位元線鎖存器 214-1 到 214- k ，並且被組成位元線鎖存器接近為同一位元線服務

之感測放大器。例如，位元線鎖存器 214-1 接近感測放大器 212-1，兩者皆耦合於位元線 1。位元線鎖存器和感測放大器每一個都經由堆疊匯流排 431（見圖 10）與讀/寫堆疊 400 中的其他組件通信。

圖 11B 圖解圖 10 所示的讀/寫堆疊核心 410 之另一實施例，其中堆疊中的個別感測放大器形成一叢集和個別位元線鎖存器形成另一叢集。讀/寫堆疊核心 410 包含 k 感測放大器 212-1 到 212- k 和 k 位元線鎖存器 214-1 到 214- k 。讀/寫堆疊核心 410 被組成所有 k 位元線鎖存器都在彼此相鄰的叢集中和所有 k 感測放大器都在彼此相鄰的另一叢集中。例如，位元線鎖存器 214-1 到 214- k 形成一叢集和感測放大器 212-1 到 212- k 形成另一叢集。位元線鎖存器和感測放大器每一個都透過控制線 411 經由在堆疊匯流排控制器控制之下的堆疊匯流排 431（見圖 10）與讀/寫堆疊 400 中的其他組件通信。

圖 12 為圖 10 的讀/寫堆疊共同部位之詳圖。讀/寫堆疊共同部位 420 實質上包含諸如圖 7 之共同部位 220 等的讀/寫模組共同部位之拷貝。其包含處理器 222、資料鎖存器堆疊 224。在一實施例中，資料匯流排 231 耦合於處理器 222 和資料鎖定堆疊 224，同時也透過處理器 222 耦合於堆疊匯流排 431。在另一實施例中，資料匯流排 231 是堆疊匯流排 431 的延伸。堆疊匯流排 431（見圖 10）使能夠在讀/寫模組核心 410 和共同部位 420 之間通信。在此方式中，個別讀/寫模組核心 210 能夠共用共同部位 420。

透過控制線 421 藉由來自堆疊匯流排控制器的控制和時脈信號加以控制處理器 222 和資料鎖定堆疊 224 和堆疊匯流排 431 的操作。

分開讀/寫堆疊 400 中的各種組件之操作類似於有關圖 7 的分開讀/寫模組 200 之一般說明者。因為在多數讀/寫模組核心間共用堆疊共同部位所節省的空間，所以精密複雜且特徵豐富的讀/寫模組是可能的。例如，處理器 222 也能夠用於執行精細的邊際估算和靜態及動態資料處理，包括錯誤校正

堆疊匯流排

根據本發明的另一觀點，串列匯流排被用於分開讀/寫堆疊 400 內的各種部位之間的通信。串列匯流排 431 互連讀/寫模組共同部位 420 與在堆疊匯流排控制器 430 控制之下的任一個讀/寫模組核心 410。堆疊匯流排控制器 430 充當主控制資料何時和何處被傳送在讀/寫堆疊 400 內的各種部位之間的匯流排。

參照圖 10-12，當記憶體單元被定址時，藉由諸如感測放大器 212-k 等一感測放大器感測其源極-吸極電流。感測放大器 212-k 的數位輸出被放在堆疊匯流排 431 上，然後被處理器 222 拾起。藉由堆疊匯流排控制器 430 控制匯流排時序。處理器 222 與有關狀態資訊一起處理感測放大器輸出資料以獲得定址單元專用二進制讀取資料。然後，該二進制資料將被放在堆疊匯流排 431 上並且藉由與位

元線 k 結合的資料鎖存器拾起。此外，堆疊匯流排控制器 430 保證自感測放大器 212- k 衍生的二進制資料到與之結合的資料鎖存器。

在程式化操作的查驗步驟中，感測放大器的數位信號指出定址記憶體單元是否已程式化到想要的位準。若已達到想要的位準，則處理器 222 透過堆疊匯流排 431 發送控制信號到對應位元線鎖存器。例如，位元線鎖存器 214- k 可被設定成對應於被牽引到預設電壓（如 V_{dd} ）的位元線 k 之狀態以防止進一步程式化耦合的記憶體單元。在另一實施例中，可藉由專用鎖存器實施程式設計閉鎖鎖定，並不一定要耦合以控制位元線上的電壓，但是經由定址字線耦合以控制程式化電壓。

k 讀/寫模組核心 210 的分開和共用共同部位 420 意味通信通道被建立在分開部位之間。參照圖 7，可見到至少有兩連接在核心部位 210 和共同部位 220 之間。如此，好像需要至少 $2k$ 連接。這些是除了在 k 到 $2k$ 行的寬度內設置指定總數 $3k$ 連接之 k 位元線連接之外的連接。如此，至少每一行必須容納 1.5 傳導線。通常，在每一行內具有最少的傳導線，使得每一線的寬度及因此的傳導性最大化較佳。

堆疊匯流排 431 的實施使分開讀/寫堆疊 400 的各種部位之通信線數目可減少。在較佳實施例中，使用僅具有一線的串列匯流排實施。在此每一堆疊佔用 $2k$ 行之方式中，除了 k 現存位元線之外，只需一傳導線，總計為總數

$k + 1$ 的傳導線。此能夠使每一行必須容納大約 0.5 傳導線，此意謂每一傳導線能夠大約是兩行寬度。具有串列匯流排架構之讀/寫堆疊也使規劃更自由，使得堆疊內的個別部位之配置（例如見圖 11A 和 11B）能夠根據特定考慮被最佳化。

緊密 I/O 賦能資料鎖存器堆疊

根據本發明的另一觀點，與讀/寫感測放大器的區段結合之一組 I/O 賦能資料鎖存器被實施成有效空間移位暫存器的一部分。

如上述，在讀取操作中，感測放大器 212 的輸出信號由處理器 222 解釋並且轉換成二進制格式。在兩狀態記憶體實施中，轉換的資料總計為二進制資料的一位元。在多狀態實施中，轉換的二進制資料將大於一位元。因此，就二進制資料的每一位元而言，具有對應的資料鎖存器在一組資料鎖存器間。在程式設計操作期間，同一組資料鎖存器被使用當作程式設計資料鎖存器。程式化的資料透過資料匯流排自主機/控制器發送到記憶體晶片，並且儲存在同一組資料鎖存器。就本說明的目的而言，應明白在多狀態例子中鎖存器是陣列。

參照圖 12，緊密資料鎖存器堆疊 224 包含對應於 k 感測放大器之一疊 k 資料鎖存器。因為這些資料鎖存器利用資料匯流排 231 交換其讀取資料或寫入資料，所以實施資料鎖定堆疊當作移位暫存器，使得儲存在其中的平行資

料被轉換成資料匯流排專用串列資料較佳，反之亦然。在較佳實施例中，對應於 p 記憶體單元的讀/寫區段之所有資料鎖存器能夠被連結在一起以形成區段移位暫存器，使得一區段資料能夠藉由連續在資料匯流排中傳送或連續自資料匯流排傳送加以輸入或輸出。尤其是，一堆 r 讀/寫堆疊被安排時間，使得每一組資料鎖存器將連續資料移動到資料匯流排中或移出資料匯流排，好像它們是整個讀/寫區段之移位暫存器的一部分。

圖 13A 圖解移位暫存器的習知實施。移位暫存器被實施成一連串主-從正反器 $M_1, S_1, \dots, M_k, S_k$ 。當利用此類型移位暫存器實施資料鎖存器堆疊 224 時，資料經由一連串主-從正反器連續移動。在每一區段邊緣，鏈中的所有正反器被同時操作及鏈中的資料被其中一正反器移動。分派一從屬正反器給每一主正反器，在主正反器本身被重寫之前，保證拷貝到從屬正反器之每一主正反器的內容。此類型移位暫存器可視作需要 $2k$ 儲存器用以保留和移動 k 數目的資料位元之兩倍耗用時間的“ $2k$ 移位鎖存器”。

圖 13B 為利用圖 13A 的主-從正反器實施載入資料到資料鎖存器堆疊的表格。藉由鎖存器堆疊控制器 224（見圖 10）提供一連串時脈信號 $CLK_1, CLK_2, CLK_3, \dots$ ，並且應用到所有正反器當作串列資料 $D_1, D_2, D_3, \dots$ ，饋入到移位暫存器。在第一時脈循環 CLK_1 中，第一資料 D_1 被鎖定到第一主正反器 M_1 。在第一時脈信號的下降邊緣 CLK_1^* 中， M_1 中的資料 D_1 也被鎖定到第一從屬正反器 S_1 。

。在第二時脈信號 CLK_2 中，當第一資料 D_1 自 S_1 載入到第二主正反器 M_2 時，下一資料 D_2 載入到 M_1 。接下來的步驟直接重複所說明的前一步驟，直到資料的所有項目都移位到鎖存器堆疊 224。可瞭解載入資料的 k 項目需要 k 時脈循環。

應明白就多狀態記憶體而言，每一主正反器， M ，及從屬正反器， S ，變成具有所需的資料位元數目相稱之次元的陣列。例如，就 4 狀態記憶體陣列而言，將由兩二進制位元資料編碼狀態。 M 各自表示兩位元的每一個之 $M(1)$ 及 $M(2)$ 、 S 則表示 $S(1)$ 及 $S(2)$ 。如此，將藉由 $M_1(1)$ ， $S_1(1)$ ， $M_1(2)$ ， $S_1(2)$ ， $M_2(1)$ ， $S_2(1)$ ， $M_2(2)$ ， $S_2(2)$ ， $\dots$ ， $M_k(1)$ ， $S_k(1)$ ， $M_k(2)$ ， $S_k(2)$ 。

圖 14A 圖解緊密鎖存器堆疊 224 的一較佳實施例。鎖存器堆疊 224 包括具有從屬連結模組 S_1 520，接著一連串主連結模組 M_k ， $\dots$ ， M_2 ， M_1 510 的鏈。該鏈在從屬連結模組 S_1 520 具有 I/O 端 501。資料 D_1 ， D_2 ， $\dots$ ， D_k 自 I/O 線移到鏈並且自 M_1 端移出鏈。來自 M_1 的資料輸出經由輸出線驅動器 530 路由到 I/O 線 501。

輸出線驅動器包括由線 533 中的 READ 信號閘控的電晶體 532 及由電晶體 536 選擇性分流之反相器 534。當電晶體 536 的閘 537 之控制信號 INVERT* 是 HIGH 時，反相器 534 是在活動中的並且逆轉來自 M_1 的輸出信號。否則，反相器 534 被繞過及來自 M_1 的輸出信號出現在 I/O 線 501。藉由堆疊匯流排控制器 430 透過控制線 421（見圖

12) 提供操作資料鎖存器堆疊 224 所需的控制信號 READ、INVERT*、和其他控制及時序信號。

圖 14A 的資料鎖存器堆疊 224 可被視作 “ $k + 1$ ” 緊密移位暫存器，包含用以保留 k 位元資料之 k 主連結模組 510 及只使用一從屬連結模組 520 暫時緩衝資料。從屬連結模組 520 係用於沿著鏈幫助拖動項目，而不要在處理中遺漏儲存資料。與圖 13A 及 13B 的 “ $2k$ 移位暫存器” 比較，此鎖存器堆疊的實施幫助減少一半所需的鎖存器數目。在稍後將說明的其他實施例中， k 主連結模組可共用多於一個的從屬連結模組，但是通常從屬模組數目實際上少於主模組數目。

圖 14B 為主或從屬連結模組 510, 520 的一實施例。該連結模組的一新特徵係其能夠選擇性運轉成反相器或鎖存器。連結模組具有輸入 501 和輸出 551。輸入 501 自鏈中的前一連結模組之輸出接收資料輸入。控制信號 InCLK 所控制的電晶體 512 當作輸入資料用閘。當控制信號是 HIGH 時，資料被允許進入連結模組。當控制信號是 LOW 時，資料被禁止到模組。若資料被許可時，其鎖定到由一對反相器 550, 560 所形成的鎖存器，或當一反相器 560 失能時由另一反相器 550 逆轉。可在輸出 551 存取鎖定資料，但藉由控制信號 OutCLK 所控制的電晶體 514 閘控。

圖 14C 為當控制信號 LH/INV* 是 HIGH (高) 時，圖 13B 的連結模組充作鎖存器之概要圖。當反相器 560 被在其閘具有控制信號 LH/INV* 之串列電晶體 562 選擇性賦能

時鎖存器被賦能。賦能反相器 560 與反相器 550 一起當作鎖存器，鎖定輸入資料。

圖 14D 當控制信號 LH/INV* 是 LOW（低）時，連結模組充作反相器之概要圖。在此例中，反相器 560 失能，輸入資料只通過反相器 550。

鏈中的每一連結模組 510 或 520 因此可選擇性當作反相器或鎖存器。利用適當控制其個別鏈模組影響鏈的資料輸入、鎖定、或輸出。藉由堆疊匯流排控制器 430 透過控制線 421（見圖 12）提供控制信號。

圖 15A 圖解載入四資料位元到利用圖 14A 之緊密資料鎖存器堆疊所實施的資料鎖存器堆疊內。使用四資料位元當作一例子，其中 $k = 4$ 。通常視需要，資料鎖存器堆疊能夠保留不同數目的資料位元 k 。在程式化之前，資料鎖存器堆疊載入有成被程式化的資料，諸如各自相繼出現在時脈循環 CLK₁，CLK₂，CLK₃，及 CLK₄ 的 I/O 線 501 上（見圖 14A）之 D₁，D₂，D₃，D₄。就在 CLK₁ 之前，個別連結模組的狀態（M₁，M₂，M₃，M₄，S₁）都被設定成運轉當作反相器（見圖 14C），即（INV，INV，INV，INV，INV）。在此方式中，在 CLK₁ 中，資料 D*₁ 出現在 M₁。在下一邊緣，在 CLK*₁（未明確圖示）中，M₁ 變成鎖存器（見圖 14D），保留 D*₁ 並且自鏈去耦。就在 CLK₂ 之前，鏈中其他連結模組的狀態都被設定成運轉當作反相器，即（LH，INV，INV，INV，INV）。在此方式中，資料 D*₂ 出現在 M₂。在 CLK*₂（未明確圖示）中，M₂ 也變成鎖存器，

保留 D_2 並且自鏈去耦。當 D^*_3 及 D_4 各自被鎖定到 M_3 及 M_4 時，類似過程發生在 CLK_3 及 CLK_4 。如此，在四時脈循環之後，四資料位元被載入到四主鏈模組 M_1, M_2, M_3, M_4 中。在一較佳實施例中，額外的時脈循環， CLK_5 ，使 M_1 中的資料拷貝可被儲存在從屬鏈模組 S_1 。此是爲了幫助後面有關圖 15C 所說明之後續破壞性模式讀取。

圖 15B 圖解自圖 15A 的資料鎖存器堆疊讀取四資料位元之破壞性模式。如圖 15A 所示，在四時脈周期之後，資料鎖存器堆疊完全載入。在圖 15B 中，在 CLK_1 期間， M_1 中的資料 D^*_1 在利用輸出線驅動器 530 調整其相位之後被讀取。在 CLK_2 期間，主鏈模組 M_1 運轉當作反相器（見圖 14C）， M_2 中的資料 D_2 被路由通過 M_1 並且在利用輸出線驅動器 530 調整其相位之後被讀取。同樣地，在 CLK_3 及 CLK_4 期間，資料 D_3 及 D_4 如此被讀取。因此，在四時脈周期中讀取四位元資料。然而，在此破壞模式讀取操作之後，儲存在鎖存器堆疊的原始資料被破壞。

圖 15C 圖解自圖 15A 的資料鎖存器堆疊讀取四資料位元之保留模式的另一較佳實施例。如圖 15A 所示，在四時脈周期之後，資料鎖存器堆疊完全載入。可看出若被讀取位元是在鏈的輸出端，即 M_1 ，則其能夠容易被讀取而不會影響鎖存器堆疊中的資料。當鎖存器堆疊完全被載入時， D_1 是在 M_1 並且容易被讀取。爲了讀取其他位元資料，鏈自己本身成迴路，並且從屬連結模組 S_1 被支持拖動鏈模組間的位元，及繞著迴路轉動位元。如此，爲了讀

取資料 D_2 ，其必須先被轉動到 M_1 而不會破壞其他資料。

在圖 15C 中， D_1 的拷貝已被儲存在 S_1 中。在 CLK_1 期間，只有主連結鎖存器 M_1 變成反相器（見圖 14C），及在 CLK^*_1 時， M_2 中的資料 D_2 被傳送 M_1 及利用 M_1 鎖定資料 D_2 。如此， D_1 轉動到 S_1 及 D_2 轉動到 M_1 當作 D^*_2 。在 CLK_2 期間，只有 M_2 變成反相器，及在 CLK^*_2 時， M_3 中的資料 D_3 被傳送 M_2 及利用 M_2 鎖定資料 D_3 。如此， D_3 現在轉動到 M_2 。同樣地，在 CLK_3 及 CLK_4 期間，資料 D_4 轉動到 M_3 及來自 S_1 的 D_1 拷貝轉動到 M_4 。如此，在四時脈循環之後，藉由沿著鏈的一連結模組轉動主連結模組間的四位元資料。尤其是， D_2 現在在 M_1 並且能夠在 CLK_5 期間被讀取。同時， D_2 的拷貝儲存在 S_1 以繼續下一回旋轉。如此，採用四加一時脈循環以藉由放在鏈中的其中一個轉動四位元資料。換言之，就保留模式讀取而言，將採用 $k(k+1)$ 時脈循環讀取 k 位元資料。例如 $k = 4$ ，則將採用 20 時脈循環。

圖 16A 圖解圖 14A 所示的“ $k+1$ ”資料鎖存器堆疊之另一實施例。 k 主連結模組 510 分成幾個平行分支，每一個皆共用一從屬連結模組 520。例如 $k = 4$ ，則將被分組成每一個皆具有兩主連結模組的兩分支，如共用 S_1 的 M_1 ， M_2 當作一分支而共用 S_2 的 M_3 ， M_4 當作第二分支。個別分支的操作類似於有關圖 15C 所說明的單一支操作。如此，在保留讀取模式中，將採用 $2(2+1) = 6$ 時脈循環轉動和讀取儲存在第一分支的兩位元 D_1 及 D_2 。對第二分支中的

兩位元 D_3 及 D_4 也一樣。與圖 15C 所說明的例子之二十循環比較，此例將使用總數十二時脈循環讀取所有四位元。

如此，可看出所需鎖存器數目和自鎖存器讀取速度之間的權衡。使用的從屬鎖存器數目越少，循環時間越長。

圖 16B 圖解圖 14A 所示的 " $k+1$ " 資料鎖存器堆疊之另一較佳實施例。 k 主連結模組 510 被分組成平行分支，除了所有分支共用諸如 S_1 等同一從屬連結模組 520 之外其他都類似於圖 16A 所示者。例如 $k = 4$ ，則其被分組成兩分支，每一個皆具有兩主連結模組，諸如 M_1, M_2 當作一分支而 M_3, M_4 當作第二分支等。兩分支共用同一從屬連結模組 S_1 。當第一分支被讀取時，透過 M_1, M_2 及 S_1 做轉動。當第二分支被讀取時，透過 M_3, M_4 及 S_1 做轉動。在此例中，將使用六時脈循環讀取 D_1 及 D_2 ，和其他六時脈循環讀取 D_3 及 D_4 ，如同圖 16A 的例子一般，需要總數 12 的時脈循環讀取四位元。然而，只使用一從屬連結模組 520。

圖 17 圖解從屬連結模組的另一較佳實施例。因為從屬連結模組 520 的數目相當小，典型上每一堆疊只有一個，其能夠位在處理器 222（也見圖 12）。在較佳實施例中，從屬連結模組共用已由處理器 222 在使用的鎖存器或暫存器。

雖然已由特定實施例說明本發明的各種觀點，但是應明白本發明擁有附錄於後的申請專利範圍之所有範圍內的保護權。

【圖式簡單說明】

圖 1A-1E 概要圖解非揮發性記憶體單元的不同例子。

圖 2 圖解記憶體單元的 NOR 陣列例子。

圖 3 圖解記憶體單元的 NAND 陣列例子，諸如圖 1D 所示者。

圖 4 圖解在任一時間浮動閘可儲存之四種不同電荷 Q1-Q4 的源極-吸極電流和控制閘電壓之間的關係。

圖 5 概要圖解藉由讀/寫電路透過列及行解碼器可存取之記憶體陣列的典型配置。

圖 6A 為個別讀/寫模組的概要方塊圖。

圖 6B 為習知上藉由一疊讀/寫模組實施例之圖 5 的讀/寫堆疊。

圖 7A 為根據本發明的較佳實施例分成核心部位和共同部位之個別讀/寫模組之概要方塊圖。

圖 7B 圖解圖 7A 所示的讀/寫模組之核心部位的另一較佳實施例。

圖 8A 概要圖解根據本發明的一實施例之具有一堆分開讀/寫堆疊的緊密記憶體裝置。

圖 8B 圖解圖 8A 所示的緊密記憶體裝置之較佳配置。

圖 9 更詳細概要圖解被組成一堆分開讀/寫堆疊之圖 8A 或 8B 所示的讀/寫電路。

圖 10 為自一疊讀/寫模組所構成的分開讀/寫堆疊之

詳圖。

圖 11A 圖解圖 10 所示的讀/寫堆疊核心 410 之實施例，其中堆疊中的每一感測放大器位在接近其結合的位元線鎖存器。

圖 11B 圖解圖 10 所示的讀/寫堆疊核心 410 之另一實施例，其中堆疊中的個別感測放大器形成一叢集及個別位元線鎖存器形成另一叢集。

圖 12 為圖 10 的讀/寫堆疊共同部位之詳圖。

圖 13A 圖解移位暫存器的習知實施。

圖 13B 為利用圖 13A 的主-從正反器實施載入資料到資料鎖存器堆疊的表格。

圖 14A 圖解緊密鎖存器堆疊的較佳實施例。

圖 14B 為主或從屬連結模組的實施例。

圖 14C 為當控制信號 LH/INV* 是 HIGH (高) 時，圖 13B 的連結模組充作鎖存器之概要圖。

圖 14D 為當控制信號 LH/INV* 是 LOW (低) 時，圖 13B 的連結模組充作反相器之概要圖。

圖 15A 圖解載入四資料位元到利用圖 14A 之緊密資料鎖存器堆疊所實施的資料鎖存器堆疊內。

圖 15B 圖解自圖 15A 的資料鎖存器堆疊讀取四資料位元之破壞性模式。

圖 15C 圖解自圖 15A 的資料鎖存器堆疊讀取四資料位元之保留模式的另一較佳實施例。

圖 16A 圖解圖 14A 所示的“ $k+1$ ”資料鎖存器堆疊之

另一實施例。

圖 16B 圖解圖 14A 所示的 “ $k+1$ ” 資料鎖存器堆疊之另一較佳實施例。

圖 17 圖解從屬連結模組的另一較佳實施例。

【主要元件對照表】

10	記憶體單元
10'	記憶體單元
12	溢出通道
14	源極
16	吸極
20	浮動閘
20'	浮動閘
20''	浮動閘
30	控制閘
30'	控制閘
30''	控制閘
34	位元線
36	位元線
36	操縱線
40	選擇閘
42	字線
50	反及單元
54	源極終端

56	吸極終端
100	記憶體陣列
130	列解碼器
160	行解碼器
170	讀/寫電路 170
180	讀/寫堆疊
190	讀/寫模組
200	讀/寫模組
210	核心部位
211	位元線
212	感測放大器
212-1	感測放大器
212-2	感測放大器
212-k	感測放大器
214	位元線鎖存器
214-1	位元線鎖存器
214-2	位元線鎖存器
214-k	位元線鎖存器
216	驅動器
220	共同部位
222	處理器
223	輸入線
224	資料鎖存器
226	輸入/輸出介面

231	資料匯流排
300	記憶體陣列
310	控制電路系統
312	狀態機器
314	晶片上位址解碼器
316	電力控制模組
330	列解碼器
330A	列解碼器
330B	列解碼器
350	區段多工器
350A	區段多工器
350B	區段多工器
360	行解碼器
360A	行解碼器
360B	行解碼器
370	讀/寫電路
370A	讀/寫電路
370B	讀/寫電路
400	讀/寫堆疊
410	核心堆疊部位
411	控制線
411-1	控制線
411-k	控制線
420	共同堆疊部位

421	控 制 線
430	堆 疊 匯 流 排 控 制 器
431	互 連 匯 流 排
501	輸 入 / 輸 出 線
501	輸 入
510	主 連 結 模 組
512	電 晶 體
514	電 晶 體
520	從 屬 連 結 模 組
530	輸 出 線 驅 動 器
532	電 晶 體
533	線
534	反 相 器
536	電 晶 體
537	閘
550	反 相 器
551	輸 出
560	反 相 器
562	串 列 電 晶 體
M1	記 憶 體 電 晶 體
S1	源 極 選 擇 電 晶 體
S2	吸 極 選 擇 電 晶 體
T1	電 晶 體
T2	電 晶 體

伍、中文發明摘要

發明之名稱：儲存/讀取在非揮發性記憶體裝置的由連結模組所組成之鏈中的資料的方法

一種能夠平行讀取及寫入大量記憶體單元之非揮發性記憶體裝置具有將多數讀/寫電路中的冗餘減至最少之架構。在一觀點中，為了儲存和串列傳送，與多數讀/寫電路結合之資料鎖存器以緊密方式被 I/O 賦能及耦合。藉由能夠選擇性運轉成反相器或鎖存器之一或多鏈連結模組實施它們。一種藉由循環在一組主連結模組和實際上較小組的從屬連結模組之間的資料之方法使得能夠使用最少的連結模組數目。

陸、英文發明摘要

發明之名稱：

Method For Storing/Reading Data In A Chain Of Linked Modules In A Non-volatile Memory Device

A non-volatile memory device capable of reading and writing a large number of memory cells in parallel has an architecture that reduces redundancy in the multiple read/write circuits to a minimum. In one aspect, data latches associated with the multiple read/write circuits are I/O enabled and coupled in a compact manner for storage and serial transfer. They are implemented by one or more chain of link modules, which can selectively behave as inverters or latches. A method enables the use of a minimum number of link modules by cycling data between a set of master link modules and a substantially smaller set of slave link modules.

拾、申請專利範圍

1.一種儲存在非揮發性記憶體裝置的一由連結模組所組成之鏈中的 N 資料項目之方法，包含：

(a) 設置一包括至少 N 連結模組之鏈，其中每一模組可控制運作成反相器或鎖存器；

(b) 串列的輸入該 N 資料項目從該鏈的相對端至第一連結模組；

(c) 在控制該第一連結模組運作成鎖存器及所有介於中間的連結模組運作成反相器的同時，鎖定第一資料項目到該第一主連結模組；

(d) 在控制該下一連結模組運作成鎖存器及所有介於中間的連結模組運作成反相器的同時，鎖定下一資料項目到下一連結模組；及

(e) 重複步驟 (d) 直到在該鏈中的所有 N 資料項目已被模組化。

2.一種讀取儲存在非揮發性記憶體裝置的一由連結模組所組成之鏈中的 N 資料項目之方法，該方法包含：

(a) 在控制所有連結模組運作成鎖存器的同時，自該鏈的第一連結模組開始讀取儲存在該第一連結模組的第一資料項目；

(b) 在控制已事先被讀取的連結模組運作成反相器和未被讀取的連結模組運作成鎖存器同時，讀取儲存在下一連結模組的下一資料項目；

(c) 重複步驟 (b) 直到所有 N 資料項目已被讀取。

3.根據申請專利範圍第 2 項之方法，另外包含：

當個別資料項目正被讀取時，選擇性反相該個別資料項目。

4.根據申請專利範圍第 1-3 項中任一項之方法，其中

該鏈另外被分成多於一鏈。

柒、 (一)、本案指定之代表圖為：第 14A、14B 圖
(二)、本案代表圖之元件代表符號簡單說明：

224	資料鎖定器
421	控制器
501	輸入
510	主連結模組
512	電晶體
514	電晶體
520	從屬連結模組
530	輸出線驅動器
532	電晶體
533	線
534	反向器
536	電晶體
537	閘
550	反向器
551	輸出
560	反向器
562	串列電晶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無