

(此處由本局於收
文時黏貼條碼)

849193

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94146759

※申請日期：94 年 12 月 27 日

※IPC 分類：G01R 71/02 (2006.01)

一、發明名稱：

(中) 用以於測試器與待測電子裝置間介接測試信號的設備及測試
包含多個輸入端之電子裝置之方法

(英) Apparatus for Interfacing Test Signals Between Tester and Electronic Device Under Test and
Method of Testing Electronic Device Comprising a Plurality of Inputs

二、申請人：(共 1 人)

1. 姓 名：(中) 佛姆費克特股份有限公司

(英) FORMFACTOR, INC.

代表人：(中) 麥卡迪奧 史都華 L.

(英) MERKADEAU, STUART L.

地 址：(中) 美國加州萊佛摩里·南正向路7005號

(英) 7005 Southfront Road, Livermore, CA 94551, U.S.A.

國籍：(中英) 美國 U.S.A.

三、發明人：(共 1 人)

1. 姓 名：(中) 查里斯 米勒

(英) MILLER, CHARLES A.

國 籍：(中) 美國

(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ； 2005/01/07 ； 11/031,504 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：用以於測試器與待測電子裝置間介接測試信號的設備及測試包含多個輸入端之電子裝置之方法

測試系統包括終止於探針之通信通道，探針接觸待測之電子裝置的輸入端子。電阻器係連接在接近探針之通信通道及接地之間。電阻器減小端子的輸入電阻，且因此減少輸入端子的上升及下降時間。通道可被終止於具有多路徑的分支，其中每一路徑終止以探針，用於接觸待測之電子裝置上的端子。隔絕電阻器被包括於分支，以防止在一輸入端子之故障傳播至其它輸入端子。分路電阻器被設於各分支，其減小端子的輸入電阻且藉此減少輸入端子的上升及下降時間。分路電阻器亦可被客製於以減少、最小化或消除支援通道之信號反射。

六、英文發明摘要

發明之名稱：

Apparatus for Interfacing Test Signals Between Tester and Electronic Device Under Test and Method of Testing Electronic Device Comprising a Plurality of Inputs

A test system includes a communications channel that terminals in a probe, which contacts an input terminal of an electronic device to be tested. A resistor is connected between the communications channel near the probe and ground. The resistor reduces the input resistance of the terminal and thereby reduces the rise and fall times of the input terminal. The channel may be terminated in a branch having multiple paths in which each path is terminated with a probe for contacting a terminal on electronic devices to be tested. Isolation resistors are included in the branches to prevent a fault at one input terminal from propagating to the other input terminals. A shunt resistor is provided in each branch, which reduces the input resistance of the terminal and thereby reduces the rise and fall times of the input terminal. The shunt resistor may also be sized to reduce, minimize, or eliminate signal reflections back up the channel.

七、指定代表圖

(一)、本案指定代表圖為：第 (4) 圖

(二)、本代表圖之元件代表符號簡單說明：

102：測試器，104：通信連接，
107：探針頭，108：探針卡組合，
112：DUT，110d、110e：探針，
210、208：DUT輸入端子，
228、230：驅動器，220、222：通道，
302：輸入電阻，304：電容器，
306：接地，308：驅動器輸出阻抗，
310：通道阻抗，402、404：分路電阻器，
406：開關，408：接地。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明通常可應用於資料係經由在一或更多個通信通道予以驅動之任何系統。

【先前技術】

此種系統的一個實例係用於測試諸如半導體裝置的電子裝置之測試系統。圖 1 解說用於測試電子裝置之測試系統 100 的簡化方塊圖。圖 1 的測試系統 100 可測試未單一化半導體晶圓、單一化半導體晶粒（封裝或未封裝）、或多晶片模組的晶粒。此種系統 100 同樣地可被架構來測試其它類型諸如印刷電路板的電子裝置。如顯示的，測試系統 100 包括測試器 102、通信連接 104（例如，同軸纜線、光纖連結、無線通信連結等）探針頭 107 及探針卡組合 108，探針卡組合 108 用於連通測試信號在測試器 102 及待測的電子裝置（"DUT"）112 之間。測試系統 100 亦包括外殼 106，其具有用於支撐及移動 DUT112 之可移動夾頭 114。探針卡的探針 110 致使與 DUT112 的接觸，藉此形成具有 DUT 之電連接。

測試器 102 產生測試資料，測試資料係經由包含通過通信連接 104 的導電路徑、探針頭 107 及探針卡組合 108 之通信通道驅動至 DUT112 的輸入端子（未顯示於圖 1）。DUT112 所產生之回應資料係經由 DUT 的輸出端子輸出，且經由比較通道（亦包含導電路徑，通過探針頭 107、

(2)

探針卡 108 及通信連接 104) 傳送至測試器 102。典型地，測試器 102 則比較 DUT112 所產生的回應資料與預期的回應資料，以決定 DUT112 是否良好或是壞的。(此種測試可附加或替代地使用來測定 DUT 的操作)。

圖 2 解說具有兩個輸入端子 208 及 210、兩個輸出端子 204 及 206、一動力端子 212、與一接地端子 202 之示範性 DUT112。(典型地 DUT 可具有更多的端子，而為易於解說及討論之六個端子係顯示於圖 2)。如圖 2 所示，電力係經由電力通道 224 自測試器 102 提供至動力端子 212，電力通道 224 包含通過通信連接 104、探針頭 107 及探針卡組合 108 之導電路徑，探針卡組合 108 包括接觸動力端子 212 之探針 110f。接地連接係同樣地經由接地通道 214 自測試器 102 提供。測試器 102 中之驅動器 228 及 230 將通過分別地止止於探針 110d 及 110e 的驅動通道 222 及 224 之測試資料驅動至輸入端子 208 及 210。DUT112 所產生之回應資料及經由輸出端子 204 及 206 的輸出係由測試器 102 中之比較器 232 及 234 所接收。(比較器 232 及 234 可比較回應資料與預期回應資料)。控制模組 226 控制測試器 102 的整個操作，提供電力及接地，產生測試資料，獲得比較實際回應資料與預期回應資料的結果，及/或產生時序信號。

圖 3 解說測試器 102 的部份示意圖，其僅顯示驅動通道 222 及 224 之驅動器 228 及 230。於圖 3 中，電阻器 308 代表驅動器 (228 或 230) 的輸出阻抗，且，電阻器

(3)

310 代表通信通道 (220 或 222) 的特性阻抗。於圖 3 中，假設 DUT112 係互補金屬氧化物半導體 (CMOS) 裝置。眾所周知，CMOS 裝置 (例如，112) 的輸入端子 (例如，208 或 210) 係主要電容性。輸入端子 208 及 210 之簡化等效電路係顯示於圖 3 作為與電容器 304 (代表輸入端子 208 及 210 的主要電容性性質) 串聯之電阻器 302。 (306 代表接地)。

眾所周知，在輸入端子 208 或 210 自低信號至高信號的變化不會登錄於 DUT112，直到足夠充電建立在電容器 304 上。同樣地，在輸入端子 208 或 210 自低信號至高信號的變化不會登錄於 DUT112，直到電容器 304 的充電散發為止。使電容器 304 充電所需的時間通常稱為上升時間，且，使電容器 304 放電所需之時間係下降時間。

眾所周知，串聯電阻器及電容器的上升時間係與電阻及電容的乘積成比例。上升時間的時間常數 (τ) 係如下：
 $\tau = R \times C$ (其中 τ 係上升或下降時間的時間常數，R 係電阻器的電阻，C 係電容器的電容，及 $\times$ 表示乘積)。通過電容器 304 之電壓係如下： $v_c(t) = C \times v_d \times (1 - e^{-t/\tau})$ 其中：

$v_c(t)$ 係在時間 t 通過電容器 304 之電壓，

v_d 係驅動器 228 或 230 的輸出電壓，

t 係距 v_d 的上升邊緣之時間 (自低電壓位準至高電壓位準)，

τ 係時間常數，且 $\tau = R \times C$ ，

(4)

R 係各驅動器 228 及 230 與各輸入端子 208 及 210 的電容器 304 間之總電阻（R 因此係驅動器的輸出阻抗 308、驅動通道的特性阻抗 310、及 DUT112 的輸入端子的輸入電阻 302 的總和），及

C 係電容器 304 的電容。串聯的電阻器及電容器的下降時間亦與電阻及電容的乘積成比例，且，相同時間常數（ τ ）係可應用的。通過電容器 304 之電壓係如下： $v(t) = C \times v_0 \times e^{-t/\tau}$ ，其中 v_0 係電容器上之初始充電，且，其它參數係如下所界定。

顯而易知，輸入端子 208 及 210 的上升及下降時間限制可切換對 DUT112 的輸入信號之頻率。如顯而易知，測試系統 100 可增加 DUT112 的輸入端子 208 及 210 的上升及下降時間。因為，用於驅動器 228 及 230 與通道 220 及 222，驅動器 228 及 230 的輸出阻抗 308 與通道 220 及 222 的特性阻抗 310 有效地增加 DUT112 的輸入端子 208 及 210 的輸入電阻 302。

可切換對 DUT112 的頻率之另一電位限制由於通道 220 及 222 上的信號反射而引起。藉由驅動器 230 或 228 所驅動通道 222 或 220 之測試信號將（至少部份地）反射掉輸入端子 210 或 208，且朝向驅動器 228 或 230 向上回傳通道 222 或 220。如果驅動器輸出阻抗 308 配合通道（222 或 220）的特性阻抗 310，所反射的信號被驅動器輸出阻抗 308 所吸收，且不會朝向 DUT112 進一步反射回到通道（222 或 220）。驅動器（或信號源）的輸出阻抗配合

(5)

通道的特性阻抗之此種架構通常稱為”源終止”。即使圖 3 所示的系統係源終止，向上回到通道 222 及 220 之反射可能造成抖動、雜訊或符號間的干擾，此限制可切換輸入端子 208 及 210 之頻率。

於許多測試應用中，增加可測試 DUT 之頻率。

【發明內容】

於本發明的一實施例中，測試系統包括終止於探針之通信通道。探針接觸待測的電子裝置的輸入端子，且，測試資料被驅動經由通信通道進入正被測試之電子裝置。電阻器係連接在接近探針的通信通道及接地之間。因此具有輸入端子的輸入阻抗及電容並聯之電阻器減小端子的輸入阻抗，且因此減少輸入端子的上升時間。電阻器亦可被客製化以減少、最小化或消除支援通信通道之信號的反射。

本發明的第二實施例中，測試系統包括分支成數個路徑之通信通道，每一路徑終止於探針。探針接觸待測試之電子裝置上之輸入端子。隔絕電阻器被包括於分支，以防止在一輸入端子之故障傳送至其它輸入端子。分路電阻器係設於各分支。分路電阻器係自探針電連接至接地，再次減小端子的輸入阻抗，且因此減少輸入端子的上升及下降時間。分路電阻器亦可客製化以減少、最小化或消除支援通信通道之信號的反射。

【實施方式】

(6)

雖然此說明書說明本發明的示範性實施例及應用，本發明未受限於此些示範性實施例及應用，或此示範性實施例及應用操作或在此被說明之方式。

圖 4 解說本發明的第一實施例，其中分路電阻器 402 及 404 被包括以減小 DUT112 的輸入端子 208 及 210 的上升及下降時間。圖 4 解說如圖 3 所示之圖 2 的測試系統 100 的相同部份示意圖。亦即，兩個驅動器 228 及 230 驅動兩個通道 220 及 222，此通道包含通過通信連接 104、探針頭 107、及探針卡組合 108（其包括探針 110d 及 110e）之傳導路徑。探針 110d 及 110e 接觸且藉此致使與 DUT112 的輸入端子 208 及 210 電連接。

如圖 4 所示，分路電阻器 402 及 404 係配置在或接近每一通道 220 及 222 的探針端。兩分路電阻器 402 及 404 係連接至接地 408。（於圖 4 中，分路電阻器 402 及 404 係經由開關 406 選擇性地連接至接地 408，以下將述）。分路電阻器 402 及 404 於各通道中的存在改善輸入端子 208 及 210 的上升及下降時間。兩者。

顯而易知，當開關 406 係接通時，每一分路電阻器 402 及 404 係與輸入端子 208 及 210 的輸入電阻 302 大致並聯。眾所周知，兩個並聯的電阻器的總電阻係小於任一電阻器單獨的電阻。（用於總和並聯電阻器的眾知方程式係 $R_T = (R_1 \times R_2) / (R_1 + R_2)$ ，其中 R_T 係並聯電阻器 R_1 及 R_2 的總電阻，且， $\times$ 表示相乘）。因此，分路電阻器 402 及 404 降低驅動器 228 及 230 與輸入端子 208 及 210 間之

(7)

總電阻，此總電阻依序減小時間常數 $\tau = R \times C$ 及輸入端子 208 及 210 的上升及下降時間。藉由減小輸入端子 208 及 210 的輸入電阻 302 的有效電阻，分路電阻器 402 及 404 有效地減小或消除驅動器輸出阻抗 308 及驅動通道阻抗 310 的功效，驅動器輸出阻抗 308 及驅動通道阻抗 310 兩者係與端子輸入電阻 302 串聯，且因此增加輸入端子的上升及下降時間。因此，藉由適當客製化分路電阻器 402 及 404 以減少 DUT112 的輸入端子 208 及 210 的上升及下降時間，可測試 DUT112 之頻率可被增加。

可能地，藉由客製化分路電阻器 402 及 404 而進一步改善類似圖 4 所示的系統之系統的操作頻率，以減少、最小化或消除信號反射。在通道 220 或 222 的 DUT 端之反射可藉由使在通道 220 或 222 的端之阻抗與通道阻抗 310 相配或接近相配地予以減少、最小化或消除。（假設驅動器輸出阻抗 308 及驅動通道阻抗 310 係相配（亦即，具有相等或大約相等值））。此可藉由客製化分路電阻器 402 或 404 予以完成，以提供具有在通道 220 或 222 的端之 DUT 端子輸入電阻 302 之總電阻，總電阻等於或大約等於通道阻抗 310。應注意到，分路電阻器 402 或 404 係與 DUT 端子輸入電阻 302 並聯，且眾所周知地，並聯之電阻器的總電阻係並聯電阻器的乘積除以並聯電阻器的總和。因此，為消除反射，分路電阻器 402 或 404 應被客製化，使得分路電阻器 402 或 404 及 DUT 端子輸入電阻 302 的總電阻係等於通道阻抗 310。反測可藉由使分路電阻器

(8)

402 或 404 及 DUT 端子輸入電阻 302 的總電阻大約等於或至少更接近等於通道阻抗 310 予以減少或最小化。用於諸如 CMOS 裝置之許多裝置，此裝置的輸入電阻 302 足夠大於可被忽略之傳輸線阻抗 310，且因此，爲了適當配合，分路電阻器 402 及 404 可被製作成等於傳輸線阻抗 310。

顯而易見地，用於各通道 220 及 222，分路電阻器 402 或 404 形成具有通道阻抗 310 之分壓器。在 DUT 輸入端子 210 或 208 切換至高狀態及電容器 304 完全充電之後，可觀的電流停止流入 DUT 輸入端子 210 或 208，而流經分路電阻器 402 或 404。驅動器 228 或 230 所輸出之電壓應致使通過分路電阻器 402 或 404 之電壓足以保持 DUT 輸入端子 210 或 208 於高狀態。因此，例如，如果分路電阻器 402 或 404 係如通道阻抗 310 的相同尺寸，驅動器 228 或 230 的輸出電壓（其中驅動器包括輸出阻抗 308 且驅動器輸出電壓係分成通道 220 及 222 的電壓）應係保持 DUT 輸入端子 210 或 208 於高狀態所需之電壓的二倍。（如已知，由電壓電源及串聯之第一與第二電阻器構成之分壓器電路中通過第二電阻器的電壓係乘以第二電阻器的電阻且除以第一及第二電阻器的總和之電源電壓）。

開關 406 容許分路電阻器 402 及 404 切換成使用或不使用。當開關 406 接通時，分路電阻器 402 及 404 係連接至接地 408 以及減少輸入端子 208 及 210 的上升及下降時間，如上述。當開關 406 斷開時，分路電阻器 402 及 404 係自圖 4 所示的測試系統有效地取出。

(9)

諸如參數測試之一些測試係在開關 406 斷開時表現最佳。參數測試包括決定 DUT112 的端子的一或更多是否對接地或另一端子短路之測試及決定通過端子的漏電流之測試。如上述，當開關 406 接通時，測試系統隨時實施高頻功能測試。

圖 5 解說可使用來測試半導體晶圓或其它電子裝置的晶粒，其包括無限制的單一晶粒（封裝或未封裝）、多晶片電子模組。圖 5 所示的探針卡組合可被使用於類似圖 1 的測試系統 100 之測試系統。圖 5 所示的示範性探針卡組合包括探針板 502，其具有端子 505 在用於接觸探針頭（例如，圖 1 的探針頭 107）之一側上。通過探針板 502 之電連接 510 使端子 505 連接至端子 512。插入器 504 使探針板端子 512 與探針基板 506 電連接。插入器 504 包括接合端子 512 之電接點 514（其可以是伸長彈簧接點）。插入器的電接點 514 係附接至插入器 504 的一側上之端子 516，且係藉由連接器 520 電連接至插入器 504 的另一側上之端子 515。電接點 522（其可以是相似於電接點 514）接合探針基板 506 上之端子 524。端子 524 係通過探針基板 506 經由連接 526 電連接至探針端子 525，且，用於接觸 DUT（未顯示於圖 5 中）之探針 530 係附接至探針端子 525。因此設有電路徑在探針板 502 上之端子 505 及探針基板 506 上之探針 530 之間。探針板 502、插入器 504 及探針基板 506 可使用任何適合機構相互固定。美國專利第 5974662 號提供此種探針卡組合的更詳細說明，其在此併

(10)

入參考。

圖 6A 及 6B 分別顯示探針板 502 的頂視圖及底視圖。如圖 6A 所示，端子 505 係配置在探針板 502 的一側上，且，端子 512 係配置在探針板 502 的相反側上。同樣地，圖 7A 及 7B 分別顯示插入器 504 的頂視圖及底視圖，其中端子 516 在一側上而端子 515 在相反側上。插入器 504 上之端子 516 係配置以對應至探針板 502 上的端子 512。圖 8A 及 8B 同樣地分別顯示探針基板 506 的頂視圖及底視圖，其中端子 524 配置在一側上而探針端子 525 在相反側上。探針基板 506 上之端子 524 係配置以對應至插入器 504 上之端子 515。探針端子 525 係配置以對應一或更多 DUT 之輸入、輸出、電力及接地端子的位置，且，探針 530 係附接至探針端子 525。

分路電阻器 402 及 404 係較佳地儘可能接近至探針 530 而配置在圖 5 的探針卡組合上。因此，分路電阻器 402 及 404 係較佳地配置在探針基板 506 上。然而，分路電阻器 402 及 404 可被放置在探針板 502、插入器 504 或探針基板 506 的任何一或更多者上。並且，分路電阻器 402 及 404 可被放置在探針板 502、插入器 504 或探針基板 506 的任一側上。確切地，分路電阻器 402 及 404 可配置在探針板 502、插入器 504 或探針基板 506 內（例如，在沿著電連接 510 之探針板 502 內、在沿著連接器 520 的插入器 504 內、或在沿著連接 526 的探針基板 506 內）。開關 406 可同樣地放置在探針板 502、插入器 504 或探針

(11)

基板 506 上之任一處。分路電阻器 402 及 404 可被實施作為建入或建在探針板 502、插入器 504 或探針基板 506 的任何一者之薄膜電阻器，或作為附接至探針板 502、插入器 504 或探針基板 506 的任何一者之分開電阻器電路元件。

圖 9 解說本發明的另一示範性實施例。圖 9 顯示配置來驅動通道 922 之驅動器 928，通道 922 經由三個探針 920、924 及 926 連接至三個 DUT936、938 及 940 的輸入端子 30(e)、32(e) 及 34(e)。驅動器 928 及通道 922 可相似於圖 2 的驅動器 228 及通道 220，驅動器 928 及通道 922 可以是類似圖 2 的測試系統之測試系統中的許多此種驅動器及驅動通道的一者。

如圖 9 所示，通道 922 包括三個分支 902、904 及 906，其經由三個探針 920、924 及 926 將驅動器 928 連接至三個 DUT936、938 及 940 的三個輸入端子 30(e)、32(e) 及 34(e)。以此方式，產生在 DUT 上的測試器 102（見圖 1）之測試資料可被使用來測試三個 DUT。當然，驅動通道可以扇形散開成少於或多於三個端子，且，部份或所有端子可替代地位在相同 DUT 上。亦應領會到，附加比較通道或多工電路的使用可被使用來將多工 DUT 所產生之回應資料送回測試器。

於圖 9 中，隔絕電阻器 980 係配置於分支 902、904 及 906 以防止在一端子之故障（例如，30(e)）不利地影響另一端子（例如，32(e)）。例如，缺少隔絕電阻

(12)

器 980，輸入端子 30 (e) 對接地短路之故障，將使端子 32 (e) 及 34 (e) 經由分支 902、904 及 906 對接地之短路，造成 DUT938 及 940 錯誤地測試如具有如 DUT936 之相同故障。然而，隔絕電阻器 980 使在輸入端子 30 (e) 的故障與端子 32 (e) 及 34 (e) 隔絕。

附加電阻器-隔絕電阻器 980 的存在可不利地影響輸入端子 30 (e)、32 (e) 及 34 (e) 的上升及下降時間。(如上述，附加電阻可增加每一輸入端子 30 (e)、32 (e) 及 34 (e) 之方程式 $\tau = R \times C$ 中之 R 值，且因此增加各輸入端子的上升及下降時間)。事實上，分支 (例如，902、904 及 906) 的數量越大，輸入端子 30 (e)、32 (e) 及 34 (e) 的上升及下降時間上之潛在影響越大。如圖 9 所示，連接至接地之分路電阻器 990 係配置於各分支 902、904 及 906。如以上所示，具有輸入端子 30 (e)、32 (e) 及 34 (e) 的輸入電阻有效並聯之分路電阻器 990 將減小隔絕電阻器 980 的能效，且大致改善輸入端子 30 (e)、32 (e) 及 34 (e) 的上升及下降時間。

應領會到，各分支 902、904 及 906 中的分路電阻器 990 與各分支 902、904 及 906 中之隔絕電阻器 980 形成分壓器電路。如上述，參考圖 4，各分支 902、904 及 906 中之分路電阻器 990 與隔絕電阻器 980 應被客製化使得，當驅動器 928 輸出高信號時，足夠電壓被保持在各探針 920、924 及 926 以保持 DUT936、938 及 940 的各輸入端子 30 (e)、32 (e) 及 34 (e) 於高狀態。應注意到，為簡

(13)

化及易於解說，驅動器 928 之輸出阻抗或通道 922 的通道阻抗皆未顯示於圖 9，而此種阻抗係存在。如以上參考圖 4 所述，分路電阻器 990 及隔絕電阻器 980 可被客製化以少、最小化或消除驅動器 928 所信號驅動的通道 922 的反射。亦應注意到，一或更多類似圖 4 的開關 406 之開關可被包括於圖 9，以切換分路電阻器 990 與分支 902、904 及 906 之有效連接的接通及斷開，此可促使以上圖 4 揭示之參考測試。

圖 10 解說分路電阻器與隔絕電阻器的使用的示範性實施。圖 10 所示的示範性測試系統顯示圖 9 的驅動器 928 及驅動通道 922 於測試圖 9 所示的 DUT936、938 及 940 用之測試系統中。

如圖 10 所示，兩個驅動器 928 及 1030 驅動兩個驅動通道 922 及 1020。驅動通道 922 係經由三個分支 902、904 及 906 扇形散開至 DUT936、938 及 940 的每一者的三個輸入端子 30(e)、32(e) 及 34(e)。每一分支 902、904 及 906 包括隔絕電阻器 980 及連接至接地之分路電阻器 990。驅動通道 1020 係相似於經由三個分支 1002、1004 及 1006 扇形散開至 DUT936、938 及 940 的每一者上之輸入端子 30(d)、32(d) 及 34(d)，且各分支 1002、1004 及 1006 亦包括隔絕電阻器 980 及連接至接地之分路電阻器 990。比較器 1036、1010、1014、1018、1024 及 1032 係經由比較通道 1008、1012、1016、1022、1028 及 1034 連接至 DUT936、938 及 940 的輸出端子 30(c)、

(14)

30 (b) 32 (c) 、 32 (b) 、 34 (c) 及 34 (b) ， 如圖 10 所示。控制器（其可相似於圖 2 的控制器 226）控制測試資料對驅動器 928 及 1030 的輸入，且接收來自比較器 1036、1010、1014、1018、1024 及 1032 之回應資料。控制器 1026 亦經由電力通道 1038 提供電力至 DUT936、938 及 940 的電力端子 30 (f) 、 32 (f) 及 34 (f) ， 且經由接地通道 1040 接地至 DUT936、938 及 940 的接地端子 30 (a) 、 32 (a) 及 34 (a) 。以此方式，僅足以測試一個 DUT 之驅動器及驅動通道係使用來測試三個 DUT；隔絕電阻器被提供來防止一 DUT 上之故障造成其它 DUT 錯誤地測試為不良；分路電阻器係提供來增加 DUT 的輸入端子的上升及下降時間。

圖 9 及 10 所示之隔絕電阻器 980 及分路電阻器 990 可被實施在探針卡組合上，諸如圖 5 所述之示範性探針卡組合。類似圖 4 中的分路電阻器 402 及 404，隔絕電阻器 980 及分路電阻器 990 可被放置在類似圖 5 所示的探針卡組合的探針板 502、插入器 504 或探針基板 506 的任何一者或更多者上。並且，隔絕電阻器 980 及分路電阻器 990 可被放置在探針板 502、插入器 504 或探針基板 506 的任一側上。確實地，隔絕電阻器 980 及分路電阻器 990 可被配置在探針板 502、插入器 504 或探針基板 506 內（例如，在沿著連接 510 的探針板 502 內、在沿著連接器 520 的插入器 504 內、或在沿著連接 526 的探針基板 506 內）。隔絕電阻器 980 及分路電阻器 990 可被實施作為薄膜電阻

(15)

器，或作為分開電阻器電路元件。

圖 11A 至 13B 解說隔絕電阻器 980 及分路電阻器 990 被實施作為探針基板 1102 或 1302 上的薄膜電阻器之實例，探針基板 1102 或 1302 可取代圖 5 的探針基板 506。於圖 11A 至 12B 所示的實例中，隔絕電阻器 980 及分路電阻器 990 係實施作為兩層 1108 及 1110 間之薄膜電阻器 1280 及 1290，層 1108 及 1110 構成探針基板 1102。

圖 11A 及 11B 分別解說示範性探針基板 1102 的頂視圖及底視圖（探針基板 1102 可相似於且取代圖 5 的探針基板 506）。如以下所示，探針基板 1102 係配置來實施圖 10 所示之示範性測試系統。探針基板 1102 的表面 1104 上之端子 1111、1112、1113、1114、1115、1116、1117、1118、1120、1122、1124、1126、1128、1129、1130 及 1131 係配置自插入器 504（見圖 5）接觸電接點 522，且，為方便起見，以下將稱為“插入器端子”。

此實例中，插入器端子 1112、1113、1114 係經由圖 5 的探針卡組合的探針板 502 及插入器 504 連線至圖 10 的接地通道 1040。插入器端子 1128、1130 及 1131 同樣地經由插入器 504 及探針板 502 連線至接地通道 1038。插入器端子 1118、1120、1122、1124、1126 及 1129 同樣地經由插入器 504 及探針板 502 連線至比較通道 1008、1012、1016、1022、1028 及 1034，且，插入器端子 1111 及 1115 係經由插入器 504 及探針板 502 連線至驅動通道 922 及 1020。（插入器端子 1116 及 1117 係未使用於此實例）。

(16)

(附接探針) 的探針端子係配置在探針基板 1102 的底表面 1106 上。探針端子組成三列 1132、1136 及 1140，每一列有六個端子。各列 1132、1136 及 1140 對應於一 DUT936、938 及 940，且，各列中的各端子對應至一 DUT 上的一端子。於此實例中 (其中探針基板 1102 係架構來測試圖 10 的 DUT936、938 及 940)，附接至探針端子 1132 (f)、1136 (f) 及 1140 (f) 之探針係用於提供電力至 DUT936、938 及 940 的電力端子 30 (f)、32 (f) 及 34 (f) 之電力探針。附接至探針端子 1132 (a)、1136 (a) 及 1140 (a) 之探針係用於提供接地至 DUT936、938 及 940 的接地端子 30 (a)、32 (a) 及 34 (a) 之接地探針。附接至探針端子 1132 (c)、1132 (b)、1136 (c)、1136 (b)、1140 (c) 及 1140 (b) 之探針係配置來接觸 DUT936、938 及 940 的輸出端子 30 (c)、30 (b)、32 (c)、32 (b)、34 (c) 及 34 (b)；及，附接至探針端子 1132 (e)、1132 (d)、1136 (e)、1136 (d)、1140 (e) 及 1140 (d) 之探針係配置來接觸 DUT936、938 及 940 的輸入端子 30 (e)、30 (d)、32 (e)、32 (d)、34 (e)。

圖 11A 及 11B 所述之探針基板可以多層製成。為解說及討論的目的，圖 11A 及 11B 所述之探針基板 1102 具有兩層 1108 及 1110，層 1108 及 1110 可以是相互黏著之兩個基板。表面 1104 上之插入器端子 (例如，1111) 及底表面 1106 上之探針端子 (例如，1140 (f)) 間之電子路

(17)

徑可藉由穿過第一層 1108 的導孔（未顯示於圖 11A 及 11B）、位在第一層 1108 及第二層 1110 間之軌跡（未顯示於圖 11A 及 11B）、及穿過第二層 1110 的導孔（未顯示於圖 11A 及 11B）予以提供。圖 12 解說前述的實例。

圖 12 解說探針基板 1102 的第一層 1108 及第二層 1110 間之介面 1170 之示範性配置。於圖 12 中，通過第一層 1108 且電連接至表面 1104 上的插入器端子（例如，1111）之導孔係由塗黑圓圈（亦即，元件 1211、1212、1213、1214、1215、1216、1217、1218、1220、1222、1224、1226、1228、1229、1230 及 1231）所表示。通過第二層 1110 且電連接至表面 1106 上的探針端子（例如，1140（f））之導孔係由未塗黑圓圈（亦即，1232（a）-（f）、1236（a）-（f）、及 1240（a）-（f））所表示。圖 12 中之導電軌跡係顯示如 1250、1252、1254 及 1256，且，當層 1104 及 1106 黏著一起如圖 11A 及 11B 所示時，此種軌跡可被配置在層 1108 或 1110 的內表面上以連接穿過層 1108 之導孔與穿過層 1110 之導孔。

提供電力、接地或連接至比較通道之探針基板 1102 的表面 1104 上之插入器端子（例如，1111）係以一對一原則連接至探針基板 1002 的表面 1106 上之探針端子（例如，1140（f））。於實例中（其中探針基板 1102 係架構來使用於圖 10 所示的系統），插入器端子 1112、1113、1114（其係以上所述連接至圖 10 所示的電力通道 1140）係經由以下圖 12 所示的導孔對連接至探針端子 1132（f）

(18)

、 1136 (f) 及 1140 (f) ； 1214 及 1232 (f) 、 1213 及 1236 (f) 、 及 1212 及 1240 (f) 。 同樣地，插入器端子 1128、1130 及 1131 (其係以上述連接至圖 10 所示的接地通道 1138) 係經由以下圖 12 所示的導孔對連接至接地探針端子 1132 (a) 、 1136 (a) 及 1140 (a) ； 1228 及 1240 (a) 、 1230 及 1236 (a) 、 及 1231 及 1232 (a) 。

(再次，軌跡 1250 電連接前述導孔對的每一者，如圖 12 所示) 。 以相同方式，插入器端子 1118、1120、1122、1124、1126 及 1129 (其係連接至圖 10 所示的比較通道 1008、1012、1016、1022、1028 及 1034) 係經由以下圖 12 所示的導孔對連接至探針端子 1132 (b) 、 1132 (c) 、 1136 (b) 、 1136 (c) 、 1140 (b) 及 1140 (c) ； 1218 及 1232 (c) 、 1226 及 1232 (b) 、 1222 及 1236 (c) 、 1224 及 1236 (b) 、 1220 及 1240 (c) 、 及 1229 與 1240 (b) 。

另一方面，提供連接至驅動通道之探針基板 1102 的表面 1104 上之各插入器端子係連接至探針基板 1102 的表面 1106 上之多探針端子。於圖 12 所示的實例中，插入器端子 1111 (其如上述連接至通道 922) 係經由導孔 1211 連接至軌跡 1252，軌跡 1252 係電連接至導孔 1240 (e) 、 1236 (e) 、 及 1232 (e)，導孔 1240 (e) 、 1236 (e) 、 及 1232 (e) 依序分別地連接至探針端子 1140 (e) 、 1136 (e) 、 及 1132 (e) 。 導孔 1211、軌跡 1252 及探針端子 1140 (e) 、 1136 (e) 、 及 1132 (e) 因此使插入

(19)

器端子 1111 與三個探針端子 1140 (e)、1136 (e)、及 1132 (e) 連接。同樣地，插入器端子 1115 (其如上述係連接至驅動通道 1020) 係經由導孔 1215 連接至軌跡 1256，軌跡 1256 係電連接至導孔 1240 (d)、1236 (d)、及 1232 (d)，導孔 1240 (d)、1236 (d)、及 1232 (d) 依序分別地連接至探針端子 1140 (d)、1136 (d)、及 1132 (d)。導孔 1215、軌跡 1256 與探針端子 1140 (d)、1136 (d)、及 1132 (d) 因此使插入器端子 1115 與三個探針端子 1140 (d)、1136 (d)、及 1132 (d) 連接。

如圖 12 所示，薄膜電阻器 1280 係配置在軌跡 1252 及導孔 1240 (e)、1236 (e)、及 1232 (e) 的每一者之間。薄膜電阻器 1280 亦配置在軌跡 1256 及導孔 1240 (d)、1236 (d)、及 1232 (d) 的每一者之間。薄膜電阻器 1280 因此實施圖 10 中之隔絕電阻器 980。薄膜電阻器 1290 亦配置在一方面之導孔 1240 (e)、1236 (e)、1232 (e)、1240 (d)、1236 (d) 及 1232 (d) 的每一者及連接至接地的軌跡 1254 之間，(例如，導孔 1228，其係經由插入器端子 1128 連接至接地通道 1040 的一者(見圖 10))。薄膜電阻器 1290 因此係圖 10 中之分路電阻器 990 的實施。

如上述，圖 13A 及 13B 解說實施隔絕電阻器 980 及分路電阻器 990 在探針基板 1302 的另一示範性方式。圖 13A 解說大致相似於圖 11A 及 11B 的探針基板 1102 之探針基板 1302 的一部份的切開立體圖。圖 13B 解說探針基

(20)

板 1302 的部份底視圖。

類似探針基板 1102，探針基板 1302（其可取代圖 5 的探針基板 506）包括兩層 1308 及 1310，且具有插入器端子（1302、1304 及 1306 被顯示）在第一表面 1304 及探針端子（1308、1310、1312、1314 及 1316 被顯示）在第二表面 1306 上。於圖 13A，探針基板 1302 係架構來提供對 DUT 之接地連接（未顯示於圖 13A 及 13B），且係經由導孔 1330 及 1332 連接至探針端子 1308 及接地探針 1318，如圖 13A 所示。插入器端子 1306 係架構來連接至比較通道，且因此將 DUT（未顯示於圖 13A 及 13B）所產生的輸出資料載送至在比較通道的端之比較器。如圖 13A 所示，插入器端子 1306 係藉由經由層 1308 的導孔 1336、配置在第二層 1310 的表面 1370 上之層 1308、及經由第二層 1310 之導孔 1352 連接至探針端子 1316（輸出探針 1326 係附接至探針端子 1316）。

插入器端子 1304 係架構來連接至驅動通道且因此提供測試資料至 DUT（未顯示於圖 13A 及 13B）。爲了實施圖 10 所示的測試架構，插入器端子 1304 係連接至三個探針端子（1310、1312 及 1314），三個輸入探針 1320、1322 及 1324 係附接至探針端子，輸入探針 1320、1322 及 1324 架構來接觸三個 DUT 的輸入端子（未顯示於圖 13A 及 13B）。如圖 13A 所示，導孔 1334 將插入器端子 1304 連接至探針基板 1302 的第二層 1310 的表面 1370 上之軌跡 1338。表面 1370 上之薄膜電阻器 1340、1342 及 1343

(21)

將軌跡 1338 連接至導孔 1344、1346 及 1348，導孔 1344、1346 及 1348 依序連接至探針端子 1310、1312 及 1314。薄膜電阻器 1340、1342 及 1343 因此實施圖 9 及 10 所示之隔絕電阻器 980。如圖 13B 所示，在探針基板 1302 的第二表面 1310 上，薄膜電阻器 1362、1364 及 1366 將探針端子 1310、1312 及 1314 的每一者自接地端子 1308 電連接至軌跡 1360。薄膜電阻器 1362、1364 及 1366 因此實施圖 9 及 10 所示的分路電阻器 990。

雖然在此已說明本發明的示範性實施例及應用，本發明無意圖地受限於此些示範性實施例及應用，或受限於示範性實施例及應用操作或在此所述之方式。確實地，對於示範性實施例之許多變化及修改係可能。例如，上述的實施例可實施在除了圖 5 所示的探針卡組合之設備。例如，上述的實施例可實施在用於測試乾一晶粒之負載板。作為另一實例，實施例可實施在不同類型的探針卡組合，諸如包括比圖 5 所示的示範性探針卡組合更多或更少的元件之探針卡組合（例如，缺少插入器或缺少插入器及探針基板之探針卡組合（於此例中，探針 530 將直接附接至探針板 502））。

【圖式簡單說明】

圖 1 解說習知測試系統的示範性。

圖 2 解說圖 1 的測試系統的一些元件的簡單區塊圖。

圖 3 解說圖 2 所示之測試系統的部份示意圖。

(22)

圖 4 解說本發明的第一示範性實施例，其中分路電阻器係包括於測試系統，以增加可操作測試系統之頻率。

圖 5 解說示範性探針卡組合。

圖 6A 及 6B 解說圖 5 中之探針卡的頂視圖及底視圖。

圖 7A 及 7B 解說圖 5 中插入器的頂視圖及底視圖。

圖 8A 及 8B 解說圖 5 中探針基板的頂視圖及底視圖。

圖 9 解說本發明的第二實施例，其中分路電阻器係包括於測試系統，以增加可操作測試系統之頻率。

圖 10 解說測試系統中之分路電阻器的使用，測試系統將測試資料分散至至少一測試中的裝置。

圖 11A 解說配置於使用於圖 10 的測試系統中的探針卡組合之探針基板頂視圖。

圖 11B 解說圖 11A 的探針基板的底視圖。

圖 12 解說構成圖 11A 的探針基板的兩層間之介面。

圖 13A 解說探針基板的一部份的剖面頂視圖。

圖 13B 解說圖 13A 的探針基板的一部份的底視圖。

【主要元件符號說明】

v_c ：電壓

v_d ：輸出電壓

t ：時間

C ：電容

R_1 及 R_2 ：並聯電阻器

R_T ：總電阻

(23)

τ : 時間常數

CMOS : 互補金屬氧化物半導體

1211-1218、1220、1222、1224、1226、1228、1229、

1230 及 1231 : 元件

30(e)、32(e)及 34(e) : 輸入端子

30(d)、32(d)及 34(d) : 輸入端子

30(c)、30(b)32(c)、32(b)、34(c)及 34(b) : 輸出端子

30(f)、32(f)及 34(f) : 電力端子

30(a)、32(a)及 34(a) : 接地端子

100 : 測試系統

102 : 測試器

104 : 通信連接

106 : 外殼

107 : 探針頭

108 : 探針卡組合

110 : 探針

110d 及 110e : 探針

110f : 探針

112 : DUT

114 : 可移動夾頭

202 : 接地端子

204 及 206 : 輸出端子

208 及 210 : 輸入端子

212 : 動力端子

： (24)

： 214：接 地 通 道

220 及 222：通 道

224：電 力 通 道

226：控 制 器

228 及 230：驅 動 器

232 及 234：比 較 器

302：輸 入 電 阻

304：電 容 器

308：驅 動 器 輸 出 阻 抗

310：驅 動 通 道 阻 抗

402 及 404：分 路 電 阻 器

406：開 關

408：接 地

502：探 針 板

504：插 入 器

505：端 子

506：探 針 基 板

510：電 連 接

512：端 子

514：電 接 點

515：端 子

516：端 子

520：連 接 器

522：電 接 點

： (25)

： 524：端 子

525：探 針 端 子

526：連 接

530：探 針

902、904 及 906：分 支

920、924 及 926：探 針

922：通 道

928：驅 動 器

936、938 及 940：DUT

980：隔 絕 電 阻 器

990：分 路 電 阻 器

1002、1004 及 1006：分 支

1008、1012、1016、1022、1028 及 1034：比 較 通 道

1020：通 道

1026：控 制 器

1030：驅 動 器

1036、1010、1014、1018、1024 及 1032：比 較 器

1038：電 力 通 道

1040：接 地 通 道

1102：探 針 基 板

1104：表 面

1106：底 表 面

1108 及 1110：層

1111 至 1118、1120、1122、1124、1126、1128、1129、

(26)

1130 及 1131：端子

1132、1136 及 1140：列

1132(f)、1136(f)及 1140(f)：探針端子

1132(c)、1132(b)、1136(c)、1136(b)、1140(c)及 1140(b)

：探針端子

1132(a)、1136(a)及 1140(a)：接地探針端子

1138：接地通道

1140(e)、1136(e)、及 1132(e)：探針端子

1140(d)、1136(d)、及 1132(d)：探針端子

1170：介面

1211：導孔

1215：導孔

1228：導孔

1240(e)、1236(e)、及 1232(e)：導孔

1240(d)、1236(d)、及 1232(d)：導孔

1250、1252、1254 及 1256：導電軌跡

1250：軌跡

1252：軌跡

1254：軌跡

1256：軌跡

1280 及 1290：薄膜電阻器

1302：探針基板

1304：第一表面

1306：第二表面

： (27)

1308 及 1310：層

1316：探針端子

1318：接地探針

1320、1322 及 1324：輸入探針

1326：輸出探針

1330 及 1332：導孔

1334：導孔

1336：導孔

1338：軌跡

1340、1342 及 1343：薄膜電阻器

1344、1346 及 1348：導孔

1352：導孔

1360：軌跡

1362、1364 及 1366：薄膜電阻器

1370：表面

十、申請專利範圍

1. 一種用以於測試器與待測電子裝置間介接測試信號的設備，該設備包含：

一結構；

多數個通道端子，其配置在該結構上且組配以電連接來自該測試器之通信通道；

多數個探針，其配置在該結構上且組配來接觸該電子裝置的測試形貌體；

多數個導電路徑，各該導電路徑連接該等通道端子的第一者至一組該等探針之一或多者，其中於各該組中之該等探針之該一或多者係專屬於該組；

一電力供應路徑，其連接至不同於該等通道端子的該第一者之該等通道端子之一第二者，該電力供應路徑界定一電壓位準；及

多數個分路電阻器，其配置在該結構上，每一該分路電阻器電連接於介於該等探針之一者及該電壓位準之間。

2. 如申請專利範圍第 1 項之設備，其中該結構包含一第一基板，該等探針係配置在該第一基板上。

3. 如申請專利範圍第 2 項之設備，其中該等分路電阻器係配置在該第一基板上。

4. 如申請專利範圍第 3 項之設備，其中該等分路電阻器係薄膜電阻器。

5. 如申請專利範圍第 3 項之設備，其中該等分路電阻器係配置在該第一基板的第一表面上。

6. 如申請專利範圍第 3 項之設備，其中該等分路電阻器係配置在該第一基板內。

7. 如申請專利範圍第 2 項之設備，其中該結構另包含一第二基板，該等通道端子係配置在該第二基板上。

8. 如申請專利範圍第 2 項之設備，其進一步包含一開關，其中該等分路電阻器係經由該開關而電連接至該電壓位準。

9. 如申請專利範圍第 8 項之設備，其中該開關係配至於該結構上。

10. 如申請專利範圍第 2 項之設備，其中該電壓位準係接地。

11. 如申請專利範圍第 2 項之設備，其中該結構為一探針卡總成。

12. 如申請專利範圍第 2 項之設備，其中該等分路電阻器具有一電阻值使得與該等測試形貌體之輸入電阻並聯之該等分路電阻器之一總電阻係實質等於該等導電路徑之一阻抗。

13. 如申請專利範圍第 1 項之設備，其進一步包含多個串聯電阻器，其中該等串聯電阻器係配置於該等通道端子及該等探針之間之各個該等多數個導電路徑上。

14. 一種測試包含多個輸入端子之一電子裝置之方法，該方法包含：

取得一測試系統，該測試系統包含：

一結構；

多數個通道端子，其配置在該結構上且組配以電連接來自一測試器之驅動通道；

多數個探針，其配置在該結構上且組配來接觸該電子裝置的該等輸入端子；

多數個導電路徑，各該導電路徑連接該等通道端子之第一者至一組該等探針之一或多者，其中於各該組中之該等探針之該一或多者係專屬於該組；

一電力供應路徑，其連接至不同於該等通道端子之該第一者之該等通道端子之一第二者，該電力供應路徑界定一電壓位準；及

多數個分路電阻器，其配置在該結構上，每一該分路電阻器電連接於介於該等探針之一者及該電壓位準之間；

導引該等探針以與該電子裝置之該等輸入端子接觸；以及經由該等驅動通道於該等電子裝置上來執行功能性測試。

15. 如申請專利範圍第 14 項之方法，其更包含藉該等驅動通道施加一增加量度之電壓來為該分路電阻器所造成之電壓下降進行補償。

16. 如申請專利範圍第 14 項之方法，其更包含經由一開關來將該等分路電阻器與該等驅動通道之該等第一者分開，並經由該等驅動通道於該等電子裝置上來執行參數的測試。

17. 如申請專利範圍第 14 項之方法，其中選取該等分路電阻器之電阻值以降低該等輸入端子之上升時間。

18. 如申請專利範圍第 14 項之方法，其中選取該等分路電阻器之電阻值以降低該等輸入端子之下降時間。

19. 如申請專利範圍第 14 項之方法，其中該等驅動端子之該等第一者各包含一串聯電阻。

20. 一種測試包含多個輸入端之一電子裝置之方法，該方法包含：

取得一測試系統，該測試系統包含：

多數個終止於多數個探針之驅動端子，該等驅動通道之第一者包含分路電阻器，其中該等分路電阻器位於接近該等探針之位置，且電連接於該等驅動通道之該等第一者及由該等驅動通道之第二者所界定之一電壓位準間，其中該等驅動通道之該等第二者對應至電源通道並且不同於該等驅動通道之該等第一者，其中該電壓位準對應至接地；

導引該等探針以與該電子裝置之該等輸入端子接觸；以及經由該等驅動通道於該等電子裝置上來執行功能性測試。

21. 一種測試包含多個輸入端之一電子裝置之方法，該方法包含：

備置一測試系統，該測試系統包含：

多數個終止於多數個探針之通道端子，該等驅動通道之第一者包含分路電阻器，其中該等分路電阻器位於接近該等探針之位置，且電連接於該等驅動通道之該等第一者及由該等驅動通道之第二者所界定之一電壓位準間；

導引該等探針以與該電子裝置之該等輸入端接觸；以及經由該等驅動通道於該等電子裝置上來執行功能性測試，其中選取該等分路電阻器之電阻值使得該等分路電阻器之電阻值及該等輸入端子之輸入電阻值之一並聯電阻值係實質等於該等驅動通道之該等第一者之一阻抗。

22. 一種用以於測試器與待測電子裝置間介接測試信號的設備，該設備包含：

包含一基板之一結構；

多數個通道端子，其配置在該結構上且組配以電連接來自該測試器之通信通道；

多數個探針，其配置在該基材上且組配來接觸該電子裝置的測試形貌體；

多數個導電路徑，其連接該等通道端子之多者至該等探針之多者，其中該等導電路徑之一者對應至接地電位；

多數個分路電阻器，其配置在該結構上，每一該分路電阻器電連接於介於該等導電路徑之一者及該接地電位之間；及

多數個開關，其中該分路電阻器係經由該開關電連接至該接地電位。

23. 如申請專利範圍第 22 項之設備，其中該等多數個開關係配置於該結構上。

圖 1
習知技術

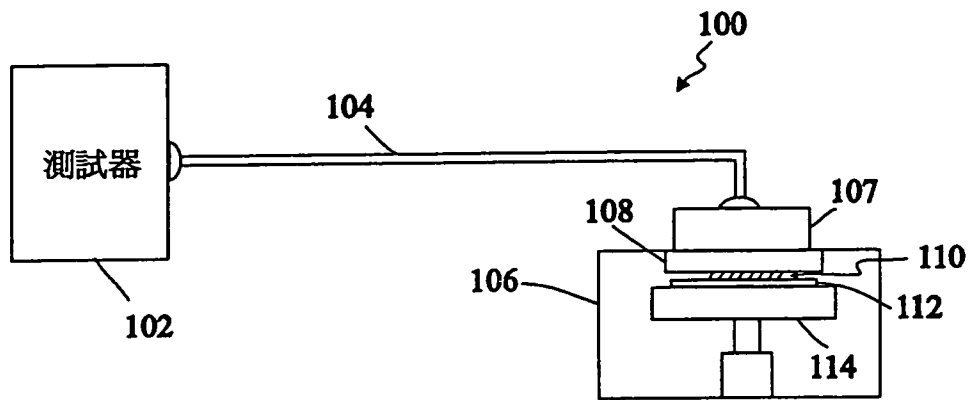


圖 2
習知技術

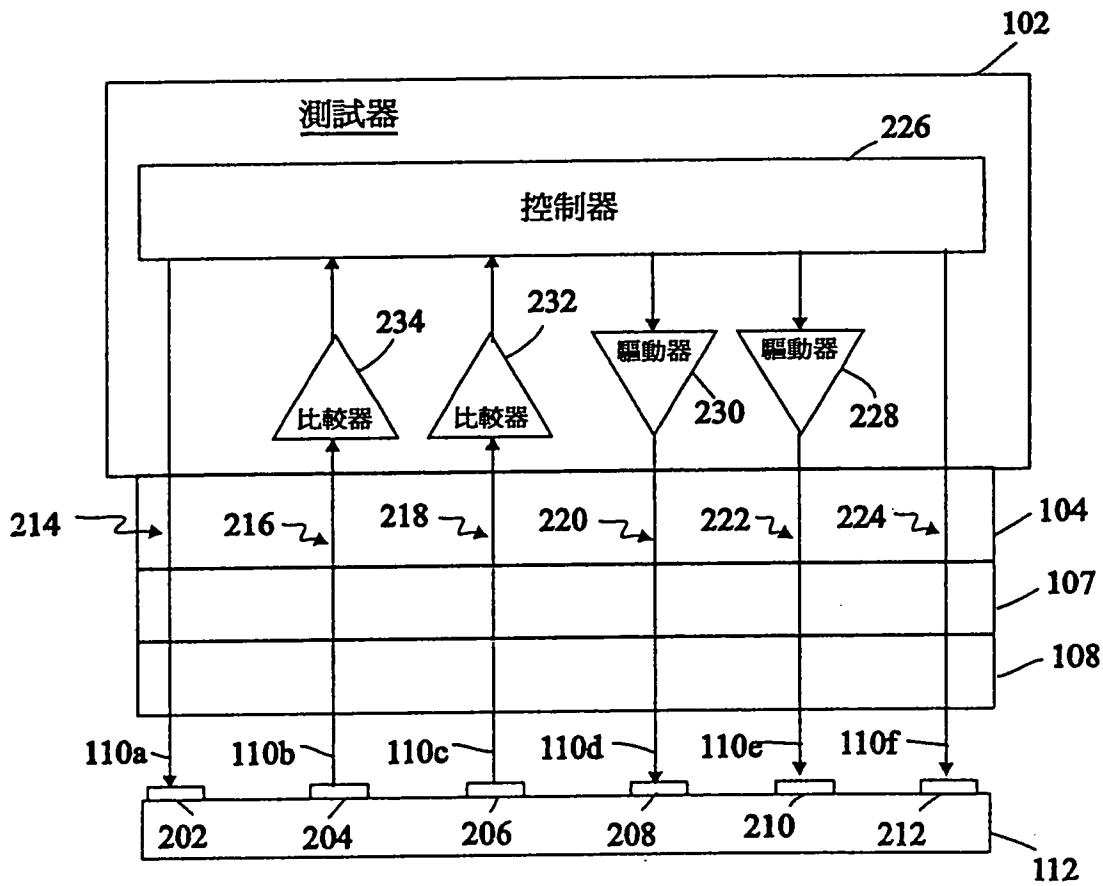


圖 3

習知技術

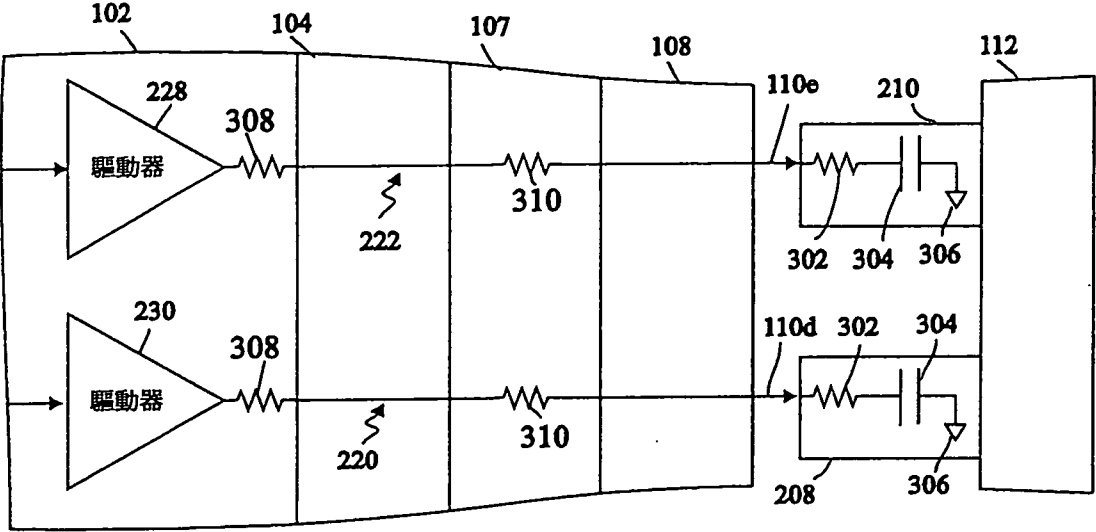


圖 4

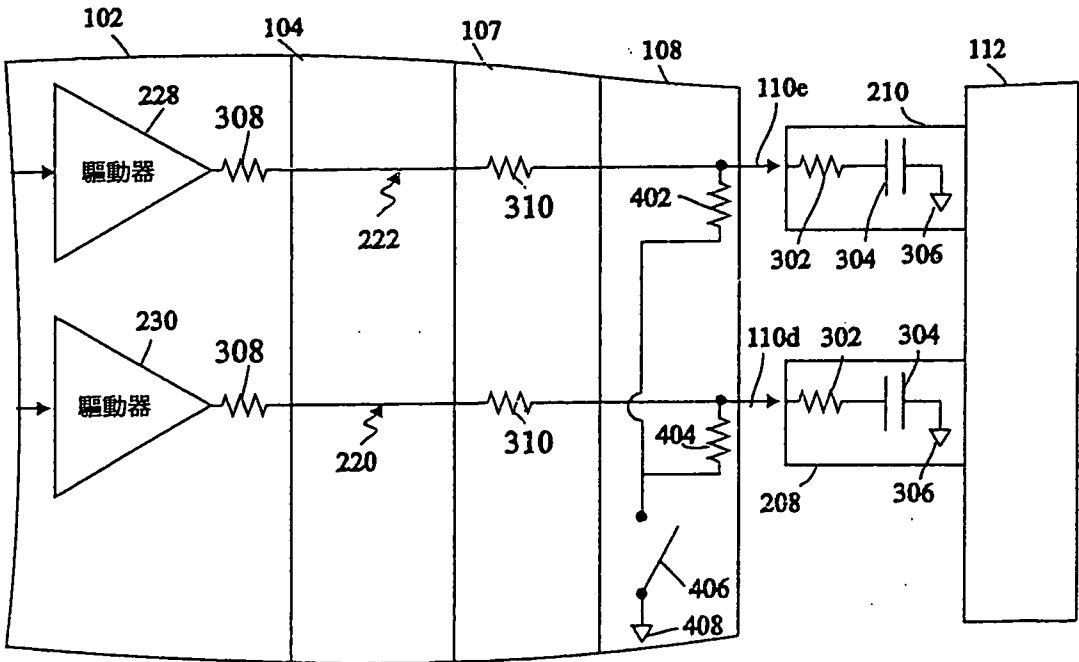


圖5

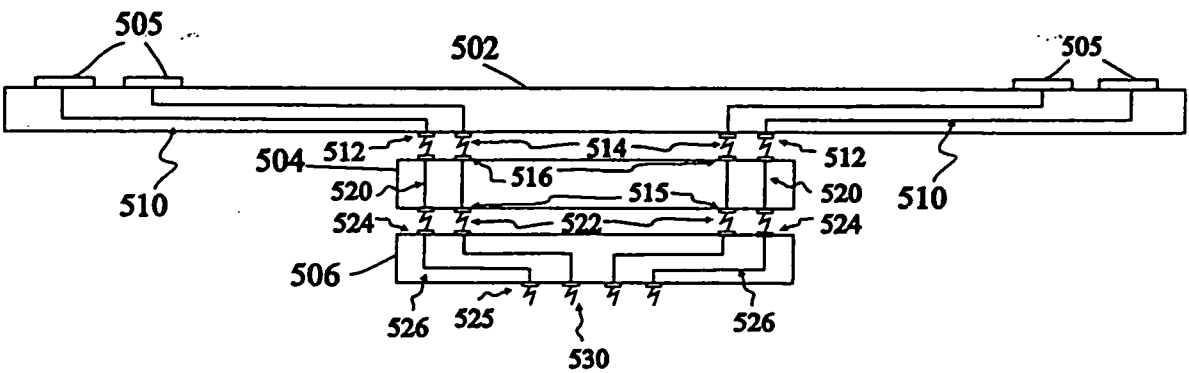


圖6A

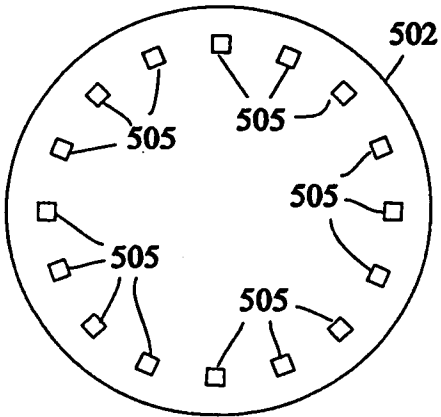


圖6B

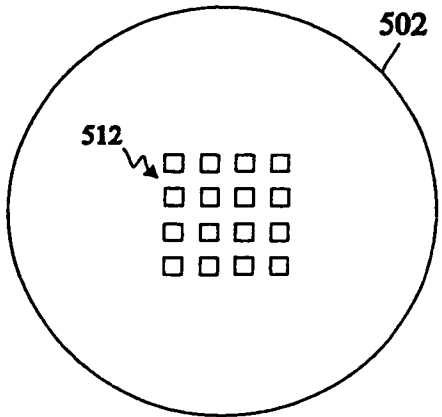


圖 7A

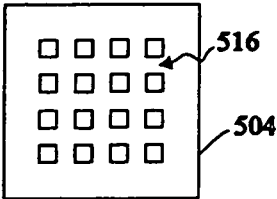


圖 7B

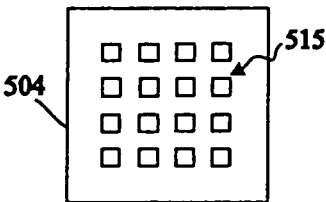


圖 8A

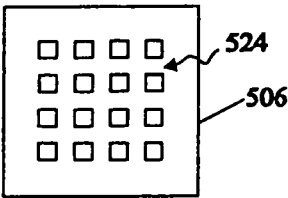


圖 8B

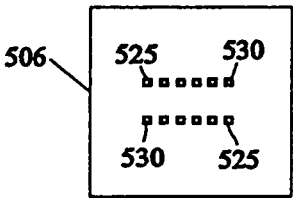


圖 9

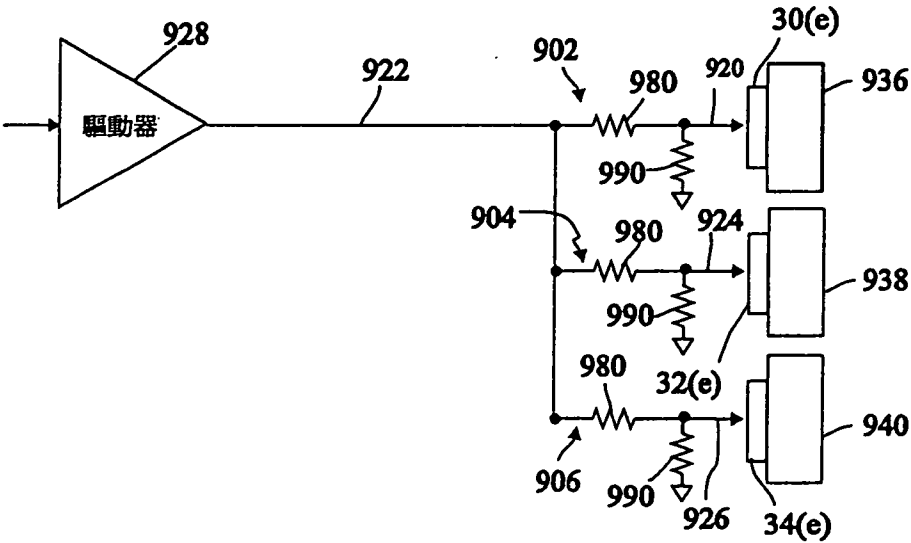


圖 10

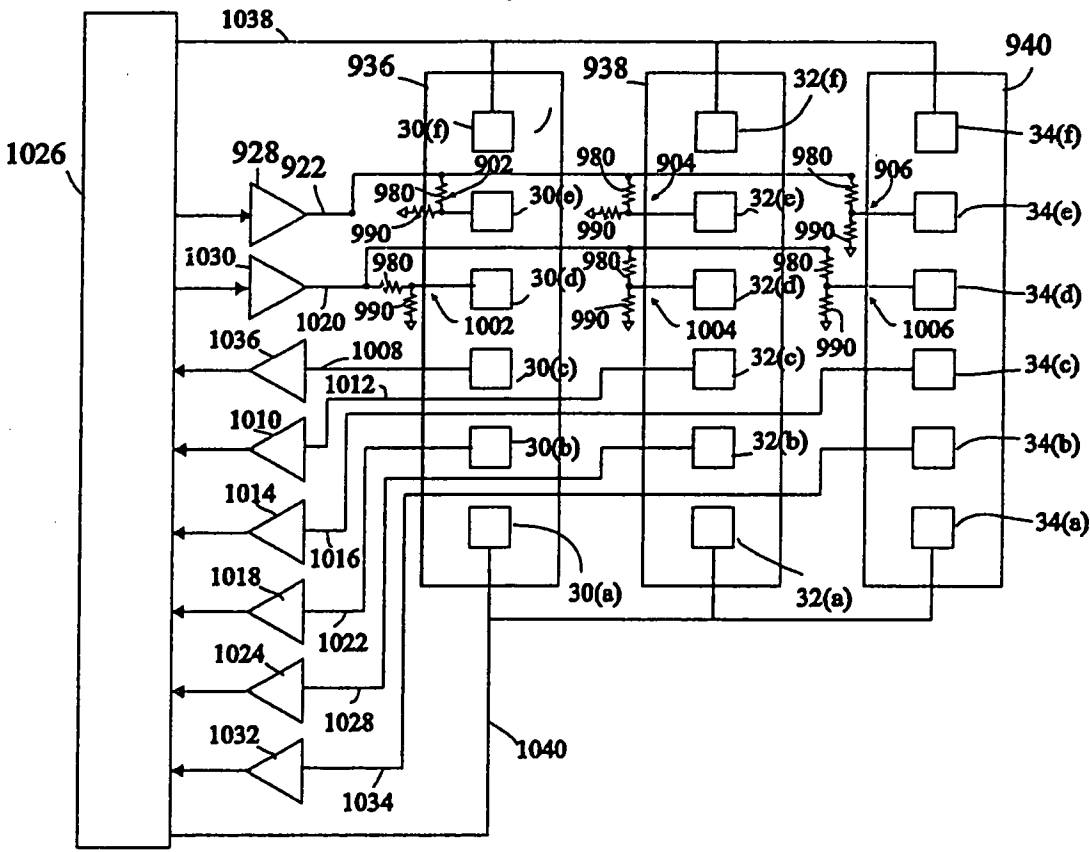


圖11A

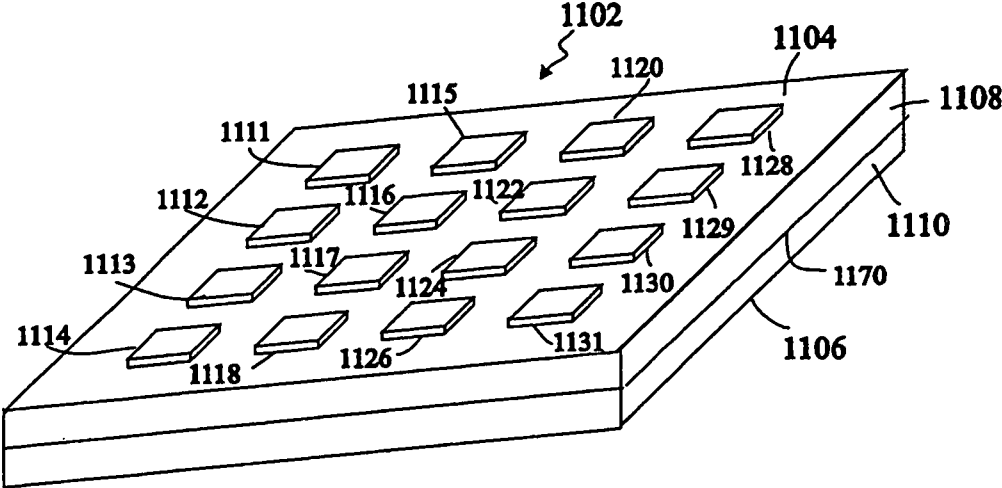


圖11B

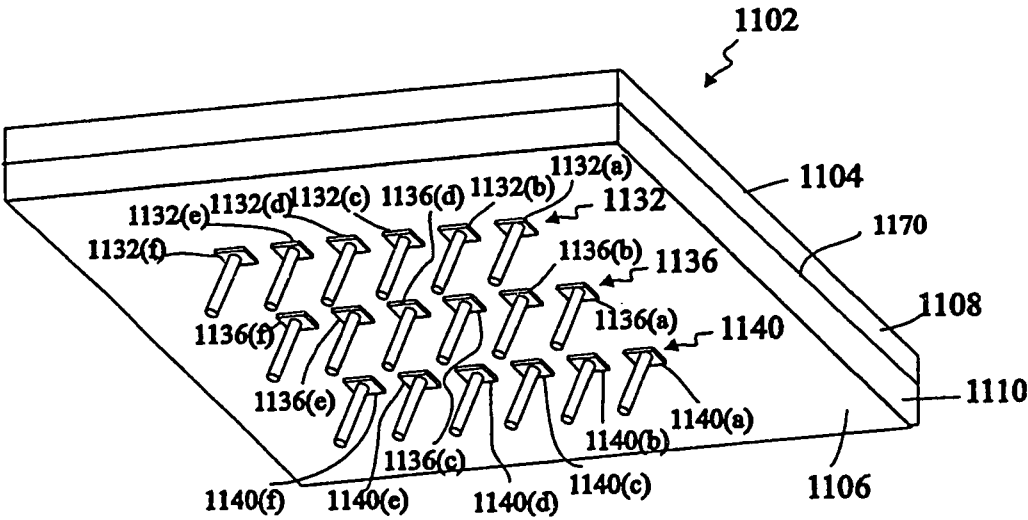


圖 12

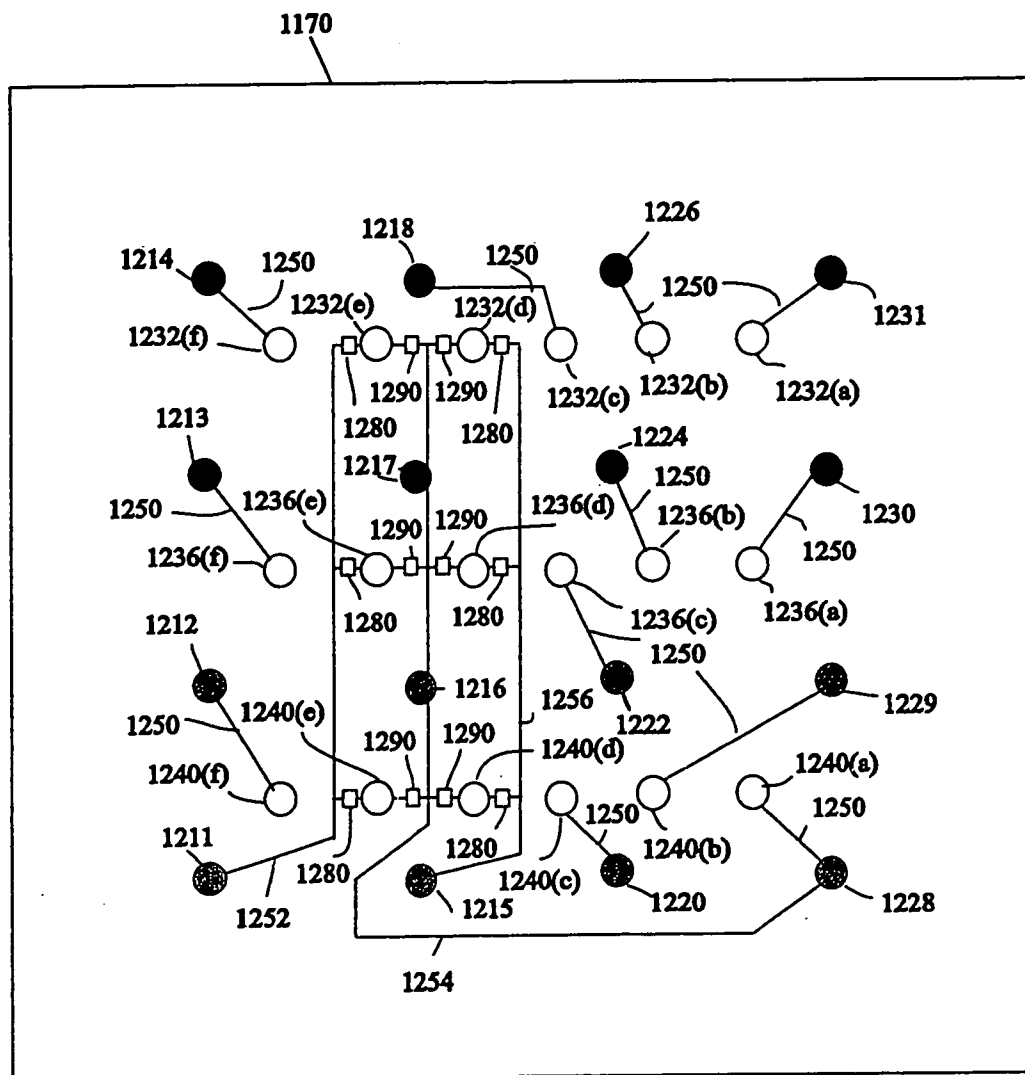


圖 13A

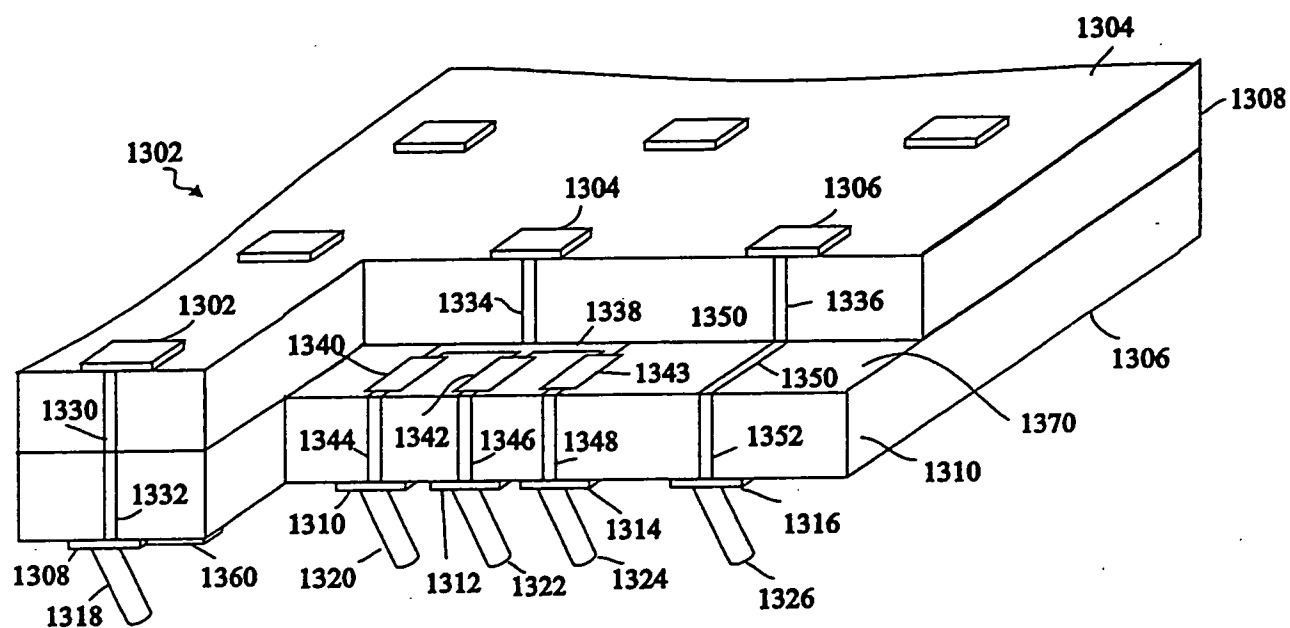


圖 13B

