

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月1日(01.11.2018)



(10) 国際公開番号

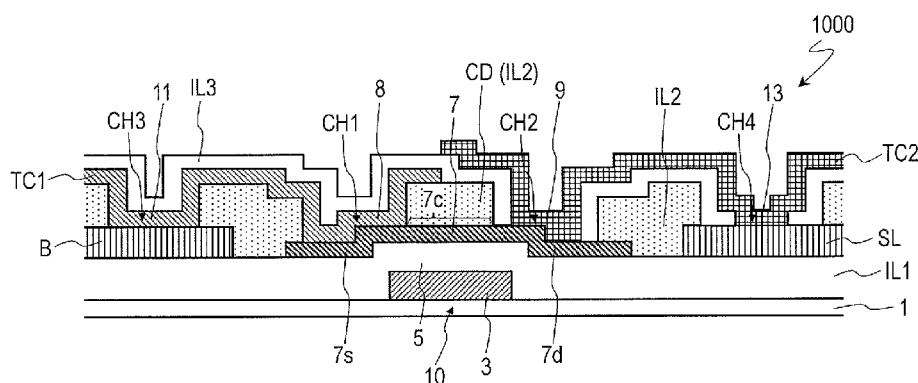
WO 2018/199037 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 21/8234 (2006.01)
G02F 1/1368 (2006.01) H01L 21/8236 (2006.01)
G09F 9/00 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2018/016489
- (22) 国際出願日: 2018年4月23日(23.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-089747 2017年4月28日(28.04.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 村重 正悟(MURASHIGE Shogo). 武田 悠二郎(TAKEDA Yujiro). 織田 明博(ODA Akihiro). 松木 蘭 広志(MATSUKIZONO Hiroshi). 田中 耕平(TANAKA Kohhei).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: ACTIVE MATRIX SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: アクティブマトリクス基板およびその製造方法

[図3]



(57) Abstract: An active matrix substrate according to an embodiment of the present invention is provided with a plurality of first TFTs provided in a non-display region, and a peripheral circuit including the plurality of first TFTs. Each of the first TFTs includes an oxide semiconductor layer. The active matrix substrate is provided with a gate metal layer, a first insulation layer located on the gate metal layer, a source metal layer located on the first insulation layer, a second insulation layer located on the oxide semiconductor layer and the source metal layer, a first transparent conductive layer located on the second insulation layer, a third insulation layer located on the first transparent conductive layer, and a second transparent conductive layer located on the third insulation layer. The second insulation layer includes a channel length definition part having a pair of edges that align with a source contact region-side end and a drain contact region-side end of a channel region of the oxide semiconductor layer. One of a source electrode and a drain electrode of the first TFT is a first transparent electrode included in the first transparent conductive layer, and the other is a second transparent electrode included in the second transparent conductive layer.



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 本発明の実施形態によるアクティブマトリクス基板は、非表示領域に設けられた複数の第1 TFTと、複数の第1 TFTを含む周辺回路とを備える。各第1 TFTは、酸化物半導体層を含む。アクティブマトリクス基板は、ゲートメタル層と、ゲートメタル層上に位置する第1絶縁層と、第1絶縁層上に位置するソースメタル層と、酸化物半導体層およびソースメタル層上に位置する第2絶縁層と、第2絶縁層上に位置する第1透明導電層と、第1透明導電層上に位置する第3絶縁層と、第3絶縁層上に位置する第2透明導電層とを備える。第2絶縁層は、酸化物半導体層のチャネル領域のソースコンタクト領域側端およびドレインコンタクト領域側端に整合する一対のエッジを有するチャネル長規定部を含む。第1 TFTのソース電極およびドレイン電極の一方は、第1透明導電層に含まれる第1透明電極であり、他方は、第2透明導電層に含まれる第2透明電極である。

明 細 書

発明の名称： アクティブマトリクス基板およびその製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板およびその製造方法に関し、特に、酸化物半導体ＴＦＴを備えたアクティブマトリクス基板およびその製造方法に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、複数の画素を有する表示領域と、表示領域以外の領域（非表示領域または額縁領域）とを有している。表示領域には、画素ごとに薄膜トランジスタ（Thin Film Transistor；以下、「ＴＦＴ」）が設けられている。ＴＦＴとしては、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0003] 最近では、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。そのため、酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作することが可能である。

[0004] アクティブマトリクス基板の非表示領域に、駆動回路などの周辺回路がモノリシック（一体的）に形成される場合がある。駆動回路をモノリシックに形成することによって、非表示領域の狭小化（狭額縁化）や、実装工程の簡略化によるコストダウンが実現される。例えば、非表示領域において、ゲートドライバ回路がモノリシックに形成され、ソースドライバ回路がＣＯＧ（Chip on Glass）方式で実装される場合がある。

[0005] スマートフォンなどの狭額縁化の要求の高いデバイスでは、ゲートドライ

バに加えて、ソース切替（Source Shared Driving：SSD）回路などのデマルチプレクサ回路をモノリシックに形成することが提案されている（例えば特許文献1）。SSD回路は、ソースドライバの各端子からのビデオ信号線1本から、複数本のソース配線へビデオデータを振り分ける回路である。SSD回路の搭載により、非表示領域における端子部および配線が配置される領域（端子部・配線形成領域）をさらに狭くできる。また、ソースドライバからの出力数が減り、回路規模を小さくできるので、ドライバICのコストを低減できる。

[0006] 駆動回路やSSD回路などの周辺回路はTFTを含んでいる。本明細書では、表示領域の各画素にスイッチング素子として配置されるTFTを「画素TFT」、周辺回路を構成するTFTを「回路TFT」と呼ぶ。また、回路TFTのうち駆動回路を構成するTFTを「駆動回路用TFT」、デマルチプレクサ回路（SSD回路）においてスイッチング素子として用いられるTFTを「DMX回路用TFT」と呼ぶ。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第2011／118079号

発明の概要

発明が解決しようとする課題

[0008] 画素TFTとして酸化物半導体TFTを用いたアクティブマトリクス基板では、製造プロセスの観点から、DMX回路用TFTも、画素TFTと同じ酸化物半導体膜を用いた酸化物半導体TFTであることが好ましいといえる。

[0009] しかしながら、酸化物半導体TFTを用いてデマルチプレクサ回路を形成することは困難であり、従来は、DMX回路用TFTとして多結晶シリコンTFTが用いられていた。この理由は、以下の通りである。

[0010] 酸化物半導体は多結晶シリコンよりも移動度が約1桁小さいので、酸化物

半導体 T F T は多結晶シリコン T F T よりも駆動能力が低い。そのため、酸化物半導体を用いて D M X 回路用 T F T を形成する場合には、多結晶シリコンを用いる場合よりも T F T のサイズを大きくする（チャネル幅を大きくする）か、あるいは、駆動電圧を高くする必要がある。T F T のサイズを大きくすると、ゲート容量負荷が大きくなり、デマルチプレクサ回路の駆動電力が増大してしまう。一方、T F T の駆動電圧を高くしても、デマルチプレクサ回路の駆動電力が増大する。

[0011] 酸化物半導体 T F T の駆動能力を高くするために、チャネル長を短くすることが考えられる。しかしながら、後に詳述するように、チャネルエッチ構造の酸化物半導体 T F T では、チャネル長のいっそうの短縮は困難である。

[0012] 本発明は、上記問題に鑑みてなされたものであり、その目的は、アクティブマトリクス基板が備える酸化物半導体 T F T の駆動能力を向上させることにある。

課題を解決するための手段

[0013] 本発明の実施形態によるアクティブマトリクス基板は、複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、基板と、前記基板に支持され、前記非表示領域に設けられた複数の第 1 T F T と、前記複数の第 1 T F T を含む周辺回路と、前記表示領域に設けられた複数のゲートバスラインおよび複数のソースバスラインと、を備え、前記複数の第 1 T F T のそれぞれは、前記基板上に設けられたゲート電極と、前記ゲート電極を覆うゲート絶縁層と、前記ゲート絶縁層上に設けられ、前記ゲート絶縁層を介して前記ゲート電極に対向する酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層と、前記酸化物半導体層の前記ソースコンタクト領域に接するソース電極と、前記酸化物半導体層の前記ドレインコンタクト領域に接するドレイン電極と、を有する、アクティブマトリクス基板であって、前記基板上に位置し、前記ゲート電極および前記複数のゲートバスラインを含むゲートメタル層と、前記ゲートメタル層上に位

置し、前記ゲート絶縁層を含む第1絶縁層と、前記第1絶縁層上に位置し、前記複数のソースバスラインを含むソースメタル層と、前記酸化物半導体層および前記ソースメタル層上に位置する第2絶縁層と、前記第2絶縁層上に位置する第1透明導電層と、前記第1透明導電層上に位置する第3絶縁層と、前記第3絶縁層上に位置する第2透明導電層と、を備え、前記第2絶縁層は、チャンネル長方向に沿って離間した一対のエッジであって、前記チャンネル領域の前記ソースコンタクト領域側端および前記ドレインコンタクト領域側端に整合する一対のエッジを有するチャンネル長規定部を含み、前記ソース電極および前記ドレイン電極の一方は、前記第1透明導電層に含まれる第1透明電極であり、他方は、前記第2透明導電層に含まれる第2透明電極である。

[0014] ある実施形態において、前記第1透明電極は、前記チャンネル長規定部の上面に接する部分を含み、前記第2透明電極は、前記チャンネル長規定部に接する部分を含まない。

[0015] ある実施形態において、前記酸化物半導体層は、前記第2透明電極に接する領域と前記チャンネル領域との間に、前記第3絶縁層に接する領域を含む。

[0016] ある実施形態において、本発明によるアクティブマトリクス基板は、前記第2絶縁層と前記第1透明導電層との間に位置する第4絶縁層をさらに備え、前記第2絶縁層は、酸化シリコン層であり、前記第4絶縁層は、窒化シリコン層であり、前記酸化シリコン層は、前記ソースコンタクト領域に重なる第1開口部と、前記ドレインコンタクト領域に重なる第2開口部とを有し、前記窒化シリコン層は、前記ソースコンタクト領域に重なる第3開口部と、前記ドレインコンタクト領域に重なる第4開口部とを有し、前記基板の法線方向から見たとき、前記窒化シリコン層の前記第3開口部は、前記酸化シリコン層の前記第1開口部よりも小さく、且つ、前記第1開口部の内側に位置し、前記窒化シリコン層の前記第4開口部は、前記酸化シリコン層の前記第2開口部よりも小さく、且つ、前記第2開口部の内側に位置する。

[0017] ある実施形態において、前記第1透明導電層および前記第2透明導電層の

一方は、共通電極を含み、他方は、画素電極を含む。

[0018] ある実施形態において、本発明によるアクティブマトリクス基板は、前記基板に支持され、前記表示領域または前記非表示領域に設けられた複数の第2 TFTをさらに備え、前記複数の第2 TFTのそれぞれは、前記複数の第1 TFTの前記酸化物半導体層と同一の酸化物半導体膜から形成された酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層を有し、前記複数の第1 TFTの前記チャネル領域におけるキャリア濃度は、前記複数の第2 TFTの前記チャネル領域におけるキャリア濃度よりも高い。

[0019] ある実施形態において、前記複数の第1 TFTの前記チャネル領域におけるキャリア濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下である。

[0020] ある実施形態において、前記複数の第1 TFTの前記チャネル領域におけるキャリア濃度は、前記複数の第2 TFTの前記チャネル領域におけるキャリア濃度の10倍以上1000倍以下である。

[0021] ある実施形態において、前記第2絶縁層は、前記複数の第1 TFTの前記チャネル領域および前記複数の第2 TFTの前記チャネル領域に接する酸化シリコン層を含み、前記酸化シリコン層のうち前記複数の第1 TFT上に位置する第1部分は、前記複数の第2のTFT上に位置する第2部分よりも高い濃度で水素を含む。

[0022] ある実施形態において、前記第2絶縁層は、前記複数の第1 TFTの前記チャネル領域および前記複数の第2 TFTの前記チャネル領域に接する酸化シリコン層と、前記酸化シリコン層上に設けられた水素供給層とを含み、前記水素供給層は、前記酸化シリコン層のうち前記複数の第1 TFT上に位置する第1部分上に配置され、かつ、前記複数の第2 TFT上に位置する第2部分上には配置されていないか、あるいは、前記第1部分上で前記第2部分上よりも厚い。

[0023] ある実施形態において、前記水素供給層は窒化シリコン層である。

- [0024] ある実施形態において、前記複数の第1 T F Tの閾値電圧は、前記複数の第2 T F Tの閾値電圧よりも低い。
- [0025] ある実施形態において、前記複数の第1 T F Tの閾値電圧は負であり、前記複数の第2 T F Tの閾値電圧は正である。
- [0026] ある実施形態において、前記複数の第2 T F Tは、前記複数の画素のそれぞれに配置された画素 T F Tを含む。
- [0027] ある実施形態において、本発明によるアクティブマトリクス基板は、前記非表示領域に設けられた駆動回路をさらに備え、前記複数の第2 T F Tは、前記駆動回路を構成する T F Tを含む。
- [0028] ある実施形態において、前記周辺回路は、デマルチプレクサ回路である。
- [0029] ある実施形態において、前記酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む。
- [0030] ある実施形態において、前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む。
- [0031] ある実施形態において、前記酸化物半導体層は積層構造を有する。
- [0032] 本発明の実施形態によるアクティブマトリクス基板の製造方法は、複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、基板と、前記基板に支持され前記非表示領域に設けられた複数の第1 T F Tと、前記複数の第1 T F Tを含む周辺回路と、前記表示領域に設けられた複数のゲートバスラインおよび複数のソースバスラインとを備え、前記複数の第1 T F Tのそれぞれは、前記基板上に設けられたゲート電極と、前記ゲート電極を覆うゲート絶縁層と、前記ゲート絶縁層上に設けられ、前記ゲート絶縁層を介して前記ゲート電極に対向する酸化物半導体層であって、チャンネル領域と、前記チャンネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層と、前記酸化物半導体層の前記ソースコンタクト領域に接するソース電極と、前記酸化物半導体層の前記ドレインコンタクト領域に接するドレイン電極と、を有する、アクティブマトリクス基板の製造方法であって、（A）前記基板上に、前記ゲート

電極および前記複数のゲートバスラインを含むゲートメタル層を形成する工程と、（Ｂ）前記ゲートメタル層上に、前記ゲート絶縁層を含む第１絶縁層を形成する工程と、（Ｃ）前記第１絶縁層上に、前記酸化物半導体層を形成する工程と、（Ｄ）前記第１絶縁層上に、前記複数のソースバスラインを含むソースメタル層を、前記酸化物半導体層に重ならないように形成する工程と、（Ｅ）前記酸化物半導体層および前記ソースメタル層上に、第２絶縁層を形成する工程と、（Ｆ）前記第２絶縁層上に、第１透明導電層を形成する工程と、（Ｇ）前記第１透明導電層上に、第３絶縁層を形成する工程と、（Ｈ）前記第３絶縁層上に、第２透明導電層を形成する工程と、を包含し、前記工程（Ｅ）は、（e 1）前記酸化物半導体層および前記ソースメタル層上に、絶縁膜を形成する工程と、（e 2）前記絶縁膜上に、前記絶縁膜の一部に重なるフォトリソ層を形成する工程と、（e 3）前記フォトリソ層をマスクとして用いて前記絶縁膜をエッチングすることにより、前記絶縁膜のうちの前記フォトリソ層で覆われている部分が前記第２絶縁層として残存する工程と、を含み、前記工程（e 3）において、前記酸化物半導体層の一部に重なるチャネル長規定部が前記第２絶縁層の一部として形成され、前記チャネル長規定部は、チャネル長方向に沿って離間した一対のエッジを有し、前記前記複数の第１ＴＦＴのそれぞれのチャネル長は、前記チャネル長規定部の前記一対のエッジによって規定され、前記工程（Ｆ）において、前記第１透明導電層に含まれる第１透明電極として前記ソース電極および前記ドレイン電極の一方が形成され、前記工程（Ｈ）において、前記第２透明導電層に含まれる第２透明電極として前記ソース電極および前記ドレイン電極の他方が形成される。

[0033] ある実施形態では、前記工程（Ｆ）において、前記第１透明電極は、前記チャネル長規定部の上面に接する部分を含むように形成され、前記工程（Ｈ）において、前記第２透明電極は、前記チャネル長規定部に接する部分を含まないように形成される。

[0034] ある実施形態では、前記工程（Ｇ）において形成される前記第３絶縁層は

、前記酸化物半導体層の、前記第2透明電極に接する領域と前記チャネル領域との間に位置する領域に接する部分を含む。

[0035] ある実施形態では、本発明によるアクティブマトリクス基板の製造方法は、前記工程（E）と前記工程（F）との間に、（I）前記第2絶縁層上に、第4絶縁層を形成する工程をさらに包含し、前記工程（E）において形成される前記第2絶縁層は、酸化シリコン層であり、前記工程（I）において形成される前記第4絶縁層は、窒化シリコン層であり、前記工程（e1）は、前記酸化物半導体層および前記ソースメタル層上に、酸化シリコン膜を形成する工程であり、前記工程（e2）は、前記酸化シリコン膜上に、前記酸化シリコン膜の一部に重なる前記フォトレジスト層を形成する工程であり、前記工程（e3）は、前記フォトレジスト層をマスクとして用いて前記酸化シリコン膜をエッチングすることにより、前記酸化物半導体層の前記ソースコンタクト領域となる領域を露出させる第1開口部および前記酸化物半導体層の前記ドレインコンタクト領域となる領域を露出させる第2開口部を有するように、前記酸化シリコン層を形成する工程であり、前記工程（I）は、（i1）前記酸化物半導体層、前記ソースメタル層および前記酸化シリコン層上に、窒化シリコン膜を形成する工程と、（i2）前記窒化シリコン膜をパターニングすることにより、前記酸化物半導体層の前記ソースコンタクト領域となる領域を露出させる第3開口部および前記酸化物半導体層の前記ドレインコンタクト領域となる領域を露出させる第4開口部を有するように、前記窒化シリコン層を形成する工程と、を含み、前記工程（E）および前記工程（I）は、前記基板の法線方向から見たときに、前記窒化シリコン層の前記第3開口部が、前記酸化シリコン層の前記第1開口部よりも小さく、且つ、前記第1開口部の内側に位置し、前記窒化シリコン層の前記第4開口部が、前記酸化シリコン層の前記第2開口部よりも小さく、且つ、前記第2開口部の内側に位置するように行われる。

[0036] ある実施形態では、前記アクティブマトリクス基板は、前記基板に支持され、前記表示領域または前記非表示領域に設けられた複数の第2 TFTをさ

らに備え、前記複数の第2 T F Tのそれぞれは、前記複数の第1 T F Tの前記酸化物半導体層と同一の酸化物半導体膜から形成された酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層を有し、前記複数の第1 T F Tのそれぞれが形成される領域を第1領域とし、前記複数の第2 T F Tのそれぞれが形成される領域を第2領域とすると、(J) 前記第1領域に形成された前記酸化物半導体層の前記チャネル領域のキャリア濃度を、前記第2領域に形成された前記酸化物半導体層の前記チャネル領域のキャリア濃度よりも高める工程をさらに包含する。

[0037] ある実施形態では、前記工程(J)は、(j 1) 前記第2領域に形成された前記酸化物半導体層の前記チャネル領域を覆い、かつ、前記第1領域に形成された前記酸化物半導体層の前記チャネル領域を露出するマスクを形成する工程と、(j 2) 前記マスクの上方からプラズマ処理を行う工程と、(j 3) プラズマ処理後、200℃以上300℃以下の温度で熱処理を行う工程と、を含む。

[0038] ある実施形態では、前記工程(J)は、(j 4) 前記第1領域および前記第2領域において、前記酸化物半導体層、前記ソース電極および前記ドレイン電極を覆う酸化シリコン層を形成する工程と、(j 5) 前記酸化シリコン層のうち前記第1領域に位置する第1部分を露出し、かつ、前記第2領域に位置する第2部分を覆うマスクを形成する工程と、(j 6) 前記マスクの上方から水素を供給し、前記酸化シリコン層の前記第1部分の水素濃度を前記第2部分の水素濃度よりも高める工程と、(j 7) 前記工程(j 6)の後、200℃以上400℃以下の温度で熱処理を行う工程と、を含む。

[0039] ある実施形態では、前記工程(J)は、(j 8) 前記第1領域および前記第2領域において、前記酸化物半導体層、前記ソース電極および前記ドレイン電極を覆う酸化シリコン層を形成する工程と、(j 9) 前記酸化シリコン層のうち前記第1領域に位置する第1部分上に水素供給層を形成し、かつ、前記第2領域に位置する第2部分上には前記水素供給層を形成しない、ある

いは、前記第1部分上で前記第2部分上よりも厚くなるように前記水素供給層を形成する工程と、(j10)前記工程(j9)の後、200℃以上400℃以下の温度で熱処理を行う工程と、を含み、前記水素供給層は窒化シリコン層である。

[0040] ある実施形態では、前記周辺回路は、デマルチプレクサ回路である。

[0041] ある実施形態では、前記酸化物半導体層は、In-Ga-Zn-O系の半導体を含む。

[0042] ある実施形態では、前記In-Ga-Zn-O系の半導体は、結晶質部分を含む。

[0043] ある実施形態では、前記酸化物半導体層は積層構造を有する。

発明の効果

[0044] 本発明の実施形態によると、アクティブマトリクス基板が備える酸化物半導体TFTの駆動能力を向上させることができる。

図面の簡単な説明

[0045] [図1]本発明の実施形態によるアクティブマトリクス基板1000の平面構造の一例を示す概略図である。

[図2]アクティブマトリクス基板1000が備えるデマルチプレクサ回路DMXの構成および動作を説明するための図である。

[図3]アクティブマトリクス基板1000が備えるDMX回路用TFT10を模式的に示す断面図であり、DMX回路用TFT10のチャネル長方向に沿った断面を示している。

[図4]DMX回路用TFT10を拡大して示す断面図である。

[図5](a)～(e)は、アクティブマトリクス基板1000の製造工程を示す工程断面図である。

[図6](a)～(d)は、アクティブマトリクス基板1000の製造工程を示す工程断面図である。

[図7](a)～(d)は、第2絶縁層IL2を形成する工程を示す工程断面図である。

[図8]比較例のTFT810を示す断面図である。

[図9] (a) ~ (d) は、比較例のTFT810のソース電極808およびドレイン電極809を形成する工程を示す工程断面図である。

[図10] (a) は、アクティブマトリクス基板1000の1つの画素領域Pを示す平面図である。(b) は、(a) 中のI-I' 線に沿った断面図である。

[図11]本発明の実施形態によるアクティブマトリクス基板1100を模式的に示す断面図であり、DMX回路用TFT10のチャネル長方向に沿った断面を示している。

[図12]アクティブマトリクス基板1100のDMX回路用TFT10を拡大して示す断面図である。

[図13] (a) ~ (e) は、アクティブマトリクス基板1100の製造工程を示す工程断面図である。

[図14] (a) ~ (c) は、アクティブマトリクス基板1100の製造工程を示す工程断面図である。

[図15] (a) ~ (c) は、アクティブマトリクス基板1100の製造工程を示す工程断面図である。

[図16]本発明の実施形態によるアクティブマトリクス基板1200を模式的に示す断面図である。

[図17] (a) ~ (c) は、アクティブマトリクス基板1200の第1TFT10Aおよび第2TFT10Bを製造する方法を説明するための工程断面図である。

[図18] (a) および(b) は、それぞれ、第1TFT10Aおよび第2TFT10Bの $V_g - I_d$ 特性を例示する図である。

[図19]実施形態4におけるアクティブマトリクス基板が備える第1TFT10Aおよび第2TFT10Bを製造する方法を説明するための工程断面図である。

[図20] (a) は、本発明の実施形態によるアクティブマトリクス基板130

0を模式的に示す断面図であり、(b)は、本発明の実施形態によるアクティブマトリクス基板1400を模式的に示す断面図である。

発明を実施するための形態

[0046] 以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

[0047] (実施形態1)

本実施形態におけるアクティブマトリクス基板には、少なくとも1つの周辺回路がモノリシックに形成されている。周辺回路は、例えばSSD回路などのデマルチプレクサ回路であってもよい。以下では、SSD回路およびゲートドライバがモノリシックに形成され、ソースドライバが実装されたアクティブマトリクス基板を例として説明を行う。

[0048] 図1は、本実施形態におけるアクティブマトリクス基板1000の平面構造の一例を示す概略図である。

[0049] アクティブマトリクス基板1000は、表示領域DRと、表示領域DR以外の領域(非表示領域)FRとを有している。表示領域DRは、マトリクス状に配列された複数の画素領域Pを含む。画素領域Pは、表示装置の画素に対応する領域である。以下では、画素領域Pを単に「画素」と呼ぶこともある。非表示領域(「額縁領域」と呼ばれることもある)FRは、表示領域DRの周辺に位置し、表示に寄与しない領域である。

[0050] 非表示領域FRには、例えばゲートドライバGD、SSD回路として機能するデマルチプレクサ回路DMXなどが一体的(モノリシック)に設けられている。ソースドライバSDは、例えば、アクティブマトリクス基板1000に実装されている。図示する例では、ゲートドライバGDは、表示領域DRを挟んで両側に位置する領域FRaに配置され、ソースドライバSDは、表示領域DRの下側に位置する領域FRbに実装されている。デマルチプレクサ回路DMXは、領域FRbにおいて、表示領域DRとソースドライバSDとの間に配置されている。デマルチプレクサ回路DMXとソースドライバSDとの間には、複数の端子部および配線が形成される端子部・配線形成領域

L Rとなる。

[0051] 表示領域D Rには、行方向（x方向）に延びる複数のゲートバスラインG Lと、列方向（y方向）に延びる複数のソースバスラインS Lとが形成されている。各画素領域Pは、例えばゲートバスラインG LおよびソースバスラインS Lで規定されている。ゲートバスラインG Lは、それぞれ、ゲートドライバG Dの各端子に接続されている。ソースバスラインS Lは、それぞれ、ソースドライバS Dの各端子に接続されている。

[0052] 各画素領域Pは、薄膜トランジスタP tと、画素電極P Eとを有している。薄膜トランジスタP tは、「画素T F T」とも呼ばれる。薄膜トランジスタP tのゲート電極は、対応するゲートバスラインG Lに電氣的に接続され、ソース電極は、対応するソースバスラインS Lに電氣的に接続されている。ドレイン電極は画素電極P Eに電氣的に接続されている。アクティブマトリクス基板1 0 0 0を、F F S（Fringe Field Switching）モードなどの横電界モードの表示装置に適用する場合には、図示しないが、アクティブマトリクス基板1 0 0 0に、複数の画素に対して共通の電極（共通電極）が設けられる。

[0053] 図2は、アクティブマトリクス基板1 0 0 0におけるデマルチプレクサ回路D M Xの構成および動作を説明するための図である。

[0054] デマルチプレクサ回路D M Xは、ソースドライバS Dと表示領域D Rとの間に配置されている。デマルチプレクサ回路D M Xは、複数の単位回路1 0 0 0（1）～1 0 0 0（i）（iは2以上の整数）（以下、「単位回路1 0 0」と総称することがある）を含んでいる。デマルチプレクサ回路D M XおよびソースドライバS Dは、非表示領域F Rに設けられた制御回路1 5 0によって制御される。

[0055] ソースドライバS Dの出力ピン（出力端子）P I Nのそれぞれには、複数のビデオ信号線D O（1）～D O（i）（「ビデオ信号線D O」と総称することがある）のいずれかが接続されている。1本のビデオ信号線D Oには、グループ化されたn本（nは2以上の整数、ここではn=3）のソースバス

ラインSLが対応付けられている。ビデオ信号線DOとグループ化されたソースバスラインSLとの間には、単位回路100がビデオ信号線単位で設けられている。単位回路100は、1つのビデオ信号線DOから、n本のソースバスラインSLへビデオデータを分配する。

[0056] 本明細書では、複数のビデオ信号線DO(1)~DO(i)のうちN番目のビデオ信号線をDO(N)(Nは1からiまでの整数)、ビデオ信号線DO(N)に対応付けられた単位回路100およびソースバスラインSLを、それぞれ、100(N)、SL(N-1)~SL(M-n)とする。ソースバスラインSL(N-1)~SL(N-n)は、例えば、R、G、B画素に対応付けられていてもよい(すなわちn=3)。

[0057] それぞれの単位回路100(N)は、ビデオ信号線DO(N)に接続されたn本の分岐配線B1~Bn(以下、「分岐配線B」と総称することがある)と、n本の制御信号線SW1~SWn(以下、「制御信号線SW」と総称することがある)と、n個のDMX回路用TFT10(1)~10(n)(以下、「DMX回路用TFT10」と総称することがある)とを備える。制御信号線SW1~SWnは制御回路150に接続されている。

[0058] DMX回路用TFT10は選択スイッチとして機能する。DMX回路用TFT10のゲート電極は、制御信号線SW1~SWnのうちの対応する1つに電氣的に接続されている。DMX回路用TFT10のソース電極は、分岐配線B1~Bnのうちの対応する1つに電氣的に接続されている。DMX回路用TFT10のドレイン電極は、ソースバスラインSL(N-1)~SL(N-3)のうちの対応する1つのソースバスラインに接続されている。

[0059] DMX回路用TFT10のゲート電極には、制御信号線SW1~SW3から選択信号が供給される。選択信号は、同一のグループ内における選択スイッチのオン期間を規定しており、ソースドライバSDからの時系列的な信号出力と同期している。単位回路100(N)は、ビデオ信号線DO(N)の出力を時分割することで得られるデータ電位を複数のソースバスラインSL(N-1)~ソースバスラインSL(N-n)に時系列的に書き込む(時分

割駆動)。これにより、ソースドライバSDの出力ピンPINの数を削減できることができるので、非表示領域FRの面積をさらに低減できる（狭額縁化）。

[0060] なお、デマルチプレクサ回路DMXを用いた表示装置の動作、時分割駆動のタイミングチャートなどは、例えば特開2008-225036号公報、特開2006-119404号公報、国際公開2011/118079号（特許文献1）などに関示されている。本明細書では、参考のため、特開2008-225036号公報、特開2006-119404号および国際公開2011/118079号公報の開示内容の全てを援用する。

[0061] 図3を参照しながら、DMX回路用TF T 10の構成を説明する。図3は、アクティブマトリクス基板1000の非表示領域FRに設けられたDMX回路用TF T 10を模式的に示す断面図であり、DMX回路用TF T 10のチャンネル長方向に沿った断面を示している。

[0062] DMX回路用TF T 10は、図3に示すように、基板1に支持されている。DMX回路用TF T 10は、ゲート電極3、ゲート絶縁層5、酸化物半導体層7、ソース電極8およびドレイン電極9を有する。

[0063] 基板1は、絶縁性を有する透明基板（例えばガラス基板）である。ゲート電極3は、基板1上に設けられている。ゲート絶縁層5は、ゲート電極3を覆っている。

[0064] 酸化物半導体層7は、ゲート絶縁層5上に設けられている。酸化物半導体層7は、ゲート絶縁層5を介してゲート電極3に対向する。酸化物半導体層7は、チャンネル領域7c、ソースコンタクト領域7sおよびドレインコンタクト領域7dを含む。ソースコンタクト領域7sおよびドレインコンタクト領域7dは、チャンネル領域7cの両側に位置する。言い換えると、チャンネル領域7cが、ソースコンタクト領域7sおよびドレインコンタクト領域7dの間に位置する。

[0065] ソース電極8は、酸化物半導体層7のソースコンタクト領域7sに接する。ドレイン電極9は、酸化物半導体層7のドレインコンタクト領域7dに接

する。

[0066] ゲート電極3および制御信号線SWは、ゲートバスラインGLと同じ導電膜（ゲートメタル膜）から形成されている。本願明細書では、ゲートメタル膜から形成された導電層を「ゲートメタル層」と呼ぶ。本実施形態では、ゲート電極3、ゲートバスラインGLおよび制御信号線SWを含むゲートメタル層が、基板1上に位置している。

[0067] ゲートメタル層上に、第1絶縁層IL1が位置している。第1絶縁層IL1は、ゲート絶縁層5を含む。第1絶縁層IL1上（ゲート絶縁層5上）に、酸化物半導体層7が位置している。

[0068] ビデオ信号線DOおよび分岐配線Bは、ソースバスラインSLと同じ導電膜（ソースメタル膜）から形成されている。本願明細書では、ソースメタル膜から形成された導電層を「ソースメタル層」と呼ぶ。本実施形態では、ソースバスラインSL、ビデオ信号線DOおよび分岐配線Bを含むソースメタル層が、第1絶縁層5上に位置している。ソースメタル層は、酸化物半導体層7に重ならないように形成されている。

[0069] 酸化物半導体層7およびソースメタル層上に、第2絶縁層IL2が位置している。第2絶縁層IL2は、無機絶縁材料から形成された無機絶縁層であり、保護層（パッシベーション膜）として機能する。

[0070] 第2絶縁層IL2上に、透明な導電材料（例えばITO）から形成された第1透明導電層TC1が位置している。第1透明導電層TC1は、DMX回路用TFITOのソース電極8を含む。つまり、本実施形態では、DMX回路用TFITOのソース電極8が透明電極である。以下では、ソース電極8を「第1透明電極」と呼ぶこともある。ソース電極8は、第2絶縁層IL2に形成されたソースコンタクトホールCH1内において、酸化物半導体層7に接している。また、第1透明導電層TC1は、ソース電極8から延設された接続電極11をさらに含んでいる。第2絶縁層IL2には、分岐配線Bの一部を露出させるようにコンタクトホールCH3が形成されている。接続電極11は、コンタクトホールCH3内で分岐配線Bに接しており、ソース電

極 8 は、接続電極 11 を介して分岐配線 B に電氣的に接続されている。

[0071] 第 1 透明導電層 TC1 上に、第 3 絶縁層 IL3 が位置している。第 3 絶縁層 IL3 は、無機絶縁材料から形成された無機絶縁層である。

[0072] 第 3 絶縁層 IL3 上に、透明な導電材料（例えば ITO）から形成された第 2 透明導電層 TC2 が位置している。第 2 透明導電層 TC2 は、DMX 回路用 TFT10 のドレイン電極 9 を含む。つまり、本実施形態では、DMX 回路用 TFT10 のドレイン電極 9 が透明電極である。以下では、ドレイン電極 9 を「第 2 透明電極」と呼ぶこともある。ドレイン電極 9 は、第 2 絶縁層 IL2 および第 3 絶縁層 IL3 に形成されたドレインコンタクトホール CH2 内において、酸化物半導体層 7 に接している。また、第 2 透明導電層 TC2 は、ドレイン電極 9 から延設された接続電極 13 をさらに含んでいる。第 2 絶縁層 IL2 および第 3 絶縁層 IL3 には、ソースバスライン SL の一部を露出させるようにコンタクトホール CH4 が形成されている。接続電極 13 は、コンタクトホール CH4 内でソースバスライン SL に接しており、ドレイン電極 9 は、接続電極 13 を介してソースバスライン SL に電氣的に接続されている。

[0073] 本実施形態では、第 2 絶縁層 IL2 は、DMX 回路用 TFT10 のチャネル長を規定する役割を果たす部分 CD を含む。本願明細書では、この部分 CD を「チャネル長規定部」と呼ぶ。以下、さらに図 4 も参照しながら、チャネル長規定部 CD の構成を説明する。図 4 は、DMX 回路用 TFT10 を拡大して示す断面図である。

[0074] 図 4 に示すように、チャネル長規定部 CD は、チャネル長方向に沿って離間した一対のエッジ e1 および e2 を有する。一対のエッジ e1 および e2 は、チャネル領域 7c のソースコンタクト領域 7s 側の端 ca およびドレインコンタクト領域 7d 側の端 cb に整合している。

[0075] 図 3 および図 4 に例示している構成では、ソース電極（第 1 透明電極）8 は、チャネル長規定部 CD の上面に接する部分 8a を含んでいる。これに対し、ドレイン電極（第 2 透明電極）9 は、チャネル長規定部 CD に接する部

分を含まない。また、酸化物半導体層 7 は、ドレインコンタクト領域 7 d (第 2 透明電極 9 に接する領域) とチャネル領域 7 c との間に、第 3 絶縁層 1 L 3 に接する領域 7 o を含む。このように、本実施形態では、ソース電極 8 とドレイン電極 9 とは、ゲート電極 3 を中心として非対称である。

[0076] 図 5 および図 6 を参照しながら、アクティブマトリクス基板 1000 の製造方法を説明する。図 5 (a) ~ (e) および図 6 (a) ~ (d) は、アクティブマトリクス基板 1000 の製造工程を示す工程断面図である。

[0077] まず、図 5 (a) に示すように、基板 1 上に、ゲート電極 3、ゲートバスライン GL および制御信号線 SW を含むゲートメタル層を形成する。例えば、スパッタ法により導電膜を堆積した後、フォトリソグラフィプロセスにより導電膜をパターニングすることによって、ゲート電極 3 などを含むゲートメタル層を形成することができる。

[0078] 基板 1 としては、例えば、ガラス基板、シリコン基板、耐熱性を有するプラスチック基板 (樹脂基板) などを用いることができる。ゲートメタル層を形成するための導電膜 (ゲートメタル膜) としては、アルミニウム (Al)、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、クロム (Cr)、チタン (Ti)、銅 (Cu)、金 (Au) 等の金属又はその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。また、これら複数の膜を積層した積層膜を用いてもよい。積層膜として、Ti 膜、Al 膜および Ti 膜をこの順で積層した膜を用いてもよい。ゲートメタル層の厚さは、例えば 100 nm 以上 500 nm 以下である。

[0079] 次に、図 5 (b) に示すように、ゲートメタル層上に、ゲート絶縁層 5 を含む第 1 絶縁層 1 L 1 を形成する。例えば CVD 法により、第 1 絶縁層 1 L 1 を形成することができる。第 1 絶縁層 1 L 1 としては、酸化シリコン (SiO_2) 層、窒化シリコン (SiN_x) 層、酸化窒化シリコン (SiO_xN_y ; $x > y$) 層、窒化酸化シリコン (SiN_xO_y ; $x > y$) 層等を適宜用いることができる。第 1 絶縁層 1 L 1 は、積層構造を有していてもよい。例えば、基板 1 側に下層として、基板 1 からの不純物等の拡散防止のための Si

N_x層を形成し、その上に上層として、絶縁性を確保するためのSiO₂層を形成してもよい。第1絶縁層IL1の厚さは、例えば300nm以上400nm以下である。

[0080] 続いて、図5(c)に示すように、第1絶縁層IL1上に、酸化物半導体層7を形成する。例えば、スパッタ法により酸化物半導体膜を堆積した後、フォトリソグラフィプロセスにより酸化物半導体膜をパターニングすることによって、島状の酸化物半導体層7を形成することができる。酸化物半導体層7は、ゲート絶縁層5を介してゲート電極3に重なるように配置される。酸化物半導体層7の厚さは、例えば20nm以上100nm以下である。

[0081] 次に、図5(d)に示すように、第1絶縁層IL1上に、ソースバスラインSL、ビデオ信号線DOおよび分岐配線Bを含むソースメタル層を、酸化物半導体層7に重ならないように形成する。例えば、スパッタ法により導電膜を堆積した後、フォトリソグラフィプロセスにより導電膜をパターニングすることによって、ソースメタル層を形成することができる。ソースメタル層を形成するための導電膜（ソースメタル膜）としては、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、銅（Cu）、クロム（Cr）、チタン（Ti）、金（Au）等の金属又はその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。また、これら複数の膜を積層した積層膜を用いてもよい。積層膜として、Ti膜、Al膜およびTi膜をこの順で積層した膜を用いてもよい。ソースメタル層の厚さは、例えば100nm以上500nm以下である。

[0082] 続いて、図5(e)に示すように、酸化物半導体層7およびソースメタル層上に、チャンネル長規定部CDを含む第2絶縁層IL2を形成する。例えば、CVD法により絶縁膜を堆積した後、フォトリソグラフィプロセスにより絶縁膜をパターニングすることによって、第2絶縁層IL2を形成することができる。第2絶縁層IL2としては、酸化シリコン（SiO₂）層を用いることができる。第2絶縁層IL2は、窒化シリコン（SiN_x）層と酸化シリコン（SiO₂）層とを含む積層構造を有していてもよい。例えば、基板1

側に下層として SiO_2 層、その上に上層として SiN_x 層を形成してもよい。酸化物半導体層7と接する下層に、酸素を含む層（例えば SiO_2 などの酸化物層）を用いると、外部からの水分や不純物の侵入などによって酸化物半導体層7に過度に酸素欠損が生じた場合にも、酸化物層に含まれる酸素によって酸素欠損を回復することが可能となる。第2絶縁層1L2の厚さは、例えば200nm以上500nm以下である。

[0083] その後、ドライエアあるいは大気中において、例えば200℃以上400℃以下の温度で熱処理を行う。熱処理時間は、例えば1～2時間であってもよい。これにより、第2絶縁層1L2を形成することによって酸化物半導体層7に生じた酸素欠損を低減することが可能になる。

[0084] 次に、図6（a）に示すように、第2絶縁層1L2上に、ソース電極8を含む第1透明導電層TC1を形成する。例えば、透明導電膜を堆積した後、フォトリソグラフィプロセスにより透明導電膜をパターニングすることによって、第1透明導電層TC1を形成することができる。透明導電膜の材料としては、例えばITOを用いることができる。第1透明導電層TC1の厚さは、例えば40nm以上150nm以下である。

[0085] 続いて、第1透明導電層TC1上に、第3絶縁層1L3を形成する。具体的には、まず、図6（b）に示すように、CVD法により絶縁膜1L3'を堆積する。その後、図6（c）に示すように、フォトリソグラフィプロセス（例えばドライエッチング工程を含む）により絶縁膜1L3'をパターニングすることによって、第3絶縁層1L3を形成する。第3絶縁層1L3としては、例えば窒化シリコン（ SiN_x ）層を用いることができる。第3絶縁層1L3の厚さは、例えば100nm以上400nm以下である。

[0086] その後、図6（d）に示すように、第3絶縁層1L3上に、ドレイン電極9を含む第2透明導電層TC2を形成する。例えば、透明導電膜を堆積した後、フォトリソグラフィプロセスにより透明導電膜をパターニングすることによって、第2透明導電層TC2を形成することができる。透明導電膜の材料としては、例えばITOを用いることができる。第2透明導電層TC2の

厚さは、例えば40nm以上150nm以下である。このようにして、アクティブマトリクス基板1000を得ることができる。

[0087] ここで、図7(a)～(d)を参照しながら、第2絶縁層1L2を形成する工程をより具体的に説明する。

[0088] まず、図7(a)に示すように、酸化物半導体層7およびソースメタル層上に、絶縁膜1L2'を堆積する。

[0089] 次に、絶縁膜1L2'上に、絶縁膜1L2'の一部に重なるフォトレジスト層を形成する。具体的には、まず、図7(b)に示すように、絶縁膜1L2'上にフォトレジスト材料を付与することによってフォトレジスト膜PR'を形成する。次に、フォトレジスト膜PR'に対し、フォトマスクを用いた露光を行い、続いて現像を行うことによって、図7(c)に示すように、絶縁膜1L2'の一部に重なるフォトレジスト層PRを形成する。

[0090] 続いて、図7(d)に示すように、フォトレジスト層PRをマスクとして用いて絶縁膜1L2'をエッチング（例えばドライエッチング）することにより、絶縁膜1L2'のうちのフォトレジスト層PRで覆われている部分が第2絶縁層1L2として残存する。この工程において、第2絶縁層1L2の一部として、酸化物半導体層7の一部に重なるチャネル長規定部CDが形成される。その後、フォトレジスト層PRは除去される。

[0091] DMX回路用TFOT10では、酸化物半導体層7のうち、ソース電極8に接する領域がソースコンタクト領域7sとなり、ドレイン電極9に接する領域がドレインコンタクト領域7dとなる。また、酸化物半導体層7のうち、第3絶縁層1L3に接する領域7oは、電極には接していないが、第3絶縁層1L3を形成する際（例えば絶縁膜1L3'として窒化シリコン膜をCVD法により堆積するとき）の水素の影響により還元され、導体化される。そのため、チャネル長規定部CDによって覆われた領域がチャネル領域7c（半導体としての特性が維持された領域）となる。

[0092] 本実施形態のアクティブマトリクス基板1000では、第2絶縁層1L2のチャネル長規定部CDによってチャネル長Lが規定されるので、DMX回

路用TFT10のチャネル長Lを従来よりも短くして駆動能力を向上させることができる。以下、この理由を、比較例のTFTの構成も参照しながら説明する。図8は、比較例のTFT810を示す断面図である。

[0093] 比較例のTFT810は、チャネルエッチ型の一般的な酸化物半導体TFTである。TFT810は、ゲート電極803、ゲート絶縁層805、酸化物半導体層807、ソース電極808およびド레인電極809を有する。

[0094] ゲート電極803は、基板801上に設けられている。ゲート絶縁層805は、ゲート電極803を覆っている。酸化物半導体層807は、ゲート絶縁層805を介してゲート電極803に対向するように設けられている。酸化物半導体層807は、チャネル領域807cと、チャネル領域807cの両側に位置するソースコンタクト領域807sおよびド레인コンタクト領域807dとを有する。

[0095] ソース電極808およびド레인電極809は、酸化物半導体層807のソースコンタクト領域807sおよびド레인コンタクト領域807dにそれぞれ接している。ソース電極808およびド레인電極809は、不図示のソースバスラインと同じ導電膜（ソースメタル膜）から形成されている。TFT810は、パッシベーション層815によって覆われている。

[0096] 比較例のTFT810では、チャネル長Lは、ソース電極808およびド레인電極809を形成する際にマスクとして用いられるフォトレジスト層の抜き部（レジスト材料が除去された部分）によって規定される。図9（a）～（d）は、比較例のTFT810のソース電極808およびド레인電極809を形成する工程を示す工程断面図である。

[0097] ソース電極808およびド레인電極809を形成する際、まず、図9（a）に示すように、酸化物半導体層807を覆うように、導電膜（ソースメタル膜）SMを堆積する。次に、図9（b）に示すように、ソースメタル膜SM上に、フォトレジスト材料を付与することによってフォトレジスト膜PR'を形成する。

[0098] 続いて、フォトレジスト膜PR'に対し、フォトマスクを用いた露光を行

い、続いて現像を行うことによって、図9（c）に示すように、ソースメタル膜SMの一部に重なるフォトレジスト層PRを形成する。その後、図9（d）に示すように、フォトレジスト層PRをマスクとして用いてソースメタル膜SMをエッチングすることにより、ソース電極808およびドレイン電極809を形成することができる。

[0099] このように、比較例のTF T 8 1 0では、チャンネル長Lは、フォトレジスト層PRの抜き部（スペース）によって規定される。しかしながら、フォトレジスト層PRのスペースを小さくするのには限度がある。また、ソースメタル膜SMがTi層を含む場合、Ti残渣を抑制するために、ソースメタル膜SMの一部を除去する際、ドライエッチングでオーバーエッチする必要があるので、チャンネル長Lが大きくなりやすい。このように、従来のチャンネルエッチ型の酸化物半導体TF T 8 1 0では、チャンネル長Lを短くすることが困難である。

[0100] これに対し、本実施形態のDMX回路用TF T 1 0では、既に説明したように、チャンネル長Lは、第2絶縁層IL 2のチャンネル長規定部CDで規定される。図7を参照しながら行った説明からもわかるように、チャンネル長規定部CDのサイズは、フォトレジスト層PRの残し部（レジスト材料が除去されなかった領域であり「ライン」と呼ばれる）によって規定される。フォトレジスト層PRのラインは、スペースよりも微細に形成することができるので、本実施形態によれば、従来よりもチャンネル長Lを短くすることが可能となる。

[0101] また、チャンネル長規定部CDを含む第2絶縁層IL 2は、比較例のTF T 8 1 0におけるパッシベーション層815に対応する層である。そのため、本実施形態の構成を採用する場合に、製造時の工程数を増加させる必要はない。

[0102] また、本実施形態のアクティブマトリクス基板1000は、ソース電極8およびドレイン電極9がゲート電極3を中心として非対称な構成を有する。具体的には、ソース電極（第1透明電極）8は、チャンネル長規定部CDの上

面に接する部分 8 a を含んでいるのに対し、ドレイン電極（第 2 透明電極）9 は、チャンネル長規定部 C D に接する部分を含まない。また、酸化物半導体層 7 は、ドレインコンタクト領域 7 d（第 2 透明電極 9 に接する領域）とチャンネル領域 7 c との間に、第 3 絶縁層 I L 3 に接する領域 7 o を含む。このような構成を有していることにより、ソース電極 8 とドレイン電極 9 とが短絡しにくいという利点を得られる。

[0103] なお、本実施形態では、ソース電極 8 が第 1 透明導電層 T C 1 に含まれ、ドレイン電極 9 が第 2 透明導電層 T C 2 に含まれる構成を例示したが、これとは逆に、ソース電極 8 が第 2 透明導電層 T C 2 に含まれ、ドレイン電極 9 が第 1 透明導電層 T C 1 に含まれてもよい。

[0104] （画素領域 P の構成）

図 10（a）および（b）を参照しながら、アクティブマトリクス基板 1000 における各画素領域 P の構成を説明する。ここでは、F F S モードの液晶表示装置に用いられるアクティブマトリクス基板を例に説明を行う。図 10（a）は、アクティブマトリクス基板 1000 の 1 つの画素領域 P を示す平面図である。図 10（b）は、図 10（a）中の I - I' 線に沿った断面図である。

[0105] 画素領域 P は、y 方向に延びるソースバスライン S L、および、ソースバスライン S L と交差する x 方向に延びるゲートバスライン G L に包囲された領域である。画素領域 P は、基板 1 と、基板 1 に支持された薄膜トランジスタ（画素 T F T）P t と、下部透明電極 15 と、上部透明電極 16 とを有している。図示していないが、上部透明電極 16 は、画素ごとにスリットまたは切り欠き部を有する。この例では、下部透明電極 15 は共通電極 C E であり、上部透明電極 16 は画素電極 P E である。

[0106] 画素 T F T P t は、ゲート電極 3 P、ゲート絶縁層 5、酸化物半導体層 7 P、ソース電極 8 P およびドレイン電極 9 P を有する。ゲート電極 3 P は、対応するゲートバスライン G L に電氣的に接続されており、ソース電極 8 P は、対応するソースバスライン S L に電氣的に接続されている。ドレイン電

極 9 P は、画素電極 P E に電氣的に接続されている。ゲート電極 3 P は、ゲートバスライン G L と同じ導電膜から形成されている。つまり、ゲート電極 3 P は、ゲートメタル層に含まれる。また、ソース電極 8 P およびドレイン電極 9 P は、ソースバスライン S L と同じ導電膜から形成されている。つまり、ソース電極 8 P およびドレイン電極 9 P は、ソースメタル層に含まれる。

[0107] ここで例示する構成では、第 2 絶縁層 I L 2 上（第 2 絶縁層 I L 2 と共通電極 C E との間）に、有機絶縁材料から形成された有機絶縁層（平坦化層）1 7 が設けられている。有機絶縁層 1 7 は、省略されてもよい。

[0108] 画素電極 P E および共通電極 C E は、第 3 絶縁層 I L 3 を介して部分的に重なるように配置されている。画素電極 P E は、画素ごとに分離されている。共通電極 C E は、画素ごとに分離されている必要はない。共通電極 C E は、画素 T F T P t が形成されている領域上に開口部を有し、この領域を除く画素領域 P 全体に亘って形成されていてもよい。画素電極 P E は、第 3 絶縁層 I L 3 上に形成されており、第 3 絶縁層 I L 3、有機絶縁層 1 7 および第 2 絶縁層 I L 2 に形成された画素コンタクトホール C H 1 内で、ドレイン電極 9 P に接続されている。図示している例では、共通電極 C E は、D M X 回路用 T F T 1 0 のソース電極 8 と同じ透明導電膜から形成されている。つまり、共通電極 C E は、第 1 透明導電層 T C 1 に含まれる。また、画素電極 P E は、D M X 回路用 T F T 1 0 のドレイン電極 9 と同じ透明導電膜から形成されている。つまり、画素電極 P E は、第 2 透明導電層 T C 2 に含まれる。

[0109] このようなアクティブマトリクス基板 1 0 0 0 は、例えば F F S モードの表示装置に適用され得る。F F S モードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極 P E から出て液晶層（図示せず）を通り、さらに画素電極 P E のスリット状の開口を通して共通電極 C E に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加するこ

とができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

[0110] 共通電極C E上に第3絶縁層I L 3を介して画素電極P Eが配置される電極構造は、例えば国際公開第2012/086513号に記載されている。なお、画素電極P E上に第3絶縁層I L 3を介して共通電極C Eが配置されていてもよい。すなわち、第1透明導電層T C 1に含まれる下部透明電極15が画素電極P Eであり、第2透明導電層T C 2に含まれる上部透明電極16が共通電極C Eであってもよい。このような電極構造は、例えば特開2008-032899号公報、特開2010-008758号公報に記載されている。参考のため、国際公開第2012/086513号、特開2008-032899号公報および特開2010-008758号公報の開示内容の全てを本明細書に援用する。

[0111] (実施形態2)

図11を参照しながら、本実施形態におけるアクティブマトリクス基板1100を説明する。以下では、アクティブマトリクス基板1100が、実施形態1におけるアクティブマトリクス基板1000と異なる点を中心に説明を行う。図11は、アクティブマトリクス基板1100の非表示領域F Rに設けられたDMX回路用T F T 10を模式的に示す断面図であり、DMX回路用T F T 10のチャンネル長方向に沿った断面を示している。

[0112] アクティブマトリクス基板1100は、第2絶縁層I L 2と第1透明導電層T C 1との間に位置する第4絶縁層I L 4をさらに備える点において、実施形態1のアクティブマトリクス基板1000と異なっている。

[0113] 第2絶縁層I L 2は、酸化シリコン(SiO_2)層である。これに対し、第4絶縁層I L 4は、窒化シリコン(SiN_x)層である。従って、本実施形態では、パッシベーション層が、酸化シリコン層(第2絶縁層)I L 2と窒化シリコン層(第4絶縁層)I L 4とを含む積層構造を有しているともいえる。

[0114] 第2絶縁層I L 2は、実施形態1のアクティブマトリクス基板1000の

第2絶縁層1L2と同様に、チャネル長規定部CDを有する。本実施形態においても、DMX回路用TF T 1 0のチャネル長Lは、チャネル長規定部CDによって規定される。

[0115] 本実施形態では、酸化シリコン層1L2と窒化シリコン層1L4とで、異なるサイズの開口部が形成されている。図12も参照しながら、この点をより具体的に説明する。図12は、アクティブマトリクス基板1100のDMX回路用TF T 1 0近傍を拡大して示す断面図である。

[0116] 酸化シリコン層1L2は、ソースコンタクト領域7sに重なる第1開口部op1と、ドレインコンタクト領域7dに重なる第2開口部op2とを有する。また、窒化シリコン層1L4は、ソースコンタクト領域7sに重なる第3開口部op3と、ドレインコンタクト領域7dに重なる第4開口部op4とを有する。

[0117] 基板1の法線方向から見たとき、窒化シリコン層1L4の第3開口部op3は、酸化シリコン層1L2の第1開口部op1よりも小さく、且つ、第1開口部op1の内側に位置する。また、基板1の法線方向から見たとき、窒化シリコン層1L4の第4開口部op4は、酸化シリコン層1L2の第2開口部op2よりも小さく、且つ、第2開口部op2の内側に位置する。

[0118] そのため、酸化物半導体層7は、チャネル領域7cとソースコンタクト領域7sとの間に、窒化シリコン層1L4に接する領域7oaを有する。また、酸化物半導体層7は、チャネル領域7cとドレインコンタクト領域7dとの間に、第3絶縁層1L3に接する領域7otと、窒化シリコン層1L4に接する領域7obとを有する。

[0119] 実施形態1のアクティブマトリクス基板1000において、チャネル長Lを短くするほど、ソースコンタクトホールCH1とドレインコンタクトホールCH2との距離が小さくなる。そのため、チャネル長Lが著しく短く、且つ、ソース電極8を形成する際の位置ずれが大きい場合、ソース電極8とドレイン電極9との短絡が発生するおそれがある。

[0120] これに対し、本実施形態では、酸化物半導体層7が、チャネル領域7cと

ソースコンタクト領域 7 s との間に窒化シリコン層 1 L 4 に接する領域 7 o a を有するとともに、チャネル領域 7 c とドレインコンタクト領域 7 d との間に窒化シリコン層 1 L 4 に接する領域 7 o b を有する分、ソースコンタクトホール C H 1 とドレインコンタクトホール C H 2 との距離を大きくすることができる。従って、ソース電極 8 とドレイン電極 9 との短絡が発生する可能性を低減できる。そのため、ソース電極 8 とチャネル長規定部 C D との重ね合せマージンを、実施形態 1 に比べて大きく確保することができる。

[0121] 図 1 3、図 1 4 および図 1 5 を参照しながら、アクティブマトリクス基板 1 1 0 0 の製造方法を説明する。図 1 3 (a) ~ (e)、図 1 4 (a) ~ (c) および図 1 5 (a) ~ (c) は、アクティブマトリクス基板 1 1 0 0 の製造工程を示す工程断面図である。

[0122] まず、図 1 3 (a) に示すように、基板 1 上に、ゲート電極 3 などを含むゲートメタル層、ゲート絶縁層 5 を含む第 1 絶縁層 1 L 1、酸化物半導体層 7、ソースバスライン S L などを含むソースメタル層を順次形成する。これらの工程は、図 5 (a) ~ (d) に示した工程と同様にして行うことができる。

[0123] 次に、酸化物半導体層 7 およびソースメタル層上に、チャネル長規定部 C D を含む酸化シリコン層 (第 2 絶縁層) 1 L 2 を形成する。具体的には、まず、図 1 3 (b) に示すように、酸化物半導体層 7 およびソースメタル層上に、C V D 法により酸化シリコン膜 1 L 2' を堆積する。次に、図 1 3 (c) に示すように、酸化シリコン膜 1 L 2' 上にフォトレジスト材料を付与することによってフォトレジスト膜 P R' を形成する。

[0124] 続いて、フォトレジスト膜 P R' に対し、フォトマスクを用いた露光を行い、続いて現像を行うことによって、図 1 3 (d) に示すように、酸化シリコン膜 1 L 2' の一部に重なるフォトレジスト層 P R を形成する。次に、図 1 3 (e) に示すように、フォトレジスト層 P R をマスクとして用いて酸化シリコン膜 1 L 2' をエッチング (例えばドライエッチング) することにより、酸化シリコン膜 1 L 2' のうちのフォトレジスト層 P R で覆われている

部分が酸化シリコン層 1 L 2 として残存する。この工程において、酸化シリコン層 1 L 2 の一部として、酸化物半導体層 7 の一部に重なるチャネル長規定部 C D が形成される。また、この工程において形成される酸化シリコン層 1 L 2 は、酸化物半導体層 7 のソースコンタクト領域 7 s となる領域を露出させる第 1 開口部 o p 1 と、酸化物半導体層 7 のドレインコンタクト領域 7 d となる領域を露出させる第 2 開口部 o p 2 とを有する。その後、図 1 4 (a) に示すように、フォトリソスト層 P R を除去する。このようにして、チャネル長規定部 C D を含む酸化シリコン層 1 L 2 を形成することができる。酸化シリコン層 1 L 2 の厚さは、例えば 1 0 0 n m 以上 4 0 0 n m 以下である。

[0125] 次に、酸化シリコン層（第 2 絶縁層） 1 L 2 上に、窒化シリコン層（第 4 絶縁層） 1 L 4 を形成する。具体的には、まず、図 1 4 (b) に示すように、酸化物半導体層 7、ソースメタル層および酸化シリコン層 1 L 2 上に、C V D 法により窒化シリコン膜 1 L 4' を形成する。このとき、水素の影響により、酸化物半導体層 7 の、酸化シリコン層 1 L 2 で覆われていない領域が還元され導体化される。酸化物半導体層 7 の、酸化シリコン層 1 L 2 で覆われている部分については、半導体としての特性が維持される。そのため、チャネル長規定部 C D によってチャネル長 L が規定される。次に、図 1 4 (c) に示すように、窒化シリコン膜 1 L 4' をパターニングすることによって、窒化シリコン層 1 L 4 を形成する。窒化シリコン層 1 L 4 の厚さは、例えば 1 0 0 n m 以上 4 0 0 n m 以下である。この工程において形成される窒化シリコン層 1 L 4 は、酸化物半導体層 7 のソースコンタクト領域 7 s となる領域を露出させる第 3 開口部 o p 3 と、酸化物半導体層 7 のドレインコンタクト領域 7 d となる領域を露出させる第 4 開口部 o p 4 とを有する。酸化シリコン層 1 L 2 を形成する工程および窒化シリコン層 1 L 4 を形成する工程は、基板 1 の法線方向から見たときに、第 3 開口部 o p 3 が第 1 開口部 o p 1 よりも小さく、且つ、第 1 開口部 o p 1 の内側に位置し、さらに、第 4 開口部 o p 4 が第 2 開口部 o p 2 よりも小さく、且つ、第 2 開口部 o p 2 の内

側に位置するように行われる。

[0126] 続いて、図15(a)に示すように、第4絶縁層IL4上に、ソース電極8を含む第1透明導電層TC1を形成する。例えば、透明導電膜を堆積した後、フォトリソグラフィプロセスにより透明導電膜をパターニングすることによって、第1透明導電層TC1を形成することができる。透明導電膜の材料としては、例えばITOを用いることができる。第1透明導電層TC1の厚さは、例えば40nm以上150nm以下である。

[0127] 次に、図15(b)に示すように、第1透明導電層TC1上に、第3絶縁層IL3を形成する。例えば、CVD法により絶縁膜を堆積した後、フォトリソグラフィプロセス（例えばドライエッチング工程を含む）により絶縁膜をパターニングすることによって、第3絶縁層IL3を形成することができる。第3絶縁層IL3としては、例えば窒化シリコン(SiNx)層を用いることができる。第3絶縁層IL3の厚さは、例えば100nm以上400nm以下である。

[0128] その後、図15(c)に示すように、第3絶縁層IL3上に、ドレイン電極9を含む第2透明導電層TC2を形成する。例えば、透明導電膜を堆積した後、フォトリソグラフィプロセスにより透明導電膜をパターニングすることによって、第2透明導電層TC2を形成することができる。透明導電膜の材料としては、例えばITOを用いることができる。第2透明導電層TC2の厚さは、例えば40nm以上150nm以下である。このようにして、アクティブマトリクス基板1100を得ることができる。

[0129] (実施形態3)

アクティブマトリクス基板に、画素TFTや駆動回路用TFTと同一の酸化物半導体膜を用いてDMX回路用TFTを形成すると、次のような問題がある。

[0130] DMX回路用TFTに求められる特性は、駆動回路用TFTに求められる特性と異っており、これらを両立することは難しい。例えば、ゲートドライバに使用される駆動回路用TFTには、回路誤動作を防ぐ目的で、通常、

閾値電圧 V_{th} が正であるエンハンスメント型のTFTが用いられる。しかしながら、エンハンスメント型のTFTでは、オン電流をさらに高めることは難しく、DMX回路用TFTに好適に適用できない可能性がある。

[0131] 本実施形態によると、異なる特性を有する複数の酸化物半導体TFTを同一基板上に作り分けることが可能になる。また、例えば、DMX回路用TFTの酸化物半導体層のキャリア濃度を、画素TFT、駆動回路用TFTなどの他のTFTの酸化物半導体層のキャリア濃度よりも高くすることができる。この結果、画素TFT、駆動回路用TFTなどのTFT特性を維持しつつ、DMX回路用TFTの閾値電圧をより低くできるので、DMX回路用TFTのオン電流を高めることができる。従って、DMX回路用TFTに求められる特性と、駆動回路用TFTまたは画素TFTに求められる特性とを容易に両立させることができる。

[0132] 本実施形態のアクティブマトリクス基板には、同一の酸化物半導体膜を用いて形成された、複数の第1TFTと複数の第2TFTとが形成されている。第1TFTと第2TFTとは、異なる特性を有する。例えば、第1TFTの閾値電圧は、第2TFTの閾値電圧よりも高くてもよい。第1TFTは、例えばデマルチプレクサ回路DMXを構成するDMX回路用TFTを含む。第2TFTは、例えば画素TFT、またはゲートドライバGDを構成する駆動回路用TFTを含む。第2TFTは、駆動回路用TFTおよび画素TFTの両方を含んでもよい。

[0133] 図16を参照しながら、本実施形態におけるアクティブマトリクス基板1200を説明する。図16は、アクティブマトリクス基板1200が備える第1TFT10Aおよび第2TFT10Bを例示する断面図である。ここでは、第1TFT10Aは、DMX回路用TFTであり、第2TFT10Bは、駆動回路用TFTである。第1のTFT10Aおよび第2のTFT10Bは、同じ酸化物半導体膜から形成された活性層を有する、ボトムゲート構造の酸化物半導体TFTである。

[0134] 第1TFT10Aは、ゲート電極3A、ゲート絶縁層5、酸化物半導体層

7 A、ソース電極 8 A およびドレイン電極 9 A を有する。酸化物半導体層 7 A は、チャネル領域 7 A c、ソースコンタクト領域 7 A s およびドレインコンタクト領域 7 A d を有する。同様に、第 2 TFT 10 B は、ゲート電極 3 B、ゲート絶縁層 5、酸化物半導体層 7 B、ソース電極 8 B およびドレイン電極 9 B を有する。酸化物半導体層 7 B は、チャネル領域 7 B c、ソースコンタクト領域 7 B s およびドレインコンタクト領域 7 B d を有する。第 1 TFT 10 A および第 2 TFT 10 B の各層の平面形状、サイズ、チャネル長 L、チャネル幅などは互いに異なってもよい。

[0135] 第 1 TFT 10 A および第 2 TFT 10 B の酸化物半導体層 7 A および 7 B は、同一の酸化物半導体膜から形成されている。ここでいう「同一の酸化物半導体膜」は、単層膜でもよいし、積層膜であってもよい。酸化物半導体層 7 A および 7 B は、同じ組成比（酸化物半導体膜が In-Ga-Zn-O 系半導体膜の場合は In:Ga:Zn:O ）を有していてもよい。また、酸化物半導体層 7 A および 7 B は、実質的に同じ厚さを有していてもよい。「実質的に同じ厚さを有する」とは、酸化物半導体膜に対して部分的に薄膜化（または厚膜化）する処理が行われていないことを意味し、例えば、成膜プロセスによって生じる膜厚分布に起因して、酸化物半導体層 7 A および 7 B の厚さが異なってもよい。

[0136] 第 1 TFT 10 A および第 2 TFT 10 B のソース電極 8 A および 8 B は、第 1 透明導電層 TC 1 に含まれる透明電極である。また、第 1 TFT 10 A および第 2 TFT 10 B のドレイン電極 9 A および 9 B は、第 2 透明導電層 TC 2 に含まれる透明電極である。

[0137] 第 1 TFT 10 A および第 2 TFT 10 B のチャネル長 L は、第 2 絶縁層 IL 2 のチャネル長規定部 CD によって規定される。そのため、本実施形態におけるアクティブマトリクス基板 1200 においても、実施形態 1 のアクティブマトリクス基板 1000 と同様に、従来よりもチャネル長 L を短くできるという効果が得られる。

[0138] また、本実施形態では、第 1 TFT 10 A の酸化物半導体層 7 A のチャネ

ル領域 7 A c におけるキャリア濃度（以下、「第 1 キャリア濃度」） C_a は、第 2 T F T 1 O B の酸化物半導体層 7 B のチャネル領域 7 B c におけるキャリア濃度（以下、「第 2 キャリア濃度」） C_b よりも高い（ $C_a > C_b$ ）。このような構成は、例えば、第 1 T F T 1 O A のチャネル領域 7 A c に水素、アルゴンなどの還元性ガスを供給することで得られる。酸化物半導体に水素が供給されると、酸化物半導体の還元反応により酸化物半導体に酸素欠損が生成されてキャリア電子が生じる。この結果、キャリア濃度が高められる。酸化物半導体層 7 A および酸化物半導体層 7 B のキャリア濃度を異ならせる具体的な方法については後述する。

[0139] 第 1 T F T 1 O A のチャネル領域 7 A c の第 1 キャリア濃度 C_a を、第 2 T F T 1 O B のチャネル領域 7 B c の第 2 キャリア濃度 C_b よりも高くすることによって、第 1 T F T 1 O A の閾値電圧（以下、「第 1 閾値電圧」） $V_{th}(a)$ が、第 2 T F T 1 O B の閾値電圧（以下、「第 2 閾値電圧」） $V_{th}(b)$ よりも低くなる（ $V_{th}(a) < V_{th}(b)$ ）。このように、第 1 T F T 1 O A と第 2 T F T 1 O B との特性を互いに異ならせることにより、S S D 回路に好適に適用される T F T と、駆動回路や画素に好適に適用される T F T とを作り分けることができる。

[0140] なお、第 1 キャリア濃度 C_a および第 2 キャリア濃度 C_b は、例えば、ホール素子を用いて測定することができる。より具体的に説明すると、第 1 T F T 1 O A および第 2 T F T 1 O B に含まれる酸化物半導体層 7 A、7 B と同様のプロセスを採用して形成された酸化物半導体層を含むホール素子をそれぞれ作製し、その素子特性から、酸化物半導体層のキャリア濃度を求めることができる。また、酸化物半導体層 7 A、7 B を含む T F T の特性（例えば、閾値電圧（ V_{th} ）、オン電流）と、上記の対応するホール素子から求めたキャリア濃度との関係を求めることによって、キャリア濃度と T F T 特性との関係を知ることができる。

[0141] 第 1 T F T 1 O A はデプレッション型であり、第 2 T F T 1 O B はエンハンスメント型であってもよい。これにより、D M X 回路用 T F T として用い

る第1 TFT10Aのオン電流をさらに向上させることができる。また、第2 TFT10Bを駆動回路用TFTとして用いると、回路誤動作の発生を抑制できるので、歩留まりの低下を抑制できる。

[0142] 本実施形態によると、画素TFTや駆動回路用TFTと同じ酸化物半導体膜を用いて、これらのTFTよりも閾値電圧 V_{th} の低い、すなわちオン電流の高められたDMX回路用TFTを形成できる。

[0143] <第1 TFT10Aおよび第2 TFT10Bの製造方法>

図17(a)～(c)は、基板1上に第1 TFT10Aおよび第2 TFT10Bを製造する方法の一例を説明するための工程断面図であり、基板1のうち第1 TFT10Aを形成する領域（以下、「第1領域」）R1、および、第2 TFT10Bを形成する領域（以下、「第2領域」）R2を示している。

[0144] まず、図17(a)に示すように、基板1上に、ゲート電極3A、3Bなどを含むゲートメタル層、ゲート絶縁層5を含む第1絶縁層1L1および酸化物半導体層7A、7Bを順次形成する。これらの工程は、図5(a)～(c)に示した工程と同様にして行うことができる。

[0145] 次に、図17(b)に示すように、第2領域R2を覆い、かつ、第1領域R1上に開口部を有するマスク（レジスト層）51を形成する。マスク51は、第2領域R2に形成された酸化物半導体層7Bのチャネル領域7Bcとなる領域を覆い、かつ、第1領域R1に形成された酸化物半導体層7Aのチャネル領域7Acとなる領域を露出する形状を有していればよい。

[0146] この状態で、マスク51の上方からプラズマ処理を行う。ここでは、プラズマCVD装置内で、還元性ガス（水素ガス、アルゴンガスなどの希ガスなど）を用いたプラズマ53を照射する。プラズマ53は、酸化物半導体層7Aに照射される。これにより、酸素欠損が生成されてキャリア電子が生じるので、チャネル領域7Acとなる領域のキャリア濃度（第1キャリア濃度） C_a を高めることができる。一方、酸化物半導体層7Bはマスク51で保護されているので、プラズマに曝されず、そのキャリア濃度（第2キャリア濃度

） C_b は維持される。従って、第1キャリア濃度 C_a を、第2キャリア濃度 C_b よりも高めることができる。

[0147] 第2 TFT 10Bのチャネル領域7Bcの第2キャリア濃度 C_b は、例えば $1 \times 10^{10} / \text{cm}^3$ 以上 $1 \times 10^{16} / \text{cm}^3$ 以下であり、第1 TFT 10Aのチャネル領域7Acの第1キャリア濃度 C_a は、例えば、 1×10^{17} 以上 1×10^{19} 以下であってもよい。また、第1キャリア濃度 C_a は、第2キャリア濃度 C_b の10倍以上1000倍以下であってもよい。第1キャリア濃度 C_a を高めるためのプラズマ処理は、例えば、水素ガスの流量を100～1000 sccm、基板温度を200～300℃、RF powerを100～200W、圧力を50～200 Paに設定して行ってもよい。プラズマ処理時間は、例えば、30 s～200 sであってもよい。プラズマ処理後、大気雰囲気にて200℃以上300℃以下の温度で0.5～2時間のアニール処理を行う。このようなプラズマ処理およびアニール処理によって、酸化物半導体層7Aのチャネル領域7Acのキャリア濃度（第1キャリア濃度 C_a ）を上記の範囲に制御できる。一方、酸化物半導体層7Bは、マスク（レジスト層）51によってプラズマから保護されているので、そのキャリア濃度（第2キャリア濃度 C_b ）を低い状態のまま保つことができる。

[0148] なお、例えば特開2008-40343号公報には、酸化物半導体層を還元性プラズマに曝して低抵抗化し、導電体として（例えば画素電極として）用いることが開示されている。これに対し、本実施形態では、酸化物半導体層を導電体として使用できるほど低抵抗化（キャリア濃度増加）しないような条件で、プラズマ処理を行う。具体的には、プラズマ処理時間を短縮したり、あるいは、プラズマ処理後に所定の条件でアニール処理を行うことで、酸化物半導体層が導電体化してしまうことを抑制できる。

[0149] その後、マスク51を除去して、図17（c）に示すように、ソースバスラインSLなどを含むソースメタル層、チャネル長規定部CDを含む第2絶縁層IL2、ソース電極8A、8Bを含む第1透明導電層TC1、第3絶縁層IL3およびドレイン電極9A、9Bを含む第2透明導電層TC2を順次

形成する。これらの工程は、図5（d）～図6（d）に示した工程と同様にして行うことができる。このようにして、第1 TFT 10Aおよび第2 TFT 10Bを製造することができる。

[0150] なお、本実施形態の第1 TFT 10Aおよび第2 TFT 10Bの製造方法は上記に限定されない。例えば、ソースメタル層を形成する工程と、第2絶縁層 IL 2を形成する工程との間に、プラズマ処理を行ってもよい。また、第1領域 R 1に位置する酸化物半導体層 7Aのチャネル領域 7Acのキャリア濃度を、第2領域 R 2に位置する酸化物半導体層 7Bのチャネル領域 7Bcのキャリア濃度よりも高める工程は、プラズマ処理以外の方法で行われてもよい。例えば、後述する実施形態で説明するように、第2絶縁層 IL 2のうち第1領域 R 1に位置する部分に選択的に水素を供給することにより、チャネル領域 7Acのキャリア濃度を高めることも可能である。あるいは、酸化物半導体を還元する性質を有する絶縁層（SiNx層など）を利用して、酸化物半導体層 7Aのチャネル領域 7Acのキャリア濃度を選択的に高めることも可能である。

[0151] <TFT特性>

図18（a）および（b）は、第1 TFT 10Aおよび第2 TFT 10Bの $V_g - I_d$ 特性を例示する図である。グラフの横軸は、ドレイン電極の電位を基準としたゲート電極の電位（ゲート電圧） V_g を表し、グラフの縦軸はドレイン電流 I_d を表す。図18（a）では、第1 TFT 10A、第2 TFT 10Bの閾値電圧 $V_{th}(a)$ 、 $V_{th}(b)$ がよく分かるように、縦軸を対数軸にしている。

[0152] 図18（a）から分かるように、第1 TFT 10Aの閾値電圧 $V_{th}(a)$ は、第2 TFT 10Bの閾値電圧 $V_{th}(b)$ よりも低い。このことから、第1 TFT 10Aのチャネル領域 7Acとなる領域にプラズマ処理を行うことで、チャネル領域 7Acのキャリア濃度が高くなり、閾値電圧 V_{th} が低電圧側にシフトすることが分かる。

[0153] また、第1 TFT 10Aはデプレッション型の特性を有し（ $V_{th}(a)$ ）

<0 ）、第2 TFT10Bはエンハンスメント型の特性を有している（ $V_{th}(b) > 0$ ）。従って、プラズマ処理の有無によってチャネル領域のキャリア濃度を異ならせることで、同じ酸化物半導体膜を用いて、デプレッション型のTFTとエンハンスメント型のTFTとを作り分けできることが確認される。

[0154] また、図18（b）から分かるように、第1 TFT10Aでは、第2 TFT10Bよりもオン電流を高めることができる。従って、第1のTFT10をデマルチプレクサ回路DMXのスイッチング素子として用いることにより、デマルチプレクサ回路DMXを好適に動作させ得る。

[0155] 一方、第2 TFT10Bは、従来と同様に、エンハンスメント型の特性を有するので、第2 TFT10Bをゲートドライバなどの駆動回路に用いると、回路誤動作を抑制できるので歩留まりを向上できる。また、画素TFTとして第2 TFT10Bを用いると、オフリーク電流を低減できるので有利である。

[0156] （実施形態4）

本実施形態のアクティブマトリクス基板が備える第1 TFT10Aおよび第2 TFT10Bは、図16に示した第1 TFT10Aおよび第2 TFT10Bと同様の構成を有する。本実施形態では、第2絶縁層IL2のうち第1領域R1に位置する部分に選択的に水素を供給することによって、第1 TFT10Aのチャネル領域7Acのキャリア濃度を、第2のTFT10Bのチャネル領域7Bcのキャリア濃度よりも高めている点で、実施形態3と異なる。

[0157] 図19は、本実施形態における第1 TFT10Aおよび第2 TFT10Bの製造方法を説明するための断面図である。

[0158] まず、基板1上に、ゲート電極3A、3Bなどを含むゲートメタル層、ゲート絶縁層5を含む第1絶縁層IL1、酸化物半導体層7A、7B、ソースバスラインSLなどを含むソースメタル層を順次形成する。これらの工程は、図5（a）～（d）に示した工程と同様にして行うことができる。

[0159] 次に、図7（a）に示した工程と同様にして、酸化物半導体層7およびソースメタル層上に、第2絶縁層1L2となる絶縁膜1L2'を堆積する。ここで堆積される絶縁膜1L2'は、酸素供与性の膜（例えば酸化シリコン膜）である。

[0160] 続いて、図19に示すように、第2領域R2を覆い、かつ、第1領域R1上に開口部を有するマスク（レジスト層）51を形成する。この状態で、マスク51の上方からプラズマ処理を行う。ここでは、プラズマCVD装置内で、水素ガスなどの還元性ガスを用いたプラズマ53を照射する。これにより、絶縁膜1L2'のうち第1領域R1に位置する部分に水素が導入される。絶縁膜1L2'のうち第2領域R2に位置する部分はマスク51で保護されているため、水素の導入は抑制される。従って、絶縁膜1L2'のうち第1領域R1に位置する部分は、第2領域R2に位置する部分よりも高い濃度で水素を含む。プラズマ処理は、例えば、水素ガスの流量を100～1000 sccm、基板温度を200～300℃、RF powerを100～1000 W、圧力を50～200 Paに設定して行ってもよい。プラズマ処理時間は、例えば、30 s～600 sであってもよい。

[0161] 続いて、マスク51を除去した後、図7（b）～（d）に示した工程と同様にして絶縁膜1L2'をパターニングして第2絶縁層1L2を形成する。

[0162] その後、ドライエアまたは大気中において、200～400℃（好ましくは200～300℃）の温度で、0.5～2時間（好ましくは1～2時間）の熱処理を行う。熱処理により、第2絶縁層1L2'のうちの第1領域R1に位置する部分に供給された水素の一部は酸化物半導体層7Aまで拡散する。このため、酸化物半導体層7Aのチャネル領域7Acでは、水素によって還元されて酸素欠損が生じ、キャリア濃度が高くなる。この結果、チャネル領域7Acの第1キャリア濃度Caを、チャネル領域7Bcの第2キャリア濃度Cbよりも高めることが可能になる。図示していないが、前述の実施形態と同様のVg-I_d特性（図18）が得られる。

[0163] 本実施形態でも、第1キャリア濃度Caは、例えば、 1×10^{17} 以上 $1 \times$

10^{19} 以下であってもよい。また、第1キャリア濃度 C_a は、第2キャリア濃度 C_b の10倍以上1000倍以下であってもよい。第1キャリア濃度 C_a は、例えば、絶縁膜1L2'に対するプラズマ処理の処理条件によって制御され得る。例えば、上述した条件でプラズマ処理を行った後、例えば200～300℃の温度で熱処理を行うことで、第1キャリア濃度 C_a を上記範囲に制御できる。

[0164] なお、絶縁膜1L2'に水素を供給する方法は、プラズマ処理に限定されず、イオンドーピング法でもよい。

[0165] (実施形態5)

図20を参照しながら、本実施形態におけるアクティブマトリクス基板1300および1400を説明する。図20(a)は、アクティブマトリクス基板1300が備える第1TFT10Aおよび第2TFT10Bを示す断面図であり、図20(b)は、アクティブマトリクス基板1400が備える第1TFT10Aおよび第2TFT10Bを示す断面図である。

[0166] 図20(a)に示すアクティブマトリクス基板1300では、第2絶縁層1L2は、第1層1L2aと、第1層1L2aの上に配置された第2層1L2bとを含む積層構造を有している。第2層1L2bは、水素を供給可能な水素供与性の層（「水素供給層」と呼ぶことがある）である。第1層1L2aは、第1TFT10Aおよび第2TFT10Bのチャネル領域7Ac、7Bcと接している。第2層1L2bは、第1領域R1に配置されているが、第2領域R2には配置されていない。第2層1L2bは、第1層1L2aの上面と接していてもよい。

[0167] 水素供給層である第2層1L2bは、窒化シリコン(SiN_x)を主として含む窒化シリコン(SiN_x)層、窒化酸化シリコン(SiN_xO_y : $x > y$)層などであってもよい。第2層1L2bは、窒化シリコンを主として含むことが好ましい。

[0168] 第1層1L2aは、例えば、酸素を供給可能な酸素供与性の層であってもよい。酸素供与性の層は、例えば酸化シリコン(SiO_x)を主として含む

酸化シリコン層であってもよい。第1層1L2aは、好ましくは、 SiO_2 を主として含む SiO_2 層である。第1層1L2aとして SiO_2 層を用いると、酸化物半導体層7A、7Bとの界面に良好なチャネル界面を形成できるのでTFT10A、10Bの信頼性をさらに向上できる。

[0169] 図示する例では、水素供給層を第1領域R1に配置し、第2領域R2には配置しない。このため、第1領域R1では、水素供給層である第2層1L2bから、第1層1L2aを介して酸化物半導体層7Aのチャネル領域7Acに水素が供給される。この結果、酸化物半導体層7Aのチャネル領域7Acが水素により還元され、酸素欠陥が生じる。一方、第2領域R2では、第2層1L2bが配置されていないため、酸化物半導体層7Bには第2層1L2bからの水素は殆ど供給されない。従って、前述の実施形態と同様に、チャネル領域7Acの第1キャリア濃度Caを、チャネル領域7Bcの第2キャリア濃度Cbよりも高めることが可能である。

[0170] 本実施形態でも、第1キャリア濃度Caは、例えば、 1×10^{17} 以上 1×10^{19} 以下であってもよい。また、第1キャリア濃度Caは、第2キャリア濃度Cbの10倍以上1000倍以下であってもよい。チャネル領域7Acのキャリア濃度は、第1層1L2aおよび第2層1L2bの厚さ、材料などによって制御され得る。一例として、第1層1L2aは、厚さが50nm以上300nm以下の SiO_2 層であり、第2層1L2bは、厚さが100nm以上300nm以下のSiNx層であってもよい。

[0171] また、図20(b)に例示するように、第1領域R1における第2層1L2bが、第2領域R2における第2層1L2bよりも厚くてもよい。これにより、第1領域R1に位置する酸化物半導体層7Aに第2層1L2bから供給される水素量が、第2領域R2に位置する酸化物半導体層7Bに供給される水素量よりも多くなるので、酸化物半導体層7Aのチャネル領域7Acの第1キャリア濃度Caを、チャネル領域7Bcの第2キャリア濃度Cbよりも高めることが可能になる。第2層1L2bの厚さは、第1領域R1で第2領域R2の例えば2倍以上5倍以下であってもよい。

[0172] 本実施形態の第1 TFT10Aおよび第2 TFT10Bは、次のようにして製造され得る。

[0173] まず、図5(a)～(d)に示した工程と同様にして、基板1上に、ゲート電極3A、3Bなどを含むゲート金属層、ゲート絶縁層5を含む第1絶縁層1L1、酸化物半導体層7A、7BおよびソースバスラインSLを含むソース金属層を順次形成する。

[0174] その後、第1領域R1および第2領域R2に第1層1L2aを形成する。次いで、第1層1L2a上に、第2層1L2bを形成する。ここでは、第1層1Laとして酸化シリコン(SiO₂)層、第2層1L2bとして窒化シリコン(SiN_x)層を形成する。

[0175] 続いて、第2層1L2bのパターニングを行い、第2層1L2bのうち第2領域R2に位置する部分を除去する。第2層1L2bは、第2領域R2上に開口部を有していてもよいし、第1領域R1上に島状に配置されていてもよい。

[0176] あるいは、ハーフトーンマスクなどの階調マスクを用いて、第2層1L2bのうち第2領域R2に位置する部分を、第1領域R1に位置する部分よりも薄くしてもよい。この場合、第2層1L2bは、第2領域R2上に凹部を有していてもよいし、第1領域R1上に島状の凸部を有していてもよい。

[0177] この後、ドライエアまたは大気中において、200～400℃の温度で1～2時間の熱処理を行う。熱処理により、第2層1L2bに存在する水素の一部は、第1層1L2aを経て酸化物半導体層7Aまで拡散する。このため、チャネル領域7Acでは、水素によって還元されて酸素欠損が生じ、キャリア濃度が高くなる。この結果、チャネル領域7Acのキャリア濃度を、チャネル領域7Bcよりも高めることが可能になる。図示していないが、前述の実施形態と同様のV_g－I_d特性(図18)が得られる。

[0178] <酸化物半導体>

酸化物半導体層7(あるいは7A、7B)に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化

物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0179] 酸化物半導体層7（7A、7B）は、2層以上の積層構造を有していてもよい。酸化物半導体層7（7A、7B）が積層構造を有する場合には、酸化物半導体層7は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0180] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0181] 酸化物半導体層7（7A、7B）は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層7（7A、7B）は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

[0182] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質で

もよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0183] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開 2014-007399 号公報、特開 2012-134475 号公報、特開 2014-209727 号公報などに開示されている。参考のために、特開 2012-134475 号公報および特開 2014-209727 号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度 (a-SiTFT に比べ 20 倍超) および低いリーク電流 (a-SiTFT に比べ 100 分の 1 未満) を有しているので、駆動 TFT (例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれる TFT) および画素 TFT (画素に設けられる TFT) として好適に用いられる。

[0184] 酸化物半導体層 7 (7A、7B) は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでもよい。例えば In-Sn-Zn-O 系半導体 (例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$; InSnZnO) を含んでもよい。 In-Sn-Zn-O 系半導体は、 In (インジウム)、 Sn (スズ) および Zn (亜鉛) の三元系酸化物である。あるいは、酸化物半導体層 7 (あるいは 7A、7B) は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO (酸化カドミウム)、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体などを含んでもよい。

産業上の利用可能性

[0185] 本発明の実施形態は、モノリシックに形成された周辺回路を有するアクティブマトリクス基板に好適に適用され得る。このようなアクティブマトリクス基板は、液晶表示装置、有機エレクトロルミネセンス (EL) 表示装置お

よび無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置、指紋読み取り装置、半導体メモリ等の種々の電子装置に適用される。

符号の説明

- [0186] 1 基板
- 3、3 A、3 B、3 P ゲート電極
- 5 ゲート絶縁層
- 7、7 A、7 B、7 P 酸化物半導体層
- 7 c、7 A c、7 B c チャネル領域
- 7 d、7 A d、7 B d ドレインコンタクト領域
- 7 s、7 A s、7 B s ソースコンタクト領域
- 8、8 A、8 B、8 P ソース電極
- 9、9 A、9 B、9 P ドレイン電極
- 10 DMX回路用TFT
- 10 A 第1TFT
- 10 B 第2TFT
- 11、13 接続電極
- 15 下部透明電極
- 16 上部透明電極
- 17 有機絶縁層
- 51 マスク
- 53 プラズマ
- 100 デマルチプレクサ回路の単位回路
- 150 制御回路
- 1000、1100、1200、1300、1400 アクティブマトリクス基板
- B 分岐配線
- CD チャネル長規定部

C E	共通電極
D M X	デマルチプレクサ回路
D R	表示領域
F R	非表示領域
G D	ゲートドライバ
G L	ゲートバスライン
I L 1	第1絶縁層
I L 2	第2絶縁層
I L 3	第3絶縁層
I L 4	第4絶縁層
L R	端子部・配線形成領域
o p 1	第1開口部
o p 2	第2開口部
o p 3	第3開口部
o p 4	第4開口部
P	画素領域
P E	画素電極
P R	フォトレジスト層
P t	薄膜トランジスタ（画素T F T）
R 1	第1領域
R 2	第2領域
S D	ソースドライバ
S L	ソースバスライン
S W	制御信号線
T C 1	第1透明導電層
T C 2	第2透明導電層

請求の範囲

- [請求項1] 複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、
- 基板と、
- 前記基板に支持され、前記非表示領域に設けられた複数の第1 TFTと、
- 前記複数の第1 TFTを含む周辺回路と、
- 前記表示領域に設けられた複数のゲートバスラインおよび複数のソースバスラインと、を備え、
- 前記複数の第1 TFTのそれぞれは、
- 前記基板上に設けられたゲート電極と、
- 前記ゲート電極を覆うゲート絶縁層と、
- 前記ゲート絶縁層上に設けられ、前記ゲート絶縁層を介して前記ゲート電極に対向する酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層と、
- 前記酸化物半導体層の前記ソースコンタクト領域に接するソース電極と、
- 前記酸化物半導体層の前記ドレインコンタクト領域に接するドレイン電極と、
- を有する、アクティブマトリクス基板であって、
- 前記基板上に位置し、前記ゲート電極および前記複数のゲートバスラインを含むゲートメタル層と、
- 前記ゲートメタル層上に位置し、前記ゲート絶縁層を含む第1絶縁層と、
- 前記第1絶縁層上に位置し、前記複数のソースバスラインを含むソースメタル層と、
- 前記酸化物半導体層および前記ソースメタル層上に位置する第2絶

縁層と、

前記第2絶縁層上に位置する第1透明導電層と、

前記第1透明導電層上に位置する第3絶縁層と、

前記第3絶縁層上に位置する第2透明導電層と、

を備え、

前記第2絶縁層は、チャンネル長方向に沿って離間した一対のエッジであって、前記チャンネル領域の前記ソースコンタクト領域側端および前記ドレインコンタクト領域側端に整合する一対のエッジを有するチャンネル長規定部を含み、

前記ソース電極および前記ドレイン電極の一方は、前記第1透明導電層に含まれる第1透明電極であり、他方は、前記第2透明導電層に含まれる第2透明電極である、アクティブマトリクス基板。

[請求項2] 前記第1透明電極は、前記チャンネル長規定部の上面に接する部分を含み、

前記第2透明電極は、前記チャンネル長規定部に接する部分を含まない、請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記酸化物半導体層は、前記第2透明電極に接する領域と前記チャンネル領域との間に、前記第3絶縁層に接する領域を含む、請求項2に記載のアクティブマトリクス基板。

[請求項4] 前記第2絶縁層と前記第1透明導電層との間に位置する第4絶縁層をさらに備え、

前記第2絶縁層は、酸化シリコン層であり、

前記第4絶縁層は、窒化シリコン層であり、

前記酸化シリコン層は、前記ソースコンタクト領域に重なる第1開口部と、前記ドレインコンタクト領域に重なる第2開口部とを有し、

前記窒化シリコン層は、前記ソースコンタクト領域に重なる第3開口部と、前記ドレインコンタクト領域に重なる第4開口部とを有し、

前記基板の法線方向から見たとき、

前記窒化シリコン層の前記第3開口部は、前記酸化シリコン層の前記第1開口部よりも小さく、且つ、前記第1開口部の内側に位置し、

前記窒化シリコン層の前記第4開口部は、前記酸化シリコン層の前記第2開口部よりも小さく、且つ、前記第2開口部の内側に位置する、請求項1から3のいずれかに記載のアクティブマトリクス基板。

[請求項5] 前記第1透明導電層および前記第2透明導電層の一方は、共通電極を含み、他方は、画素電極を含む、請求項1から4のいずれかに記載のアクティブマトリクス基板。

[請求項6] 前記基板に支持され、前記表示領域または前記非表示領域に設けられた複数の第2 TFTをさらに備え、

前記複数の第2 TFTのそれぞれは、前記複数の第1 TFTの前記酸化物半導体層と同一の酸化物半導体膜から形成された酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層を有し、

前記複数の第1 TFTの前記チャネル領域におけるキャリア濃度は、前記複数の第2 TFTの前記チャネル領域におけるキャリア濃度よりも高い、請求項1から5のいずれかに記載のアクティブマトリクス基板。

[請求項7] 前記周辺回路は、デマルチプレクサ回路である、請求項1から6のいずれかに記載のアクティブマトリクス基板。

[請求項8] 前記酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む、請求項1から7のいずれかに記載のアクティブマトリクス基板。

[請求項9] 前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む、請求項8に記載のアクティブマトリクス基板。

[請求項10] 前記酸化物半導体層は積層構造を有する、請求項1から9のいずれかに記載のアクティブマトリクス基板。

[請求項11] 複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非

表示領域とを有し、

基板と、前記基板に支持され前記非表示領域に設けられた複数の第1 TFTと、前記複数の第1 TFTを含む周辺回路と、前記表示領域に設けられた複数のゲートバスラインおよび複数のソースバスラインとを備え、

前記複数の第1 TFTのそれぞれは、

前記基板上に設けられたゲート電極と、

前記ゲート電極を覆うゲート絶縁層と、

前記ゲート絶縁層上に設けられ、前記ゲート絶縁層を介して前記ゲート電極に対向する酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層と、

前記酸化物半導体層の前記ソースコンタクト領域に接するソース電極と、

前記酸化物半導体層の前記ドレインコンタクト領域に接するドレイン電極と、

を有する、アクティブマトリクス基板の製造方法であって、

(A) 前記基板上に、前記ゲート電極および前記複数のゲートバスラインを含むゲートメタル層を形成する工程と、

(B) 前記ゲートメタル層上に、前記ゲート絶縁層を含む第1絶縁層を形成する工程と、

(C) 前記第1絶縁層上に、前記酸化物半導体層を形成する工程と、

(D) 前記第1絶縁層上に、前記複数のソースバスラインを含むソースメタル層を、前記酸化物半導体層に重ならないように形成する工程と、

(E) 前記酸化物半導体層および前記ソースメタル層上に、第2絶縁層を形成する工程と、

(F) 前記第2絶縁層上に、第1透明導電層を形成する工程と、
(G) 前記第1透明導電層上に、第3絶縁層を形成する工程と、
(H) 前記第3絶縁層上に、第2透明導電層を形成する工程と、
を包含し、

前記工程(E)は、

(e1) 前記酸化物半導体層および前記ソースメタル層上に、絶縁膜を形成する工程と、

(e2) 前記絶縁膜上に、前記絶縁膜の一部に重なるフォトレジスト層を形成する工程と、

(e3) 前記フォトレジスト層をマスクとして用いて前記絶縁膜をエッチングすることにより、前記絶縁膜のうちの前記フォトレジスト層で覆われている部分が前記第2絶縁層として残存する工程と、
を含み、

前記工程(e3)において、前記酸化物半導体層の一部に重なるチャンネル長規定部が前記第2絶縁層の一部として形成され、

前記チャンネル長規定部は、チャンネル長方向に沿って離間した一対のエッジを有し、前記前記複数の第1TFTのそれぞれのチャンネル長は、前記チャンネル長規定部の前記一対のエッジによって規定され、

前記工程(F)において、前記第1透明導電層に含まれる第1透明電極として前記ソース電極および前記ドレイン電極の一方が形成され、

前記工程(H)において、前記第2透明導電層に含まれる第2透明電極として前記ソース電極および前記ドレイン電極の他方が形成される、アクティブマトリクス基板の製造方法。

[請求項12]

前記工程(F)において、前記第1透明電極は、前記チャンネル長規定部の上面に接する部分を含むように形成され、

前記工程(H)において、前記第2透明電極は、前記チャンネル長規定部に接する部分を含まないように形成される、請求項11に記載の

アクティブマトリクス基板の製造方法。

[請求項13] 前記工程（G）において形成される前記第3絶縁層は、前記酸化物半導体層の、前記第2透明電極に接する領域と前記チャネル領域との間に位置する領域に接する部分を含む、請求項12に記載のアクティブマトリクス基板の製造方法。

[請求項14] 前記工程（E）と前記工程（F）との間に、

（I）前記第2絶縁層上に、第4絶縁層を形成する工程をさらに包含し、

前記工程（E）において形成される前記第2絶縁層は、酸化シリコン層であり、

前記工程（I）において形成される前記第4絶縁層は、窒化シリコン層であり、

前記工程（e1）は、前記酸化物半導体層および前記ソースメタル層上に、酸化シリコン膜を形成する工程であり、

前記工程（e2）は、前記酸化シリコン膜上に、前記酸化シリコン膜の一部に重なる前記フォトリソ層を形成する工程であり、

前記工程（e3）は、前記フォトリソ層をマスクとして用いて前記酸化シリコン膜をエッチングすることにより、前記酸化物半導体層の前記ソースコンタクト領域となる領域を露出させる第1開口部および前記酸化物半導体層の前記ドレインコンタクト領域となる領域を露出させる第2開口部を有するように、前記酸化シリコン層を形成する工程であり、

前記工程（I）は、

（i1）前記酸化物半導体層、前記ソースメタル層および前記酸化シリコン層上に、窒化シリコン膜を形成する工程と、

（i2）前記窒化シリコン膜をパターニングすることにより、前記酸化物半導体層の前記ソースコンタクト領域となる領域を露出させる第3開口部および前記酸化物半導体層の前記ドレインコンタクト領域

となる領域を露出させる第4開口部を有するように、前記窒化シリコン層を形成する工程と、を含み、

前記工程（E）および前記工程（I）は、前記基板の法線方向から見たときに、前記窒化シリコン層の前記第3開口部が、前記酸化シリコン層の前記第1開口部よりも小さく、且つ、前記第1開口部の内側に位置し、前記窒化シリコン層の前記第4開口部が、前記酸化シリコン層の前記第2開口部よりも小さく、且つ、前記第2開口部の内側に位置するように行われる、請求項11から13のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項15]

前記アクティブマトリクス基板は、前記基板に支持され、前記表示領域または前記非表示領域に設けられた複数の第2 T F Tをさらに備え、

前記複数の第2 T F Tのそれぞれは、前記複数の第1 T F Tの前記酸化物半導体層と同一の酸化物半導体膜から形成された酸化物半導体層であって、チャネル領域と、前記チャネル領域の両側に位置するソースコンタクト領域およびドレインコンタクト領域とを含む酸化物半導体層を有し、

前記複数の第1 T F Tのそれぞれが形成される領域を第1領域とし、前記複数の第2 T F Tのそれぞれが形成される領域を第2領域とすると、

（J）前記第1領域に形成された前記酸化物半導体層の前記チャネル領域のキャリア濃度を、前記第2領域に形成された前記酸化物半導体層の前記チャネル領域のキャリア濃度よりも高める工程をさらに包含する、請求項11から14のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項16]

前記周辺回路は、デマルチプレクサ回路である、請求項11から15のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項17]

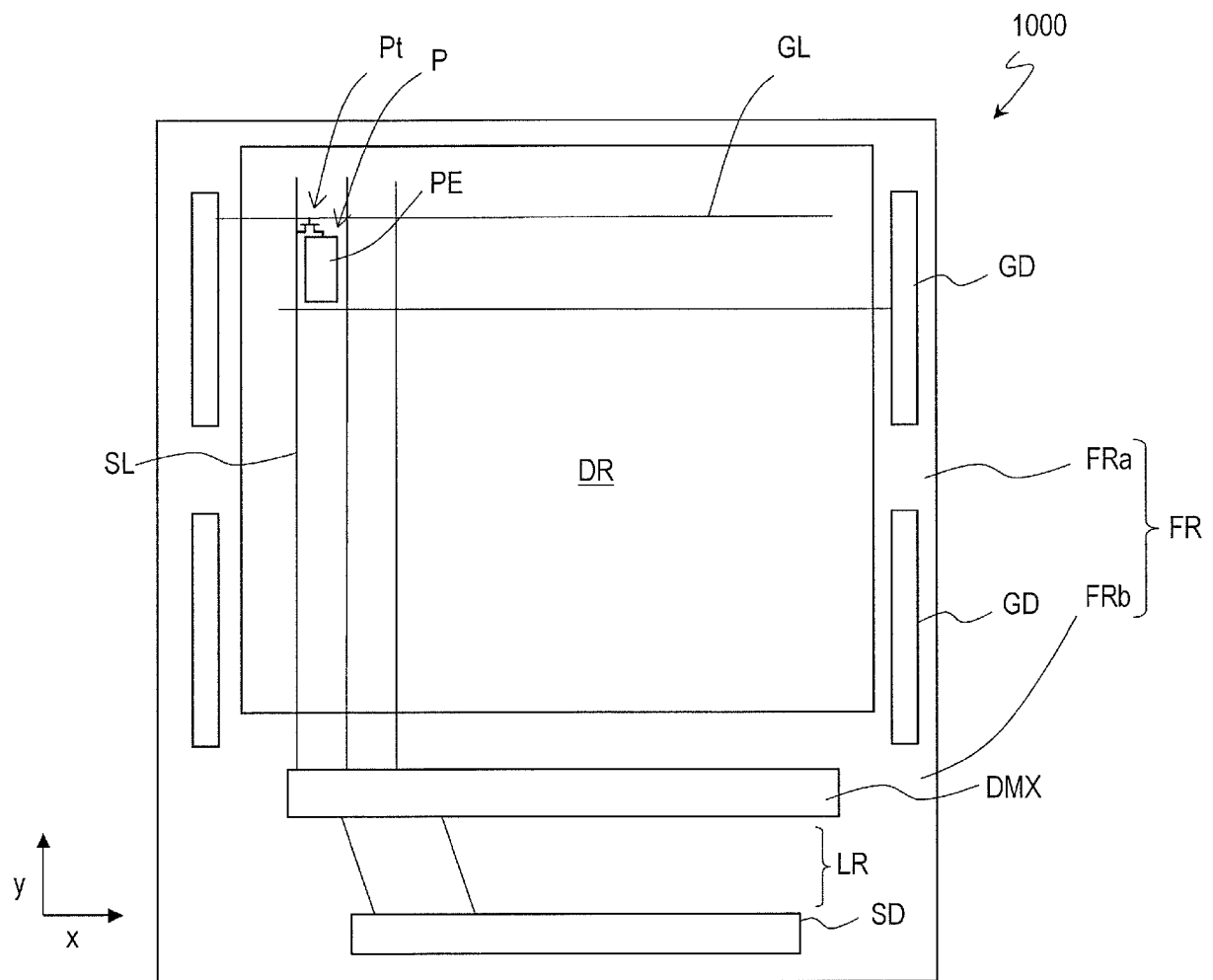
前記酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む、

請求項 1 1 から 1 6 のいずれかに記載のアクティブマトリクス基板の製造方法。

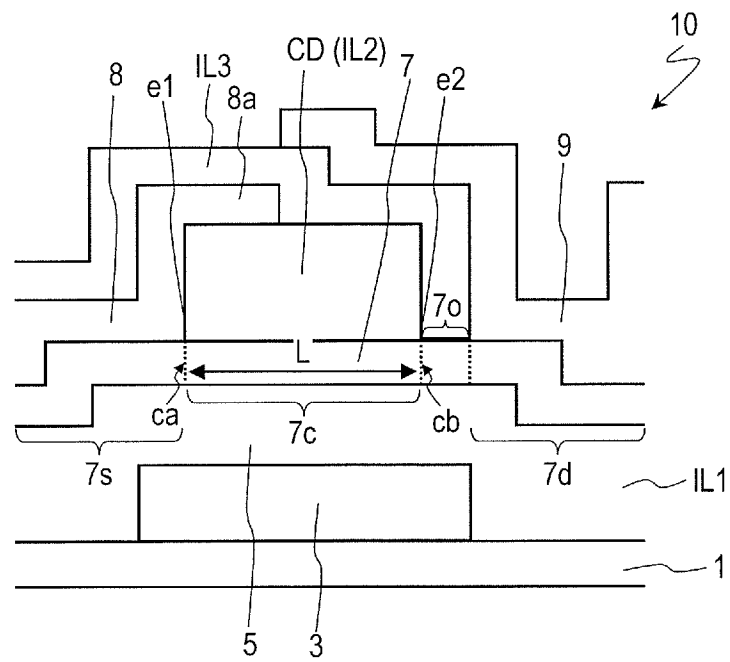
[請求項18] 前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む、請求項 1 7 に記載のアクティブマトリクス基板の製造方法。

[請求項19] 前記酸化物半導体層は積層構造を有する、請求項 1 1 から 1 8 のいずれかに記載のアクティブマトリクス基板の製造方法。

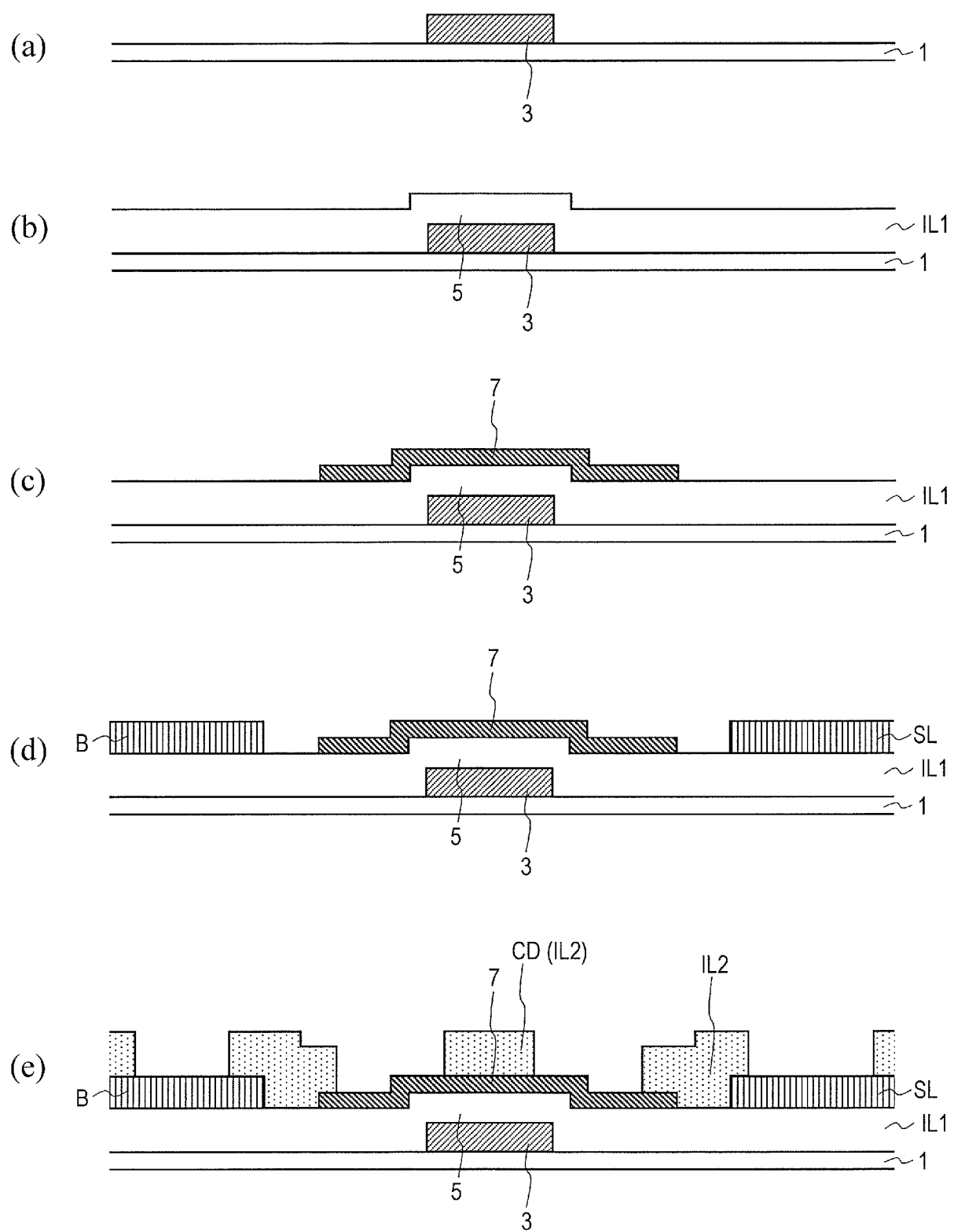
[図1]



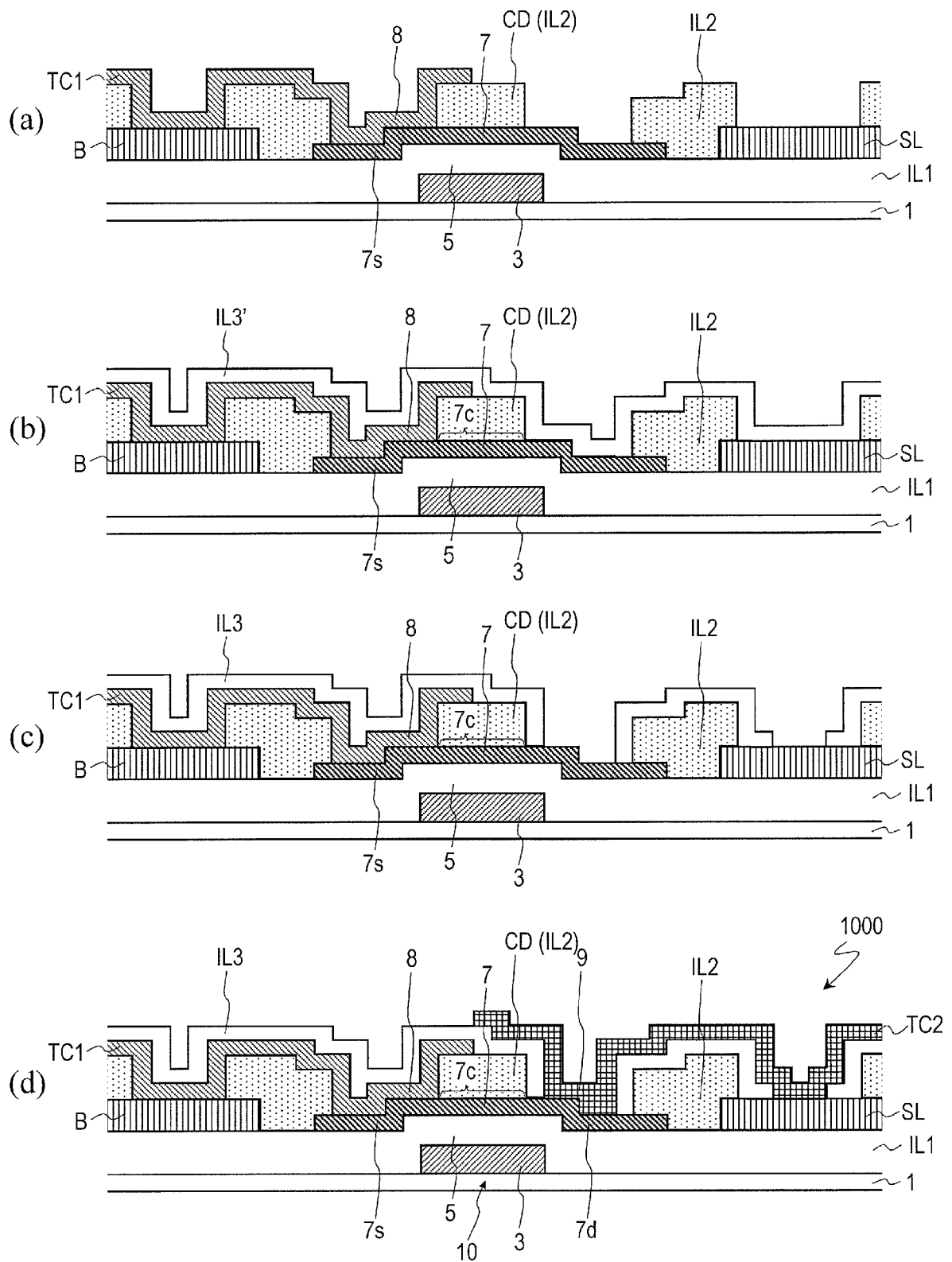
[図4]



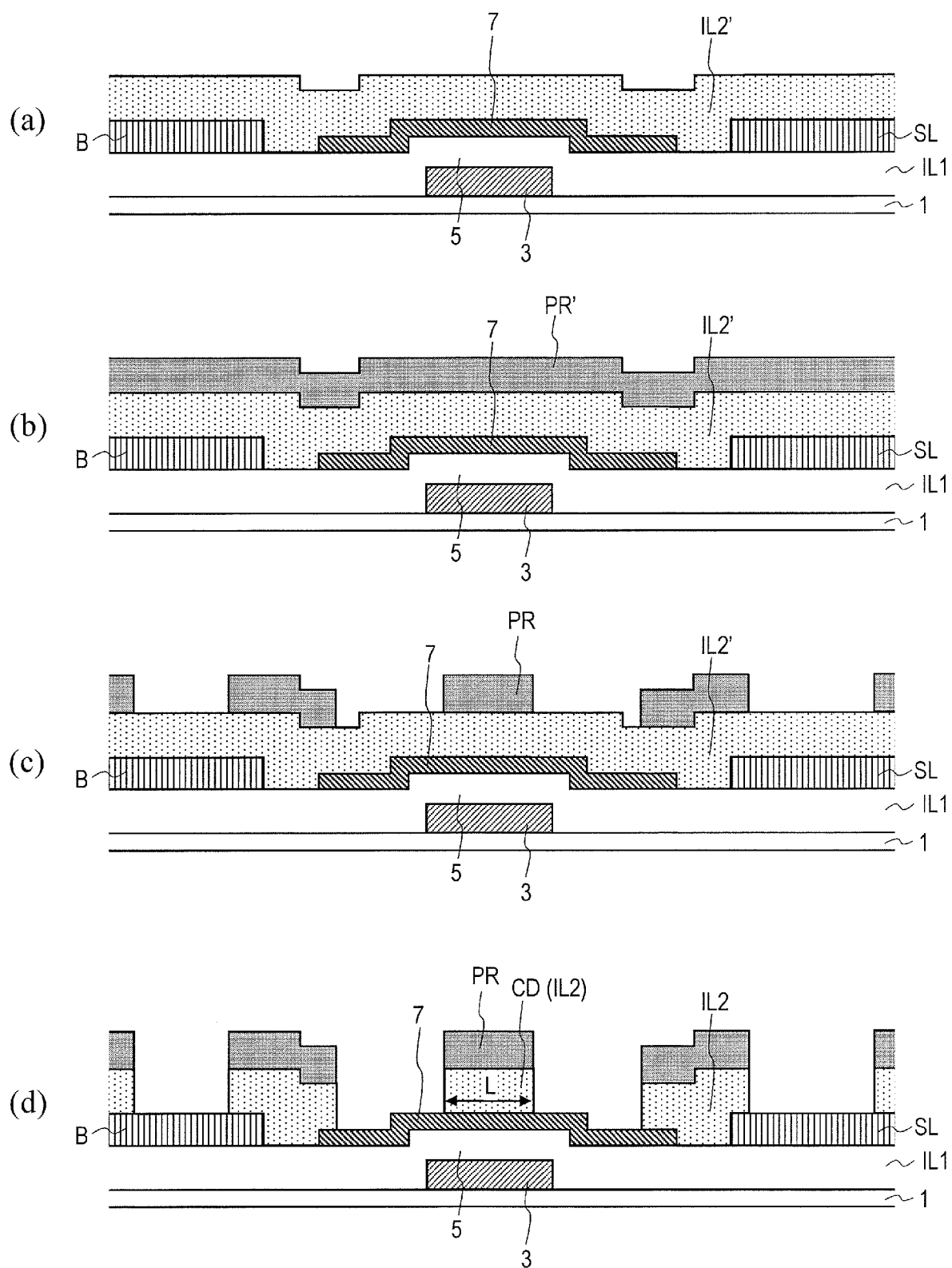
[図5]



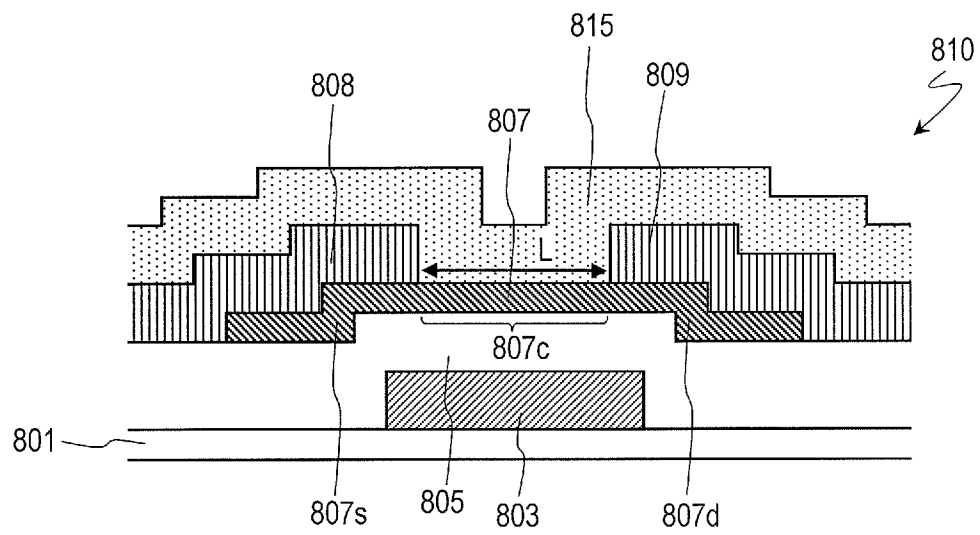
[図6]



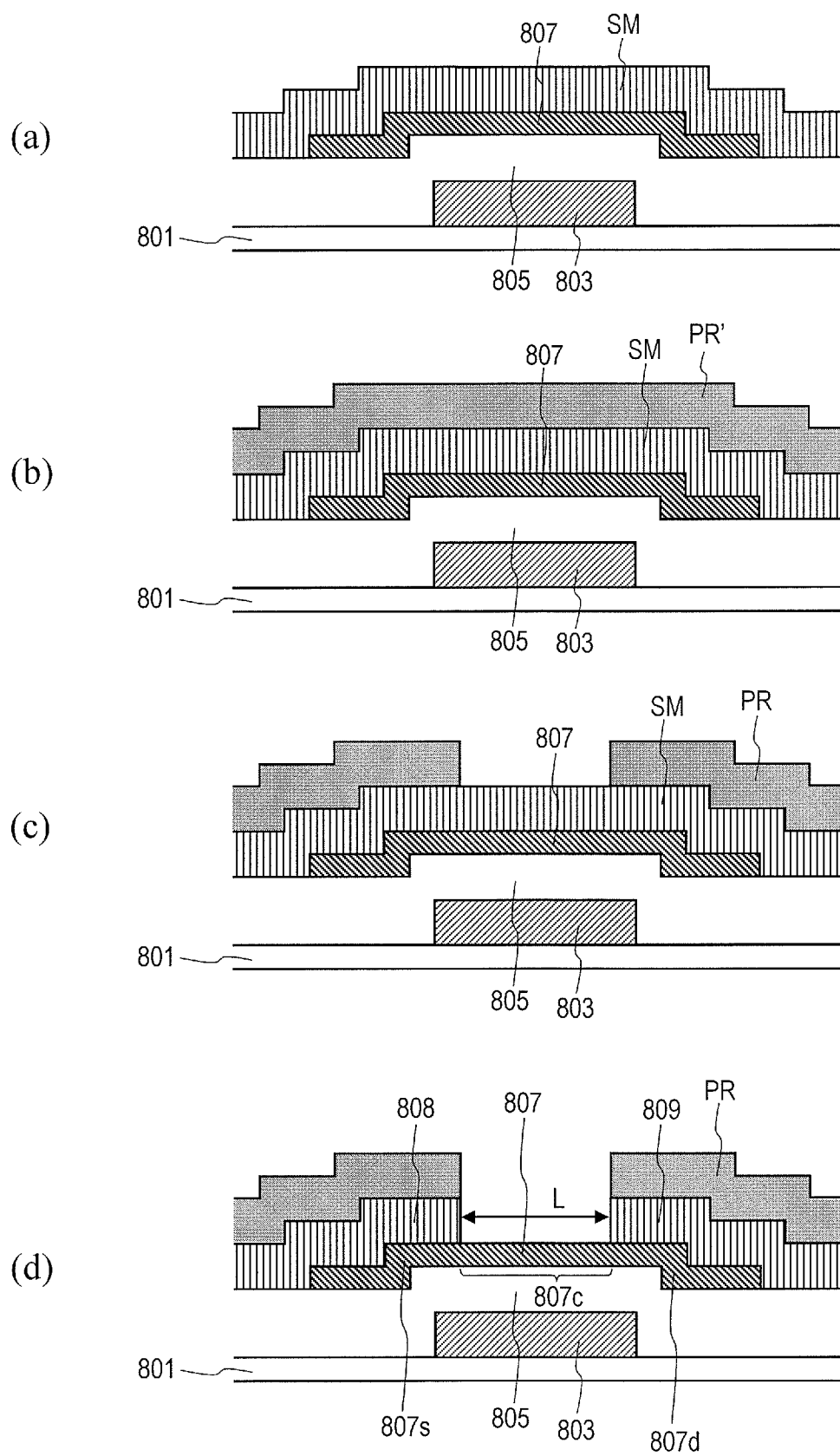
[図7]



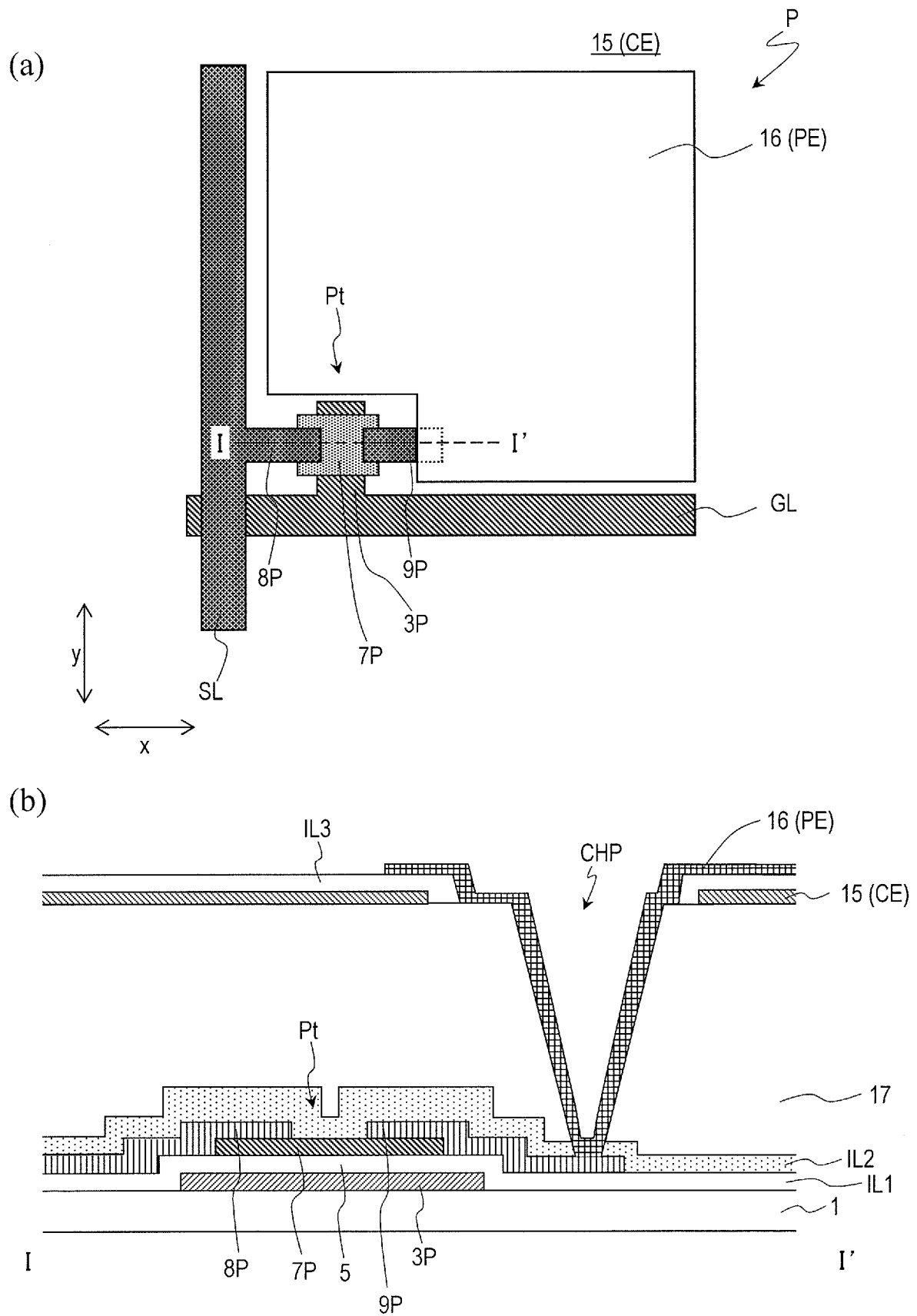
[図8]



[図9]



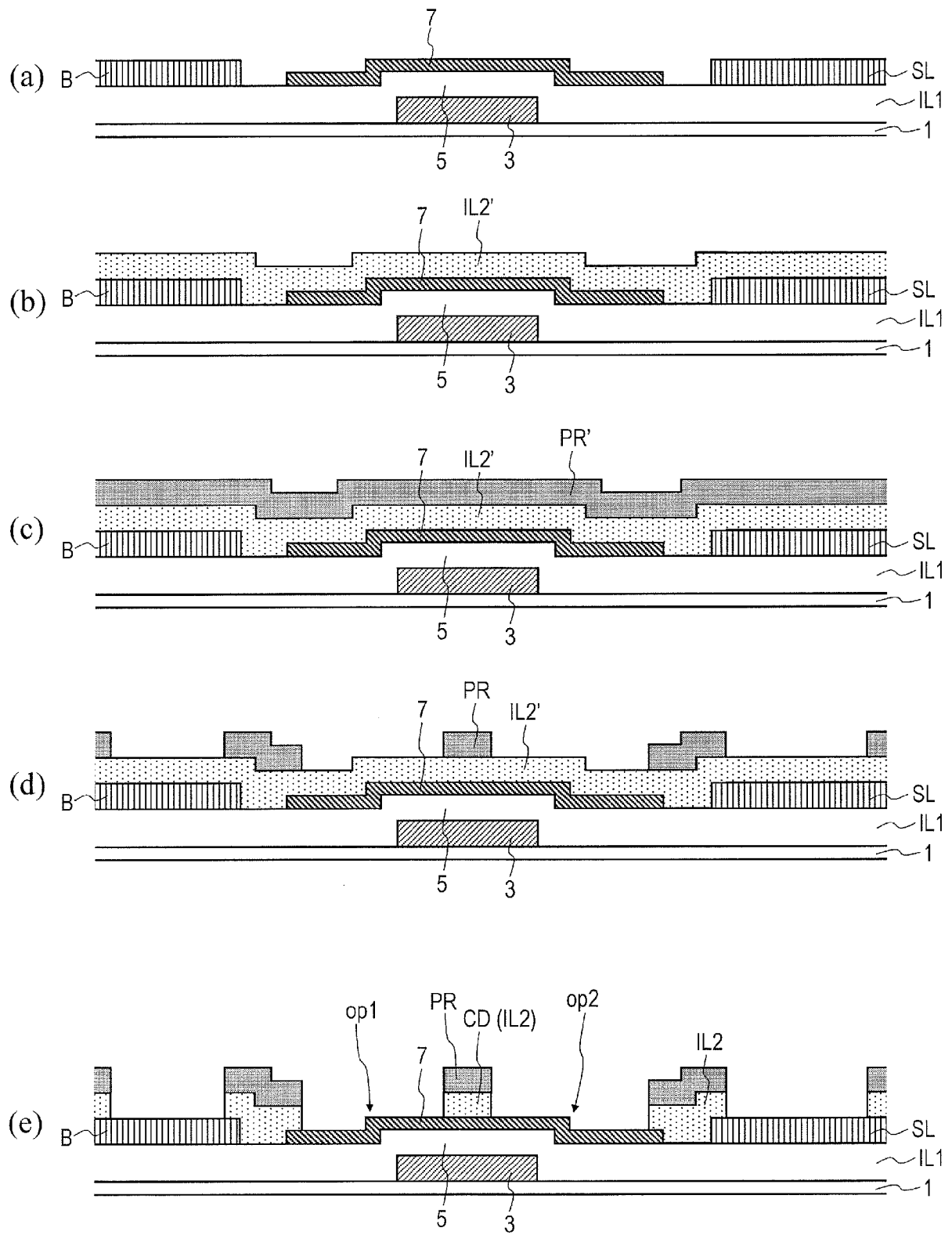
[図10]



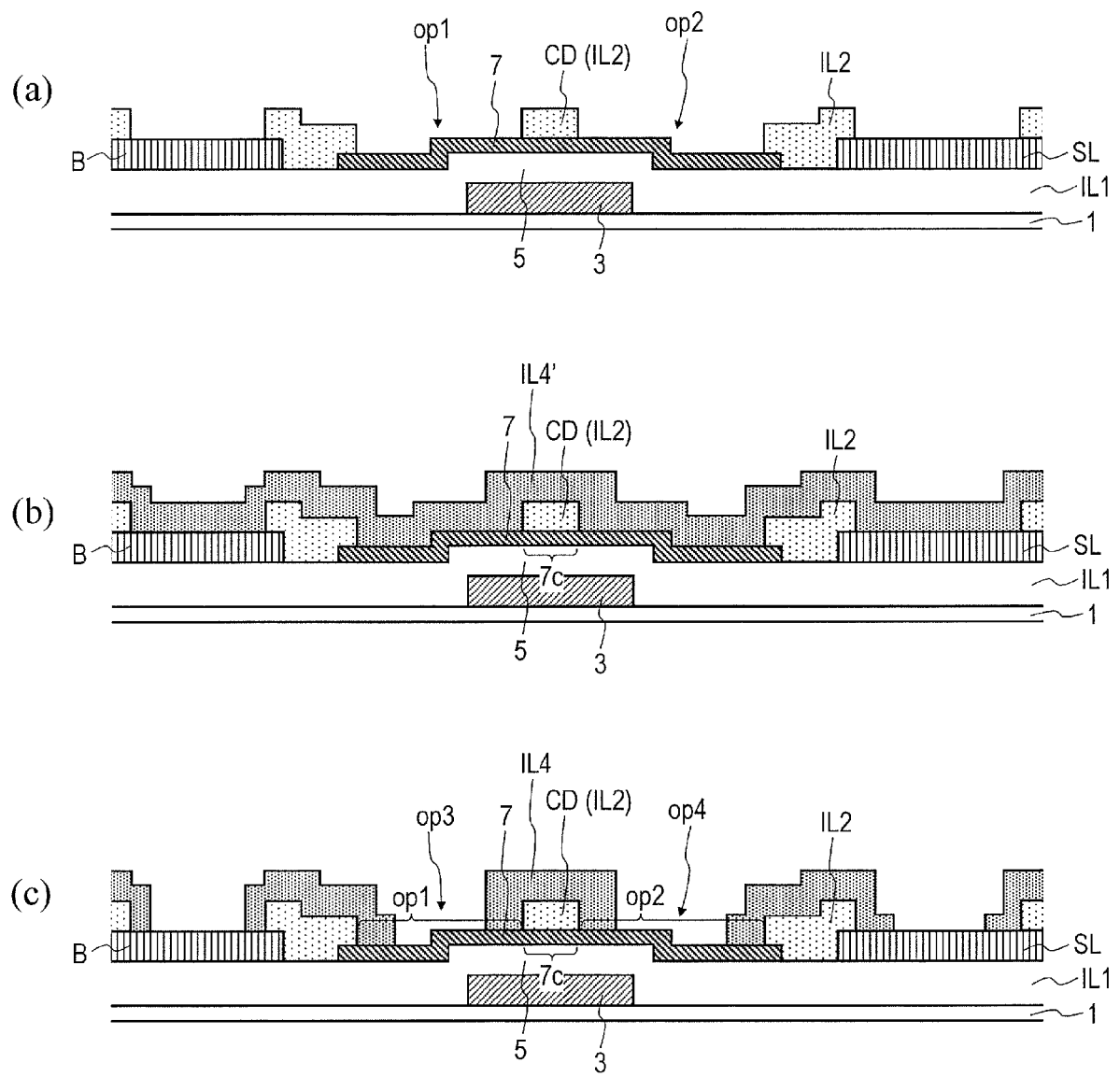
[illegible]

Figure 11 is a cross-sectional view of a semiconductor device 1100. The device features a central region 7 with a central layer 7c and side regions 7s, 7a, 7b, and 7d. A central layer 5 is positioned below the central region 7. The device includes various layers (IL1, IL2, IL3, IL4), contacts (CH1, CH2), and a substrate 1. A central layer 5 is also shown. The device is labeled 1100 in the top right corner.

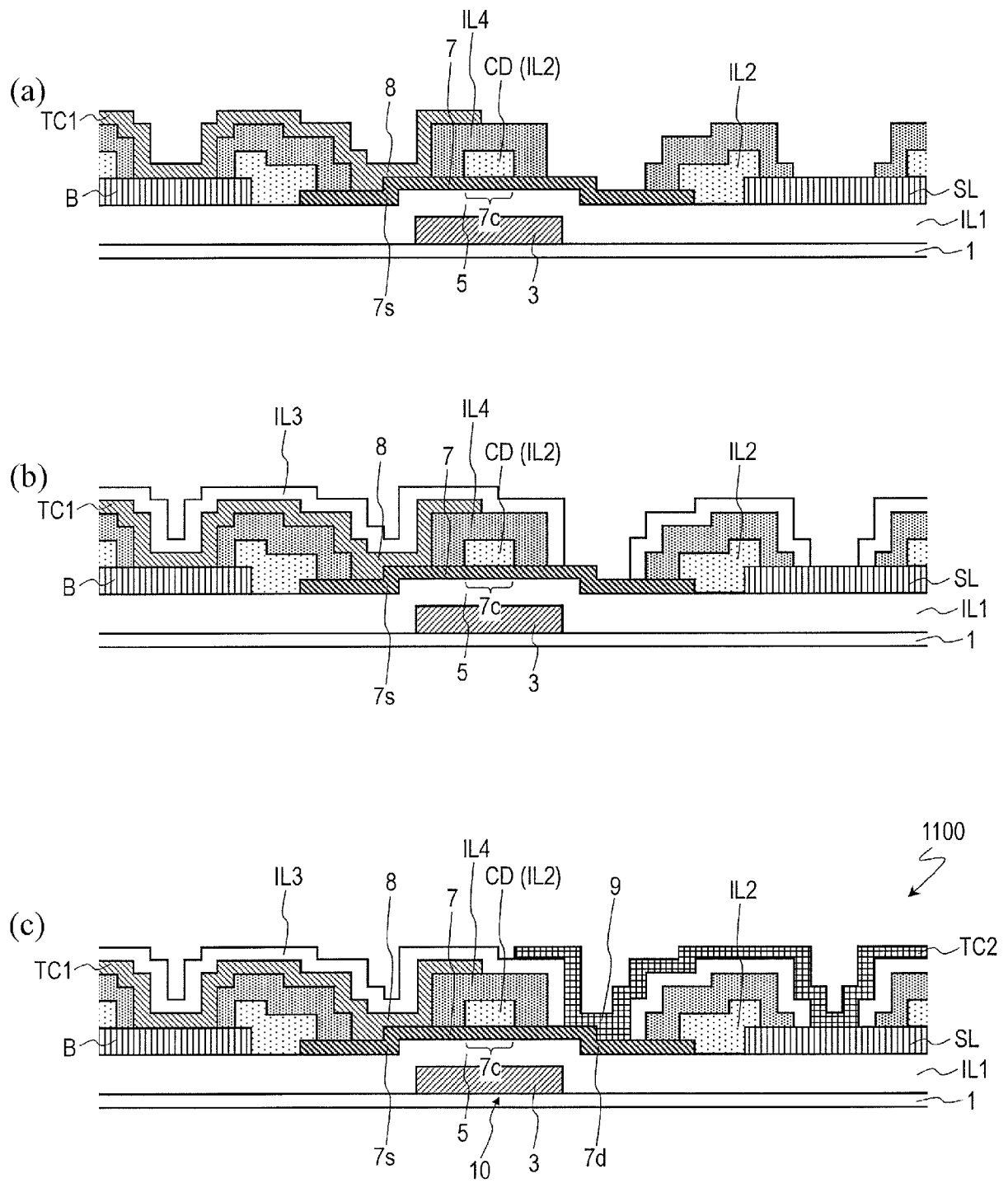
[図13]



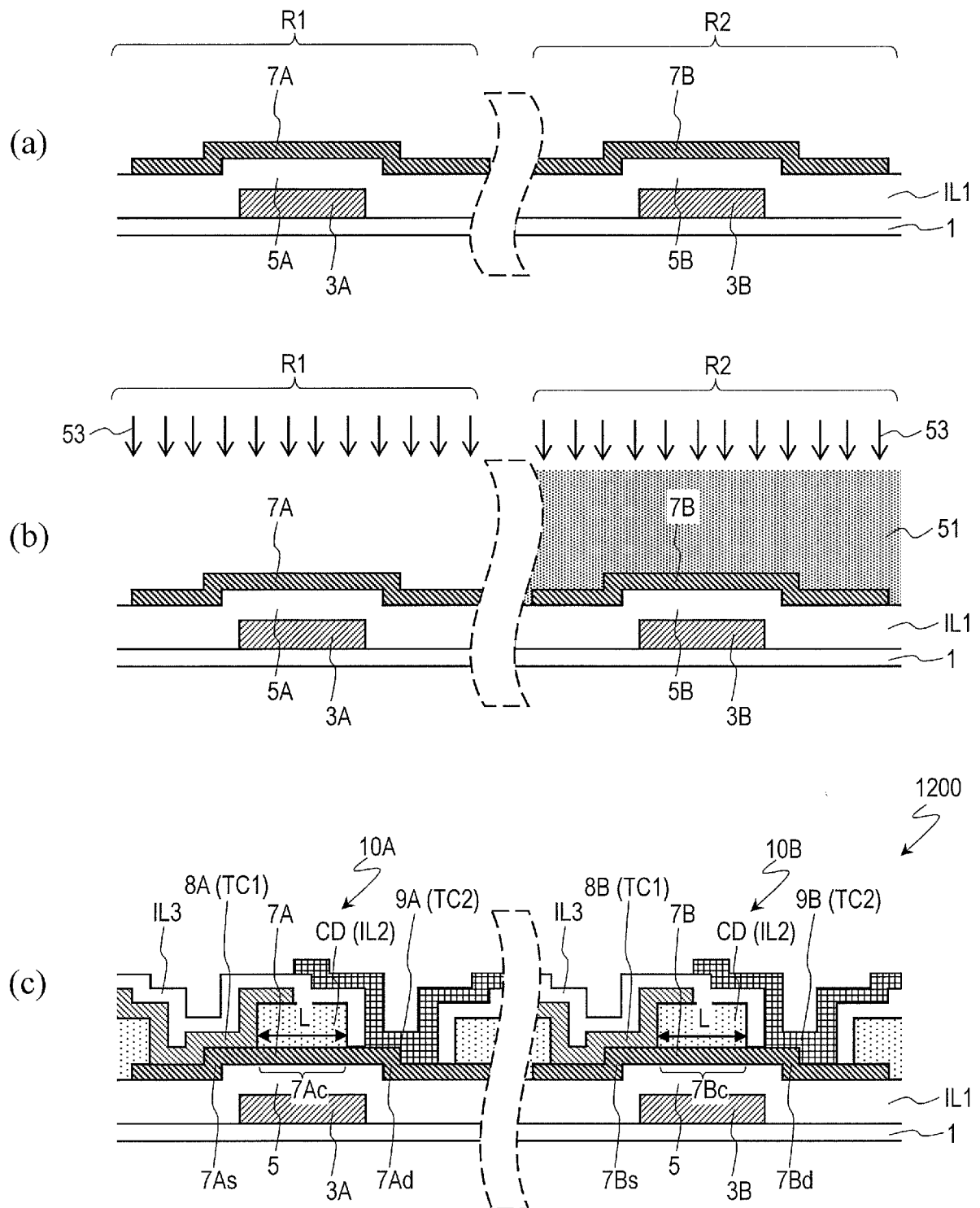
[図14]



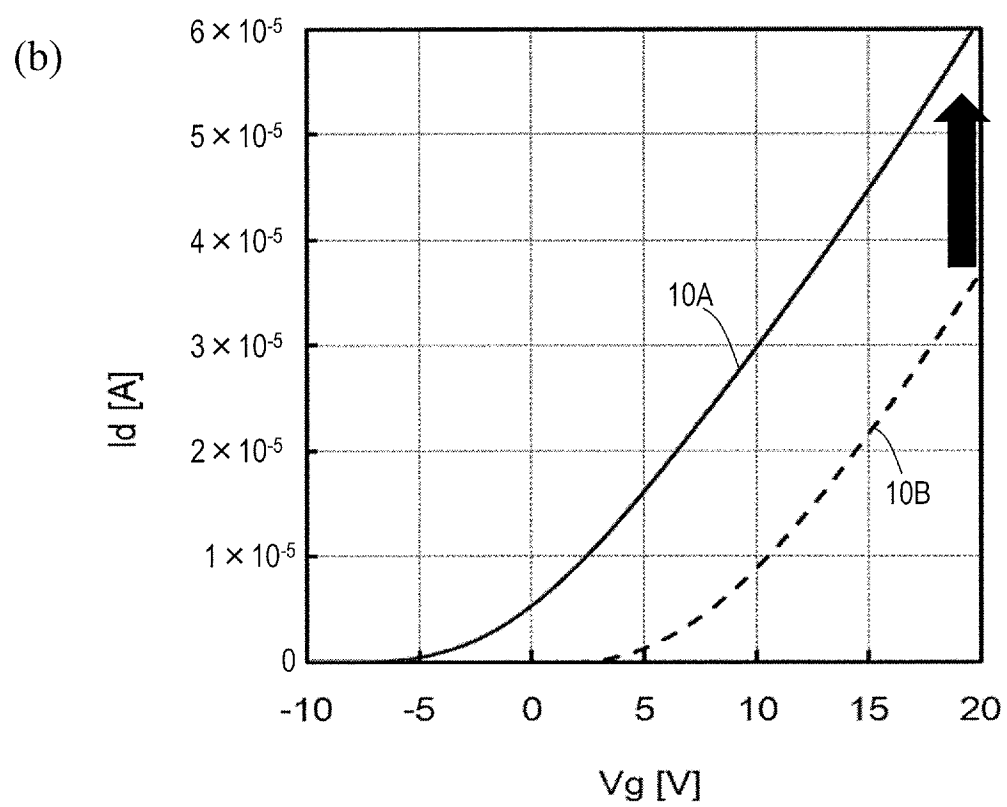
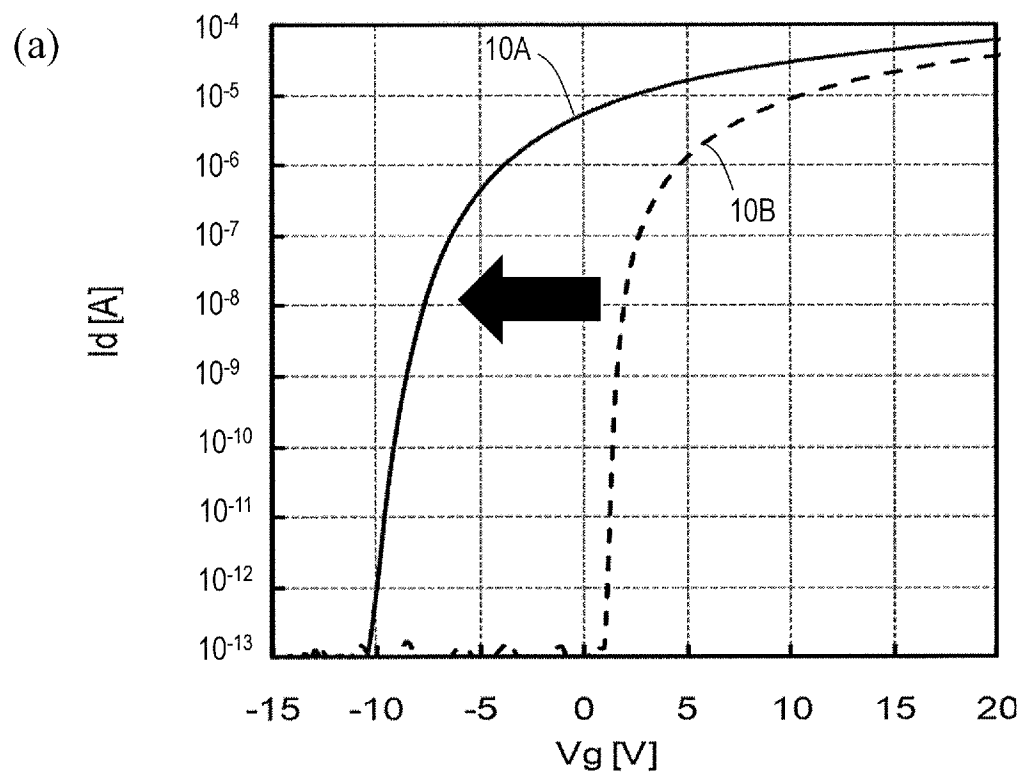
[図15]



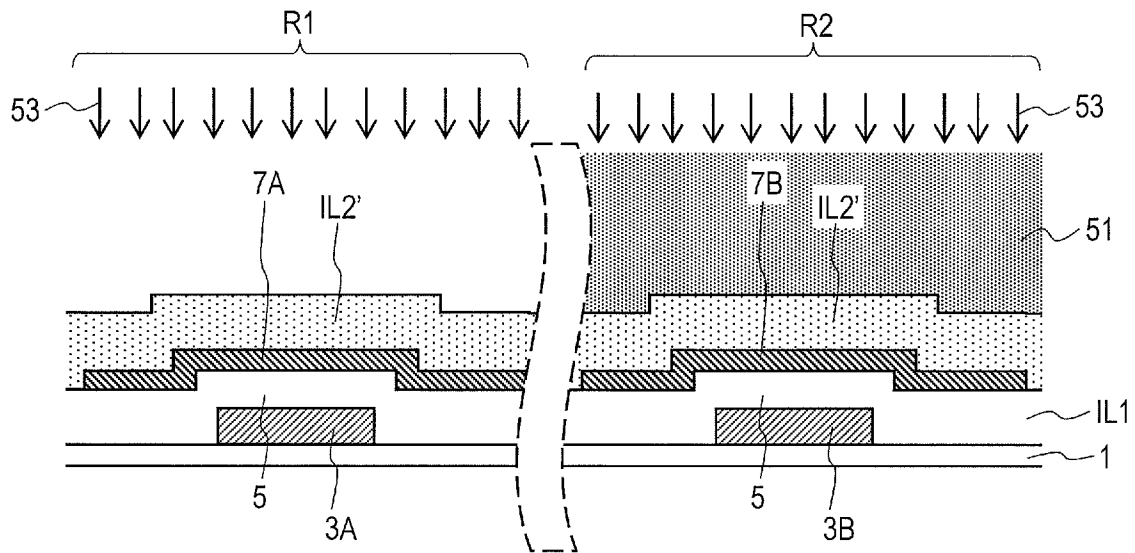
[図17]



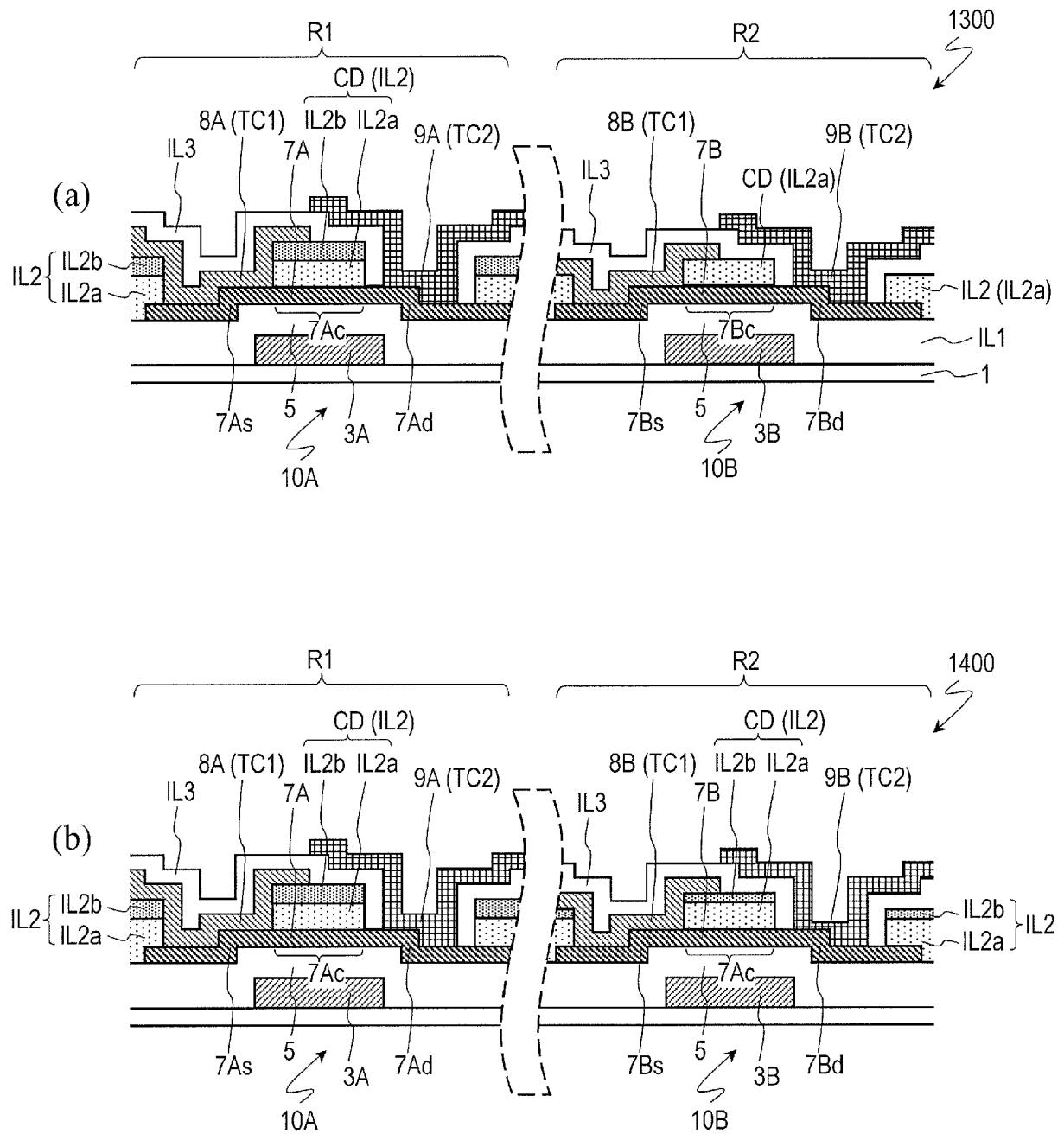
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/016489

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. 09F9/30 (2006.01)i, G02F1/1368 (2006.01)i, G09F9/00 (2006.01)i,
H01L21/336 (2006.01)i, H01L21/8234 (2006.01)i, H01L21/8236 (2006.01)i,
H01L27/088 (2006.01)i, H01L29/786 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/00-9/46, G02F1/1368, G09G3/36, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-8224 A (SHARP CORP.) 12 January 2012, paragraphs [0084]-[0103], fig. 3 (Family: none)	1, 7-11, 16-19 2-6, 12-15
Y	JP 2014-232824 A (MITSUBISHI ELECTRIC CORP.) 11 December 2014, paragraphs [0059]-[0110], [0141], fig. 8 (Family: none)	1, 7-11, 16-19
Y	JP 2010-278116 A (SHARP CORP.) 09 December 2010, paragraphs [0094]-[0123], fig. 3 (Family: none)	1, 7-11, 16-19
Y	JP 2014-7399 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 January 2014, paragraphs [0034], [0045]-[0048] & US 2013/0320334 A1 (paragraphs [0048], [0058]-[0061]) & WO 2013/180040 A1 & TW 201405818 A & CN 104380473 A & KR 10-2015-0027116 A	9-10, 18-19
A	JP 2001-318623 A (SEIKO EPSON CORP.) 16 November 2001, entire text, all drawings (Family: none)	1-19

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July 2018 (10.07.2018)

Date of mailing of the international search report
17 July 2018 (17.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L21/336(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8236(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/00-9/46, G02F1/1368, G09G3/36, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-8224 A（シャープ株式会社）2012.01.12, [0084]-[0103], 図3（ファミリーなし）	1, 7-11, 16-19 2-6, 12-15
Y	JP 2014-232824 A（三菱電機株式会社）2014.12.11, [0059]-[0110], [0141], 図8（ファミリーなし）	1, 7-11, 16-19
Y	JP 2010-278116 A（シャープ株式会社）2010.12.09, [0094]-[0123], 図3（ファミリーなし）	1, 7-11, 16-19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

10.07.2018

国際調査報告の発送日

17.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 健二

21

5061

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-7399 A (株式会社半導体エネルギー研究所) 2014.01.16, [0034], [0045]-[0048] & US 2013/0320334 A1 ([0048], [0058]-[0061]) & WO 2013/180040 A1 & TW 201405818 A & CN 104380473 A & KR 10-2015-0027116 A	9-10, 18-19
A	JP 2001-318623 A (セイコーエプソン株式会社) 2001.11.16, 全文全図 (ファミリーなし)	1-19