(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H04S 1/00
H04H 5/00

(45) 공고일자 1994년10월17일
(11) 공고번호 특1994-0009782

(21) 출원번호	특1986-0001199	(65) 공개번호	특1986-0006906
(22) 출원일자	1986년02월20일	(43) 공개일자	1986년09월15일

(30) 우선권주장 704,123 1985년02월22일 미국(US)

(71) 출원인 알 씨 에이 라이센싱 코포레이션 유진 엠 휘태커
미합중국, 뉴욕 12305, 쉐넥터디, 리버로드 1

(72) 발명자 케네드 브레이클리 웰즈 2세
미합중국, 뉴욕 12309, 쉐넥터디, 리버로드 2175
샤벨 에밀 노우제임
미합중국, 뉴욕 12065, 클립턴파트, 사우스버리 로드 126
제롬 죤슨 티만
미합중국, 뉴욕 12301, 쉐넥터디, 유니언 스트리트 234

(74) 대리인 이병호, 최달용

심사관 : 김병우 (책자공보 제3777호)

(54) FM 스테레오 신호용 디지탈 회로 및 디지탈 필터

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

FM 스테레오 신호용 디지탈 회로 및 디지탈 필터

[도면의 간단한 설명]

제 1 도는 주파수 f의 함수로서 전형적으로 복조된 FM 스테레오 신호에 대한 스펙트럼 구성도.

제 2 도는 본 발명의 필터의 양호한 실시예에 대해 Z 변환함수를 표시하는 복소수 평면에서의 극점-점선도.

제 3 도는 본 발명의 소망의 물리적 이행에 대해 설명하는 흐름선도.

[발명의 상세한 설명]

본 발명은 디지탈 회로에 관한 것이며, 특히 변조된 FM 스테레오 신호를 좌측과 우측 채널로 디코딩하기 위한 디지탈 필터에 관한 것이다. 부가적으로, 본 발명의 디지탈 회로는 단독으로나, 또는, 다른 FM 및 AM 신호처리회로와 동일 칩상에, 집적회로에 특별히 형성할 수 있는 스테레오 채널 디코딩용의 간략화한 회로에 관한 것이다.

스테레오 FM 방송에서, 세 기본 신호가 송신된다. 신호 스펙트럼의 한 부분은 좌측과 우측의 채널의 합을 표시하는 신호 송신용으로 할당된다. 스팩트럼의 다른 부분은 좌측과 우측 채널 사이의 차를 표시하는 신호의 송신용으로 할당된다. 표준 FM 스테레오 방송 신호의 제3부분은 19KHz 파일로트(pilot) 톤을 포함한다. 이 톤은 신호를 좌측과 우측 채널 부분으로 복조하는데 이용된다.

본 발명은 특히 이미 디지탈화된 복조신호를 수신하는 회로부분에 관한 것이다. 본 명세서와 첨부된 특허 청구의 범위에서 이용된 바와 같이, 디지탈화라는 용어는 주기적으로 샘플링 아날로그 신호를 이와 대등한 2진수 표시로 변환하는 것을 나타낸다. 전형적으로, 각각의 아날로그 샘플은 일련의 2진 디지트로 변환된다. 그러나, 아날로그 샘플이 각각의 표시 위치가 특정의 가중계수(2의 거듭제곱)와 대응하는 2진 표시로 변환되는 동안, 다른 수 표시 시스템이 본 명세서에 나타난 본 발명의 정신에서 벗어나지 않고서 이용될 수 있다.

본 발명에 있어서, 본 발명은 좌측 및 우측 채널 정보가 나타나는 이미 복조되고 디지탈화된 신호를 수신하는 회로에 관한 것이다. 따라서, 발췌된 좌측 채널 및 우측 채널 정보를 표시하는 디지탈화된

출력 신호를 발생하는 것은 본 발명의 회로의 기능이다.

종래에는 전체적으로 아날로그 회로와 설계 원리를 이용하여, FM 수신기에서 19KHz 파일로트 톤을 회복하였다. 이러한 원리는 전체적으로 출력이 주파수를 계수 2로 분할하는 분주기에 인가되는 38KHz 발진기의 경우 19KHz 톤으로 로크되는 위상 로크 루프의 이용을 수반한다. 좌측과 우측 채널 정보 신호를 분리하기 위해서는 파일로트 톤을 회복하는 것이 필수적이다.

그러나, 실제로 모든 다른 주파수가 거부되는 동안 19KHz 톤이 감쇄되지 않은채로 통과되도록 주파수가 응답하는 디지탈 필터를 제공하는 것은 그다지 간단하지는 않다. 궁극적인 채널 분리를 위하여 희망한 38 KHz 톤을 발생하기 위한 메카니즘을 제공하기 위해 신호 출력에 있어서 적절한 위상 관계가 나타나는 것이 필요하다. 더 나아가 가산 및 감산과 같은 작동을 수행하기 위한 디지탈 회로를 구성하는 것이 비교적 쉬운 것은 알려져 있지만, 승산과 같은 작동을 위한 디지탈회로를 제공하는 것은 대응하기 훨씬 어려운 것을 알려져 있다. 따라서, 적절한 디지탈 필터의 바람직한 특성중 하나는 최소 수요의 승산 작동이 실행되는 것이다. 본 발명의 회로가 집적회로 칩상에서 이행되는 양호한 경우에는, 칩 규격과 실제와의 문제점은 공간과 전력 모두를 보존하기 위하여 가능한한 작은 수의 디지탈 승산회로가 있어야 한다는 점이다.

본 발명의 양호한 실시예에 있어서, 90° 의 위상각만큼 이동된 19KHz톤을 표시하는 또다른 샘플 출력과 함께, 19KHz 파일로트 톤의 디지탈식 표시를 발생하기 위하여 필요한 승산의 수를 감소시키는 특수 형태의 디지탈 필터가 이용된다. 그 결과, 인입 신호를 좌측과 우측 채널 성분으로 분해하는데 이용된 희망된 38KHz 스테레오 반송파 신호를 발생할 수 있게 된다. 본 발명의 양호한 실시예에 있어서, 디지탈 필터는 파일로트 톤의 19KHz 주파수의 12배인 228KHz의 샘플링율로 작동된다. 이러한 샘플링율로 작동하면 최소수의 승산회로를 필요로 한다는 점에 있어서 특히 회로의 단순화의 관점에서 매우 유익하다. 제1디지탈 승산회로는 어떤 시간에서의 디지탈 필터의 출력과 더 이른 시간에서의 필터의 출력의 곱을 형성하는데 이용되어, 38KHz 스테레오 반송파 신호의 디지탈식 표시를 발생하게 된다. 이 신호는 출력이 좌측에서 우측을 뺀신호의 디지탈식 버젼을 표시하는 제2디지탈 승산기와 관련하여 이용된다. 단순한 합산기와 감산기는 구별되는 신호 선로에서 좌측 및 우측 채널을 발췌하는 데 이용된다.

따라서, 본 발명의 제1목적은 복조된 디지탈 FM 스테레오 신호를 좌측 및 우측 채널 성분으로 디코딩하기 위한 디지탈 회로를 제공하는 것이다.

본 발명의 제2목적은 최소수의 승산회로를 이용하는 스테레오 FM 디코딩용 디지탈 회로를 제공하는 것이다.

본 발명의 제3목적은 그 자체에 의해서나 또는 다른 디코딩 및 복조회로의 일부로서 집적회로 칩상에 형성하기 쉬운 디지탈 채널 분리 회로를 제공하는 것이다.

본 발명의 제4목적은 FM 신호의 디지탈 처리를 돕는 것이다.

끝으로, 여기에 한정되지는 않지만 본 발명의 제5목적은 소공간, 저전력을 필요로 하며 단일 집적회로 칩상에 쉽게 형성되는 FM 스테레오 신호 디코딩용 디지탈 회로를 제공하는 것이다.

본 발명으로서 고려되는 주제는 명세서의 결론 부분에서 특별히 지적되고 한정적으로 청구된다. 그러나, 본 발명은 본 발명의 목적 및 장점과 함께 구성 및 실시방법에 대하여, 첨부도면과 관련하여 이루어진 다음의 설명을 참고로 하여 가장 잘 이해될 것이다.

본 발명의 작동은 본 발명의 회로에 인가된 신호의 스펙트럼 분배에 대한 지식으로 가장 잘 이해될 수 있다. 복조된 FM 신호는 위에서 언급된 세 구별되는 성분을 필수적으로 포함한다. 특히, 복조된 FM 신호는 0에서 15KHz까지의 주파수 범위에서 좌측과 우측 스테레오 채널의 합을 표시하는 신호 L+R을 포함한다.19KHz±2KHz의 주파수에서는 전류 FCC 조절에 의해 요구되는 바와 같이 19KHz 파일로트 톤이 제공된다. 파일로트 톤 주파수의 2배인 38KHz의 주파수 근방에 중심을 둔, 좌측 마이너스 우측 채널 정보 L-R은 양측파대 압축 반송파(DSSC) 신호로 인코딩된다. 좌측 마이너스 우측 채널 정보는 도시된 바와 같이 전형적으로 23KHz에서 53KHz까지의 주파수 대역에 있다. 제 1 도에 도시된 신호의 스펙트럼은 디지탈 형태이긴 하지만 본 발명의 입력으로 제공되는 신호의 스펙트럼이다.

본 발명의 디지탈 필터 회로의 설계는 19KHz 파일로트 톤의 디지탈식 표시 부분을 발췌해 내기 위한 디지탈 필터의 설계를 근거로 한다. 그러나, 본 발명의 목적을 달성하기 위해서는 19KHz 의 주파수에 상당히 좁은 통과대역을 갖는 디지탈 필터를 만들기 위하여 단순히 종래의 설계 방법론을 적용하는 것만으로는 충분하지 않다. 특히, 본 발명은 결과적으로 상당히 간단히 이행되는 디지탈 필터용 샘플링율을 선택하였다. 더 나아가, 본 발명의 필터는 디지탈식 정현의 19KHz 신호를 발생할 뿐만 아니라, 동일 신호의 여현 버젼을 쉽게 만들 수 있는 방식으로 작동해야 한다. 회로를 단순화하기 위하여, 디지탈 필터를 특정의 형태로 설명하는 Z변환 전달 함수에 대한 추가의 극점 위치를 선택할 필요도 있다. 더 나아가 일단 회로의 단순화를 위하여 추가의 변환극점을 선택하였다면 19KHz의 주파수에 중심을 둔 단일 소폭 통과 대역만을 갖는 전달함수를 만들기 위하여 전달함수 영점 근방에서 선택할 필요가 있다.

제 2 도는 선택된 극점의 수 M이 6인 경우에 대하여, 본 발명의 디지탈 필터의 양호한 실시예를 나타낸다. 특히, 제 2 도에 도시된 선도는 본 발명의 디지탈 필터의 양호한 실시예에 대한 Z변환 H(Z)의 극점-영점 구성을 도시한 것이다. 특정의 경우에서, H(Z)의 극점의 수 M은 6이고, 샘플링율은 2M×19KHz와 동일한 228KHz이다. 종래의 경우에서와 같이 제 2 도의 선도에서, 전달함수 0점은 O으로 지정되고, 전달함수 극점은 X로 지정된다. 디지탈 신호 처리와 관련된 기술에서도 알려져 있는 바와 같이, 도시된 단위 서클을 따라서의 여러점은 서로 다른 값의 각 주파수 W와 대응한다. 특히, 0° 의 각은 0Hz의 주파수와 대응한다. 단위 서클을 따라서 양의 실측에서 측정된 바와 같이 반시계 방향으로 이동함에 따라, W의 값은 본 설계에서의 경우 180° 에서의 각이 114KHz의 주파수와 대응하고 360° 에서의 각이 228KHz의 주파수와 대응하는 상황에서 단조롭게 증가한다. 본 발명의 목적이

19KHz의 주파수에서 대량의 응답을 갖는 것이므로, 30° 의 360° 에 대한 관계가 19KHz의 228KHz에 대한 관계와 같기 때문에 양의 실측에 대해 30° 의 각에서 배치된 극점을 가질 필요가 있음을 알게 된다. 그러나, 디지탈 시호 처리 기술에서 알려져 있는 바와 같이, 이러한 극 위치가 불안정성을 초래하므로 단위 서클상에 바로 배치된 극을 갖는 것은 바람직하지 못하다. 따라서, 30° 의 각에 도시된 극점은 단위 서클내에 배치된다. 후에 더 명확해질 이유로 인하여, 30° 각에 도시된 극점은 (그리고 다른 극점도) 원 위치에서부터 $1-2^{2-}{}_{N}$ 의 거리에 있다. N은 2 이상의 어떤 실수일 수도 있지만 되도록이면 8과 같은 정수가 좋다. 극점이나 또는 0점의 실현 가능한 회로를 만들기 위해 공액 복소수쌍에서 발생해야 하므로, 제2매칭 극점은 330° 의 각에서 발생해야 한다.

19KHz의 주파수에서 예리한 응답 피크를 발생하는 것이 본 발명의 단 하나의 설계 목적이었다면, 상기의 두 위치 즉, 30° 의 330° 의 위치에만 있는 극점으로 만족해야할 것이다. 그러나, 회로의 단순화를 위하여, 본 발명의 필터는 단위 서클내에 있는 서클 주변에 불일정하게 분배된 다수의 극점을 이용한다. 이 경우에서, 샘플링율이 228KHz이므로 총 M이 6인 극점이 선택되고, 각각의 극점은 360° /M의 각도만큼 내부 서클상에서 인점 극점과 분리된다. 이와 같이 극점을 분배함으로써 분모가 $Z_M+\beta$ 의 형태로 된 전달 함수를 제공하게 된다. 위에서 논의도W된 바와 같이, β는 전형적으로 $1-2^{1-N}$ 의 형태를 취하도록 선택된다. 그러나, 90° , 1530° , 210° , 및 270° 의 각도에서 추가의 극저을 포함한다면 필터 출력에서 바람직하지 못한 성분을 발생하게 될 것이다. 다시 말하면, 이러한 극점이 단독으로 실제한다면 필터는 희망과는 다른 주파수를 통과시키는 작용을 할 것이다. 따라서, 본 발명의 설계는 이러한 효과를 완화하기 위하여 극점에 인접한 위치에서, 이러한 각에서 0점을 이용한다. 따라서, 전달함수 0점은 제 2 도에 도시된 바와같이 90° ,150° ,210° 및 270° 의 각에서 제공된다. 그러나 이러한 0점은 단위 서클 그 자체상에 배치된다. 이러한 위치는 이러한 0점을 수반하는 계수의 대수학적 표기가 디지탈 승산회로를 필요로 하는 계수의 발생을 초래한다는 점에 있어서 회로의 단순화를 증진하는 작용도 한다. 일반적으로, 0점은 공액 복소수쌍에서도 발생하며, 과도한 승산없이도 이행정도를 증진할 수 있을 정도로 충분히 좌우 대칭을 나타낸다. 그러나, 150° 와 210° 의 각도에 위치한 0점은 우측 $\frac{1}{2}$ 평면에 대응하게 좌우 대칭으로 배치된 0점을 귀한다. 이러한 0점을 배치하기 위하여 필터의 19KHz 선택도를 없앤다. 추가로, 직류 성분을 제거하고 회로 단순화를 더 증진하기 위하여 Z=+1과 Z=-1에 0점이 제공된다.

따라서, 본 발명의 양호한 디지탈 필터 실시예는 실제로 다음식

$$H(Z) = H\frac{(Z^2+1)(Z^2-1)(Z^2+\sqrt{3}Z+1)}{Z^6+(1-2^{2-N}}$$

과 실제로 동일한 Z변환 전달함수를 처리하며, 여기서 N은 2이상의 실수이고 H는 스케일 계수이다. 상기의 식은 확장될 수 있고, 분자와 분모는 모두 계수 Z^6 으로 나누어 진다. 이와 같이 나누면 다음식과 같이 된다.

$$H(Z) = H\frac{1+\sqrt{3}(Z^{-1}-Z^{-5})+Z^{-2}-Z^{-4}-Z^{6}}{1+(1-2^{2-N})Z^{-6}}$$

H(Z)에 대한 상기의 제2식은 디지탈 필터에 대한 입출력 관계를 나타내기 위하여 훨씬 직접적인 형태를 제공한다. 특히, 다음식도 알 수 있다.

y(n)=H[X(n)+X(n-2)-X(n-4)

-X(n-6)+1.7320508(X)(n-1)-

X(n-5))]-0.9843759(n-6)

상기 식에서 N=8이다. 스케일 계수 H는 0.00282이다. 상기 식에서, 샘플링 주기 T는 종종 이용된 본 발명에 따라서 단순화를 위하여 압축되었다. (n)에 대한 상기의 식은 디지탈 회로에서 쉽게 이행할 수 있는 형태로 기록된다.

상기의 디지탈 필터를 이해하기 위한 특정의 회로는 제 3 도에 도시된다. 예를 들어, 제 3 도의 회로는 디지탈식 표기 값 X(n) 내지 X(n-6)을 기억하기 위하여 클럭식 시프트 레지스터를 포함한다. 추가적으로, 출력 y(n)은 한 세트의 클럭식 시프트 레지스터에 공급되기도 한다. 제 3 도의 디지탈 회로는 도시된 바와 같이 가산기, 감산기 및 승산기도 포함한다. 승산 단계를 대신하는 시프터도 도시된다. 제 3 도에 도시된 회로의 디지탈 필터 부분은 X값에 대한 시프트 레지스터와 y값에 대한 시프트 레지스터 사이의 회로부분이다. 출력 y(n)은 도시된 회로에 의해 발생됨을 쉽게 알 수 있다. X(n-1) 및 X(n-5)와 관련된 항은 4상위 디지트에서 $\sqrt{3}$ 의 10진수 버젼을 나타내는 1.732로 승산하기 전에 다른 작동에서 함께 집단화 되었다. 이러한 집단화로 인하여 요구되는 디지탈 승산기의 수를 줄임을 알 수 있다. 제 3 도에 실시예가 도시되어 있는 본 발명의 디지탈 필터 부분은 이러한 단일 승산기만을 포함함을 알게 된다. 이러한 점은 본 발명의 중요한 장점이다. 추가적으로, H(Z)에 대한 상기의 식에서 N을 2이상의 정수가 되도록 선택함으로써 승산기 대신에 시프터를 이용할 수 있다. 공지된 바와 같이, 거듭 제곱 2로 승산하는 것은 자리 표기법상의 2진수 시스템에서의 간단한 시르트 작용으로 쉽게 이루어진다. 값 N은 제 2 도에서 서로 인접하게 있는 극점과 0점의 근사치를 제어한다. N값이 높으면 높을수록 극점과 0점은 더 가까와진다. 그러나, 안정성 문제에 대한 실제의 이행과 회피를 위하여, N은 8근방의 정수가 되도록 본 발명에서 양호하게 선택된다.

따라서, 위에서 설명된 디지탈 필터 회로가 19KHz파일로트 톤의 디지탈식 표시를 출력 y(n)으로서

발생함을 알수 있다. 필터가 228KHz의 샘플링율로 작동하므로, y(n)내지 y(n-6)은 12와 동일한 2M이 360° 를 30° 세그먼트로 나누기 때문에 30° 의 위상각으로 분리된다. 따라서, y(n-3)에서 채택된 샘플은 이 샘플이 y(n)에 대하여 90° 의 위상 이동 관계에 있기 때문에 여현 신호를 나타낸다. 다음과 같은 삼각법에 의한 항등식이 이용된다.

$$\sin \times \cos \quad Y = \frac{1}{2}[\sin(x+Y) + \sin(X-Y)]$$

$$\sin \times \cos \quad Y = \frac{1}{2}\sin 2X$$

특정의 경우에서, X=Y이고, 임을 알게 된다. 따라서, 본 발명은 38KHz 스테레오 반송파 신호를 표시하는 최종의 신호 C(n)을 발생하기 위해 y(n)과 y(n-3)의 곱을 형성하도록 승산기를 이용한다. 일반적으로, 상기의 삼각법에 의한 항등식에서, 승산은 두 신호의 합을 발생하도록 작용하는데, 두 신호중 하나는 두 주파수의 합을 근거로 한 것이고, 다른 하나는 두 주파수의 차를 근거로 한 것이다. 상기의 필터에서 디지탈 필터에 대해서 극점의 수 M=6으로 선택함으로써, 디지탈 승산회로의 출력으로 38KHz 스테레오 반송파 신호 C(n)을 발생할 수 있도록 y(n)에 대한 적절한 위상을 나타내는 출력신호 y(n-3)을 발생하게 된다.

신호 C(n)을 발생시키면 좌측 스테레오 채널과 우측 스테레오 채널 사이의 대수적인 차를 표시하는 신호 L-R(제 3 도 참조)을 발생할 수 있게 된다. 상기의 삼각법에 의한 항등식에 통합된 원리에 따르면, 38KHz 스테레오 반송파 신호에 의한 승산 작동은 인입 신호의 L-R 부분을 0과 15KHz 사이의 주파수 범위로 이동시키는 작용을 한다. 또한, 상기의 작동은 상기 신호부분을 76KHz 주변에 중심을 둔 대역으로 주파수 이동시키는 작용도 하지만, 이러한 주파수 범위는 들을 수 없기 때문에 도시된 결과적인 이러한 부분은 부시될 수 있다. 유사한 방식으로, 인입하는 디지탈식 복조 FM 신호에서 38KHz 근방에 중심을 둔 특정의 정보는 이 정보가 마찬가지로 인간의 귀로 들을 수 없기 때문에 무시될 수 있거나, 또는 후에 여과될 것이다. 이때 입력 신호의 관련부분만이 그 L+R 부분이다. 따라서, L+R 부분을 포함하는 인입 신호에 상기 발생된 L-R 신호를 가산하여, 실제로 좌측 채널의 디지탈화된 부분을 표시하는 신호를 발생하는 간단한 디지탈 합산기가 제공된다. 유사한 방식으로, 우측 채널을 발생하기 위해 제 3 도에 도시된 방식으로 감산기가 이용되기도 한다. 기호로는 (L+R)-(L-R)=2R로 표기된다. 이러한 방식으로, 본 발명의 디지탈 회로는 디지탈식 복조 FM 신호를 좌측 및 우측 스테레오 성분으로 디코딩하는 작용을 한다.

따라서, 본 발명의 디지탈 회로는 새 디지탈 승산기만을 합체한 디지탈 회로를 이용하여 규칙적으로 방송 FM 스테레오 신호를 디지탈 방식으로 디코딩 하는 수단을 제공함을 알게 된다. 실제로, 본 발명의 회로의 디지탈 필터 부분은 단일 디지탈 승산기만을 합체한다. 이와 같이 간단히 이행할 수 있는 필터는 FM 스테레오 디코딩을 위해 집적 회로에 합체됨을 쉽게 알수 있다. 또한, 이러한 회로는 더 작은 칩면적과 더 작은 전력을 필요로 함을 알 수 있다. 제 3 도에 도시된 회로가 본 발명에서 더 양호한 회로이지만, y(n-6)을 포함하는 레지스터로부터 입력을 수신하는 시프터와 감산기는 N이 정수값이 아닐 경우 추가의 승산기 회로로 대체될 수 있다. 추가로 위에서 농의된 것은 제 3 도에 도시된 여러 레지스터, 시프터, 가신기, 감산기 및 승산기를 이용한 비트에 대해 언급한 것은 절대 아니다. 본 발명의 범위나 정신에서 벗어나지 않고 서 여러가지 값이 이용될수 있다. 그러나 FM 스테레오 신호의 분리를 위하여 8 내지 15비트가 이용될 수 있고 이러한 특수목적을 위해서는 되도록이면 10비트 또는12비트가 좋다. 본 명세서에서 양호하게 이용된 샘플링율은 정확한 신호재생을 위해 요구되는 다이쿼스트 비율 이상임이 주목된다. 본 발명에서 좌측 및 우측 채널로부터의 출력 신호는 디지탈 -아날로그 변환 장치와, 양자화 및 변환 처리의 결과로 바람직하지 못하게 나타날 수 있는 고주파 성분을 제거하기 위한 저역 통과 필터에 전형적으로 공급된다.

본 발명이 본 발명의 어떤 양호한 실시예에 따라서 본 명세서에 상세히 기술되었지만, 이러한 기술분야의 기술자에 의해서 많이 수정되고 변경될 수도 있다. 따라서, 첨부된 특허청구의 범위에 의하여 본 발명의 진정한 정신과 범위내에 속하는 그러한 모든 수정과 변경을 커버하고자 한다.

(57) 청구의 범위

청구항 1

디지탈식 변조 FM 스테레오 신호를 디지탈 좌우 채널 성분으로 디코딩 하기 위한 디지탈 회로에 있어서, 입력순서 X(nT)를 수신하고 출력순서 y(nT)를 발생하며, N이 2이상의 실수이고 H가 스케일 계수일때 다음 함수

$$H(Z) = H\frac{(Z^2+1)(Z^2-1)(Z^2+\sqrt{3}Z+1)}{Z^6+(1-2^{-N})}$$

와 실제로 동일한 Z변환 전달 함수를 구비하고, 실제로 228KHz와 실제로 동일한 샘플링율에 대응하는 주기 T를 갖는 샘플링율에 작용하는 디지탈 필터와, 스테레오 반송파 신호의 디지탈식 표시 C(nT)를 형성하기 위하여, 시간 nT에서의 상기 필터의 출력 y(nT)와 시간(n-3)T에서의 상기 필터의 출력 y(nT-3T)의 곱을 형성하기 위한 제1디지탈 승산회로와, L-R 신호의 디지탈식 표시를 형성하기 위하여, 시간 nT에서의 상기 필터의 입력 X(nT)와 시간 nT에서의 상기 제1디지탈 승산기의 출력 C(nT)의 곱을 형성하기 위한 제2디지탈 승산기 회로를 포함하는 것을 특징으로 하는 FM 스테레오 신호용 디지탈 회로.

청구항 2

제 1 항에 있어서, 상기 제2디지탈 승산기로부터의 상기 L-R 신호와 상기 입력 신호 X(nT)의 합을

형성하여, 상기 좌측 스테레오 채널 정보를 표시하는 신호가 발생되게 하는 디지탈 합산 회로와, 상기 L-R 신호와 상기 입력 신호 X(nT)사이의 차를 형성하여, 상기 우측 스테레오 채널 정보를 표시하는 신호가 발생되게 하는 디지탈 감산회로를 포함하는 것을 특징으로 하는 FM 스테레오 신호용 디지탈 회로.

청구항 3

제 1 항에 있어서, N이 정수인 것을 특징으로 하는 FM 스테레오 신호용 디지탈 회로.

청구항 4

제 1 항에 있어서, N=8인 것을 특징으로 하는 FM 스테레오 신호용 디지탈 회로.

청구항 5

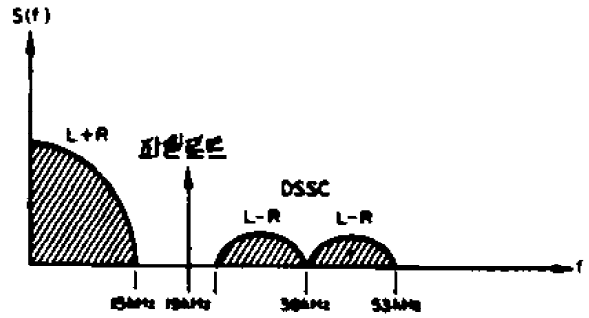
입력순서 X(nT)를 수신하고 출력순서 y(nT)를 발생하기 위한 디지탈 필터로서, N이 2이상의 실수이고 H가 스케일 계수일때 다음함수

$$H(Z) = H\frac{(Z^2+1)(Z^2-1)(Z^2+\sqrt{3}Z+1)}{Z^6+(1-2^{2-N})}$$

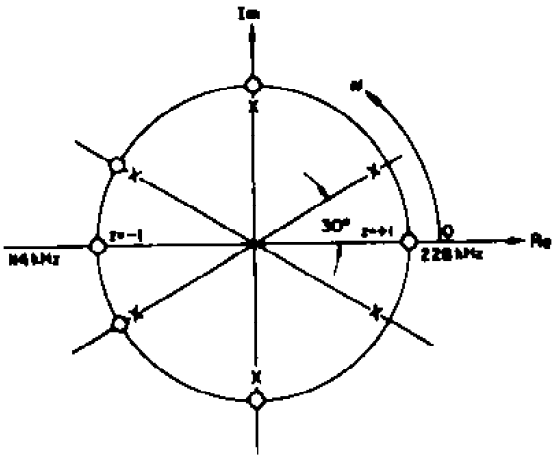
와 실제로 동일한 Z변환전달함수를 가지며, 228KHz와 실제로 동일한 샘플링율과 대응하는 주기 T를 갖는 샘플링율에 대해 작용하는 것을 특징으로 하는 디지탈 필터

도면

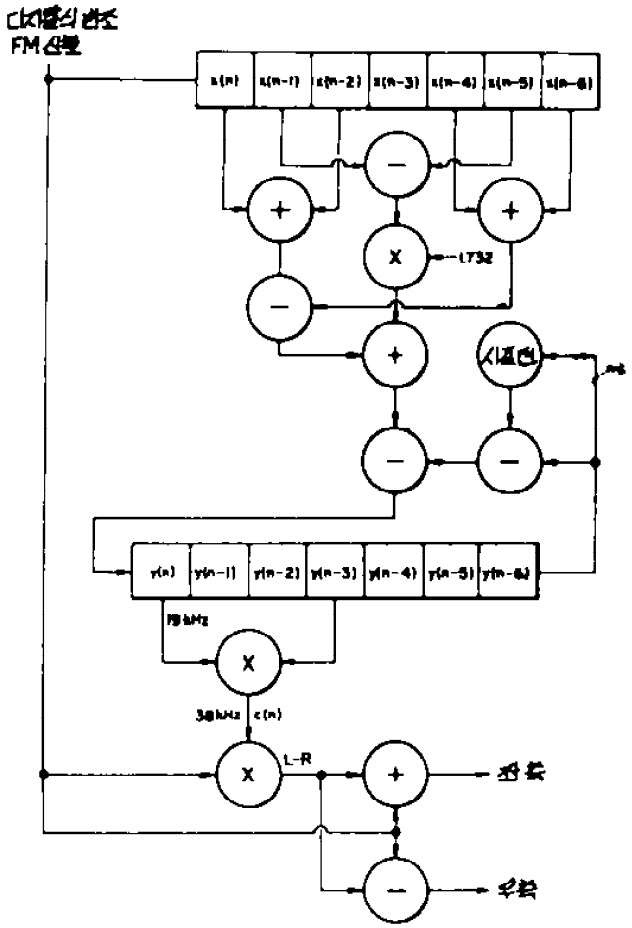
도면1



도면2



도면3


FM신호
x(n)
x(n-1)
x(n-2)
x(n-3)
x(n-4)
x(n-5)
x(n-6)
1.732
y(n)
y(n-1)
y(n-2)
y(n-3)
y(n-4)
y(n-5)
y(n-6)
L-R