

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4837899号

(P4837899)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int. Cl. F I
G06F 12/00 (2006.01) G O 6 F 12/00 5 5 O K
G06F 13/16 (2006.01) G O 6 F 12/00 5 6 4 D
G O 6 F 13/16 5 1 O A

請求項の数 37 (全 15 頁)

(21) 出願番号	特願2004-137797 (P2004-137797)	(73) 特許権者	390019839
(22) 出願日	平成16年5月6日(2004.5.6)		三星電子株式会社
(65) 公開番号	特開2004-334879 (P2004-334879A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成16年11月25日(2004.11.25)		C o . , L t d .
審査請求日	平成19年4月24日(2007.4.24)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2003-028175		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成15年5月2日(2003.5.2)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国(KR)	(74) 代理人	100064908
(31) 優先権主張番号	10/750093		弁理士 志賀 正武
(32) 優先日	平成15年12月31日(2003.12.31)	(74) 代理人	100089037
(33) 優先権主張国	米国(US)		弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 メモリシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

マザーボードに直接装着される第1バッファと、

前記マザーボードに直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備え、

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

【請求項 2】

前記第1バッファは、アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置にドライビングするコマンド及びアドレスバッファであることを特徴とする請求項1に記載のメモリシステム。

【請求項 3】

前記コマンド及びアドレスバッファは、

前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項2に記載のメモリシステム。

10

20

【請求項 4】

前記少なくとも一つの第 1 メモリ装置は、

前記マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、

前記第 1 コマンド及びアドレス信号線は、前記第 2 コマンド及びアドレス信号線と垂直に配置されることを特徴とする請求項 3 に記載のメモリシステム。

【請求項 5】

前記少なくとも一つの第 1 メモリ装置は、D R A MまたはS D R A Mであることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 6】

前記少なくとも一つの第 1 メモリ装置は、前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 7】

前記マザーボード上に装着されているソケットを通じてメモリコントローラと電気的に連結される少なくとも一つのメモリモジュールを備えることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 8】

前記少なくとも一つのメモリモジュールは、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第 2 バッファと、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第 2 バッファに連結される少なくとも一つの第 2 メモリ装置と、を備えることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 9】

前記少なくとも一つの第 2 メモリ装置は、D R A MまたはS D R A Mあることを特徴とする請求項 8 に記載のメモリシステム。

【請求項 10】

前記少なくとも一つのメモリモジュールは、

前記マザーボード上における前記メモリコントローラから前記少なくとも一つの第 1 メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 11】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 12】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 13】

マザーボード上に直接装着される少なくとも一つのメモリランクと、

前記マザーボード上において前記少なくとも一つのメモリランクに配線される複数の信号線と、を備え、

前記少なくとも一つのメモリランクは、

少なくとも一つの第 1 メモリ装置と、

アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置に前記マザーボード上の対応する信号線を介してドライビングする第 1 バッファと、を備え

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

10

20

30

40

50

前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

【請求項 1 4】

少なくとも一つの前記第 1 バッファは、

前記マザーボード上に配線されている第 1 コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項 1 3 に記載のメモリシステム。

【請求項 1 5】

前記少なくとも一つの第 1 メモリ装置は、

前記マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介して前記少なくとも一つの第 1 バッファから前記コマンド及びアドレス信号を受信し、

前記第 1 コマンド及びアドレス信号線は、前記第 2 コマンド及びアドレス信号線と垂直に配置されていることを特徴とする請求項 1 4 に記載のメモリシステム。

【請求項 1 6】

前記少なくとも一つの第 1 メモリ装置は前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項 1 4 に記載のメモリシステム。

【請求項 1 7】

前記少なくとも一つの第 1 メモリ装置は、D R A M または S D R A M であることを特徴とする請求項 1 4 に記載のメモリシステム。

【請求項 1 8】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 1 6 に記載のメモリシステム。

【請求項 1 9】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 1 7 に記載のメモリシステム。

【請求項 2 0】

メモリモジュールと、

前記マザーボード上に装着され、前記メモリモジュールと連結される受信部を備えることを特徴とする請求項 1 5 に記載のメモリシステム。

【請求項 2 1】

前記メモリモジュールは、

前記メモリモジュールのモジュールボード上に装着されている複数の第 2 メモリ装置と

、
前記メモリモジュールのモジュールボード上に装着され、前記複数の第 2 メモリ装置をドライビングできる第 2 バッファと、を備えることを特徴とする請求項 2 0 に記載のメモリシステム。

【請求項 2 2】

システムクロックに応答して第 1 クロックを発生する位相同期ループを備えており、前記複数の第 2 メモリ装置は、前記第 1 クロックに同期して動作することを特徴とする請求項 2 1 に記載のメモリシステム。

【請求項 2 3】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを備えており、前記複数の第 2 メモリ装置は、前記第 1 クロックに同期して動作することを特徴とする請求項 2 1 に記載のメモリシステム。

【請求項 2 4】

前記受信部は、

マザーボード上においてメモリコントローラから前記少なくとも一つの第 1 メモリ装置

10

20

30

40

50

までの距離よりも遠くに配置されることを特徴とする請求項 20 に記載のメモリシステム。

【請求項 25】

マザーボード上に複数の第 1 メモリ装置を直接装着する段階と、

対応するコマンド及びアドレス信号を前記マザーボード上の前記複数の第 1 メモリ装置にドライビングできる第 1 コマンド及びアドレスバッファを直接装着する段階と、を備え、

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステムの構成方法。

10

【請求項 26】

前記アドレスバッファから前記マザーボード上の前記第 1 メモリ装置に前記コマンド及びアドレス信号のための第 1 信号線を配線する段階を備えることを特徴とする請求項 25 に記載のメモリシステムの構成方法。

【請求項 27】

前記マザーボード上に装着されているメモリコントローラから前記第 1 コマンド及びアドレスバッファに前記コマンド及びアドレス信号のための第 2 信号線を配線し、前記第 1 信号線は、前記第 2 信号線と垂直であることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

20

【請求項 28】

システムクロックに응答して第 1 クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

【請求項 29】

システムクロックに응答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

【請求項 30】

30

前記マザーボード上に装着されている受信部を通じて前記マザーボード上に装着されているメモリコントローラとメモリモジュールを電氣的に連結する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

【請求項 31】

前記メモリモジュールのモジュールボード上に第 2 メモリ装置を装着する段階と、

前記モジュールボード上に第 2 コマンド及びアドレスバッファを装着する段階と、を具備しており、

前記モジュールボードは、前記マザーボード上に装着されているソケットを通じてメモリコントローラに連結されることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

40

【請求項 32】

システムクロックに응答して第 1 クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 31 に記載のメモリシステムの構成方法。

【請求項 33】

システムクロックに응答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 32 に記載のメモリシステムの構成方法。

【請求項 34】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコン

50

トローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線と、を備え、

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

10

【請求項 3 5】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結する少なくとも一つの第 1 メモリ装置と、

少なくとも一つのメモリモジュールは、モジュールボード上に装着され前記コマンド及びアドレス信号を受信する第 2 バッファと、前記第 2 バッファに連結され前記少なくとも一つの第 1 メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第 2 メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

20

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の第 1 信号線と、

前記モジュールボード上における前記第 2 バッファ及び前記少なくとも一つの第 2 メモリ装置に配線される複数の第 2 信号線と、を備え、

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

30

前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

【請求項 3 6】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する位相同期ループと、

前記マザーボード上に直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

40

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線を備えており、

前記第 1 メモリ装置は、前記位相同期ループから出力される内部クロック信号に同期して動作することを特徴とするメモリシステム。

【請求項 3 7】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第 1 バッファと、

50

前記マザーボード上に直接装着され、クロック信号を受信する第１位相同期ループと、
前記マザーボード上に直接装着され、前記第１バッファに連結される少なくとも一つの第１メモリ装置と、

モジュールボード上に装着され、前記コマンド及びアドレス信号を受信する第２バッファと、前記第２バッファに連結され前記少なくとも一つの第１メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第２メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上に直接装着され、前記クロック信号を受信する第２位相同期ループと、

前記マザーボード上において前記第１バッファ及び前記少なくとも一つの第１メモリ装置に配線される複数の第１信号線と、 10

前記モジュールボード上において前記第２バッファ及び前記少なくとも一つの第２メモリ装置に配線される複数の第２信号線と、を備えており、

前記第１メモリ装置は、前記第１位相同期ループから出力される第１内部クロック信号に同期して動作し、前記第２メモリ装置は、前記第２位相同期ループから出力される第２内部クロック信号に同期して動作することを特徴とするメモリシステム。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、メモリシステムに係り、特にマザーボードに直接装着されるメモリシステム及び方法に関する。 20

【背景技術】

【０００２】

最近、大容量のメモリを具備するメモリシステムに対する要求の増加にともなって複数のメモリチップを装着したメモリモジュールをマザーボードに連結するメモリ構造が多く使われている。例えば、ＳＩＭＭ(Single Inline Memory Module)またはＤＩＭＭ(Dual Inline Memory Module)と呼ばれるメモリモジュールは、メイン回路やマザーボードに装着される拡張ソケットに容易に連結できるように考案された回路ボードである。

【０００３】

図１及び図２は、コンピュータシステムのメモリ構造を説明する図面である。図１及び図２を参照すれば、システム１００は、メモリコントローラ１０４によって制御されるメモリモジュール１０６を具備する。メモリコントローラ１０４は、メモリモジュール１０６の読み出し及び書き込み動作を制御する。メモリコントローラ１０４は、マザーボード１０２に装着される。メモリコントローラ１０４の動作は当業者によく知られているので詳しい説明は省略する。 30

【０００４】

メモリモジュール１０６は、複数の連結パッド１１６を具備するエッジコネクタ１１４を含む。一般に、連結パッド１１６は、メモリモジュール１０６の両側面に配置される。複数のソケット１１２がマザーボード１０２に装着される。ソケット１１２は、電氣的にメモリモジュール１０６とマザーボード１０２とを連結するためにエッジコネクタ１１４と連結される。 40

【０００５】

メモリモジュール１０６は、複数のメモリ装置１０８を具備する。メモリ装置１０８は、例えばＤＲＡＭまたはＳＤＲＡＭでありうる。

【０００６】

バッファ１１０は、メモリコントローラ１０４から受信するコマンドとアドレス信号Ｃ／Ａを制御する。複数のメモリ装置１０８とバッファ１１０とはメモリモジュール１０６に装着される。

【０００７】

図１に示した信号線は、マザーボード１０２とモジュール１０６の両方に連結される。 50

信号線は、データバスDQ、システムクロック信号CLK、及びコマンドアドレスバスC/Aを含む。メモリ装置108は、マザーボード102に装着されている対応するソケット112を介してメモリコントローラ104から信号を受信する。

【0008】

メモリ構造において、アドレス、制御及びクロック信号線の集積度を維持することが重要である。信号反射を含む伝送ライン効果のために動作周波数が増加するほど信号線の集積度を維持し難くなる。

【0009】

伝送ライン理論によると、ソケット112を通じたマザーボード102とモジュール106との連結にはスタブ抵抗が発生する。スタブ抵抗は、信号反射及び信号集積度に悪影響を及ぼす伝送不連続現象(transmission discontinuity)を表す。

10

【0010】

図1～3において、データバスDQのような信号線302がマザーボード102上にある。信号線302は、ソケット312を介してマザーボード102上の信号線304と電気的に連結される。

【0011】

ところが、ソケット312は、信号線302と信号線304との間に不連続部306をもたらし、不連続306は、タイミングマージンと電圧ウィンドウとを減少させ、発生したノイズを反送(reflect back)させるという問題がある。

【0012】

20

図4において、メモリモジュール406上のスタブ抵抗416は、信号反射を減少させる。スタブ抵抗416は、メモリ読み出し及び書き込み動作を向上させる。しかし、スタブ抵抗416の値が増加するほど信号反射は減少するが、スタブ抵抗416による電圧降下が増加し信号電圧を減少させる。

【0013】

信号電圧が減少すると電圧ウィンドウが減少する。そして、スタブ抵抗416は信号を遅延させるRC寄生抵抗を発生させる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

30

本発明の目的は、例えば、コマンド信号とアドレス信号とを高速で受信し高速動作が可能な構造のメモリシステムを提供することである。

【課題を解決するための手段】

【0015】

前記技術的課題を達成するための本発明の第1実施の形態によるメモリシステムは、マザーボードに直接装着される第1バッファと、前記マザーボードに直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備え、第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つである。

40

【0016】

前記第1バッファは、例えば、アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置にドライビングするコマンド及びアドレスバッファである。前記コマンド及びアドレスバッファは、例えば、前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信する。

【0017】

前記少なくとも一つの第1メモリ装置は、例えば、前記マザーボード上に配線されてい

50

る第2コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、前記第1コマンド及びアドレス信号線は、例えば、前記第2コマンド及びアドレス信号線と垂直に配置される。

【0018】

前記少なくとも一つの第1メモリ装置は、例えば、DRAMまたはSDRAMである。前記少なくとも一つの第1メモリ装置は、例えば、マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信する。メモリシステムは、例えば、前記マザーボード上に装着されているソケットを通じてメモリコントローラと電氣的に連結される少なくとも一つのメモリモジュールを備える。

【0019】

前記少なくとも一つのメモリモジュールは、例えば、前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第2バッファと、前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第2バッファに連結される少なくとも一つの第2メモリ装置と、を備える。

【0020】

前記少なくとも一つのメモリモジュールは、例えば、マザーボード上における前記メモリコントローラから前記少なくとも一つの第1メモリ装置までの距離よりも遠くに配置される。前記メモリシステムは、例えば、第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生しマザーボード上に装着される位相同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

【0021】

前記メモリシステムは、例えば、第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生しマザーボード上に装着される遅延同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

【0022】

前記システムクロック信号のための前記第1クロック信号線は、例えば、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されている。

【発明の効果】

【0023】

本発明によれば、例えば、信号減衰の原因である信号反射を発生させるスタブ抵抗を除去することができる。

【発明を実施するための最良の形態】

【0024】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには本発明の望ましい実施の形態を例示する添付図面及び添付図面に記載された内容を参照せねばならない。

【0025】

以下、添付した図面に基づき、本発明の望ましい実施の形態を説明することにより本発明を詳細に説明する。各図面に示された同じ参照符号は同じ構成要素を意味する。

【0026】

図5は、本発明の実施の形態によるメモリシステムを上から見た図面である。図6は、図5のメモリシステムのブロック図である。図5及び図6に示す構成例において、メモリシステム500は、複数のメモリランク516を制御するメモリコントローラ504を具備する。メモリコントローラ504は、マザーボード502上に装着される。

【0027】

メモリコントローラ504の構造及び動作は当業者によく知られているのでその詳しい説明を省略する。

【0028】

複数のメモリランク 516 は、マザーボード 502 上に直接装着される。すなわち、図 1 のメモリシステム 100 のような分離されたメモリモジュール 106 を備えていない。それぞれのメモリランクは、バッファ 510 に連結される複数のメモリ装置 508 を具備する。

【0029】

複数のメモリ装置 508 は、マザーボード 502 上に直接装着される。それぞれのメモリ装置 508 は、例えば DRAM または SDRAM でありうる。メモリ装置 508 の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0030】

バッファ 510 は、メモリコントローラ 504 から受信されるコマンド及びアドレスを制御し、バッファリングする。バッファ 510 は、コマンド及びアドレスバッファでありうる。バッファ 510 はマザーボード 502 上に装着される。バッファ 510 は、インバータ、ドライバ、及びメモリコントローラ 504 から受信されるコマンドとアドレス信号とを複数のメモリ装置 508 にドライブできる装置を備えてもよい。バッファ 510 の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0031】

マザーボード 502 上に信号線が配線される。信号線は、図 5 及び 6 に示したようにデータバス DQ、システムクロック信号 CLK、及びコマンド及びアドレスバス C/A を含むことができる。

【0032】

メモリシステム 500 の動作は次の通りである。メモリコントローラ 504 は、コマンド及びアドレス信号を発生させ、コマンド及びアドレス信号をマザーボード 502 上に配線されている信号線を介してコマンド及びアドレスバッファ 510 に伝送する。

【0033】

メモリ装置 508 は、データ信号 DQ 及びシステムクロック信号 CLK をコントローラ 504 から受信したり、またはマザーボード 502 上の他の回路(図示せず)から受信する。コマンド信号が読出し動作を指示すると、メモリ装置 508 は、システムクロック CLK に応答してアドレス信号によって指示されたメモリセルから読出されたデータを外部に出力する。

【0034】

コマンド信号が書込み動作を指示すると、メモリ装置 508 は、システムクロック CLK に応答してアドレス信号によって指示されたメモリセルにデータを書込む。

【0035】

図 5 のメモリシステム 500 では、メモリモジュールを除去することによって信号反射を発生させるスタブ抵抗が除去される。メモリモジュールがなければ、伝送ラインの不連続部を発生させるソケットも必要がない。伝送ラインの不連続部がなければ、前述の問題点として提起されたような、信号反射によって信号線の集積度が減少する問題も除去できる。

【0036】

図 7 は、本発明の実施の形態によるメモリシステムの側面図である。図 7 に示すシステム 700 は、図 5 及び 6 を参照して説明した複数のメモリランク 516 及びコントローラ 504 を備えている。複数のメモリランク 516 及びコントローラ 504 はマザーボード 502 上に装着される。

【0037】

図 5 示すシステム 500 と異なり、図 7 に示すシステム 700 は、メモリモジュール 716 を具備する。メモリモジュール 716 は、複数の連結パッド(図示せず)を具備するエッジコネクタ 714、複数のメモリ装置 708、モジュールボード 706、及び C/A バッファ 710 を具備し得る。連結パッド(図示せず)は、一般にモジュールボード 706 の両面に装着される。

【0038】

10

20

30

40

50

複数の受信部、例えばソケット 7 1 2 はマザーボード 5 0 2 に装着される。ソケット 7 1 2 は、エッジコネクタ 7 1 4 と連結されてマザーボード 5 0 2 とメモリモジュール 7 1 6 とを電氣的に連結する。

【 0 0 3 9 】

特に、ソケット 7 1 2 は、マザーボード 5 0 2 上の信号線をモジュールボード 7 0 6 上の信号線に電氣的に連結し、メモリモジュール 7 1 6 をマザーボード 5 0 2 及びコントローラ 5 0 4 に連結させる。

【 0 0 4 0 】

メモリモジュール 7 1 6 は、複数のメモリ装置 7 0 8 を備える。複数のメモリ装置 7 0 8 は、D R A M または S D R A M であり得る。バッファ 7 1 0 は、メモリコントローラ 5 0 4 から受信されるコマンドとアドレスを制御してバッファリングする。メモリ装置 7 0 8 及びバッファ 7 1 0 はモジュールボード 7 0 6 上に装着される。

10

【 0 0 4 1 】

メモリモジュール 7 1 6 は、コントローラ 5 0 4 からメモリランク 5 0 8 までの距離よりも遠くに配置される。これにより、マザーボード 5 0 2 上の信号線から分岐される分岐点を除去でき、信号反射を除去できる。

【 0 0 4 2 】

分岐点は、分岐点から分岐する方向の数だけ信号を分散させて伝送させる。分岐点においては特性インピーダンス (Z_0) の不一致によって意図せぬ信号反射が発生するおそれがある。

20

【 0 0 4 3 】

コントローラ 5 0 4 とメモリモジュール 7 1 6 との間の信号経路は、コントローラ 5 0 4 からメモリモジュール 7 1 6 のメモリ装置 7 0 8 にまで拡張される。メモリ装置 7 0 8 は、モジュールボード 7 0 6 上に直接ソルダボールにより連結されるので、コントローラ 5 0 4 からメモリ装置 7 0 8 への信号経路には分岐点がなく、その結果、信号反射もない。

【 0 0 4 4 】

一方、メモリモジュール 7 1 6 がコントローラ 5 0 4 とメモリランク 5 1 6 との間に配置されれば、ソケットはスタブや分岐点を形成する信号線上に配置されなければならない。したがって、このような構造は信号反射を発生させる。

30

【 0 0 4 5 】

図 8 は、本発明の実施の形態によるメモリシステム 8 0 0 の側面図である。図 8 のシステム 8 0 0 は、図 7 のシステム 7 0 0 が一つのメモリモジュール 7 1 6 だけを持つという点を除けば、図 7 のシステム 7 0 0 と類似している。

【 0 0 4 6 】

図 8 に示すシステム 8 0 0 は、2 つ以上のメモリモジュールを具備することができる。図 8 に示すシステム 8 0 0 では、マザーボード 5 0 2 から分岐される分岐点が存在するために、図 1 に示したシステム 1 0 0 の問題点を有しうる。図 8 に示すシステム 8 0 0 に存在する分岐点は、信号反射を発生させて信号集積度に悪い影響を及ぼす可能性がある。それにもかかわらず、図 8 のシステム 8 0 0 は、複数のメモリランク 5 1 6 をマザーボード 5 0 2 上に直接装着することによって信号減衰を最小化させ得る。

40

【 0 0 4 7 】

図 9 は、本発明の実施の形態によるメモリシステム 9 0 0 を上から見た図面である。図 9 に示すシステム 9 0 0 は、それぞれのメモリランク 5 1 6 内に位相同期ループ 5 2 0 をさらに具備するという点を除けば、図 5 のシステム 5 0 0 と類似している。

【 0 0 4 8 】

位相同期ループ 5 2 0 は、システムクロック C L K に応答して第 1 クロックを発生させる。位相同期ループ 5 2 0 は、第 1 クロックを対応するメモリ装置 5 0 8 に印加する。位相同期ループ 5 2 0 により、システム 9 0 0 は、システムクロック C L K をコントローラ 5 0 4 からそれぞれのメモリ装置 5 0 8 に分離させて伝送する必要がなくなる。

50

【 0 0 4 9 】

他の実施の形態として、位相同期ループ 5 2 0 は、位相同期ループ 5 2 0 と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロック C L K に応答して第 1 クロックを発生し、第 1 クロックを対応するメモリ装置 5 0 8 に印加する。

【 0 0 5 0 】

図 1 0 は、本発明の実施の形態によるメモリシステム 1 0 0 0 を上から見た図面である。図 1 0 に示すシステム 1 0 0 0 は、メモリモジュール 7 1 6 をさらに具備する点を除けば図 9 のシステム 9 0 0 と類似している。メモリモジュール 7 1 6 は、図 7 において説明されたものと同様に動作する。

10

【 0 0 5 1 】

メモリモジュール 7 1 6 は、システムクロック C L K に応答して第 1 クロックを発生する位相同期ループ 7 2 0 とモジュールボード 7 0 6 とを備える。位相同期ループ 7 2 0 は、第 1 クロックをメモリモジュール 7 1 6 の対応するメモリ装置 7 0 8 に印加する。

【 0 0 5 2 】

位相同期ループ 5 2 0、7 2 0 により、システム 1 0 0 0 は、システムクロック C L K をコントローラ 5 0 4 からそれぞれのメモリ装置 5 0 8、7 0 8 に分離させて伝送する必要がなくなる。

【 0 0 5 3 】

他の実施の形態として、位相同期ループ 5 2 0、7 2 0 は、位相同期ループ 5 2 0、7 2 0 と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロック C L K に応答して第 1 クロックを発生し、第 1 クロックを対応するメモリ装置 5 0 8、7 0 8 に印加する。

20

【 0 0 5 4 】

少なくとも一つの第 1 メモリ装置 7 0 8 は、マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介してコマンド及びアドレスバッファからコマンド及びアドレス信号を受信する。第 1 コマンド及びアドレス信号線は、第 2 コマンド及びアドレス信号線と垂直に配置される。

【 0 0 5 5 】

以上のように、図面及び明細書において最適の実施の形態が開示された。ここで特定用語が使われたが、これは単に本発明を具体的に説明するための目的として使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者ならば、これより多様な変形及び均等な他の実施の形態の採用が可能であるという点を理解しうる。したがって、本発明の真の技術的保護範囲は特許請求の範囲によってのみ決まるべきである。

30

【 産業上の利用可能性 】

【 0 0 5 6 】

本発明は、半導体メモリ装置分野に利用でき、特にメモリモジュールを用いた半導体メモリシステム構成に利用できる。

【 図面の簡単な説明 】

40

【 0 0 5 7 】

【 図 1 】メモリシステムを上から見た図面である。

【 図 2 】図 1 のメモリシステムの側面図である。

【 図 3 】図 1 のメモリシステムの信号伝送ライン構造を説明する図面である。

【 図 4 】メモリシステムを上から見た図面である。

【 図 5 】本発明の実施の形態によるメモリシステムを上から見た図面である。

【 図 6 】図 5 のメモリシステムのブロック図である。

【 図 7 】本発明の実施の形態によるメモリシステムの側面図である。

【 図 8 】本発明の実施の形態によるメモリシステムの側面図である。

【 図 9 】本発明の実施の形態によるメモリシステムを上から見た図面である。

50

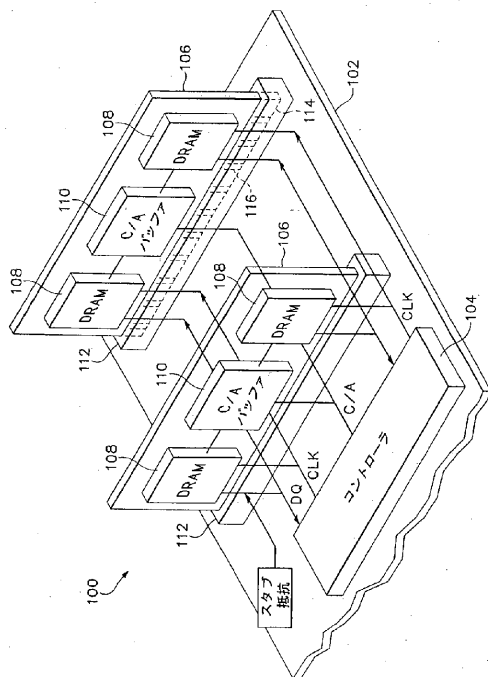
【図 10】本発明の実施の形態によるメモリシステムを上から見た図面である。

【符号の説明】

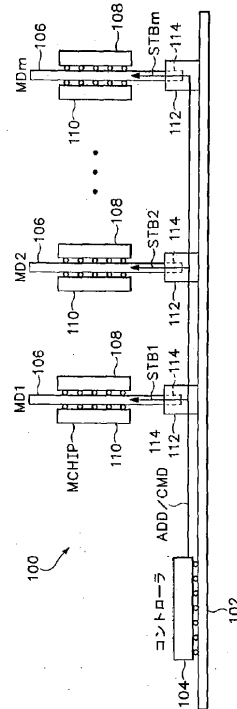
【 0 0 5 8 】

- 5 0 0 メモリシステム
- 5 0 2 マザーボード
- 5 0 4 メモリコントローラ
- 5 0 8 メモリ装置
- 5 1 0 バッファ
- 5 1 6 メモリランク

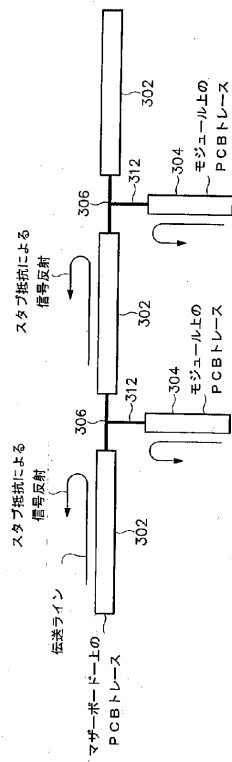
【図 1】



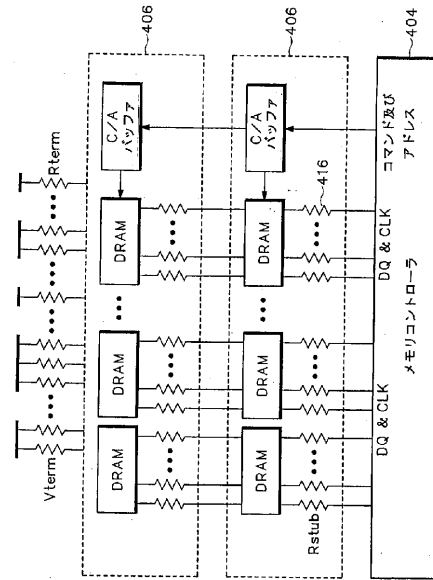
【図 2】



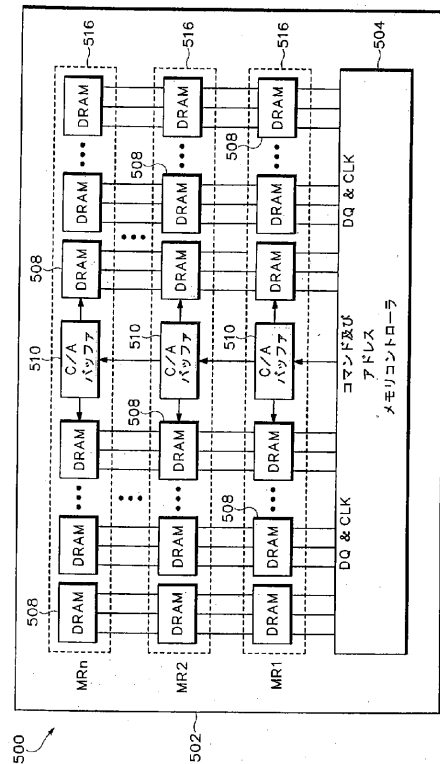
【図 3】



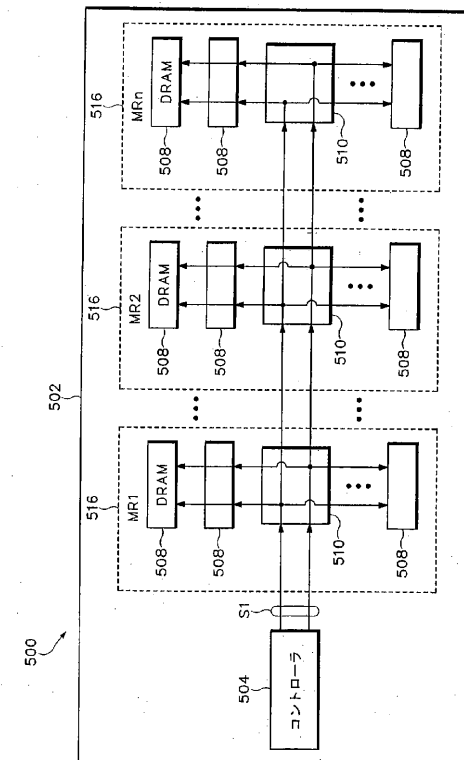
【図 4】



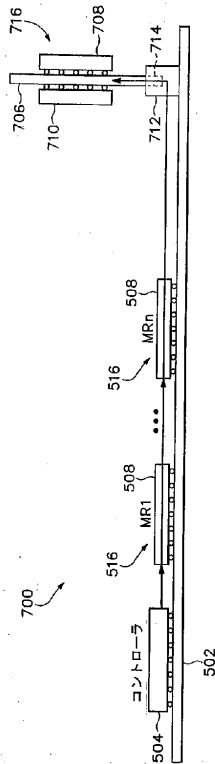
【図 5】



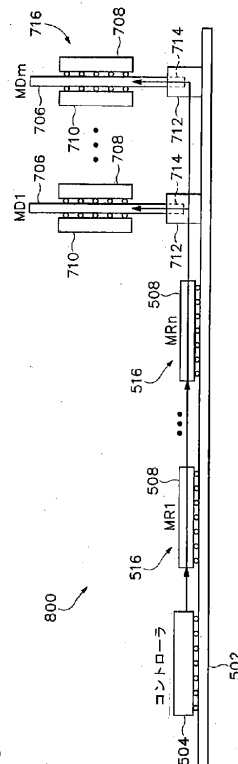
【図 6】



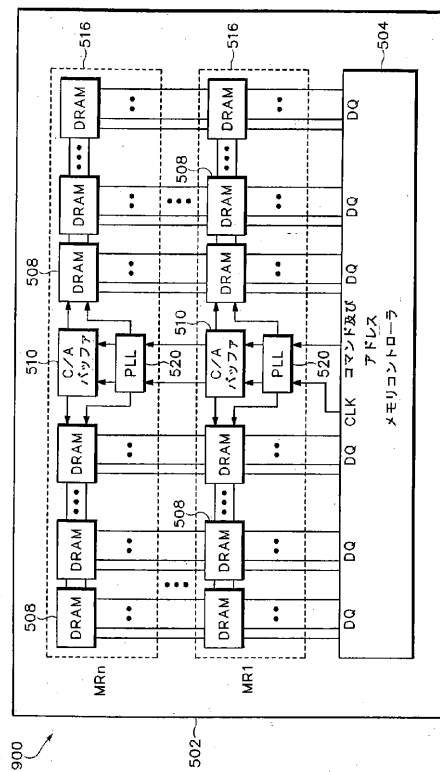
【図 7】



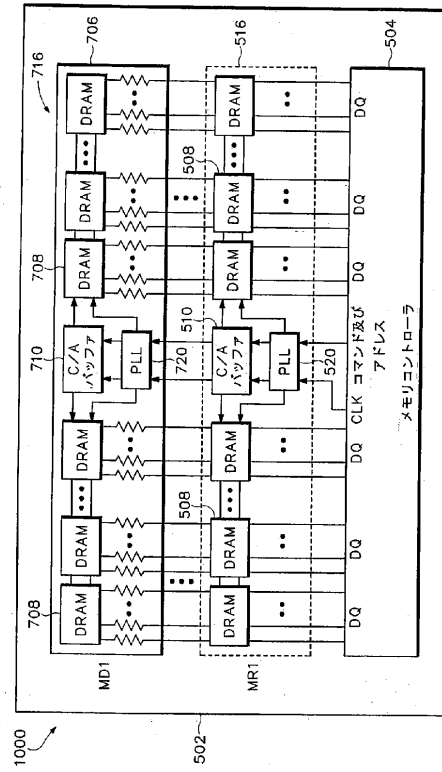
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 李禎培

大韓民国京畿道龍仁市水枝邑豊徳川里 1 1 6 7 番地鎮山マウル三星 5 次アパート 5 2 3 棟 3 0 2 号

(72)発明者 鄭會柱

大韓民国京畿道龍仁市器興邑上葛里 4 5 4 番地住公 5 団地アパート 5 0 6 棟 1 5 0 2 号

審査官 堀江 義隆

(56)参考文献 特開平 0 8 - 3 0 5 6 2 9 (J P , A)

特開平 1 0 - 2 8 3 2 5 6 (J P , A)

特開 2 0 0 1 - 0 2 2 6 8 4 (J P , A)

国際公開第 0 1 / 0 4 2 8 9 3 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 F 1 2 / 0 0

G 0 6 F 1 3 / 1 6