

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4837899号  
(P4837899)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.

F 1

G06F 12/00 (2006.01)  
G06F 13/16 (2006.01)G06F 12/00 550K  
G06F 12/00 564D  
G06F 13/16 510A

請求項の数 37 (全 15 頁)

(21) 出願番号 特願2004-137797 (P2004-137797)  
 (22) 出願日 平成16年5月6日 (2004.5.6)  
 (65) 公開番号 特開2004-334879 (P2004-334879A)  
 (43) 公開日 平成16年11月25日 (2004.11.25)  
 審査請求日 平成19年4月24日 (2007.4.24)  
 (31) 優先権主張番号 2003-028175  
 (32) 優先日 平成15年5月2日 (2003.5.2)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10/750093  
 (32) 優先日 平成15年12月31日 (2003.12.31)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeo  
 ngtong-gu, Suwon-si,  
 Gyeonggi-do, Republic  
 of Korea  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】メモリシステム及び方法

## (57) 【特許請求の範囲】

## 【請求項 1】

マザーボードに直接装着される第1バッファと、  
 前記マザーボードに直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、  
 前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備え、

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

## 【請求項 2】

前記第1バッファは、アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置にドライビングするコマンド及びアドレスバッファであることを特徴とする請求項1に記載のメモリシステム。

## 【請求項 3】

前記コマンド及びアドレスバッファは、  
 前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項2に記載のメモリシステム。

10

20

**【請求項 4】**

前記少なくとも一つの第1メモリ装置は、

前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、

前記第1コマンド及びアドレス信号線は、前記第2コマンド及びアドレス信号線と垂直に配置されることを特徴とする請求項3に記載のメモリシステム。

**【請求項 5】**

前記少なくとも一つの第1メモリ装置は、DRAMまたはSDRAMであることを特徴とする請求項1に記載のメモリシステム。

**【請求項 6】**

前記少なくとも一つの第1メモリ装置は、前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項1に記載のメモリシステム。

**【請求項 7】**

前記マザーボード上に装着されているソケットを通じてメモリコントローラと電気的に連結される少なくとも一つのメモリモジュールを備えることを特徴とする請求項1に記載のメモリシステム。

**【請求項 8】**

前記少なくとも一つのメモリモジュールは、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第2バッファと、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第2バッファに連結される少なくとも一つの第2メモリ装置と、を備えることを特徴とする請求項7に記載のメモリシステム。

**【請求項 9】**

前記少なくとも一つの第2メモリ装置は、DRAMまたはSDRAMあることを特徴とする請求項8に記載のメモリシステム。

**【請求項 10】**

前記少なくとも一つのメモリモジュールは、

前記マザーボード上における前記メモリコントローラから前記少なくとも一つの第1メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項7に記載のメモリシステム。

**【請求項 11】**

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されていることを特徴とする請求項1に記載のメモリシステム。

**【請求項 12】**

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されていることを特徴とする請求項1に記載のメモリシステム。

**【請求項 13】**

マザーボード上に直接装着される少なくとも一つのメモリランクと、

前記マザーボード上において前記少なくとも一つのメモリランクに配線される複数の信号線と、を備え、

前記少なくとも一つのメモリランクは、

少なくとも一つの第1メモリ装置と、

アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置に前記マザーボード上の対応する信号線を介してドライビングする第1バッファと、を備え

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

10

20

30

40

50

前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

【請求項14】

少なくとも一つの前記第1バッファは、

前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項13に記載のメモリシステム。

【請求項15】

前記少なくとも一つの第1メモリ装置は、

前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記少なくとも一つの第1バッファから前記コマンド及びアドレス信号を受信し、

前記第1コマンド及びアドレス信号線は、前記第2コマンド及びアドレス信号線と垂直に配置されていることを特徴とする請求項14に記載のメモリシステム。

【請求項16】

前記少なくとも一つの第1メモリ装置は前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項14に記載のメモリシステム。

【請求項17】

前記少なくとも一つの第1メモリ装置は、DRAMまたはSDRAMであることを特徴とする請求項14に記載のメモリシステム。

【請求項18】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されることを特徴とする請求項16に記載のメモリシステム。

【請求項19】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されることを特徴とする請求項17に記載のメモリシステム。

【請求項20】

メモリモジュールと、

前記マザーボード上に装着され、前記メモリモジュールと連結される受信部を備えることを特徴とする請求項15に記載のメモリシステム。

【請求項21】

前記メモリモジュールは、

前記メモリモジュールのモジュールボード上に装着されている複数の第2メモリ装置と、

前記メモリモジュールのモジュールボード上に装着され、前記複数の第2メモリ装置をドライビングできる第2バッファと、を備えることを特徴とする請求項20に記載のメモリシステム。

【請求項22】

システムクロックに応答して第1クロックを発生する位相同期ループを備えており、前記複数の第2メモリ装置は、前記第1クロックに同期して動作することを特徴とする請求項21に記載のメモリシステム。

【請求項23】

システムクロックに応答して第1クロックを発生する遅延同期ループを備えており、前記複数の第2メモリ装置は、前記第1クロックに同期して動作することを特徴とする請求項21に記載のメモリシステム。

【請求項24】

前記受信部は、

マザーボード上においてメモリコントローラから前記少なくとも一つの第1メモリ装置

10

20

30

40

50

までの距離よりも遠くに配置されることを特徴とする請求項 20 に記載のメモリシステム。  
。

【請求項 25】

マザーボード上に複数の第 1 メモリ装置を直接装着する段階と、

対応するコマンド及びアドレス信号を前記マザーボード上の前記複数の第 1 メモリ装置にドライビングできる第 1 コマンド及びアドレスバッファを直接装着する段階と、を備え、

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステムの構成方法。  
10

【請求項 26】

前記アドレスバッファから前記マザーボード上の前記第 1 メモリ装置に前記コマンド及びアドレス信号のための第 1 信号線を配線する段階を備えることを特徴とする請求項 25 に記載のメモリシステムの構成方法。

【請求項 27】

前記マザーボード上に装着されているメモリコントローラから前記第 1 コマンド及びアドレスバッファに前記コマンド及びアドレス信号のための第 2 信号線を配線し、前記第 1 信号線は、前記第 2 信号線と垂直であることを特徴とする請求項 26 に記載のメモリシステムの構成方法。  
20

【請求項 28】

システムクロックに応答して第 1 クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

【請求項 29】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。

【請求項 30】

前記マザーボード上に装着されている受信部を通じて前記マザーボード上に装着されているメモリコントローラとメモリモジュールを電気的に連結する段階を備えることを特徴とする請求項 26 に記載のメモリシステムの構成方法。  
30

【請求項 31】

前記メモリモジュールのモジュールボード上に第 2 メモリ装置を装着する段階と、前記モジュールボード上に第 2 コマンド及びアドレスバッファを装着する段階と、を具備しており、

前記モジュールボードは、前記マザーボード上に装着されているソケットを通じてメモリコントローラに連結されることを特徴とする請求項 26 に記載のメモリシステムの構成方法。  
40

【請求項 32】

システムクロックに応答して第 1 クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 31 に記載のメモリシステムの構成方法。

【請求項 33】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項 32 に記載のメモリシステムの構成方法。

【請求項 34】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコン  
50

トローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備え、

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、

前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。10

【請求項35】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結する少なくとも一つの第1メモリ装置と、11

少なくとも一つのメモリモジュールは、モジュールボード上に装着され前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、20

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の第1信号線と、

前記モジュールボード上における前記第2バッファ及び前記少なくとも一つの第2メモリ装置に配線される複数の第2信号線と、を備え、

第1クロック信号線上のシステムクロック信号に応答して第2クロック信号線上の第1クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、30

前記少なくとも一つの第1メモリ装置は前記第1クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つであることを特徴とするメモリシステム。

【請求項36】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する位相同期ループと、40

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線を備えており、

前記第1メモリ装置は、前記位相同期ループから出力される内部クロック信号に同期して動作することを特徴とするメモリシステム。

【請求項37】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、50

前記マザーボード上に直接装着され、クロック信号を受信する第1位相同期ループと、前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

モジュールボード上に装着され、前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上に直接装着され、前記クロック信号を受信する第2位相同期ループと、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の第1信号線と、

前記モジュールボード上において前記第2バッファ及び前記少なくとも一つの第2メモリ装置に配線される複数の第2信号線と、を備えており、

前記第1メモリ装置は、前記第1位相同期ループから出力される第1内部クロック信号に同期して動作し、前記第2メモリ装置は、前記第2位相同期ループから出力される第2内部クロック信号に同期して動作することを特徴とするメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリシステムに係り、特にマザーボードに直接装着されるメモリシステム及び方法に関する。

【背景技術】

【0002】

最近、大容量のメモリを具備するメモリシステムに対する要求の増加にともなって複数のメモリチップを装着したメモリモジュールをマザーボードに連結するメモリ構造が多く使われている。例えば、S I M M (Single Inline Memory Module) またはD I M M (Dual Inline Memory Module) と呼ばれるメモリモジュールは、メイン回路やマザーボードに装着される拡張ソケットに容易に連結できるように考案された回路ボードである。

【0003】

図1及び図2は、コンピュータシステムのメモリ構造を説明する図面である。図1及び図2を参照すれば、システム100は、メモリコントローラ104によって制御されるメモリモジュール106を具備する。メモリコントローラ104は、メモリモジュール106の読み出し及び書き込み動作を制御する。メモリコントローラ104は、マザーボード102に装着される。メモリコントローラ104の動作は当業者によく知られているので詳しい説明は省略する。

【0004】

メモリモジュール106は、複数の連結パッド116を具備するエッジコネクタ114を含む。一般に、連結パッド116は、メモリモジュール106の両側面に配置される。複数のソケット112がマザーボード102に装着される。ソケット112は、電気的にメモリモジュール106とマザーボード102とを連結するためにエッジコネクタ114と連結される。

【0005】

メモリモジュール106は、複数のメモリ装置108を具備する。メモリ装置108は、例えばD R A M またはS D R A M でありうる。

【0006】

バッファ110は、メモリコントローラ104から受信するコマンドとアドレス信号C/Aを制御する。複数のメモリ装置108とバッファ110とはメモリモジュール106に装着される。

【0007】

図1に示した信号線は、マザーボード102とモジュール106の両方に連結される。

10

20

30

40

50

信号線は、データバス D Q、システムクロック信号 C L K、及びコマンドアドレスバス C / A を含む。メモリ装置 108 は、マザーボード 102 に装着されている対応するソケット 112 を介してメモリコントローラ 104 から信号を受信する。

【0008】

メモリ構造において、アドレス、制御及びクロック信号線の集積度を維持することが重要である。信号反射を含む伝送ライン効果のために動作周波数が増加するほど信号線の集積度を維持し難くなる。

【0009】

伝送ライン理論によると、ソケット 112 を通じたマザーボード 102 とモジュール 106 との連結にはスタブ抵抗が発生する。スタブ抵抗は、信号反射及び信号集積度に悪影響を及ぼす伝送不連続現象(transmission discontinuity)を表す。

10

【0010】

図 1 ~ 3 において、データバス D Q のような信号線 302 がマザーボード 102 上にある。信号線 302 は、ソケット 312 を介してマザーボード 102 上の信号線 304 と電気的に連結される。

【0011】

ところが、ソケット 312 は、信号線 302 と信号線 304 との間に不連続部 306 をもたらす。不連続 306 は、タイミングマージンと電圧ウィンドウとを減少させ、発生したノイズを反送(reflect back)させるという問題がある。

【0012】

20

図 4 において、メモリモジュール 406 上のスタブ抵抗 416 は、信号反射を減少させる。スタブ抵抗 416 は、メモリ読み出し及び書き込み動作を向上させる。しかし、スタブ抵抗 416 の値が増加するほど信号反射は減少するが、スタブ抵抗 416 による電圧低下が増加し信号電圧を減少させる。

【0013】

信号電圧が減少すると電圧ウィンドウが減少する。そして、スタブ抵抗 416 は信号を遅延させる R C 寄生抵抗を発生させる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

30

本発明の目的は、例えば、コマンド信号とアドレス信号とを高速で受信し高速動作が可能な構造のメモリシステムを提供することである。

【課題を解決するための手段】

【0015】

前記技術的課題を達成するための本発明の第 1 実施の形態によるメモリシステムは、マザーボードに直接装着される第 1 バッファと、前記マザーボードに直接装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線と、を備え、第 1 クロック信号線上的システムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し、前記マザーボード上に直接装着されるクロック同期回路を備え、前記少なくとも一つの第 1 メモリ装置は前記第 1 クロック信号に同期して動作し、前記クロック同期回路は位相同期ループまたは遅延同期ループのうちいずれか一つである。

40

【0016】

前記第 1 バッファは、例えば、アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置にドライビングするコマンド及びアドレスバッファである。前記コマンド及びアドレスバッファは、例えば、前記マザーボード上に配線されている第 1 コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信する。

【0017】

前記少なくとも一つの第 1 メモリ装置は、例えば、前記マザーボード上に配線されてい

50

る第2コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、前記第1コマンド及びアドレス信号線は、例えば、前記第2コマンド及びアドレス信号線と垂直に配置される。

【0018】

前記少なくとも一つの第1メモリ装置は、例えば、DRAMまたはSDRAMである。前記少なくとも一つの第1メモリ装置は、例えば、マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信する。メモリシステムは、例えば、前記マザーボード上に装着されているソケットを通じてメモリコントローラと電気的に連結される少なくとも一つのメモリモジュールを備える。

【0019】

前記少なくとも一つのメモリモジュールは、例えば、前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第2バッファと、前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第2バッファに連結される少なくとも一つの第2メモリ装置と、を備える。

【0020】

前記少なくとも一つのメモリモジュールは、例えば、マザーボード上における前記メモリコントローラから前記少なくとも一つの第1メモリ装置までの距離よりも遠くに配置される。前記メモリシステムは、例えば、第1クロック信号線のシステムクロック信号に応答して第2クロック信号線の第1クロック信号を発生しマザーボード上に装着される位同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

【0021】

前記メモリシステムは、例えば、第1クロック信号線のシステムクロック信号に応答して第2クロック信号線の第1クロック信号を発生しマザーボード上に装着される遅延同期ループを備えることができ、前記少なくとも一つの第1メモリ装置は、例えば前記第1クロック信号に同期して動作する。

【0022】

前記システムクロック信号のための前記第1クロック信号線は、例えば、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されている。

【発明の効果】

【0023】

本発明によれば、例えば、信号減衰の原因である信号反射を発生させるスタブ抵抗を除去することができる。

【発明を実施するための最良の形態】

【0024】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには本発明の望ましい実施の形態を例示する添付図面及び添付図面に記載された内容を参照せねばならない。

【0025】

以下、添付した図面に基づき、本発明の望ましい実施の形態を説明することにより本発明を詳細に説明する。各図面に示された同じ参照符号は同じ構成要素を意味する。

【0026】

図5は、本発明の実施の形態によるメモリシステムを上から見た図面である。図6は、図5のメモリシステムのブロック図である。図5及び図6に示す構成例において、メモリシステム500は、複数のメモリランク516を制御するメモリコントローラ504を具備する。メモリコントローラ504は、マザーボード502上に装着される。

【0027】

メモリコントローラ504の構造及び動作は当業者によく知られているのでその詳しい説明を省略する。

【0028】

10

20

30

40

50

複数のメモリランク 516 は、マザーボード 502 上に直接装着される。すなわち、図 1 のメモリシステム 100 のような分離されたメモリモジュール 106 を備えていない。それぞれのメモリランクは、バッファ 510 に連結される複数のメモリ装置 508 を具備する。

【0029】

複数のメモリ装置 508 は、マザーボード 502 上に直接装着される。それぞれのメモリ装置 508 は、例えばDRAM または SDRAM でありうる。メモリ装置 508 の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0030】

バッファ 510 は、メモリコントローラ 504 から受信されるコマンド及びアドレスを制御し、バッファリングする。バッファ 510 は、コマンド及びアドレスバッファでありうる。バッファ 510 はマザーボード 502 上に装着される。バッファ 510 は、インパート、ドライバ、及びメモリコントローラ 504 から受信されるコマンドとアドレス信号とを複数のメモリ装置 508 にドライブできる装置を備えててもよい。バッファ 510 の構造及び動作は当業者によく知られているので詳しい説明を省略する。

【0031】

マザーボード 502 上に信号線が配線される。信号線は、図 5 及び 6 に示したようにデータバス DQ、システムクロック信号 CLK、及びコマンド及びアドレスバス C/A を含むことができる。

【0032】

メモリシステム 500 の動作は次の通りである。メモリコントローラ 504 は、コマンド及びアドレス信号を発生させ、コマンド及びアドレス信号をマザーボード 502 上に配線されている信号線を介してコマンド及びアドレスバッファ 510 に伝送する。

【0033】

メモリ装置 508 は、データ信号 DQ 及びシステムクロック信号 CLK をコントローラ 504 から受信したり、またはマザーボード 502 上の他の回路(図示せず)から受信する。コマンド信号が読み出し動作を指示すると、メモリ装置 508 は、システムクロック CLK に応答してアドレス信号によって指示されたメモリセルから読み出されたデータを外部に出力する。

【0034】

コマンド信号が書き込み動作を指示すると、メモリ装置 508 は、システムクロック CLK に応答してアドレス信号によって指示されたメモリセルにデータを書き込む。

【0035】

図 5 のメモリシステム 500 では、メモリモジュールを除去することによって信号反射を発生させるスタブ抵抗が除去される。メモリモジュールがなければ、伝送ラインの不連続部を発生させるソケットも必要がない。伝送ラインの不連続部がなければ、前述の問題点として提起されたような、信号反射によって信号線の集積度が減少する問題も除去できる。

【0036】

図 7 は、本発明の実施の形態によるメモリシステムの側面図である。図 7 に示すシステム 700 は、図 5 及び 6 を参照して説明した複数のメモリランク 516 及びコントローラ 504 を備えている。複数のメモリランク 516 及びコントローラ 504 はマザーボード 502 上に装着される。

【0037】

図 5 示すシステム 500 と異なり、図 7 に示すシステム 700 は、メモリモジュール 716 を具備する。メモリモジュール 716 は、複数の連結パッド(図示せず)を具備するエンジニアリング 714、複数のメモリ装置 708、モジュールボード 706、及び C/A バッファ 710 を具備し得る。連結パッド(図示せず)は、一般にモジュールボード 706 の両面に装着される。

【0038】

10

20

30

40

50

複数の受信部、例えばソケット 712 はマザーボード 502 に装着される。ソケット 712 は、エッジコネクタ 714 と連結されてマザーボード 502 とメモリモジュール 716 とを電気的に連結する。

【0039】

特に、ソケット 712 は、マザーボード 502 上の信号線をモジュールボード 706 上の信号線に電気的に連結し、メモリモジュール 716 をマザーボード 502 及びコントローラ 504 に連結させる。

【0040】

メモリモジュール 716 は、複数のメモリ装置 708 を備える。複数のメモリ装置 708 は、DRAM または SDRAM であり得る。バッファ 710 は、メモリコントローラ 504 から受信されるコマンドとアドレスを制御してバッファリングする。メモリ装置 708 及びバッファ 710 はモジュールボード 706 上に装着される。

10

【0041】

メモリモジュール 716 は、コントローラ 504 からメモリランク 508 までの距離よりも遠くに配置される。これにより、マザーボード 502 上の信号線から分岐される分岐点を除去でき、信号反射を除去できる。

【0042】

分岐点は、分岐点から分岐する方向の数だけ信号を分散させて伝送させる。分岐点においては特性インピーダンス (Z0) の不一致によって意図せぬ信号反射が発生するおそれがある。

20

【0043】

コントローラ 504 とメモリモジュール 716 との間の信号経路は、コントローラ 504 からメモリモジュール 716 のメモリ装置 708 にまで拡張される。メモリ装置 708 は、モジュールボード 706 上に直接ソルダボールにより連結されるので、コントローラ 504 からメモリ装置 708 への信号経路には分岐点がなく、その結果、信号反射もない。

【0044】

一方、メモリモジュール 716 がコントローラ 504 とメモリランク 516 との間に配置されれば、ソケットはスタブや分岐点を形成する信号線上に配置されなければならない。したがって、このような構造は信号反射を発生させる。

30

【0045】

図 8 は、本発明の実施の形態によるメモリシステム 800 の側面図である。図 8 のシステム 800 は、図 7 のシステム 700 が一つのメモリモジュール 716 だけを持つという点を除けば、図 7 のシステム 700 と類似している。

【0046】

図 8 に示すシステム 800 は、2 つ以上のメモリモジュールを具備することができる。図 8 に示すシステム 800 では、マザーボード 502 から分岐される分岐点が存在するために、図 1 に示したシステム 100 の問題点を有しうる。図 8 に示すシステム 800 に存在する分岐点は、信号反射を発生させて信号集積度に悪い影響を及ぼす可能性がある。それにもかかわらず、図 8 のシステム 800 は、複数のメモリランク 516 をマザーボード 502 上に直接装着することによって信号減衰を最小化させ得る。

40

【0047】

図 9 は、本発明の実施の形態によるメモリシステム 900 を上から見た図面である。図 9 に示すシステム 900 は、それぞれのメモリランク 516 内に位相同期ループ 520 をさらに具備するという点を除けば、図 5 のシステム 500 と類似している。

【0048】

位相同期ループ 520 は、システムクロック CLK に応答して第 1 クロックを発生させる。位相同期ループ 520 は、第 1 クロックを対応するメモリ装置 508 に印加する。位相同期ループ 520 により、システム 900 は、システムクロック CLK をコントローラ 504 からそれぞれのメモリ装置 508 に分離させて伝送する必要がなくなる。

50

## 【0049】

他の実施の形態として、位相同期ループ520は、位相同期ループ520と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロックCLKに応答して第1クロックを発生し、第1クロックを対応するメモリ装置508に印加する。

## 【0050】

図10は、本発明の実施の形態によるメモリシステム1000を上から見た図面である。図10に示すシステム1000は、メモリモジュール716をさらに具備する点を除けば図9のシステム900と類似している。メモリモジュール716は、図7において説明されたものと同様に動作する。

10

## 【0051】

メモリモジュール716は、システムクロックCLKに応答して第1クロックを発生する位相同期ループ720とモジュールボード706とを備える。位相同期ループ720は、第1クロックをメモリモジュール716の対応するメモリ装置708に印加する。

## 【0052】

位相同期ループ520、720により、システム1000は、システムクロックCLKをコントローラ504からそれぞれのメモリ装置508、708に分離させて伝送する必要がなくなる。

## 【0053】

他の実施の形態として、位相同期ループ520、720は、位相同期ループ520、720と同様に動作する遅延同期ループ(図示せず)に置換えられうる。すなわち、遅延同期ループは、システムクロックCLKに応答して第1クロックを発生し、第1クロックを対応するメモリ装置508、708に印加する。

20

## 【0054】

少なくとも一つの第1メモリ装置708は、マザーボード上に配線されている第2コマンド及びアドレス信号線を介してコマンド及びアドレスバッファからコマンド及びアドレス信号を受信する。第1コマンド及びアドレス信号線は、第2コマンド及びアドレス信号線と垂直に配置される。

## 【0055】

以上のように、図面及び明細書において最適の実施の形態が開示された。ここで特定用語が使われたが、これは単に本発明を具体的に説明するための目的として使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者ならば、これより多様な変形及び均等な他の実施の形態の採用が可能であるといふ点を理解しうる。したがって、本発明の真の技術的保護範囲は特許請求の範囲によってのみ決まるべきである。

30

## 【産業上の利用可能性】

## 【0056】

本発明は、半導体メモリ装置分野に利用でき、特にメモリモジュールを用いた半導体メモリシステム構成に利用できる。

40

## 【図面の簡単な説明】

## 【0057】

【図1】メモリシステムを上から見た図面である。

【図2】図1のメモリシステムの側面図である。

【図3】図1のメモリシステムの信号伝送ライン構造を説明する図面である。

【図4】メモリシステムを上から見た図面である。

【図5】本発明の実施の形態によるメモリシステムを上から見た図面である。

【図6】図5のメモリシステムのブロック図である。

【図7】本発明の実施の形態によるメモリシステムの側面図である。

【図8】本発明の実施の形態によるメモリシステムの側面図である。

【図9】本発明の実施の形態によるメモリシステムを上から見た図面である。

50

【図10】本発明の実施の形態によるメモリシステムを上から見た図面である。

【符号の説明】

【0058】

500 メモリシステム

502 マザーボード

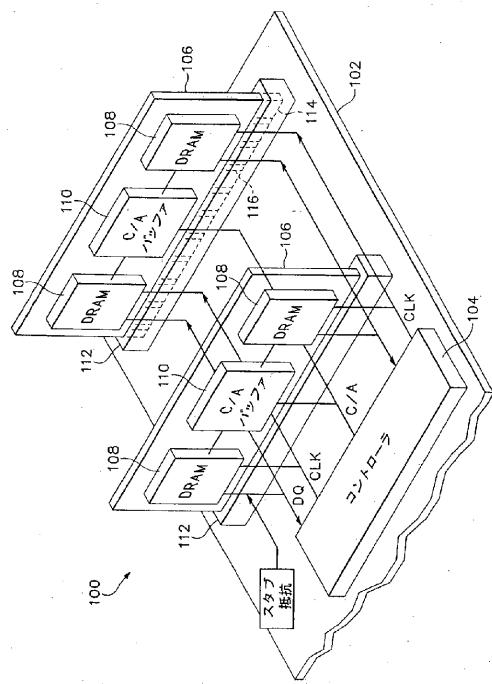
504 メモリコントローラ

508 メモリ装置

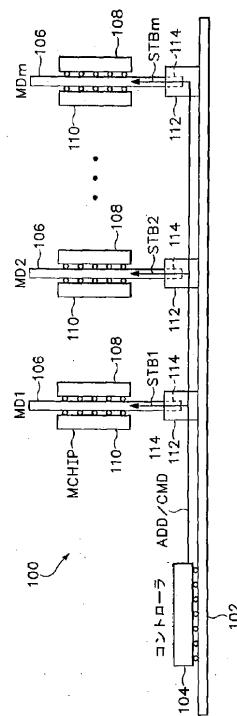
510 バッファ

516 メモリランク

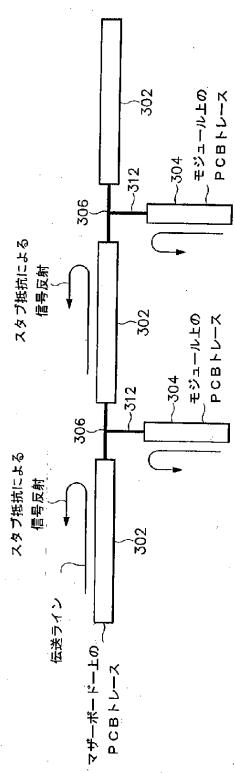
【図1】



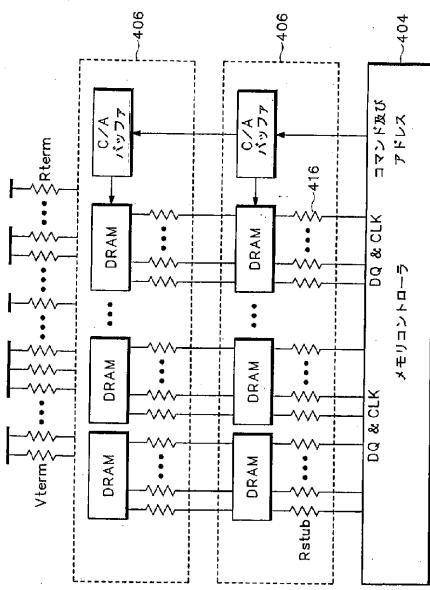
【図2】



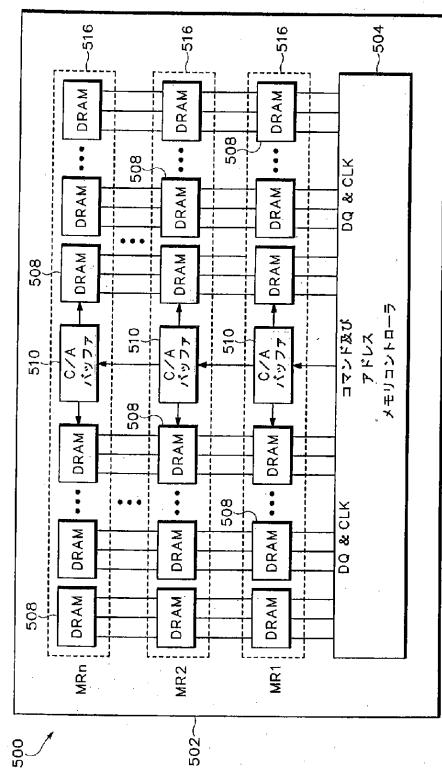
【図3】



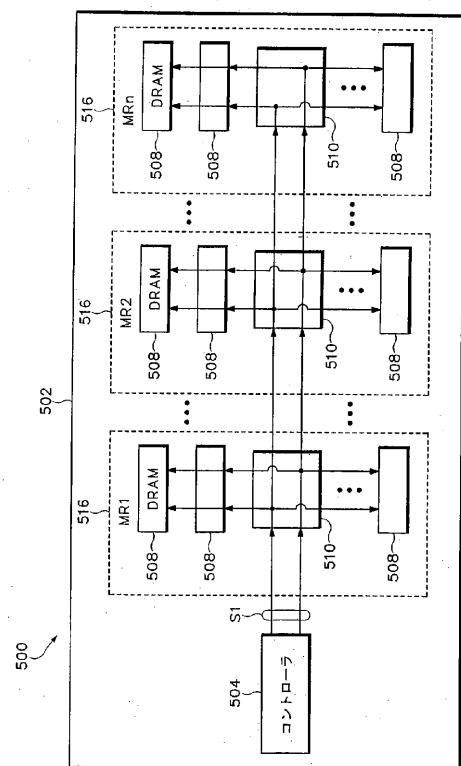
【図4】



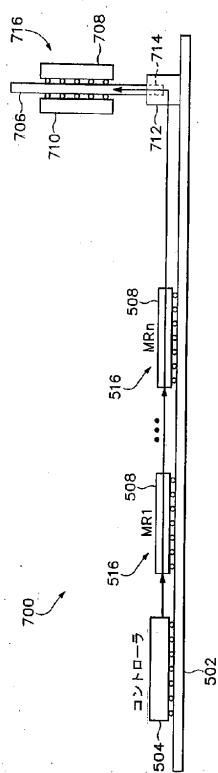
【図5】



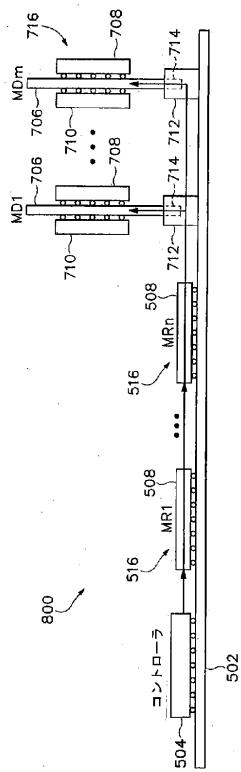
【図6】



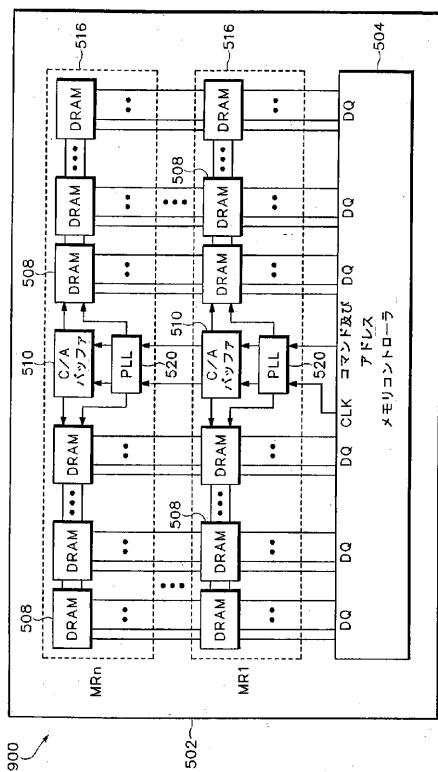
【圖 7】



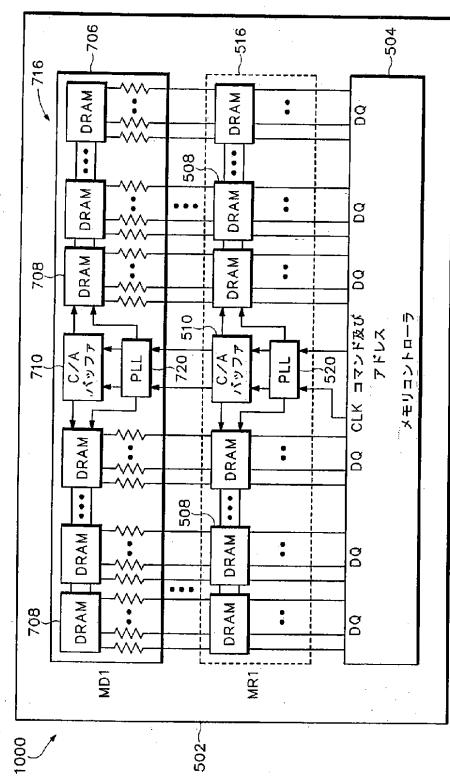
【 义 8 】



【 四 9 】



【図10】



---

フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 李禎培

大韓民国京畿道龍仁市水枝邑豊徳川里1167番地鎮山マウル三星5次アパート523棟302号

(72)発明者 鄭會柱

大韓民国京畿道龍仁市器興邑上葛里454番地住公5団地アパート506棟1502号

審査官 堀江 義隆

(56)参考文献 特開平08-305629 (JP, A)

特開平10-283256 (JP, A)

特開2001-022684 (JP, A)

国際公開第01/042893 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12 / 00

G 06 F 13 / 16