

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年12月4日(2008.12.4)

【公表番号】特表2008-527743(P2008-527743A)

【公表日】平成20年7月24日(2008.7.24)

【年通号数】公開・登録公報2008-029

【出願番号】特願2007-551329(P2007-551329)

【国際特許分類】

H 01 L	29/78	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)

【F I】

H 01 L	29/78	3 0 1 G
H 01 L	27/08	3 2 1 D
H 01 L	29/78	6 1 7 M
H 01 L	21/28	3 0 1 S
H 01 L	29/58	G

【手続補正書】

【提出日】平成20年10月20日(2008.10.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つの高温プロセスを含むFETデバイスの製造プロセスにおいて、基板(1)上にゲート誘電体(2)を有するシリサイド化ゲート構造体(100)を形成するための方法であって、

前記ゲート誘電体(2)の上に第1のシリコン材料層(3)を形成するステップと、

前記第1のシリコン材料層(3)の上に金属層(4)を形成するステップと、

前記金属層(4)の上に第2のシリコン材料層(5)を形成するステップと、

前記形成ステップの後で前記高温プロセスを実施するステップと、

を含み、前記高温プロセスが、前記金属を前記第1のシリコン材料層(3)における前記シリコン材料と反応させることにより、前記ゲート誘電体(2)に接触する第1のシリサイド層(30)を形成するのに有効であり、前記第1のシリコン材料層(3)における前記シリコン材料が、前記第1のシリサイド層(30)におけるシリサイド材料で置き換える方法。

【請求項2】

前記第1のシリコン材料層(3)、前記金属層(4)及び前記第2のシリコン材料層(5)の厚さが、前記高温プロセスの結果として、前記第1のシリコン材料層(3)の実質的にすべて及び前記第2のシリコン材料層(5)の少なくとも一部が前記金属層(4)と反応して、前記シリサイド層(30)を形成するように、形成される、請求項1に記載の方法。

**【請求項 3】**

前記高温プロセスが前記FETデバイスのソース及びドレイン部分(40)のアニール・プロセスである、請求項1に記載の方法。

**【請求項 4】**

前記高温プロセスが第1の高温プロセス及び第2の高温プロセスを含んでおり、前記第2の高温プロセスが前記第1の高温処理ステップの後で実施され、

前記第2の高温プロセスが、前記第2のシリコン材料層(5)における前記シリコン材料から第2のシリサイド層(50)を形成するのに有効であり、前記第2のシリサイド層(50)が前記第1のシリサイド層(30)の上に重なり、それと接触している、請求項1に記載の方法。

**【請求項 5】**

前記第2の高温プロセスが、前記FETデバイスのソース及びドレイン部分(40)のシリサイド化プロセスであり、前記ソース及びドレイン部分(40)に形成されたシリサイドが前記第2のシリサイド層(50)における材料と同じである、請求項4に記載の方法。

**【請求項 6】**

前記第1の高温プロセス及び前記第2の高温プロセスが、前記第1のシリコン材料層(3)及び前記第2のシリコン材料層(5)における前記シリコン材料の実質的にすべてをシリサイド材料で置き換える、請求項4に記載の方法。

**【請求項 7】**

前記高温プロセスが第1の高温プロセス及び第2の高温プロセスを含んでおり、前記第2の高温プロセスが前記第1の高温処理ステップの後で実施され、

前記第2の高温プロセスが、前記第2のシリコン材料層(5)における前記シリコン材料から第2のシリサイド層(50)を形成するのに有効であり、前記第2のシリサイド層(50)が前記第2のシリコン材料層(5)の残存部分(55)の上に重なる、請求項1に記載の方法。

**【請求項 8】**

前記第2の高温プロセスが前記FETデバイスのソース及びドレイン部分(40)のシリサイド化プロセスであり、シリサイド化されたソース及びドレイン部分(41)に形成されたシリサイドが前記第2のシリサイド層(50)における材料と同じである、請求項7に記載の方法。

**【請求項 9】**

FETデバイスの製造プロセスにおいて、基板上(1)にゲート誘電体(2)を有するシリサイド化ゲート構造体(100)を形成するための方法であって、

前記ゲート誘電体(2)の上に第1のシリコン材料層(3)を形成するステップと、

前記第1のシリコン材料層(3)の上に金属層(4)を形成するステップと、

前記金属層(4)の上に第2のシリコン材料層(5)を形成するステップと、

前記金属層(4)を前記第1のシリコン材料層における前記シリコン材料と反応させることにより、第1のシリサイド層(30)を前記ゲート誘電体(2)の上に形成するように第1の高温プロセスを実施するステップと、

前記第1のシリサイド層(30)の上に第2のシリサイド層(50)を形成するように第2の高温プロセス・ステップを実施するステップと、

を含み、前記第1のシリコン材料の層(3)及び前記第2のシリコン材料の層(5)の実質的にすべてが、前記第1及び第2の高温プロセスの結果として反応して、シリサイド化ゲート構造体(100)を形成する、方法。

**【請求項 10】**

前記第2の高温プロセスが前記FETデバイスのソース及びドレイン部分(41)のシリサイド化プロセスである、請求項9に記載の方法。

**【請求項 11】**

前記第1の高温プロセスの結果として、シリサイド層(31)が前記ゲート誘電体(2)と接触するシリコン材料の残存層(33)の上に重なり、

前記第2の高温プロセスの結果として、前記シリコン材料が反応して、前記ゲート誘電体(2)と接触するシリサイド層(30)を形成する、請求項9に記載の方法。

【請求項12】

FETデバイスのゲート構造体であって、

基板(1)の上のゲート誘電体(2)と、

前記ゲート誘電体(2)の上に重なり、それと接触する第1のシリサイド層(30)と

、前記第1のシリサイド層(30)の上に重なる第2のシリサイド層(50)と、  
を含み、

前記第2の層(50)が前記FETデバイスのソース及びドレイン領域(41)におけるシリサイドと同じ材料であり、

前記第1のシリサイドが金属シリサイドであり、前記金属シリサイドの金属がW、Ti  
、Pt、Ta、Nb、Hf及びMoから構成される群から選択される、

FETデバイスのゲート化構造体(100)。