

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 16 日 (16.03.2023)



(10) 国际公布号
WO 2023/035155 A1

(51) 国际专利分类号:
H01L 21/331 (2006.01) H01L 29/737 (2006.01)

国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(21) 国际申请号: PCT/CN2021/117293

(74) 代理人: 北京中博世达专利商标代理有限公司
(BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路 31 号 11 号楼 8 层, Beijing 100044 (CN)。

(22) 国际申请日: 2021 年 9 月 8 日 (08.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

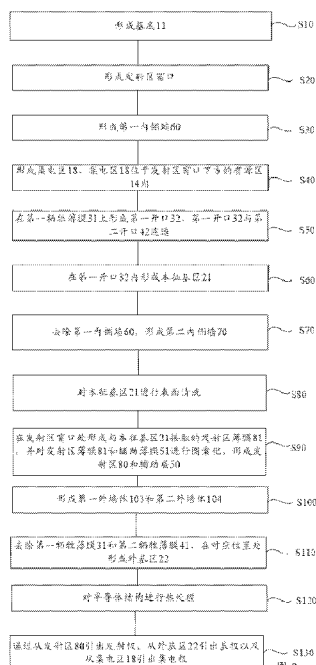
(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(72) 发明人: 徐向明 (XU, Xiangming); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 简中祥 (JIAN, Zhongxiang); 中

(54) Title: SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR, AND RADIO FREQUENCY CIRCUIT

(54) 发明名称: 半导体结构及其制备方法、射频电路



S10 Form a substrate 11
S20 Form an emitting region window
S30 Form a first inner side wall 60
S40 Form a collector region 18, the collector region 18 being located in an active region 14 below the emitting region window
S50 Form a first opening 32 on a first sacrificial film 31, the first opening 32 being communicated with a second opening 42
S60 Form an intrinsic base region 21 in the first opening 32
S70 Remove the first inner side wall 60 and form a second inner side wall 70
S80 Clean the surface of the intrinsic base region 21
S90 Form, at the emitting region window, an emitting region film 81 in contact with the intrinsic base region 21, and pattern the emitting region film 81 and an auxiliary film 51 to form an emitting region and an auxiliary layer 50
S100 Form a first outer wall body 103 and a second outer wall body 104
S110 Remove the first sacrificial film 31 and a second sacrificial film 41, and form an outer base region 22 at the corresponding position
S120 Perform heat treatment on a semiconductor structure
S130 Lead out an emitter from the emitting region 80, lead out a base from the outer base region 22, and lead out a collector from the collector region 18

图 2

(57) Abstract: Embodiments of the present application relate to the technical field of semiconductors, and provide a semiconductor structure and a preparation method therefor, and a radio frequency circuit, aiming to provide a SiGe HBT device structure having a relatively simple process and great potential to achieve high performance. The semiconductor structure comprises: a substrate comprising a collector region buried within the substrate; an intrinsic base region disposed on a surface of the substrate and in contact with the surface of the collector region on the substrate; an outer base region disposed on the surface of the substrate, located at the periphery of

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

the intrinsic base region and in contact with the intrinsic base region; an auxiliary layer provided with an opening, the auxiliary layer being disposed on the outer base region; an emitting region disposed on the auxiliary layer and in contact with the intrinsic base region through the opening; and an inner side wall disposed between the outer base region and the emitting region.

(57) 摘要: 本申请实施例提供一种半导体结构及其制备方法、射频电路, 涉及半导体技术领域, 旨在提供一种工艺相对简单并具有较大潜力实现高性能的SiGe HBT器件结构。半导体结构包括: 衬底, 包括埋藏于衬底内的集电区; 本征基区, 设置在衬底的表面, 与集电区在衬底的表面接触; 外基区, 设置在衬底的表面, 位于本征基区的外围, 与本征基区接触; 辅助层, 具有开口; 辅助层设置在外基区上; 发射区, 设置在辅助层上, 通过开口与本征基区接触; 内侧墙, 设置在外基区与发射区之间。

半导体结构及其制备方法、射频电路

5 技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其制备方法、射频电路。

背景技术

传统的硅基互补金属氧化物半导体（complementary metal oxide semiconductor, CMOS）工艺成本低，且通过先进的工艺节点，CMOS 器件可以达到较高的频率响应，适合高频应用。但是同样频率响应的器件，CMOS 器件击穿电压小，而硅锗异质结双极晶体管（SiGe heterojunction bipolar transistor, SiGe HBT）则拥有较高的击穿电压，适合较高输出功率应用。同时 SiGe HBT 相比 CMOS 器件具有更高的跨导，按照最新的半导体模拟工具（Technology Computer Aided Design, TCAD）仿真预测，SiGe HBT 器件电流增益截止频率极限为 1THz，功率增益截止频率极限为 2THz，使其很长一段时间内能满足高频高速的应用需求。而 GaAs（砷化镓）、InP（磷化铟）等 III-V 族材料的电子与空穴迁移率比硅高得多，具有极佳的高频特性，同时因其禁带宽度高，具有相比于 SiGe HBT 更高的击穿电压，同样适合用于高频，高功率应用。但是 III-V 族材料存在着造价高、环保成本高、热传导性差，机械性能差等缺点。

将 CMOS 和 SiGe HBT 集成在同一芯片上（CMOS+SiGe, SiGe BiCMOS），SiGe HBT 高频、高速、高增益、低噪声等优势适合模拟电路设计，而 CMOS 低功耗优势适合数字逻辑电路，两者的整合满足数模混合电路设计要求，使得 SiGe BiCMOS 相比于 III-V 族材料具有成本低，高集成度优点。

随着 5G 通信逐渐普及，SiGe BiCMOS 在光电高速传输、微波高频、雷达、影像和传感领域应用中发挥越来越重要的作用，SiGe HBT 可用于制作光电跨阻放大器、驱动器、时钟数据恢复（clock data recovery, CDR）、微波低噪声放大器、混频器、功率放大器等不同的射频电路。

如何采用相对简单的工艺实现更高频率响应的 SiGe HBT 器件，成为当下 SiGe 工艺工程师持续追求的目标。

发明内容

本申请实施例提供一种半导体结构及其制备方法、射频电路，用于解决高性能 HBT 制备工艺复杂、成本高的问题。

为达到上述目的，本申请采用如下技术方案：

本申请实施例的第一方面，提供一种半导体结构，包括：衬底，包括埋藏于衬底内的集电区；本征基区，设置在衬底的表面，与集电区在衬底的表面接触；外基区，设置在外基区的表面，位于本征基区的外围，与本征基区接触；辅助层，具有开口；辅助层设置在外基区上；发射区，设置在辅助层上，通过开口与本征基区接触；内侧墙，设置在外基区与发射区之间。

本申请实施例提供的半导体结构，本征基区和外基区均设置在衬底的表面，集电

区设置在衬底的内部，不存在位于衬底表面的抬高外延集电区。因此。在已知的衬底表面直接形成本征基区和外基区，二者是否接触是通过自身的制备工艺直接可控的。与衬底表面设置外延集电区，然后在外延集电区上设置本征基区相比。本申请实施例直接在衬底表面设置本征基区，不会因为抬高的集电区的厚度等参数而影响本征基区

5 和外基区的接触，可提高本征基区和外基区的接触良率，从而提高半导体结构的良率。另外，由于无需考虑集电区厚度对本征基区和外基区接触效果的影响。因此，可降低对制作集电区时工艺精度的要求，降低工艺难度。且集电区是掺杂得到的，少了一步外延工艺（制备集电区），节省加工成本。

在一些实施例中，衬底还包括浅沟槽隔离区，浅沟槽隔离区设置在本征基区下方的有源区的外围；集电区位于有源区内。集电区和浅沟槽隔离区均位于衬底内，不存在

10 抬高的外延集电区，不会因为集电区的厚度等参数而影响本征基区和外基区的接触，可提高本征基区和外基区的接触良率，从而提高半导体结构的良率。

在一些实施例中，衬底还包括辅助外基区，辅助外基区设置在浅沟槽隔离区内；外基区与辅助外基区在衬底的表面接触。在衬底中设置辅助外基区，辅助外基区作为

15 外基区外延生长的种子层，在外基区长成后，与外基区接触，实现外基区的增厚，从而可以实现降低外基区电阻的目的。

在一些实施例中，外基区包括桥接区和有效外基区，桥接区与本征基区和有效外基区分别接触。这样一来，有效外基区与桥接区接触，桥接区与本征基区接触，从而

20 实现外基区与本征基区接触。由于桥接区材料为准单晶硅，其掺杂离子的激活率大于有效外基区（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区实现有效外基区与本征基区的接触，可减小外基区与本征基区的接触电阻。

在一些实施例中，桥接区与本征基区和/或有效外基区搭接。以搭接的方式实现接触，可降低对工艺精度的要求，减小工艺难度。

在一些实施例中，半导体结构还包括外侧墙；外侧墙包裹发射区的侧面，用于保护发射区。外侧墙在半导体结构制备过程中可以对发射区起到保护作用，避免其他外

25 延步骤对发射区产生影响。

在一些实施例中，半导体结构还包括盖帽层，盖帽层覆盖发射区远离衬底的表面，用于保护发射区。外侧墙在半导体结构制备过程中可以对发射区起到保护作用，避免

30 其他外延步骤对发射区产生影响。

在一些实施例中，内侧墙包括内墙体，内墙体设置在外基区朝向发射区的表面上；内墙体为 L 状。L 状的内墙体，覆盖范围广，可提高外基区和发射区之间的隔离效果。

在一些实施例中，半导体结构还包括设置在衬底上的发射极、基极以及集电极；发射极与发射区接触，基极与外基区接触，集电极与集电区接触。

在一些实施例中，衬底还包括引出区和埋层集电区，引出区和浅沟槽隔离区位于埋层集电区的上方，引出区位于浅沟槽隔离区远离集电区一侧；引出区和集电区分别

35 与埋层集电区接触；集电极通过与引出区接触连接孔和集电区接触；发射极通过穿过盖帽层且与发射区接触的连接孔，和发射区接触；基极通过与外基区接触的连接孔和外基区接触。

在一些实施例中，半导体结构还包括互补金属氧化物半导体场效应晶体管，互补

金属氧化物半导体场效应晶体管设置在衬底上。这样一来，半导体结构为 CMOS+SiGe HBT 器件，可将 CMOS 和 SiGe HBT 集成在同一芯片上，可兼得二者的优势。

本申请实施例的第二方面，提供一种射频电路，包括包含第一方面半导体结构的晶体管电路。

5 本申请实施例的第三方面，提供一种半导体结构的制备方法，包括：形成基底，基底包括有源区和浅沟槽隔离区；在基底的表面上形成依次层叠设置的第一牺牲膜、第二牺牲膜以及辅助膜，在第二牺牲膜上形成第二开口，在辅助膜上形成第三开口，第二开口和第三开口连通作为发射区窗口；形成第一内侧墙，第一内侧墙绕第二牺牲膜朝向发射区窗口的表面一圈设置；形成集电区，集电区位于发射区窗口正下方的有源区内；在第一牺牲膜上形成第一开口，第一开口与第二开口连通；在第一开口内形成本征基区；在发射区窗口处形成与本征基区接触的发射区膜，对发射区膜和辅助膜进行图案化，形成发射区和辅助层；去除第一牺牲膜和第二牺牲膜，在对应位置处形成外基区；外基区与本征基区接触。

10

 本申请实施例提供的半导体结构的制备方法，采用第一牺牲膜、第二牺牲膜以及辅助膜作为自对准结构，可用于实现集电结的自对准和发射结的自对准。这样一来，制备得到的集电结和发射结为轴对称结构，不会像采用光刻和刻蚀工艺那样会有偏差，导致集电结和发射结不对称。而发射结不对称，导致发射结中线两侧的寄生集电结电容和基区电阻不同，起不到两边均分电流的作用，导致总电阻和电容不能最小化。而两边对称，则可以起到最小化基区电阻和集电结电容作用，从而提高器件的最高振荡频率。集电结不对称，导致两侧寄生集电极电阻不同，同样无法起到最小化集电极电阻的目的。而且，本申请实施例中，每层膜层的制备，采用常规技术即可实现。集电区的形成，也是通过自对准结构限定位置，然后在衬底中进行离子注入来实现的。本征基区和外基区均设置在衬底的表面，不存在抬高的外延集电区，因而也不会因为集电区的厚度等参数而影响本征基区和外基区的接触，降低对工艺精度的要求，降低工艺难度。且少了一步外延工艺，节省加工成本。

15

20

25

 在一些实施例中，形成基底，还包括：在浅沟槽隔离区内形成辅助外基区，外基区与辅助外基区在基底的表面接触。在衬底中设置辅助外基区，辅助外基区作为外基区外延生长的种子层，在外基区长成后，与外基区接触，实现外基区的增厚，从而可以实现降低外基区电阻的目的。

30 在一些实施例中，去除第二牺牲膜和第一牺牲膜，在对应位置处形成外基区，包括：去除第二牺牲膜，并在辅助层下方形成桥接区；桥接区与本征基区接触；去除第一牺牲膜，在对应位置处形成有效外基区，有效外基区与桥接区接触。这样一来，有效外基区与桥接区接触，桥接区与本征基区接触，从而实现外基区与本征基区接触。由于桥接区材料为准单晶硅，其掺杂离子的激活率大于有效外基区（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区实现有效外基区与本征基区的接触，可减小外基区与本征基区的接触电阻。

35

 在一些实施例中，第二开口的轮廓落在第一开口的轮廓内。这样一来，后续形成的桥接区与本征基区和/或有效外基区搭接，以搭接的方式实现接触，可降低对工艺精度的要求，减小工艺难度。

在一些实施例中，在发射区窗口处形成与本征基区接触的发射区之前，制备方法还包括：去除第一内侧墙，形成第二内侧墙。由于形成第一内侧墙后，离子注入形成集电区时，会有离子注入第一内侧墙内，从而影响后续形成的外基区和发射区之间的隔离效果。因此，去除第一内侧墙，重新形成第二内侧墙后，可解决上述问题，提高外基区和发射区之间的隔离效果。此外，在形成第一开口的过程中，会同步去掉第一内墙体与第一牺牲膜接触的部分，也就是说，第一内墙体的截面为条状。这就导致第一内墙体在该区域无法起到隔离作用。而重新形成的第二内墙体，其所包括的第三内墙体为L状，覆盖范围广，可提高外基区和发射区之间的隔离效果。

在一些实施例中，形成第二内侧墙后，制备方法还包括：对本征基区进行表面清洗，去除本征氧化层。由于形成本征基区后，还执行了去除第一内侧墙，形成第二内侧墙的步骤，这就导致本征基区的暴露面容易被氧化产生SiO₂，而影响后续形成的发射区与本征基区的电性接触效果，导致发射区电阻较高。对本征基区进行表面清洗，可去除本征基区表面的SiO₂，从而提高后续形成的发射区与本征基区的电性接触效果，并有利于发射区外延出单晶材质，可有效降低发射区电阻。

在一些实施例中，制备方法还包括：在基底上形成互补金属氧化物半导体场效应晶体管。这样一来，制备得到的半导体结构为CMOS+SiGe HBT器件，可将CMOS和SiGe HBT集成在同一芯片上，可兼得二者的优势。

附图说明

图1为本申请实施例提供的一种半导体结构的制备过程图；

图2为本申请实施例提供的一种半导体结构的制备流程图；

图3A-图3M为本申请实施例提供的另一种半导体结构的制备过程图；

图4A为本申请实施例提供的一种半导体结构的结构示意图；

图4B为本申请实施例提供的另一种半导体结构的结构示意图；

图5A为本申请实施例提供的又一种半导体结构的结构示意图；

图5B为本申请实施例提供的又一种半导体结构的结构示意图；

图6为本申请实施例提供的又一种半导体结构的结构示意图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

以下，本申请实施例中，术语“第一”、“第二”等仅用于描述方便，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

本申请实施例中，“上”、“下”、“左”以及“右”不限于相对附图中的部件示意置放的方位来定义的，应当理解到，这些方向性术语可以是相对的概念，它们用于相对于的描述和澄清，其可以根据附图中部件附图所放置的方位的变化而相应地发生变化。

在本申请实施例中，除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例性地”或

“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如，描述一些实施例时可能使用了术语“耦接”以表明两个或两个以上部件有直接物理接触或电接触。然而，术语“耦接”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

在本申请实施例中，“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。

本申请实施例中参照作为理想化示例性附图的剖视图和/或平面图和/或等效电路图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

硅锗异质结双极晶体管（SiGe heterojunction bipolar transistor, SiGe HBT）因其具有更好的热导率和良好的衬底机械性能，较好地解决了半导体结构的散热问题。而且SiGe HBT还具有更好的线性度、更高集成度，和互补金属氧化物半导体（complementary metal oxide semiconductor, CMOS）技术有良好的兼容性。因此，广泛的应用于光电、射频、微波等领域中，尤其在上述领域的高频器件中的应用更为凸显。例如，一些利用光电高速传输技术和微波高频技术的高频模拟器件，采用SiGe BiCMOS结构得到的高频模拟器件兼具了SiGe HBT结构速度块、增益高、噪声低，CMOS器件功耗低的优势。

然而，如何采用简单的工艺制备得到高性能的SiGe HBT结构，成为本领域技术人员持续研究的技术问题。

在一些实施例中，如图1所示，提供一种半导体结构的制备方法，先限定发射区窗口；然后在衬底10上采用选择性外延（selective epitaxy growth, SEG）工艺，在发射区窗口内形成集电区；然后在集电区上采用选择性外延工艺，在发射区窗口内形成本征基区以及发射区膜；然后进行后续发射区和外基区等结构的制备。如图1所示，通过上述制备方法制备得到的半导体结构，集电区、本征基区和发射区均设置在衬底上方。

采用上述方法制备半导体结构，采用将集电区、本征基区和发射区生长于同一发射区窗口内的全自对准工艺，制备得到的半导体结构具有自对准结构的优点。但是，

由于其集电区采用的也是选择性外延工艺，导致制备成本增加。而且，在外延形成集电区的过程中，集电区的高度控制决定本征基区与外基区的相对位置。如图 1 所示，本征基区和外基区是通过桥接区接触的，若集电区高度不合适，会导致设置在集电区上的本征基区与桥接区接触太少或者接触不上，从而影响本征基区与外基区的连接电阻。也就是说，集电区的高度，决定本征基区与桥接区的相对位置，直接影响本征基区和外基区的连接电阻，从而影响器件的性能。这就导致制备半导体结构的过程中，对工艺精度的要求较高。若工艺精度达不到，制备出的半导体结构的性能会受到很大的影响。

基于此，本申请实施例还提供一种半导体结构的制备方法，如图 2 所示，包括：

S10、如图 3A 所示，形成基底 11。

在一些实施例中，关于基底 11 的形成方法，如图 3A 所示，包括：

S11、在硅底 12 上形成外延层，对外延层进行离子注入，形成埋层集电区 15 和引出区（sinker）16。

其中，埋层集电区 15 的离子注入是在 STI 开口前完成的，可以在形成外延层之前植入，然后通过高温扩散到外延层。也可以是形成外延层之后，进行离子注入得到。上述形成埋层集电区 15 的顺序仅为一种示意，不做任何限定。

当然，在形成埋层集电区 15 和引出区 16 之前，可以形成屏蔽氧化层（screen oxide）。这样一来，屏蔽氧化层可保护硅底 12 的晶格不被破坏。在形成埋层集电区 15 和引出区 16 之后，可以去除屏蔽氧化层，再进行后续步骤。

当然，硅底 12 上也可以不形成外延层，那么埋层集电区 15 和引出区 16 位于硅底 12 中。本申请实施例中以在硅底 12 上形成外延层为例进行示意。

S12、在外延层上形成二氧化硅（SiO₂）膜和氮化硅（Si₃N₄）膜。

S13、在外延层上形成浅沟槽隔离（shallow trench isolation, STI）开口。

例如，通过光刻和干法蚀刻形成 STI 开口。当然，也可以是其他工艺。S14、氧化和修复 STI 开口的表面，形成二氧化硅界面。

S15、在 STI 开口内填充电介质材料，形成填充层。

其中，电介质材料例如是 SiO₂ 或其它场效氧化物。电介质材料可以覆盖 Si₃N₄ 膜，也可以不覆盖 Si₃N₄ 膜，但必须填满 STI 开口。

S16、对填充层进行处理，形成浅沟槽隔离（shallow trench isolation, STI）区 13。

例如，可以利用化学机械抛光（chemical mechanical polishing, CMP）工艺，对填充层进行研磨，停留在 Si₃N₄ 膜层。

S17、去除 Si₃N₄ 膜，形成基底 11。

例如，可以采用湿法刻蚀去除 Si₃N₄ 膜。这样一来，外延层中填充有 SiO₂ 的区域为 STI 区 13，其余区域为基底 11 的有源区 14。

在一些实施例中，执行完步骤 S17 后，基底 11 的制备基本完成，之后可以执行 S18'、去除多余的 SiO₂ 膜，暴露出基底 11 的硅表面。

基于此，得到的基底 11 如图 3A 所示，基底 11 包括硅底 12、设置在硅底 12 上的外延层，外延层中划分有 STI 区 13、有源区 14、埋层集电区 15 以及引出区 16，引出区 16 和 STI 区 13 位于埋层集电区 15 的上方，引出区 16 与埋层集电区 15 接触。

在另一些实施例中，如图 3B 所示，执行完步骤 S17 后，形成基底 11 的步骤还包括：在 STI 区 13 内形成辅助外基区 21。

示例的，在 STI 区 13 内形成辅助外基区 21 的步骤包括：

S18、在待形成外基区区域下方的 STI 区 13 内形成凹槽。

5 例如，通过光刻和干法蚀刻在 STI 区 13 内形成凹槽。

S19-1、在基底 11 的表面形成多晶硅膜。

例如，可以通过外延工艺形成多晶硅膜，也可以使用化学气相沉积（chemical vapor deposition, CVD）工艺形成多晶硅膜。

其中，多晶硅膜的材料可以是多晶硅或多晶硅硅化物等。

10 在一些实施例中，还可以在形成多晶硅膜后，对多晶硅膜进行掺杂。可以对多晶硅膜进行原位掺杂，也可以是先形成多晶硅膜后用离子注入实现掺杂。

S19-2、对多晶硅膜进行图案化，并去除基底 11 表面多余的 SiO₂ 膜，形成位于 STI 区 13 中凹槽内的辅助外基区 17。

15 例如，可以以 SiO₂ 膜为阻挡层，采用 CMP 工艺，对多晶硅膜进行研磨，去除位于凹槽外的多晶硅膜。可以用湿法刻蚀，也可以用干法刻蚀去除多余的 SiO₂ 膜。

在一些实施例中，辅助外基区 17 的表面高于 STI 区 13 的表面。

在另一些实施例中，如图 3B 所示，辅助外基区 17 的表面与 STI 区 13 的表面平齐。

20 例如，可以利用 CMP 工艺对基底 11 进行研磨，实现辅助外基区 17 的表面与 STI 区 13 的表面平齐。视觉效果上等效于 STI 区 13 填埋辅助外基区 17。当然，工艺误差范围内的高度差，均属于本申请实施例的保护范围。

S20、如图 3C 所示，形成发射区窗口。

在一些实施例中，形成发射区窗口的方式，包括：

25 S21、如图 3C 所示，在基底 11 的表面上形成依次层叠设置的第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51。

其中，第一牺牲膜 31 和辅助膜 51 的材料相同，第一牺牲膜 31 和第二牺牲膜 41 的材料不同。

例如，第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51 的材料例如均可以为硅化物。

30 示例的，第一牺牲膜 31 和辅助膜 51 的材料为含硅氧化物。例如，第一牺牲膜 31 和辅助膜 51 的材料为 SiO₂、氮氧化硅或富氧二氧化硅等。

示例的，第二牺牲膜 41 的材料为含硅氮化物。例如，第二牺牲膜 41 的材料为 Si₃N₄。

形成第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51 的方式，例如可以采用化学气相沉积（chemical vapor deposition, CVD）工艺形成第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51。

35 S22、如图 3C 所示，在辅助膜 51 上形成第三开口 52；在第二牺牲膜 41 上形成第二开口 42。

例如，可以通过光刻和刻蚀工艺在辅助膜 51 上形成第三开口 52。可以通过光刻和刻蚀工艺在第二牺牲膜 41 上形成第二开口 42。

其中，形成第三开口 52 和第二开口 42 可以是分两次工艺完成，也可以是在同一

次工艺中完成，本申请实施例对此不做限定。

如图 3C 所示，形成的第二开口 42 和第三开口 52 连通作为发射区窗口，发射区窗口底部还保留有第一牺牲膜 31，未直接与基底 11 连通。

5 在一些实施例中，如图 3C 所示，第二开口 42 和第三开口 52 正对设置，且大小相同。或者理解为，第二开口 42 在基底 11 上的正投影和第三开口 52 在基底 11 上的正投影重合。

S30、如图 3D 所示，形成第一内侧墙 60。

其中，形成的第一内侧墙 60 绕第二牺牲膜 41 朝向第二开口 42（发射区窗口）的表面一圈设置。

10 在一些实施例中，如图 3D 所示，形成的第一内侧墙 60 还延伸至辅助膜 51 朝向第三开口 52 的表面上。

在一些实施例中，形成第一内侧墙 60 的方式，包括：

S31、如图 3D 所示，在辅助膜 51 的表面形成第一介质膜 61，第一介质膜 61 在发射区窗口处形成凹槽 U。

15 其中，第一介质膜 61 的材料可以是介质材料，第一介质膜 61 的材料例如为硅化物。示例的，第一介质膜 61 的材料为 SiO_2 、 Si_3N_4 、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第一介质膜 61 的材料与第二牺牲膜 41 的材料不同。例如，第一介质膜 61 的材料为 SiO_2 ，第二牺牲膜 41 的材料为 Si_3N_4 。

形成第一介质膜 61 的方式，例如可以采用 CVD 工艺形成第一介质膜 61。

20 S32、如图 3D 所示，在第一介质膜 61 上形成第二介质膜 62。

形成第二介质膜 62 的方式，例如可以采用 CVD 工艺形成第二介质膜 62。

其中，第二介质膜 62 的材料可以是介质材料，第二介质膜 62 的材料例如为硅化物。示例的，第二介质膜 62 的材料为 SiO_2 、 Si_3N_4 、氮氧化硅或富氧二氧化硅等。

25 在一些实施例中，第一介质膜 61 的材料和第二介质膜 62 的材料不同。例如，第一介质膜 61 的材料为 SiO_2 ，第二介质膜 62 的材料为 Si_3N_4 。

也就是说，在一些实施例中，第二牺牲膜 41 的材料为 Si_3N_4 ，第一介质膜 61 的材料为 SiO_2 ，第二介质膜 62 的材料为 Si_3N_4 。

这样一来，有第一介质膜 61 对第二牺牲膜 41 的侧面进行阻隔，可以避免在对第二介质膜 62 进行图案化时，对第二牺牲膜 41 进行损坏。

30 S33、如图 3D 所示，对第二介质膜 62 进行图案化，形成第二内墙体 63，第二内墙体 63 覆盖凹槽 U 的侧面。

例如，可以采用干法刻蚀工艺，对第二介质膜 62 进行图案化，形成第二内墙体 63。

35 S34、如图 3D 所示，去除第一介质膜 61 的未被第二内墙体 63 覆盖的部分，形成第一内墙体 64。

例如，可以采用干法刻蚀工艺，对第一介质膜 61 进行图案化，形成第一内墙体 64。

基于此，如图 3D 所示，半导体结构的第一内侧墙 60 包括内墙体一 64 和内墙体二 63。第一内侧墙 60 露出第一牺牲膜 31。

当然，也可以不执行上述步骤 S34，在后续形成集电区 18 时，使第一介质膜 61 和第一牺牲膜 31 共同作为屏蔽氧化层。

S40、如图 3E 所示，形成集电区 18，集电区 18 位于发射区窗口下方的有源区 14 内。

5 如图 3E 所示，执行步骤 S40 后，半导体结构的衬底 10 制备完成。集电区 18 位于 STI 区 13 围成的区域内，集电区 18 与埋层集电区 15 接触。

10 以发射区窗口作为自对准窗口，以第一牺牲膜 31 作为屏蔽氧化层 (screen oxide)，采用离子注入工艺，选择性注入 (selected implanted) 形成集电区 (collector) 18。这样一来，屏蔽氧化层可保护基底 11 的晶格不被破坏，而且制备得到的集电区 18 与发射区窗口正对效果好。后续在发射区窗口形成发射区后，发射区与集电区 18 的对准效果好。

S50、如图 3F 所示，在第一牺牲膜 31 上形成第一开口 32，第一开口 32 与第二开口 42 连通。

15 例如，利用湿法刻蚀去除位于第二开口 42 下方的第一牺牲膜 31，形成第一开口 32。因湿法刻蚀是各向同性，若第一内墙体 64 的材料与第一牺牲膜 31 的材料相同 (例如均为 SiO_2) 的情况下，在形成第一开口 32 的过程中，位于第二内墙体 63 下方的第一内墙体 64 也会被去除。

应当明白的是，通过控制刻蚀时间，可以控制对第一牺牲膜 31 的刻蚀量。也就是说，通过控制刻蚀时间，可以控制第一开口 32 的大小。

20 在一些实施例中，为了提高后续制备出的外基区和本征基区的接触效果，如图 3F 所示，第二开口 42 的轮廓落在第一开口 32 的轮廓内。或者理解为，第二开口 42 在衬底 10 上的正投影落在第一开口 32 在衬底 10 上的正投影内。也就是说，第一开口 32 比第二开口 42 大，第二牺牲膜 41 下方具有空洞。

S60、如图 3G 所示，在第一开口 32 内形成本征基区 21。

25 例如，可以采用选择性外延工艺，在衬底 10 的表面选择性外延生长本征基区 21。本征基区 21 的材料，例如可以包括 SiGe (硅锗)、SiGe:C (硅锗碳) 合金等。

其中，如图 3G 所示，在第二牺牲膜 41 下方具有空洞的情况下，本征基区 21 填满上述空洞。

S70、如图 3H 所示，去除第一内侧墙 60，形成第二内侧墙 70。

30 形成第二内侧墙 70 的方法，可以与上述形成第一内侧墙 60 的方法相同，可参考上述关于步骤 S30 的描述，此处不再赘述。

35 在一些实施例中，如图 3H 中的 (a) 图所示，形成的第二内侧墙 70 包括第三内墙体 71 和第四内墙体 72。第三内墙体 71 绕第二牺牲膜 41 朝向第二开口 42 的表面和辅助膜 51 朝向第三开口 52 的表面一圈设置，且第三内墙体 71 为 L 状。第四内墙体 72 设置在第三内墙体 71 上，未直接与本征基区 21 接触。

示例的，第三内墙体 71 的材料与上述第一内墙体 64 的材料相同，例如第三内墙体 71 的材料为 SiO_2 。第四内墙体 72 的材料与上述第二内墙体 63 的材料相同，例如第四内墙体 72 的材料为 Si_3N_4 。

在另一些实施例中，如图 3H 中的 (b) 图所示，形成的第二内侧墙 70 包括第三

内墙体 71。也就是说，在采用与步骤 S30 相同的工艺制备得到第三内墙体 71 和第四内墙体 72 后，还包括去除第四内墙体 72 的步骤。

第二内侧墙 70 仅包括单层内墙体的情况下，发射区窗口的开口较大，最终形成的发射区的面积大，电阻小。

5 由于形成第一内侧墙 60 后，执行了步骤 S40，而离子注入形成集电区 18 时，会有离子注入第一内侧墙 60 内，从而影响后续形成的外基区和发射区之间的隔离效果。因此，去除第一内侧墙 60，重新形成第二内侧墙 70 后，可解决上述问题，提高外基区和发射区之间的隔离效果。此外，在形成第一开口 32 的过程中，会同步去掉第一内墙体 64 与第一牺牲膜 31 接触的部分，也就是说，第一内墙体 64 的截面为条状。这就
10 导致第一内墙体 64 在该区域无法起到隔离作用。而重新形成的第二内墙体 70，其所包括的第三内墙体 71 为 L 状，覆盖范围广，可提高外基区和发射区之间的隔离效果。

S80、对本征基区 21 进行表面清洗。

例如，可以采用湿法刻蚀，对本征基区 21 进行表面清洗，去除本征基区 21 表面被氧化后所产生的本征氧化层。

15 由于形成本征基区 21 后，还执行了步骤 S70，这就导致本征基区 21 的暴露面容易被氧化产生 SiO_2 ，而影响后续形成的发射区与本征基区 21 的电性接触效果，导致发射区电阻较高。对本征基区 21 进行表面清洗，可去除本征基区 21 表面的 SiO_2 ，从而提高后续形成的发射区与本征基区 21 的电性接触效果，并有利于发射区外延出单晶材质，可有效降低发射区电阻。

20 S90、如图 3I 所示，在发射区窗口处形成与本征基区 21 接触的发射区膜 81，并对发射区膜 81 和辅助膜 51 进行图案化，形成发射区 80 和辅助层 50。

其中，发射区 80 的材料，例如可以是掺杂的外延单晶硅或者多晶硅，还可以对发射区 80 进行原位掺杂，以提高掺杂浓度。

25 那么，形成发射区 80 包括：
在一些实施例中，半导体结构不包括盖帽层，或者盖帽层不和发射区 80 同步形成。

形成发射区膜 81，发射区膜 81 覆盖辅助膜 51 和第二内侧墙 70。然后对发射区膜 81 进行图案化，形成发射区 80。

30 其中，可以是在对发射区膜 81 进行图案化时，同步对辅助膜 51 进行图案化（去除辅助膜 51 的未被发射区 80 覆盖的部分）。也就是说，同步形成发射区 80 和辅助层 50。

例如，可以是采用光刻+干法刻蚀工艺，对辅助膜 51 进行图案化，形成辅助层 50。

在另一些实施例中，如图 3I 所示，发射区 80 和盖帽层 90 同步形成。那么，形成发射区 80 包括：

S91、在辅助膜 51 上形成发射区膜 81。

35 例如，可以采用外延生长工艺，形成发射区膜 81。发射区膜 81 的材料，例如可以为掺杂的外延单晶硅或者多晶硅。

S92、在发射区膜 81 上形成盖帽膜 91。

其中，盖帽膜 91 的材料可以是介质材料，盖帽膜 91 的材料例如为硅化物。示例的，盖帽膜 91 的材料为氧化硅、氮化硅、氮氧化硅或富氧二氧化硅等。

例如，可以采用 CVD 工艺形成盖帽膜 91，盖帽膜 91 覆盖发射区膜 81。

S93、对第二牺牲膜 41 远离衬底 10 一侧的膜（例如，辅助膜 51、发射区膜 81 以及盖帽膜 91）进行图案化，形成辅助层 50、发射区 80 以及盖帽层 90。

5 例如，通过光刻和刻蚀工艺，对辅助膜 51、发射区膜 81 以及盖帽膜 91 进行图案化，露出第二牺牲膜 41。

其中，对辅助膜 51、发射区膜 81 以及盖帽膜 91 的图案化，可以是分多次工艺完成的，也可以是同一次工艺中完成的。对辅助膜 51、发射区膜 81 以及盖帽膜 91 图案化后保留的结构的具体图案不做限定，根据需要合理设置即可。

S100、如图 3J 所示，形成第一外墙体 103 和第二外墙体 104。

10 其中，第一外墙体 103 设置在第二外墙体 104 与发射区 80 之间，第一外墙体 103 和第二外墙体 104 至少包裹发射区 80 的侧面。

在一些实施例中，如图 3J 所示，第一外墙体 103 和第二外墙体 104 包裹辅助层 50、发射区 80 以及盖帽层 90 的侧面。

15 如图 3J 所示，在一些实施例中，形成第一外墙体 103 和第二外墙体 104 的方法包括：

S101、在形成有盖帽层 90 的衬底 10 上形成第三介质膜 101。

形成第三介质膜 101 的方式，例如可以采用 CVD 工艺形成第三介质膜 101。

其中，第三介质膜 101 的材料可以是介质材料，第三介质膜 101 的材料例如为硅化物。示例的，第三介质膜 101 的材料为 SiO_2 、 Si_3N_4 、氮氧化硅或富氧二氧化硅等。

20 在一些实施例中，第三介质膜 101 的材料与第一牺牲膜 31 的材料不同。例如，第三介质膜 101 的材料为 Si_3N_4 ，第一牺牲膜 31 的材料为 SiO_2 。

这样一来，在后续去除第一牺牲膜 31 时，不会去除到由第三介质膜 101 形成的第一外侧墙 103，以确保外侧墙对发射区 21 起到保护作用。

S102、在第三介质膜 101 上形成第四介质膜 102。

25 形成第四介质膜 102 的方式，例如可以采用 CVD 工艺形成第四介质膜 102。

其中，第四介质膜 102 的材料可以是介质材料，第四介质膜 102 的材料例如为硅化物。示例的，第四介质膜 102 的材料为 SiO_2 、 Si_3N_4 、氮氧化硅或富氧二氧化硅等。

在一些实施例中，第四介质膜 102 的材料与第二牺牲膜 41 的材料不同。例如，第四介质膜 102 的材料为 SiO_2 ，第二牺牲膜 41 的材料为 Si_3N_4 。

30 这样一来，在后续去除第二牺牲膜 41 时，不会去除掉第四介质膜 102 形成的第二外侧墙 104，以对发射区 21 起到保护作用。

S103、对第三介质膜 101 和第四介质膜 102 进行图案化，形成第一外墙体 103 和第二外墙体 104。

35 例如，可以采用刻蚀工艺，第三介质膜 101 和第四介质膜 102 进行图案化，形成第一外墙体 103 和第二外墙体 104。

其中，对第三介质膜 101 和第四介质膜 102 进行图案化的过程，可以在同一次工艺中完成的，也可以是在多次工艺中分别完成的。

S110、如图 3K 所示，去除第一牺牲膜 31 和第二牺牲膜 41，在对应位置处形成外基区 22。

在一些实施例中，如图 3K 所示，形成外基区 22 的方法包括：

S111、去除第二牺牲膜 41。

例如，可以采用刻蚀工艺去除第二牺牲膜 41。将本征基区 21 的两端暴露出来，作为形成桥接区 221 的晶种。

5 S112、在辅助层 50 下方形成桥接区 221。

例如，可以采用选择性外延工艺，形成桥接区 221。

其中，本申请实施例对桥接区 221 的大小不做限定，桥接区 221 与本征基区 21 接触即可。图 3K 中示意的桥接区 221 的结构仅为一种示意，不做任何限定。

桥接区 221 的材料，例如可以包括重掺杂的单晶硅，还可以包括少量的多晶硅。

10 S113、去除第一牺牲膜 31。

例如，可以采用刻蚀工艺去除第一牺牲膜 31。露出衬底 10 的表面，露出辅助外基区 17。

其中，在第二外墙体 104 的材料与第一牺牲膜 31 的材料相同的情况下，去除第一牺牲膜 31 的同时，会去除第二外墙体 104。保留下来的第一外墙体 103 作为半导体结
15 构的外侧墙 100，外侧墙 100 用于保护发射区 80。

S114、在第一牺牲膜 31 对应位置处形成外基区膜 222。

例如，可以采用选择性外延工艺，在原来第一牺牲膜 31 对应位置处形成外基区膜 222。也就是说，在衬底 10 的表面上形成外基区膜 222，外基区膜 222 直接与辅助外基区 17 接触。

20 外基区膜 222 的材料，例如可以多晶硅或多晶硅硅化物等。在一些实施例中，还可以对外基区膜 222 进行原位掺杂。

其中，形成的外基区膜 222 可以和本征基区 21 接触，也可以不和本征基区 21 接触。也就是说，通过外基区膜 222 形成的有效外基区 223，可以和本征基区 21 接触，也可以不和本征基区 21 接触。

25 S115、对外基区膜 222 进行图案化，形成有效外基区 223。

例如，可以采用光刻和刻蚀工艺，对外基区膜 222 进行图案化。

另一些实施例中，形成外基区 22 的方法包括：辅助外基区 17 还起到作为外基区膜 222 的种子层，在辅助外基区 17 上直接外延生产外基区 22。在引出区 16 上覆盖一层介质保护层，可以确保外基区 22 外延只在辅助外基区 17 上生长，而直接获得 S115
30 的结构，从而可以省去外基区光刻和蚀刻等图案化步骤。

基于此，如图 3K 所示，通过上述方法形成的外基区 22 包括有效外基区 223 和桥接区 221，有效外基区 223 与桥接区 221 接触，桥接区 221 与本征基区 21 接触，从而实现外基区 22 与本征基区 21 接触。由于桥接区 221 材料为准单晶硅，其掺杂离子的激活率大于有效外基区 223（材料为多晶硅）掺杂离子的激活率。因此，通过桥接区
35 221 实现有效外基区 223 与本征基区 21 的接触，可减小外基区 22 与本征基区 21 的接触电阻。

另外，在衬底 10 内还设置有辅助外基区 17 的情况下，如图 3K 所示，有效外基区 223 在衬底 10 的表面与辅助外基区 17 接触。有效外基区 223 与辅助外基区 17 接触，相当于增加了有效外基区 223 的厚度，可以作为外基区 22 抬高，减小外基区 22 电阻。

在另一些实施例中，如图 3L 所示，形成外基区 22 的方法包括：

S111'、去除第二牺牲膜 41。

S112'、去除第一牺牲膜 31。

5 当然，去除第二牺牲膜 41 和去除第一牺牲膜 31 的过程，可以是在同一次工艺中完成的，也可以是在不同工艺中完成的。

S113'、在第一牺牲膜 31 和第二牺牲膜 41 对应位置处形成外基区膜 222。

S114'、对外基区膜 222 进行图案化，形成外基区 22。

如图 3L 所示，形成的外基区 22 直接与本征基区 21 搭接，且外基区 22 在衬底 10 的表面与辅助外基区 17 接触，可以作为外基区 22 抬高，减小外基区 22 电阻。

10 S120、对半导体结构进行热处理。

对图 3K 或图 3L 所得到的结构进行热处理（例如退火），调节发射区 80、本征基区 21、外基区 22 以及集电区 18 中的掺杂分布，以激活掺杂离子。

15 S130、如图 3M 所示，通过从发射区 80 引出发射极（emitter electrode, E）、从外基区 22 引出基极（base electrode, B）以及从集电区 18 引出集电极（collector electrode, C）。

其中，发射极 E 通过设置在发射区 80 表面的连接孔（contact）110 与发射区 80 接触。基极 B 通过设置在外基区 22 表面的连接孔 110 与外基区 22 接触。引出区 16 通过埋层集电区 15 与集电区 18 接触，集电极 C 通过设置在引出区 16 表面的连接孔 110 与引出区 16 接触，从而实现集电极 C 与集电区 18 接触。

20 当然，可以理解的是，在发射区 80、外基区、引出区 16 的表面覆盖有介质层的情况下，连通孔 100 贯穿介质层与发射区 80、外基区、引出区 16 接触。

需要说明的是，本申请实施例提供的半导体结构的制备方法，并不限定为由上述步骤构成，可以根据需要增加其他步骤或减少上述部分步骤。另外，上述制备方法中的步骤顺序仅为一种示意，可以根据需要调整变换。

25 通过上述步骤 S10-S130 得到的半导体结构即为 HBT 器件。如图 4A 所示，半导体结构包括：

衬底 10 包括浅沟槽隔离区 13 和有源区 14。有源区 14 内包括埋层集电区 15、引出区 16 以及集电区 18。

30 集电区 18 埋藏于衬底 10 内，集电区 18 的表面与衬底 10 的表面平齐。集电区 18 位于本征基区 21 下方的有源区 14 内，沟槽隔离区 13 设置在本征基区 21 下方的有源区 14 的外围。

引出区 16 位于浅沟槽隔离区 13 远离集电区 18 一侧，引出区 16 和浅沟槽隔离区 13 位于埋层集电区 15 的上方，引出区 16 和集电区 18 分别与埋层集电区 15 接触。

35 在一些实施例中，在制备过程中执行步骤 S18、S19-1 以及 S19-2 的情况下，如图 3M 所示，衬底 10 还包括辅助外基区 17。辅助外基区 17 设置在浅沟槽隔离区 13 内，辅助外基区 17 的表面作为衬底 10 的表面的一部分。

本征基区 21 设置在衬底 10 的表面，与集电区 18 在衬底 10 的表面接触，构成集电结（C-B）。本征基区 21 的材料，例如可以为 SiGe 或者 SiGe:C。

外基区 22 设置在衬底 10 的表面，与辅助外基区 17 在衬底 10 的表面接触。外基

区 22 位于本征基区 21 的外围，与本征基区 21 接触。外基区 22 的材料，例如可以为多晶硅。

采用上述不同的方法，制备得到的外基区 22 的结构不同。在一些实施例中，在制备半导体结构的过程中，执行步骤 S111-步骤 S115 来形成外基区 22。

5 如图 3M 和图 4A 所示，外基区 22 包括桥接区 221 和有效外基区 223，桥接区 221 与本征基区 21 和有效外基区 223 分别接触。

在一些实施例中，图 4A 所示，桥接区 221 与本征基区 21 搭接，桥接区 221 与有效外基区 223 搭接。

10 在另一些实施例中，图 4B 所示，桥接区 221 设置在本征基区 21 上，桥接区 221 与有效外基区 223 拼接。

根据桥接区 221 结构的不同，桥接区 221 与本征基区 21 和有效外基区 223 的接触方式也不同。上述仅为一种示意，不做任何限定。

另外，如图 4A 所示，有效外基区 223 与本征基区 21 可以不接触。如图 4B 所示，有效外基区 223 与本征基区 21 也可以接触。

15 在另一些实施例中，在制备半导体结构的过程中，执行步骤 S111'-步骤 S114' 来形成外基区 22。

如图 5A 和图 5B 所示，外基区 22 不包括桥接区，外基区 22 各部分的材料相同。

20 辅助层 50，具有开口，辅助层 50 设置在外基区 22 上。其中，辅助层 50 上的开口可以理解为是上述制备过程中辅助膜 51 上的第三开口 52。辅助层 50 的材料，例如可以为 SiO₂。

发射区 80 设置在辅助层 50 上，通过开口与本征基区 21 接触，构成发射结(E-B)。发射区 80 的材料，例如可以为掺杂的外延单晶硅或者多晶硅。

内侧墙，设置在外基区 22 与发射区 80 之间，还可以延伸至辅助层 50 与发射区 80 之间，用于隔离外基区 22 和发射区 80。

25 在一些实施例中，半导体结构制备过程中执行上述步骤 S70。那么，半导体结构中的内侧墙可以是上述第二内侧墙 70。

30 当然，第二内侧墙 70 可以包括第三内墙体 71 和第四内墙体 72。第二内墙体 70 也可以仅包括第三内墙体 71。无论哪种情况，内侧墙包括形状为 L 状的部分（第三内墙体 71）。第三内墙体 71 的材料例如可以为 SiO₂，第四内墙体 72 的材料例如可以为 Si₃N₄。

在另一些实施例中，半导体结构制备过程中不执行上述步骤 S70。那么，半导体结构中的内侧墙可以是上述第一内侧墙 60。

35 当然，第一内侧墙 60 可以包括第一内墙体 64 和第二内墙体 63。第一内侧墙 60 也可以仅包括第一内墙体 64。第一内墙体 64 的材料例如可以为 SiO₂，第二内墙体 63 的材料例如可以为 Si₃N₄。

盖帽层 90 覆盖发射区 80 远离衬底 10 的表面，用于保护发射区 80。盖帽层 90 的材料例如可以为 SiO₂。

外侧墙 100 包裹发射区 80 的侧面，用于保护发射区 80。其中，外侧墙 100 可以上述制备过程中的第一外墙体 103。外侧墙 100 的材料例如可以为 Si₃N₄。

集电极 C 通过与引出区 16 接触的连接孔 100 经引出区 16、埋层集电区 15 和集电区 18 接触。连接孔 100 可以直接设置在引出区 16 的表面，连接孔 100 与引出区 16 之间也可以设置有金属硅化物层，以实现连接孔 100 与引出区 16 的接触。

5 发射极 E 通过穿过盖帽层 90，且与发射区 80 接触的连接孔 100，和发射区 80 接触。连接孔 100 可以直接设置在发射区 80 的表面，连接孔 100 与发射区 80 之间也可以设置有金属硅化物层，以实现连接孔 100 与发射区 80 的接触。

基极 B 通过与外基区 22 接触的连接孔 100 和外基区 22 接触。连接孔 100 可以直接设置在外基区 22 的表面，连接孔 100 与外基区 22 之间也可以设置有金属硅化物层，以实现连接孔 100 与外基区 22 的接触。

10 应当明白的是，在发射区 80、外基区 22 以及引出区 16 上覆盖有介质层的情况下，连接孔 100 必然穿过介质层。

以 NPN 型的 HBT 器件为例，发射极 E 用于发射电子，基极 B 用于控制电子（使流向集电极 C 的电流受基极 B 输入信号的控制），集电极 C 用于收集电子。

15 需要说明的是，上述半导体结构中的 SiGe HBT 晶体管可以为 NPN 型晶体管（本征基区 21 是 P 区，也就是 P 型半导体；发射区 80 和集电区 18 都是 N 区，也就是 N 型半导体）或 PNP 型晶体管（本征基区 21 是 N 区，也就是 N 型半导体；发射区 80 和集电区 18 都是 P 区，也就是 P 型半导体）。

20 另外，本申请实施例示意图中示意的发射极 E、基极 B、以及集电极 C 的结构、位置、数量仅为一种示意。发射极 E、基极 B、以及集电极 C 可以各只有一个，基极 B 和集电极 C 也可以是在发射极 E 的左右两侧各有一个。

其中，图 3M 中膜层的材料仅为一种示意，不做任何限定。

25 以 NPN 型的 HBT 器件为例，对本申请实施例提供的 SiGe HBT 器件的工作原理进行说明：向发射结上施加电源，发射结正偏，发射区 80 的多数载流子（自由电子）不断地越过发射结进入本征基区 21，形成发射极电流。电子进入本征基区 21 后，先在靠近发射结的附近密集，渐渐形成电子浓度差，在浓度差的作用下，促使电子流在本征基区 21 中向集电结扩散，被集电结电场拉入集电区 18 形成集电极电流。也有很小一部分电子（因为本征基区 21 很薄）与本征基区 21 的空穴复合，扩散的电子流与复合电子流之比例决定了三极管的放大能力。由于集电结外加反向电压很大，这个反向电压产生的电场力将阻止集电区 18 电子向本征基区 21 扩散，同时将扩散到集电结附近的电子拉入集电区 18 从而形成集电极主电流。另外集电区 18 的少数载流子（空穴）也会产生漂移运动，流向本征基区 21 形成反向饱和电流。

30 本申请实施例提供的半导体结构的制备方法，采用第一牺牲膜 31、第二牺牲膜 41 以及辅助膜 51 作为自对准结构，可用于实现集电结（C-B）的自对准和发射结（E-B）的自对准。这样一来，制备得到的集电结和发射结为轴对称结构，不会像采用光刻和刻蚀工艺那样会有偏差，导致集电结和发射结不对称。而发射结不对称，导致发射结中线两侧的寄生集电结电容和基区电阻不同，起不到两边均分电流的作用，导致总电阻和电容不能最小化。而两边对称，则可以起到最小化基区电阻和集电结电容作用，从而提高器件的最高振荡频率。集电结不对称，导致两侧寄生集电极电阻不同，同样无法起到最小化集电极电阻的目的。而且，本申请实施例中，每层膜层的制备，采用

常规技术即可实现。集电区 18 的形成，也是通过自对准结构限定位置，然后在衬底 10 中进行离子注入来实现的。

另外，本征基区 21 和外基区 22 均设置在衬底 10 的表面，集电区 18 设置在衬底 10 的内部，不存在抬高的外延集电区，因此。在已知的衬底 10 表面直接形成本征基区 21 和外基区 22，二者是否接触是通过自身的制备工艺直接可控的。与衬底 10 表面设置外延集电区，然后在外延集电区上设置本征基区相比。本申请实施例直接在衬底 10 表面设置本征基区 21，不会因为抬高的外延集电区的厚度等参数而影响本征基区 21 和外基区 22 的接触，可提高本征基区 21 和外基区 22 的接触良率，从而提高半导体结构的良率。另外，由于无需考虑集电区 18 厚度对本征基区 21 和外基区 22 接触效果的影响。因此，可降低对制作集电区 18 时工艺精度的要求，降低工艺难度。且集电区 18 是掺杂得到的，少了一步外延工艺（制备集电区 18），节省加工成本。

再者，在衬底 10 中设置辅助外基区 17，辅助外基区 17 作为外基区 22 外延生长的种子层，在外基区 22 长成后，与外基区 22 接触，实现外基区 22 的增厚，从而可以实现降低外基区电阻的目的。

在一些实施例中，半导体结构还包括互补金属氧化物半导体场效应晶体管（complementary metal oxide semiconductor field-effect transistor，CMOSFET）。

如图 6 所示，半导体结构的制备方法还包括：S140、在基底 11 上形成 CMOSFET。

其中，在基底 11 上形成 CMOSFET 的步骤可以在步骤 S10 之前执行，也可以在步骤 S130 之后执行。

如图 6 所示，SiGe HBT 结构和 CMOSFET 结构之间通过衬底 10 中的深沟槽隔离区 19 隔离。

另外，本申请实施例对 CMOSFET 的结构不做限定，图 6 中的 CMOSFET 仅为一种示意。CMOSFET 可以为 NMOS 晶体管或 PMOS 晶体管。

这样一来，半导体结构的制备方法制备得到的半导体结构为 CMOS+SiGe HBT 器件，可将 CMOS 和 SiGe HBT 集成在同一芯片上。

本申请实施例提供的制备方法制备得到的半导体结构，应用于晶体管电路中后，可以直接采用封装体对晶体管电路进行封装，形成封装器件（例如芯片）。也可以和其他芯片共同封装，形成封装器件。本申请实施例对此不作限定。

基于此，在一些实施例中，可将包括上述任一种半导体结构的晶体管电路应用于射频电路中。

射频电路例如可以应用于微波系统、光电系统、雷达、影像和传感领域等。射频电路例如可以是功率放大器（power amplifier，PA）、可变增益放大器（variable gain amplifier，VGA）、低噪声放大器（low noise amplifier，LNA）、跨阻放大器（trans-impedance amplifier，TIA）、驱动器（driver）、混频器、时钟数据恢复（clock data recovery，CDR）电路等。

当然，本申请实施例对上述半导体结构的应用范围不做任何限定，例如可以应用于任一种通信装置中，通信装置可以是网络设备，也可以是终端。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，

都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种半导体结构, 其特征在于, 包括:

衬底, 包括埋藏于所述衬底内的集电区;

本征基区, 设置在所述衬底的表面, 与所述集电区在所述衬底的表面接触;

5 外基区, 设置在所述衬底的表面, 位于所述本征基区的外围, 与所述本征基区接触;

辅助层, 具有开口; 所述辅助层设置在所述外基区上;

发射区, 设置在所述辅助层上, 通过所述开口与所述本征基区接触;

内侧墙, 设置在所述外基区与所述发射区之间。

10 2. 根据权利要求 1 所述的半导体结构, 其特征在于, 所述衬底还包括浅沟槽隔离区, 所述浅沟槽隔离区设置在所述本征基区下方的有源区的外围; 所述集电区位于所述有源区内。

15 3. 根据权利要求 1 所述的半导体结构, 其特征在于, 所述衬底还包括辅助外基区, 所述辅助外基区设置在所述浅沟槽隔离区内; 所述外基区与所述辅助外基区在所述衬底的表面接触。

4. 根据权利要求 1-3 任一项所述的半导体结构, 其特征在于, 所述外基区包括桥接区和有效外基区, 所述桥接区与所述本征基区和所述有效外基区分别接触。

5. 根据权利要求 4 所述的半导体结构, 其特征在于, 所述桥接区与所述本征基区和/或所述有效外基区搭接。

20 6. 根据权利要求 1-5 任一项所述的半导体结构, 其特征在于, 所述半导体结构还包括外侧墙;

所述外侧墙包裹所述发射区的侧面, 用于保护所述发射区。

7. 根据权利要求 1-6 任一项所述的半导体结构, 其特征在于, 所述半导体结构还包括盖帽层, 所述盖帽层覆盖所述发射区远离所述衬底的表面, 用于保护所述发射区。

25 8. 根据权利要求 1-7 任一项所述的半导体结构, 其特征在于, 所述内侧墙包括内墙体, 所述内墙体设置在所述外基区朝向所述发射区的表面上; 所述内墙体为 L 状。

9. 根据权利要求 1-8 任一项所述的半导体结构, 其特征在于, 所述半导体结构还包括设置在所述衬底上的发射极、基极以及集电极;

30 所述发射极与所述发射区接触, 所述基极与所述外基区接触, 所述集电极与所述集电区接触。

10. 根据权利要求 9 所述的半导体结构, 其特征在于, 所述衬底还包括引出区和埋层集电区, 所述引出区和浅沟槽隔离区位于所述埋层集电区的上方, 所述引出区位于所述浅沟槽隔离区远离所述集电区一侧; 所述引出区和所述集电区分别与所述埋层集电区接触;

35 所述集电极通过与所述引出区接触连接孔和所述集电区接触;

所述发射极通过穿过盖帽层且与所述发射区接触的连接孔, 和所述发射区接触;

所述基极通过与所述外基区接触的连接孔和所述外基区接触。

11. 根据权利要求 1-10 任一项所述的半导体结构, 其特征在于, 所述半导体结构还包括互补金属氧化物半导体场效应晶体管, 所述互补金属氧化物半导体场效应晶体

管设置在所述衬底上。

12. 一种射频电路，其特征在于，包括包含权利要求 1-11 任一项所述的半导体结构的晶体管电路。

13. 一种半导体结构的制备方法，其特征在于，包括：

5 形成基底，所述基底包括有源区和浅沟槽隔离区；

在所述基底的表面上形成依次层叠设置的第一牺牲膜、第二牺牲膜以及辅助膜，在所述第二牺牲膜上形成第二开口，在所述辅助膜上形成第三开口，所述第二开口和所述第三开口连通作为发射区窗口；

10 形成第一内侧墙，所述第一内侧墙绕所述第二牺牲膜朝向所述发射区窗口的表面一圈设置；

形成集电区，所述集电区位于所述发射区窗口正下方的有源区内；

在所述第一牺牲膜上形成第一开口，所述第一开口与所述第二开口连通；

在所述第一开口内形成本征基区；

15 在所述发射区窗口处形成与所述本征基区接触的发射区膜，并对所述发射区膜和所述辅助膜进行图案化，形成发射区和辅助层；

去除所述第一牺牲膜和所述第二牺牲膜，在对应位置处形成外基区；所述外基区与所述本征基区接触。

14. 根据权利要求 13 所述的半导体结构的制备方法，其特征在于，形成基底，还包括：

20 在所述浅沟槽隔离区内形成辅助外基区，所述外基区与所述辅助外基区在所述基底的表面接触。

15. 根据权利要求 13 或 14 所述的半导体结构的制备方法，其特征在于，去除所述第二牺牲膜和所述第一牺牲膜，在对应位置处形成外基区，包括：

25 去除所述第二牺牲膜，并在所述辅助层下方形成桥接区；所述桥接区与所述本征基区接触；

去除所述第一牺牲膜，在对应位置处形成有效外基区，所述有效外基区与所述桥接区接触。

16. 根据权利要求 13-15 任一项所述的半导体结构的制备方法，其特征在于，所述第二开口的轮廓落在所述第一开口的轮廓内。

30 17. 根据权利要求 13-16 任一项所述的半导体结构的制备方法，其特征在于，在所述发射区窗口处形成与所述本征基区接触的发射区之前，所述制备方法还包括：

去除所述第一内侧墙，形成第二内侧墙。

18. 根据权利要求 17 所述的半导体结构的制备方法，其特征在于，形成第二内侧墙后，所述制备方法还包括：对所述本征基区进行表面清洗。

35 19. 根据权利要求 13-18 任一项所述的制备方法，其特征在于，所述制备方法还包括：

在所述基底上形成互补金属氧化物半导体场效应晶体管。

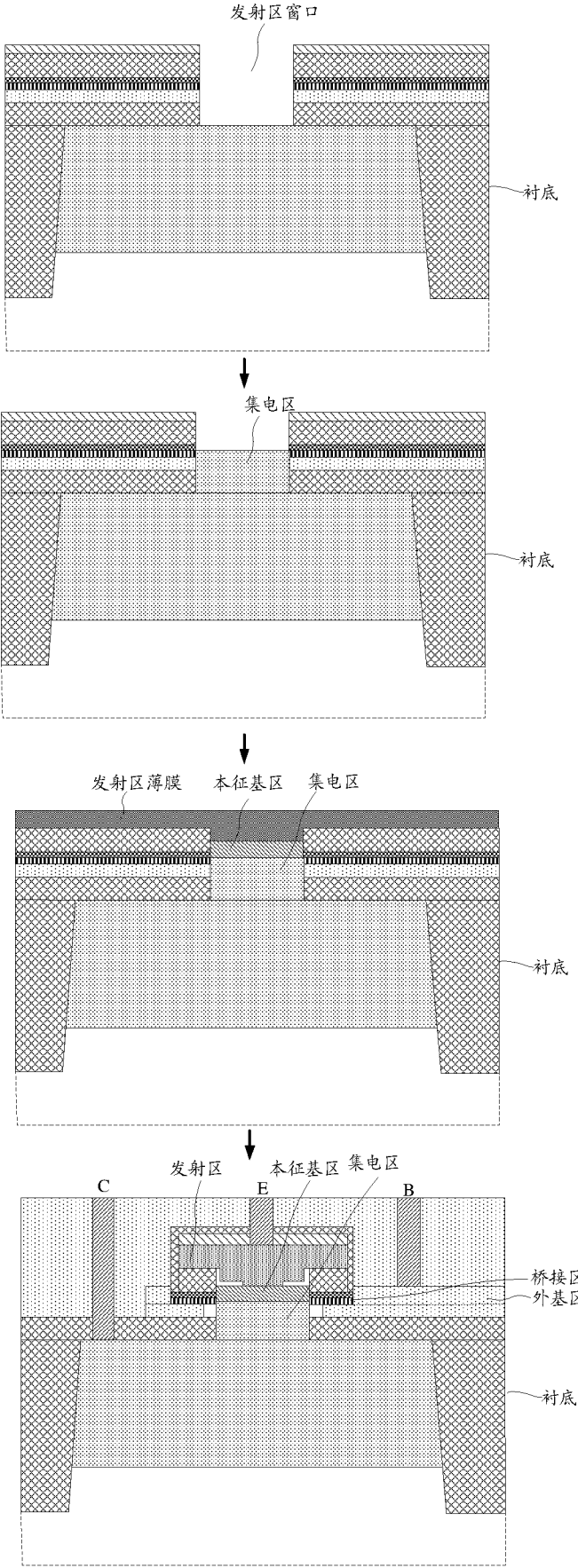


图 1

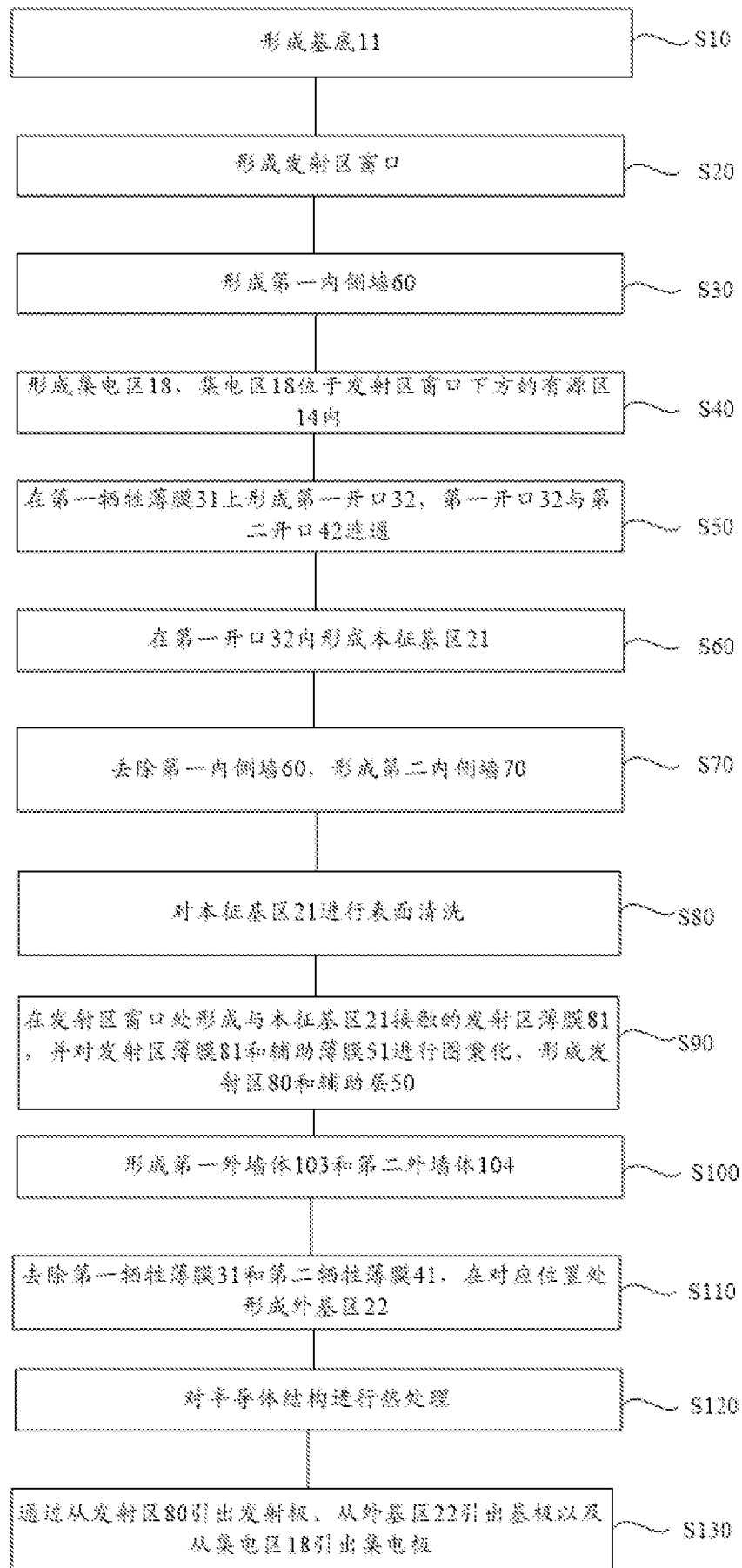


图 2

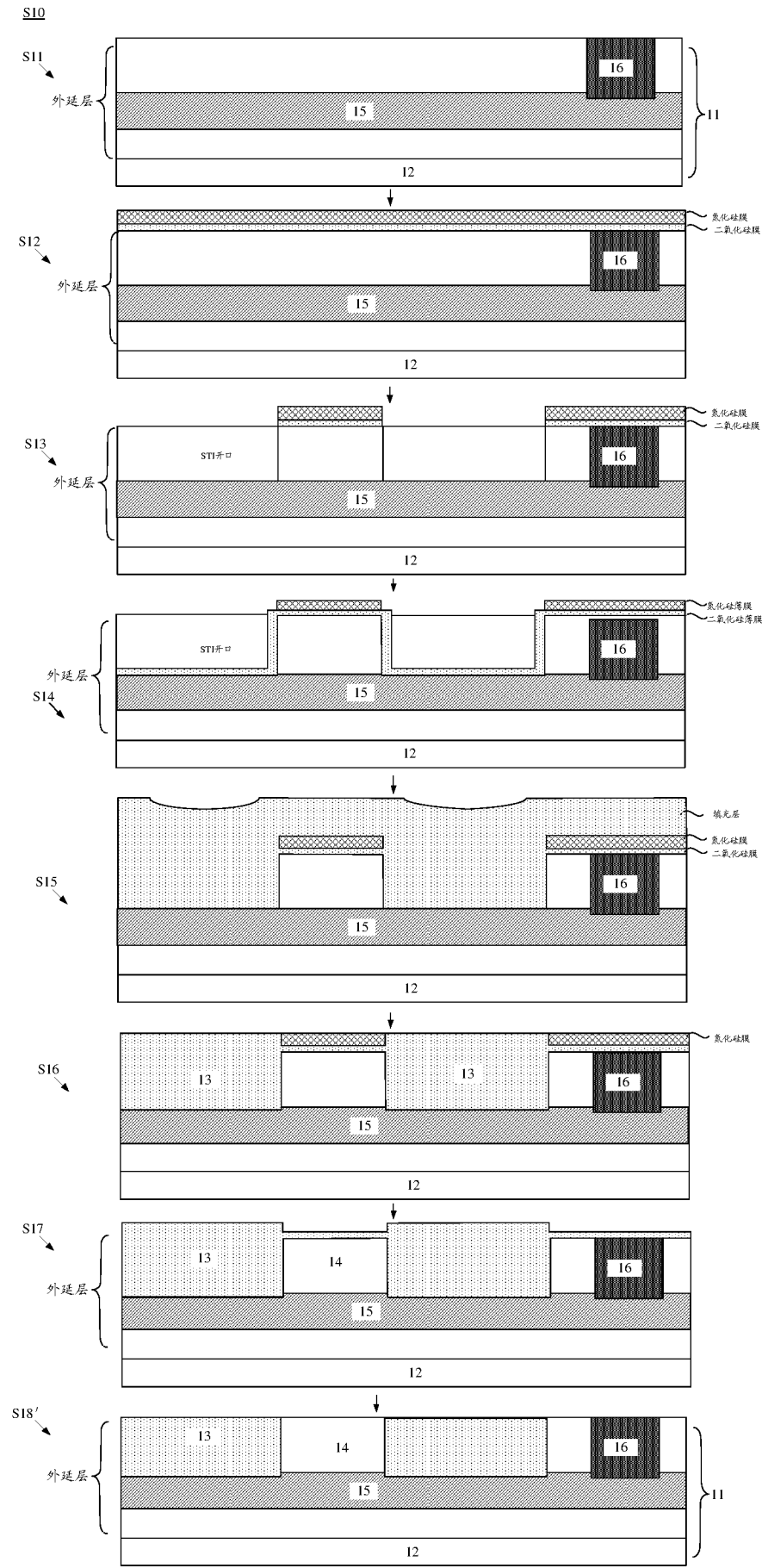


图 3A

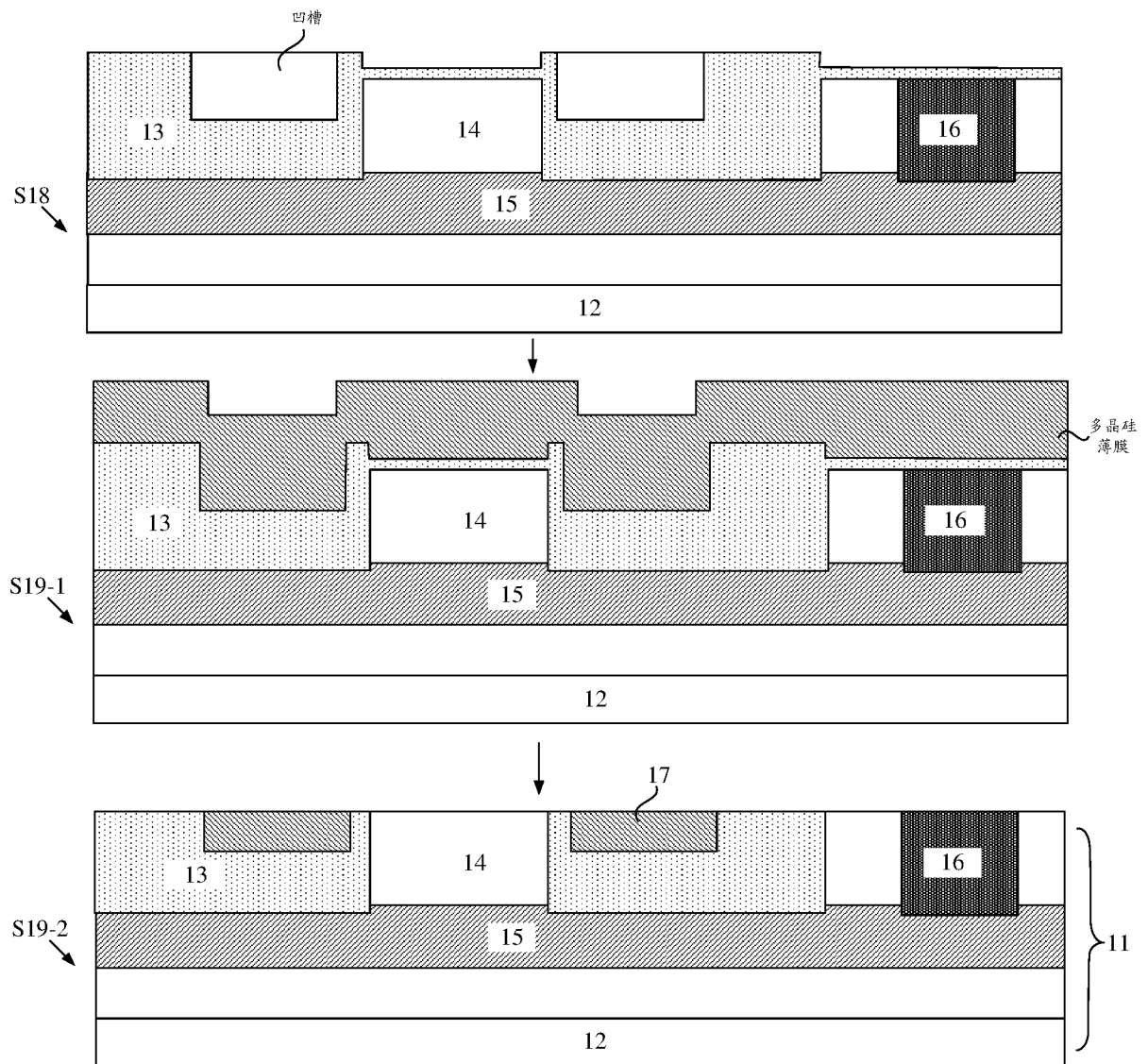


图 3B

S20

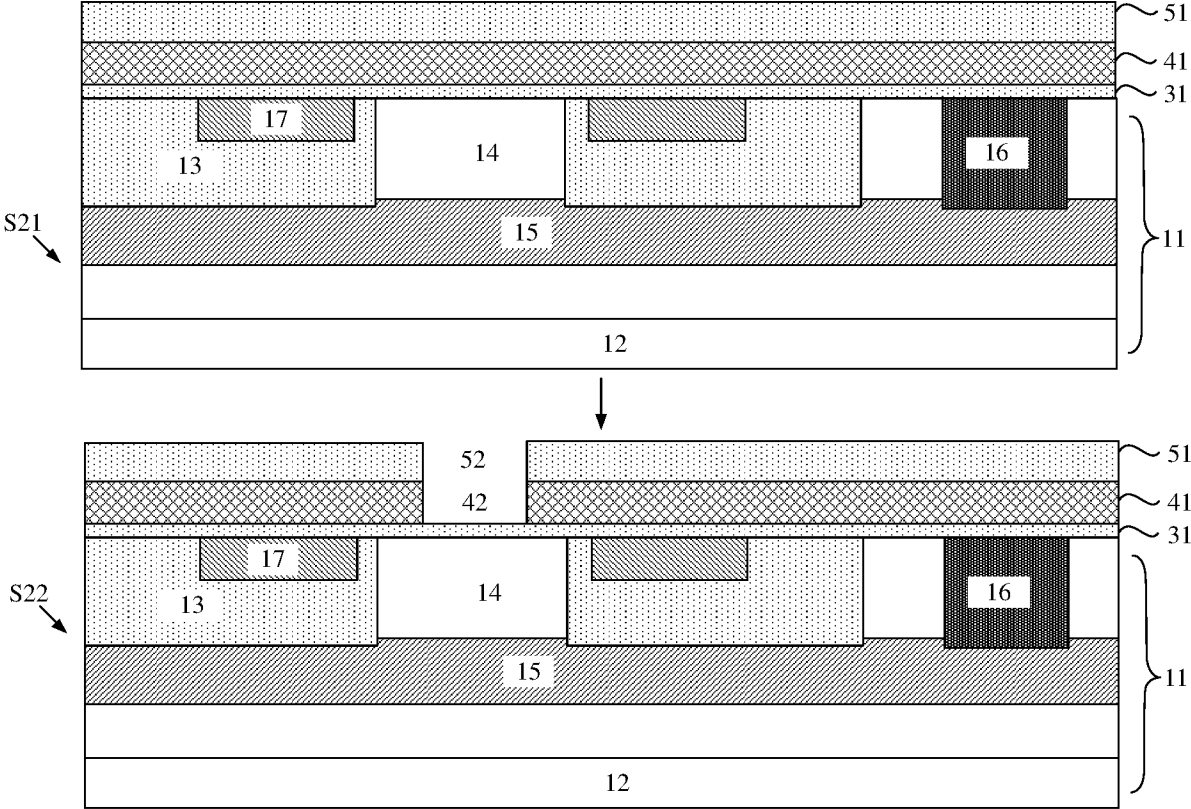


图 3C

S30

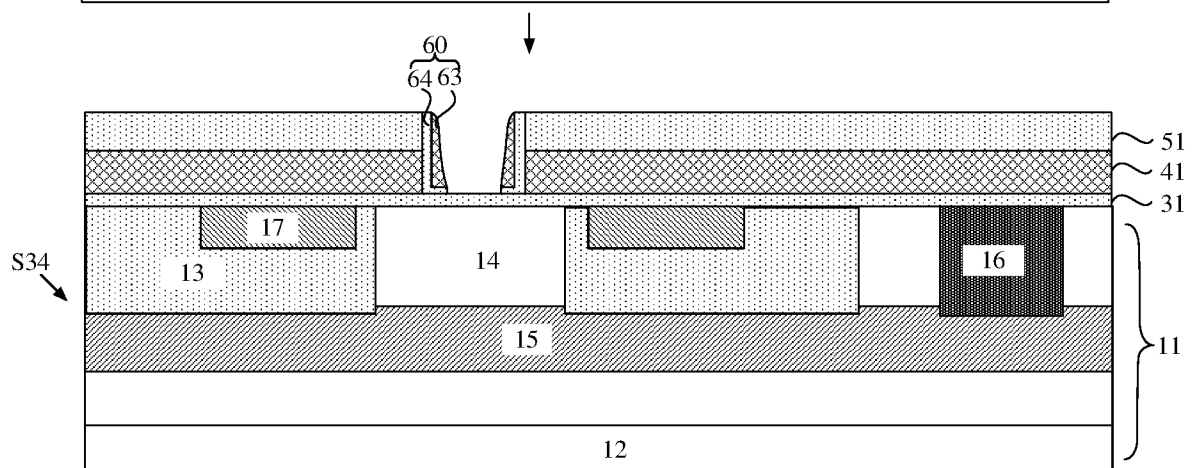
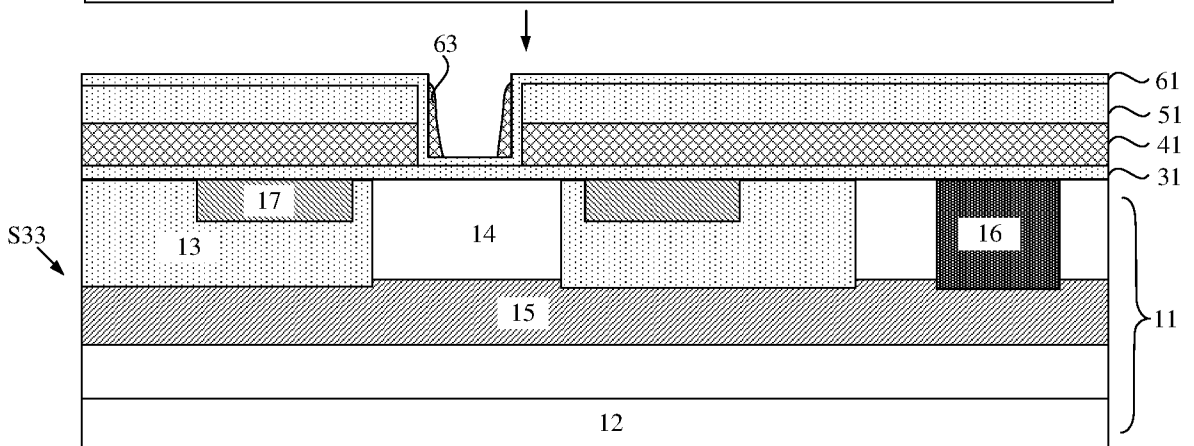
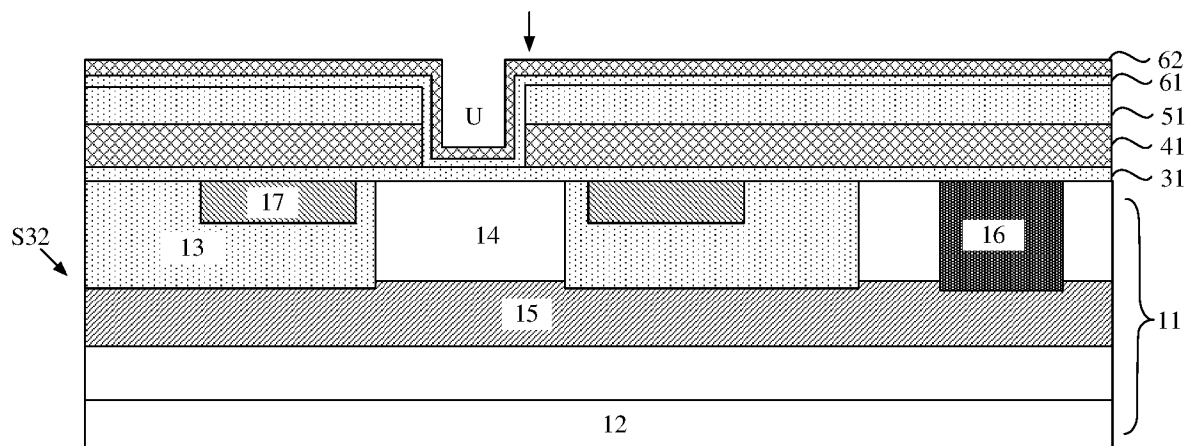
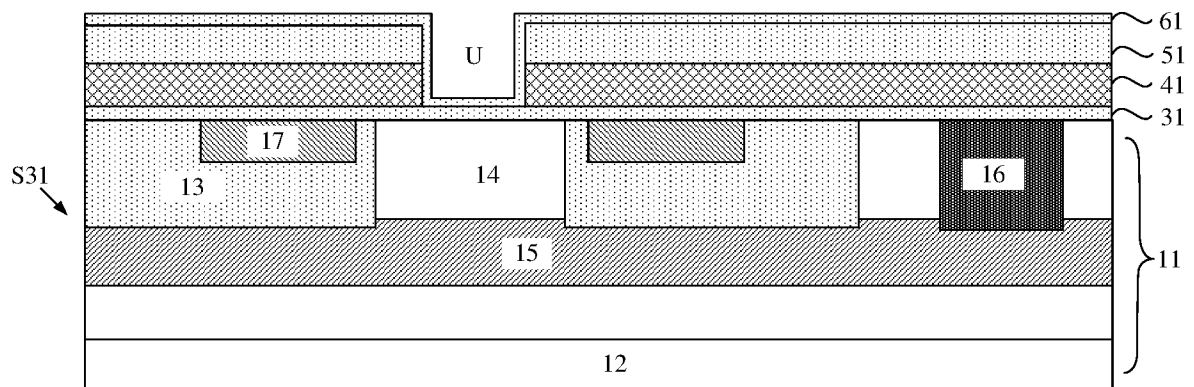


图 3D

S40

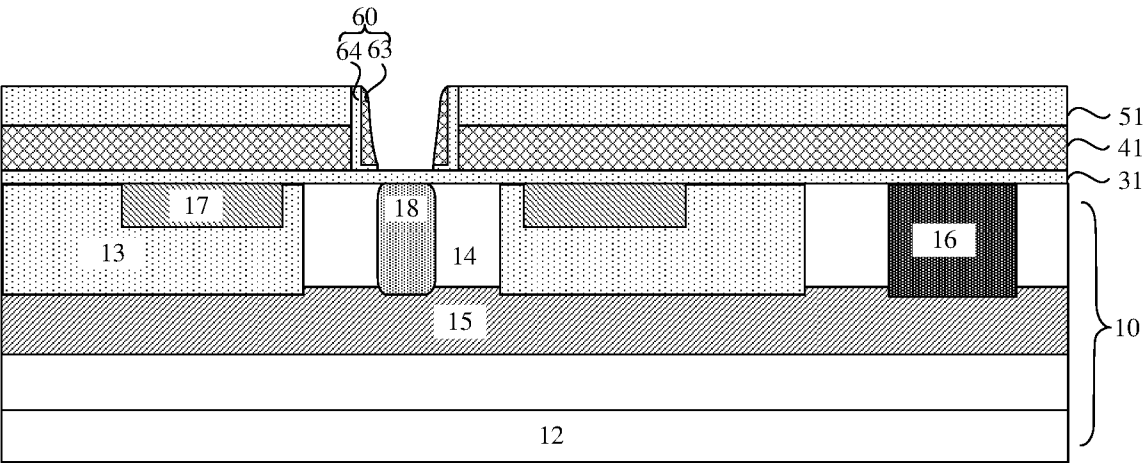


图 3E

S50

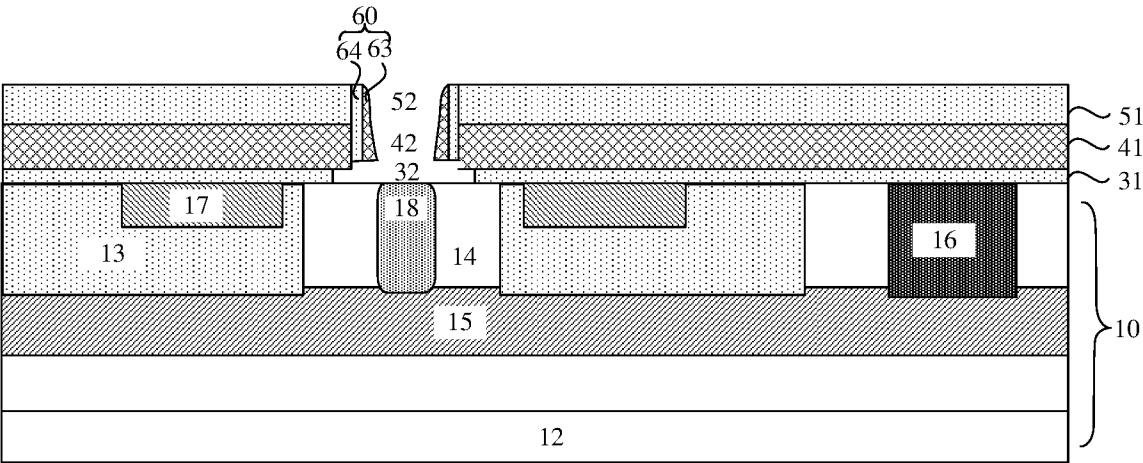


图 3F

S60

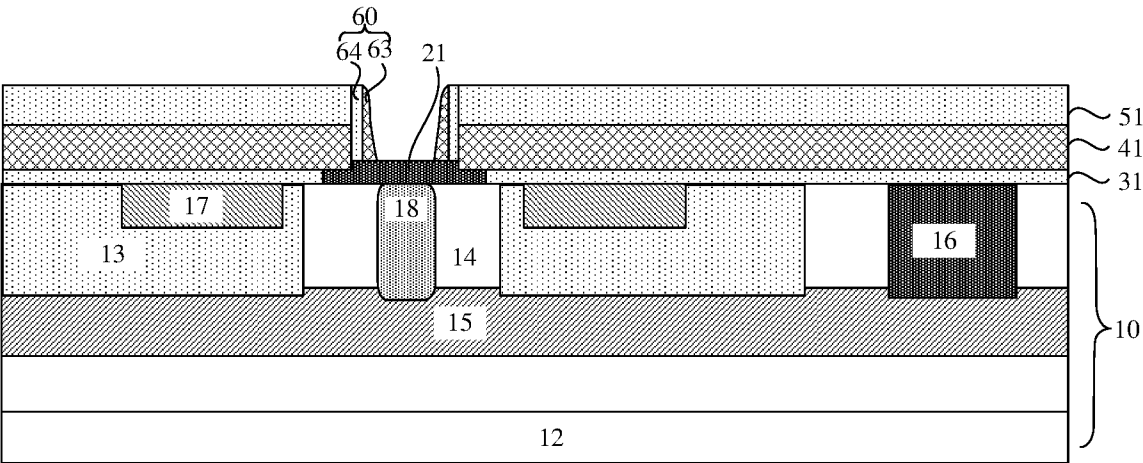


图 3G

S70

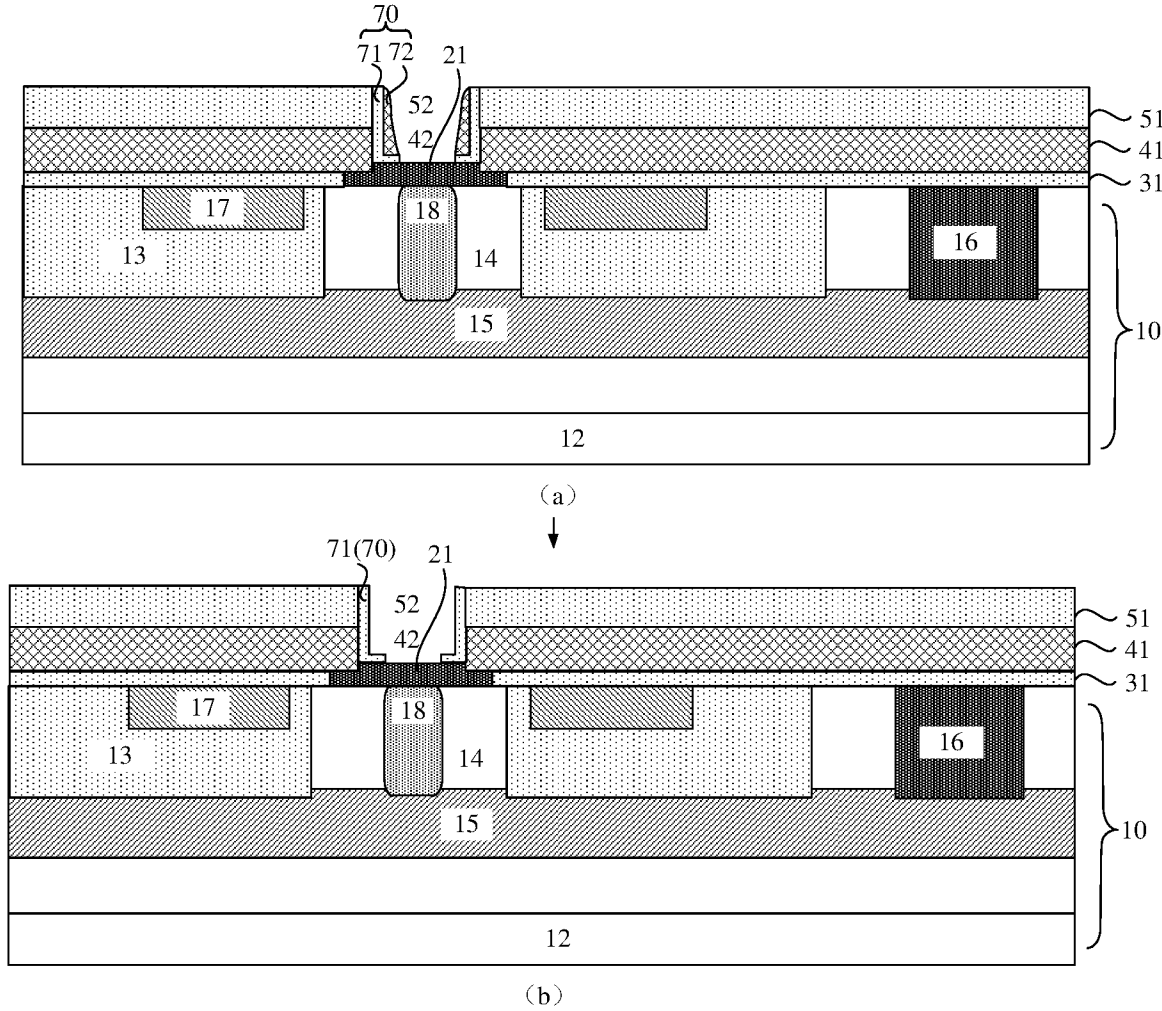


图 3H

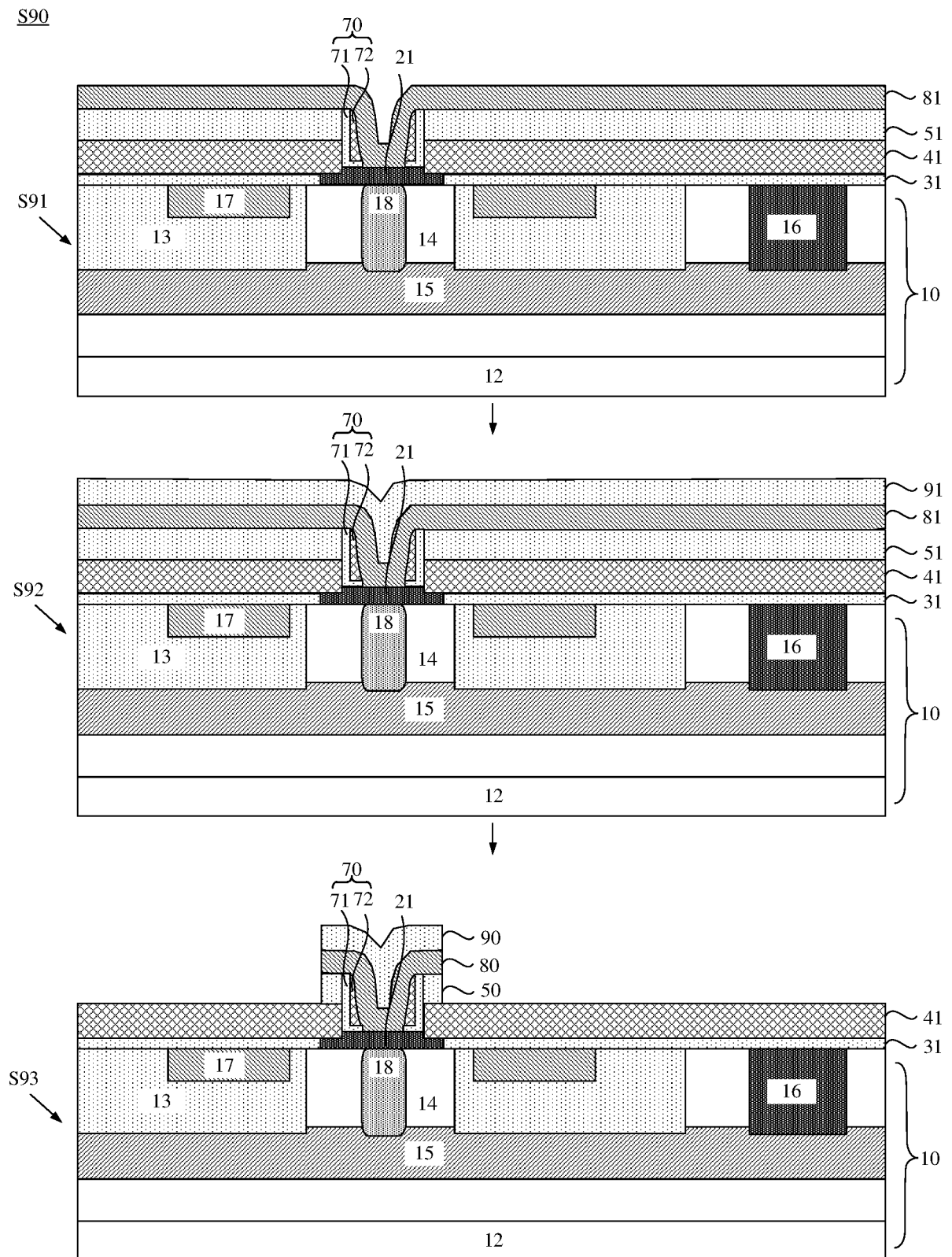


图 3I

S100

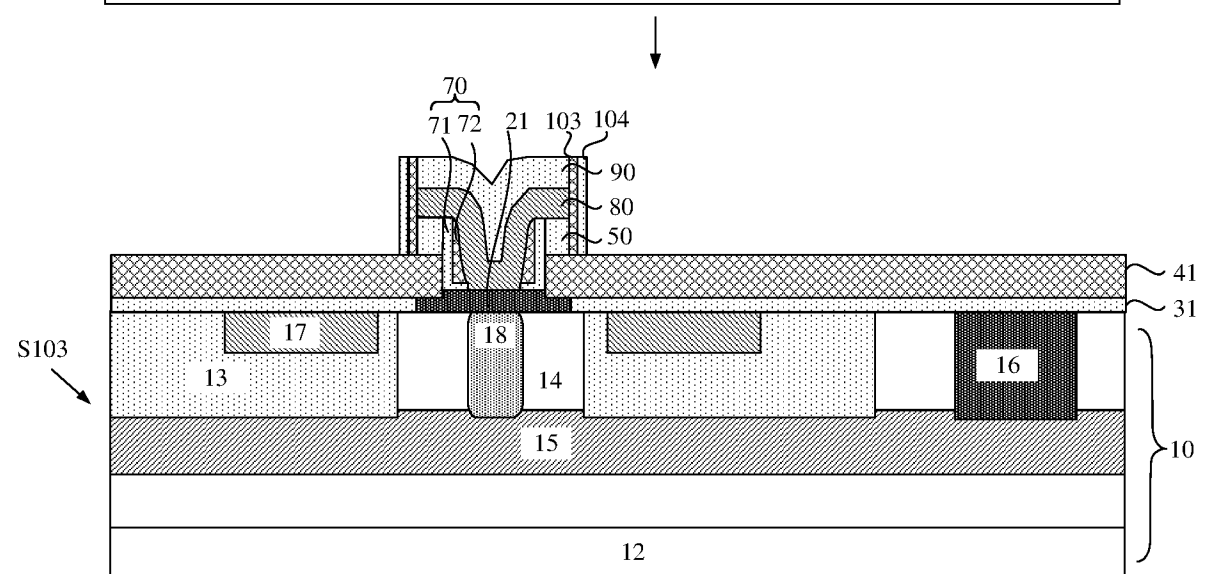
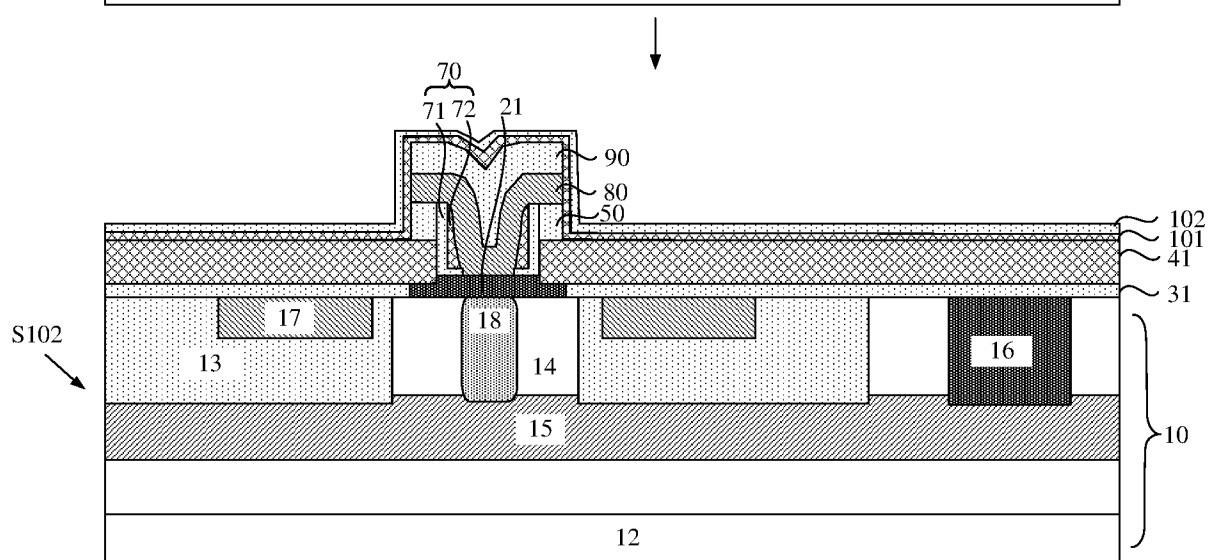
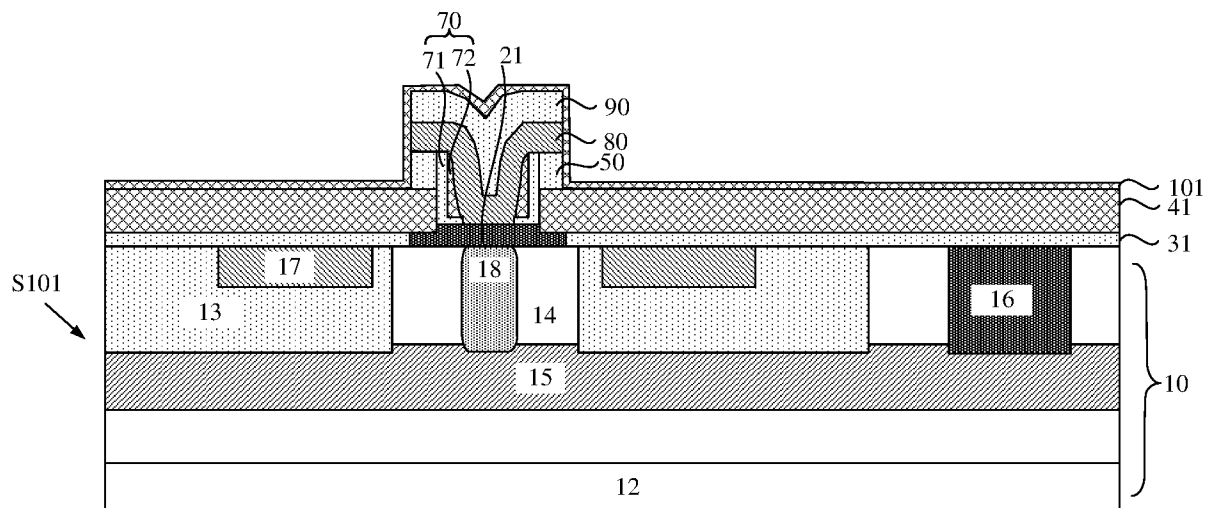


图 3J

S110

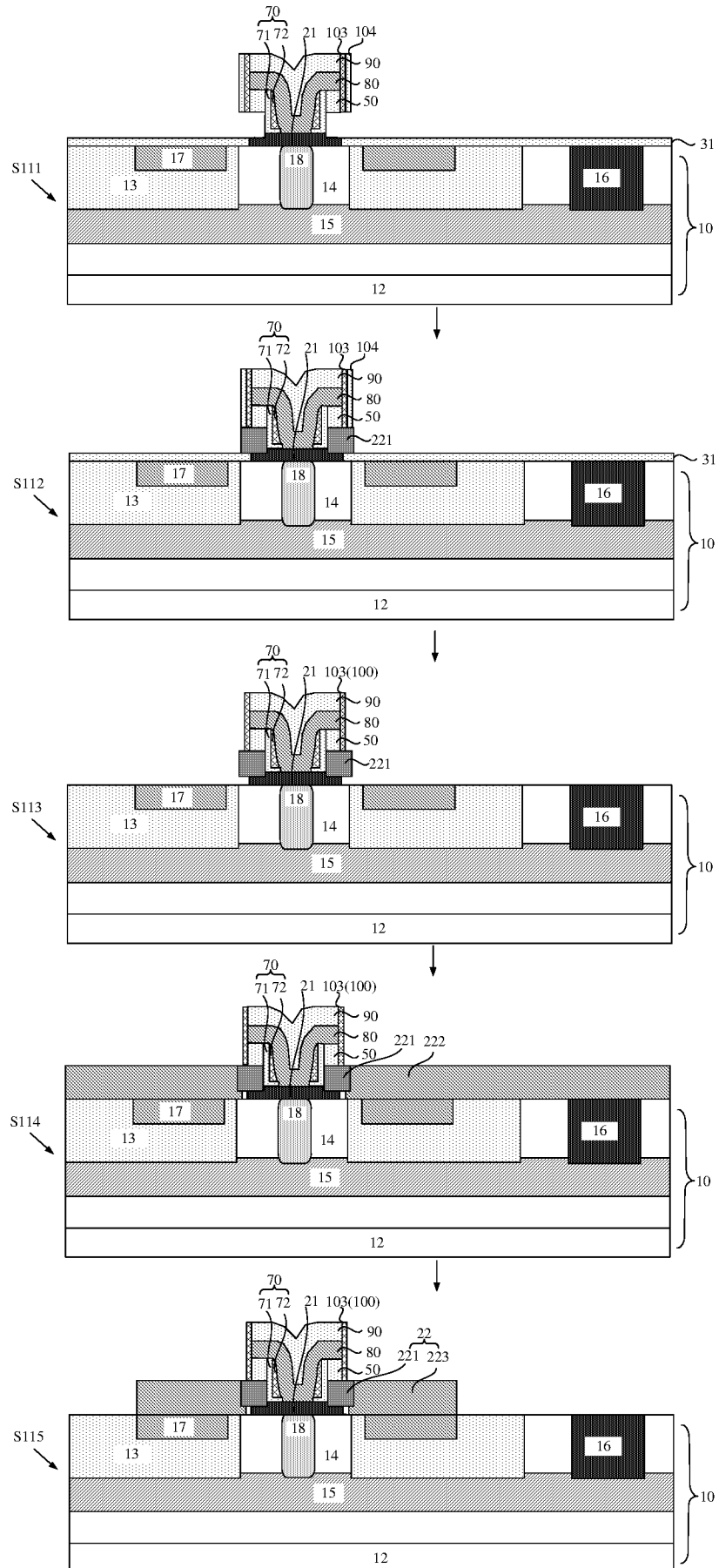


图 3K

S110

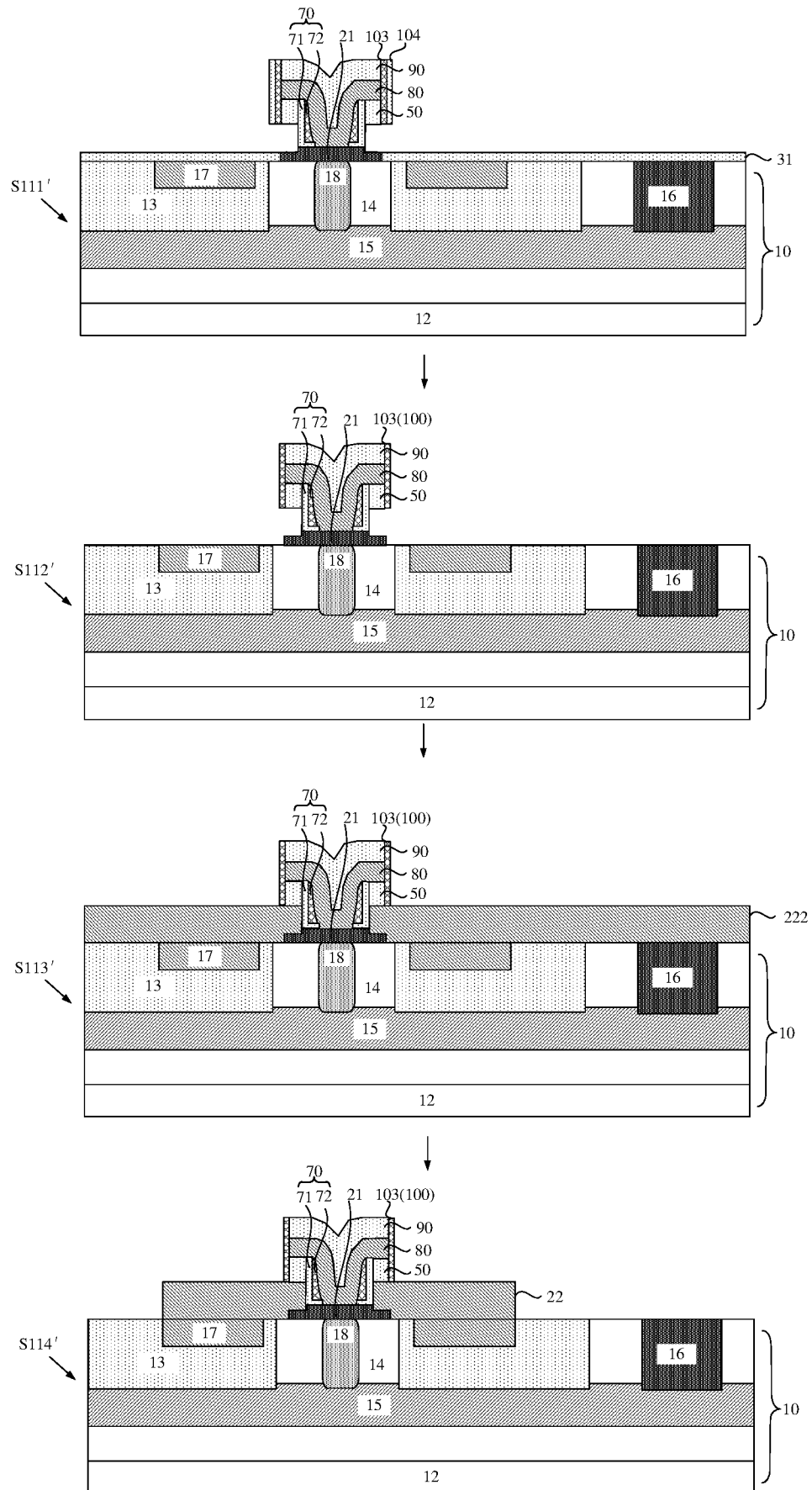


图 3L

S130

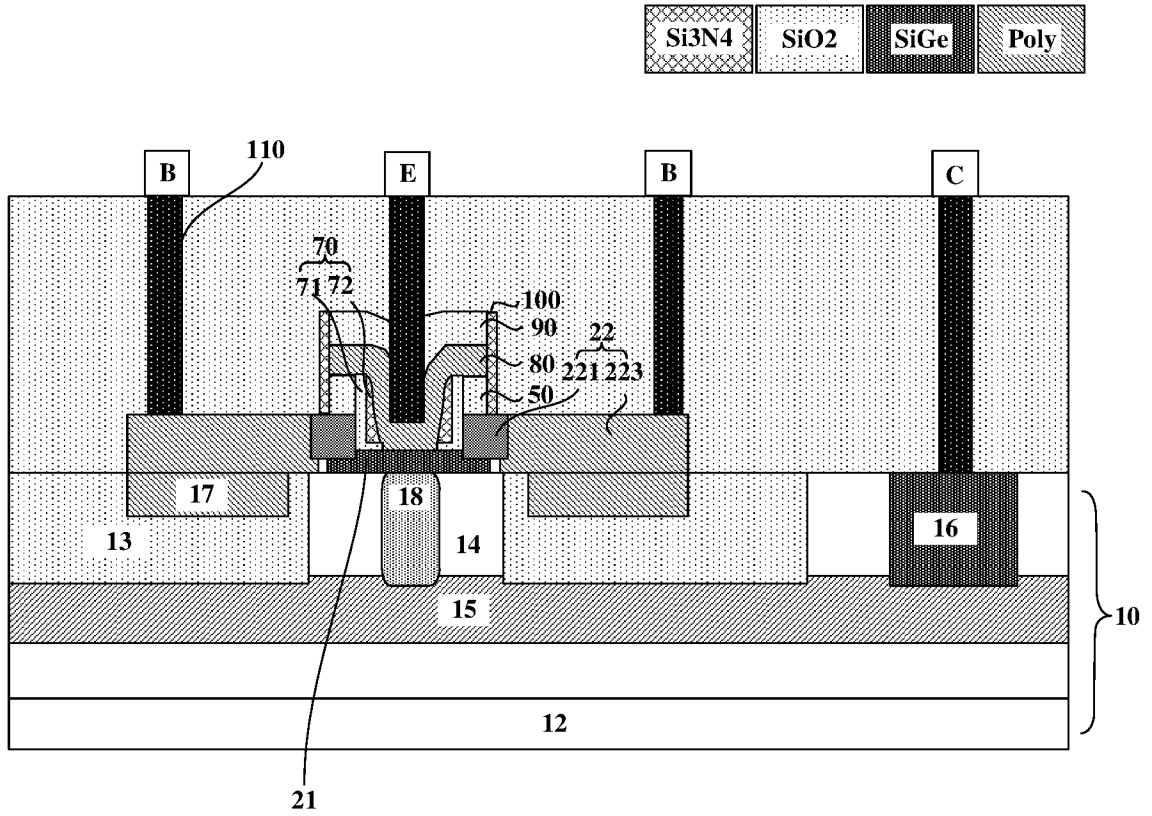


图 3M

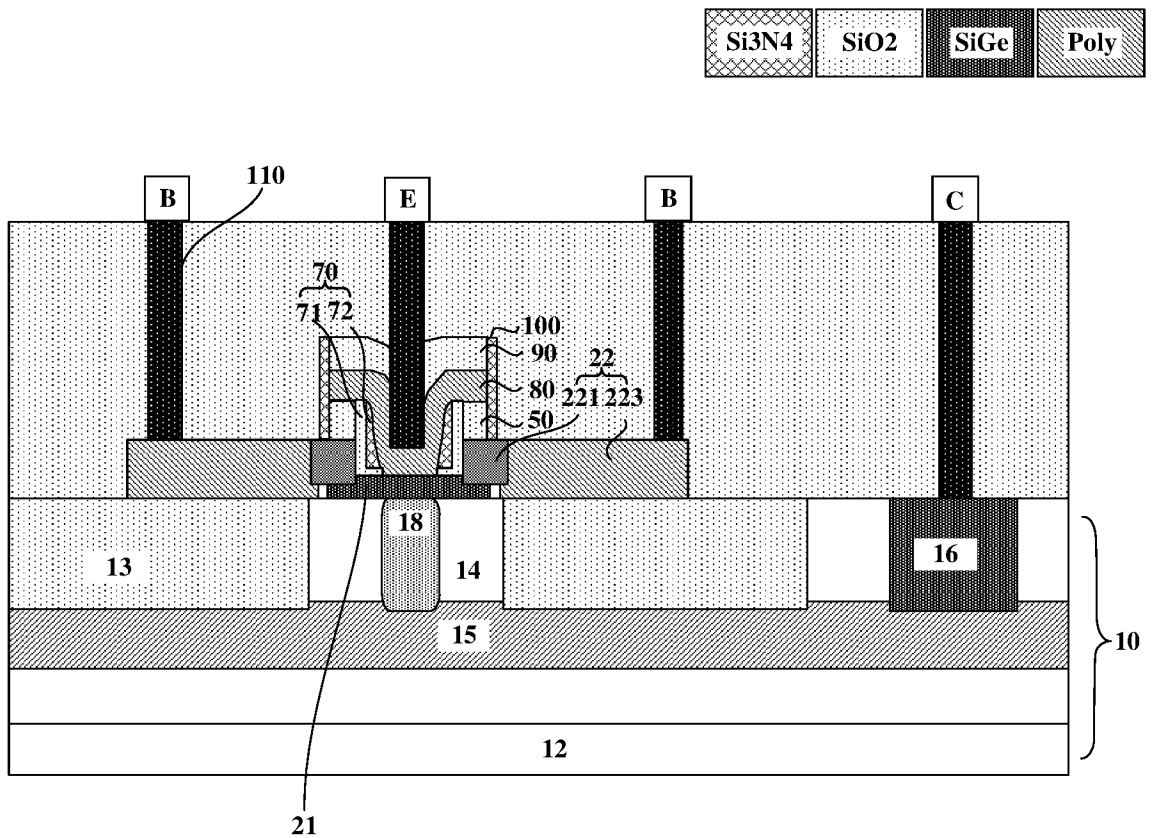


图 4A

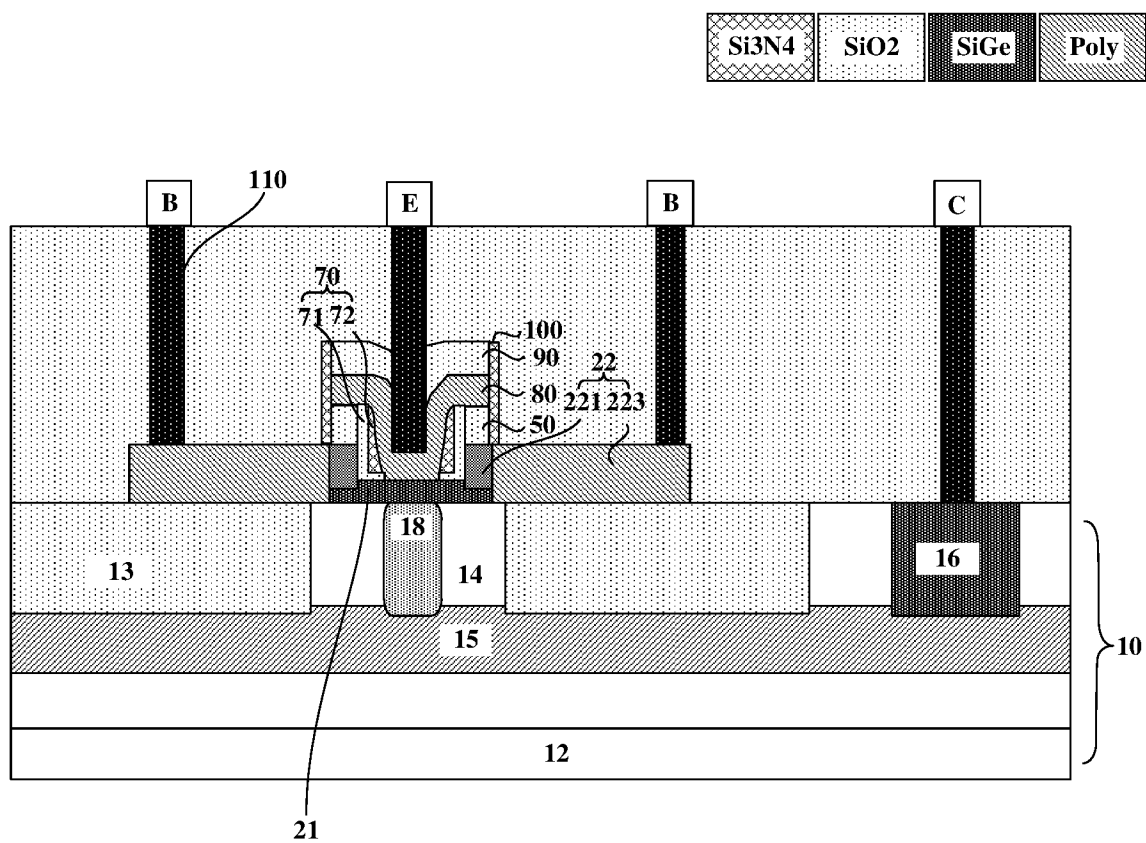


图 4B

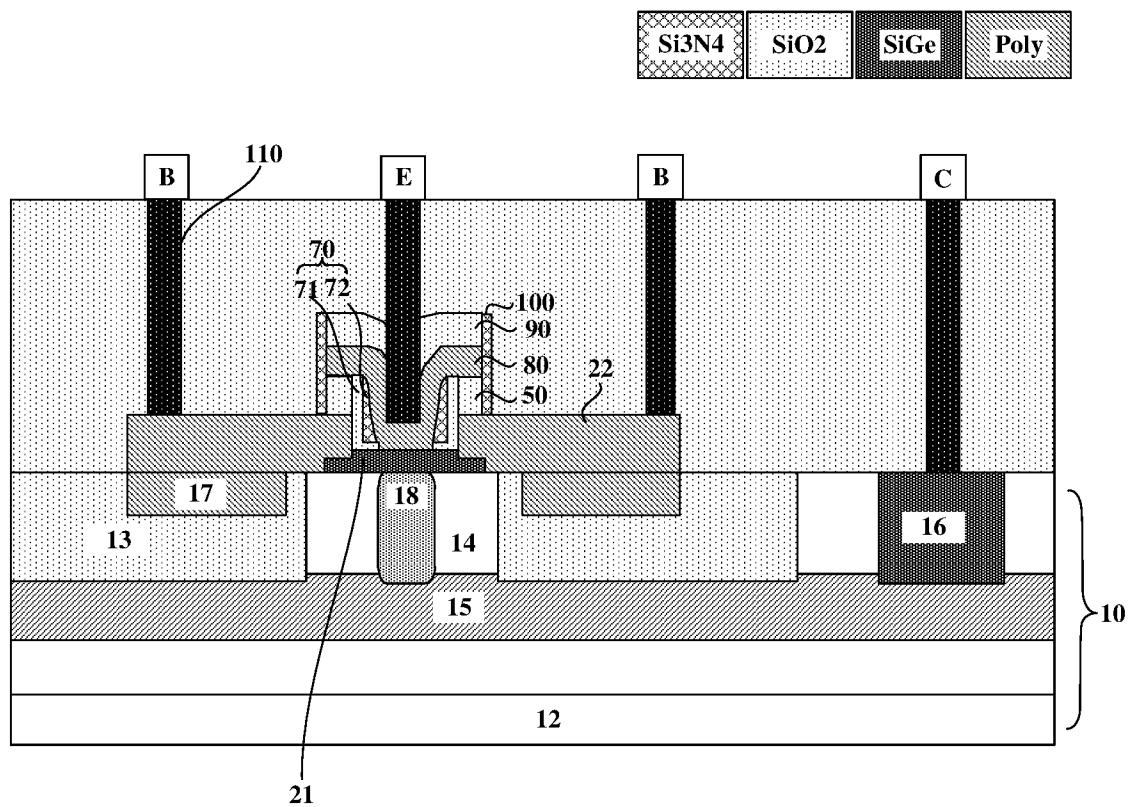


图 5A

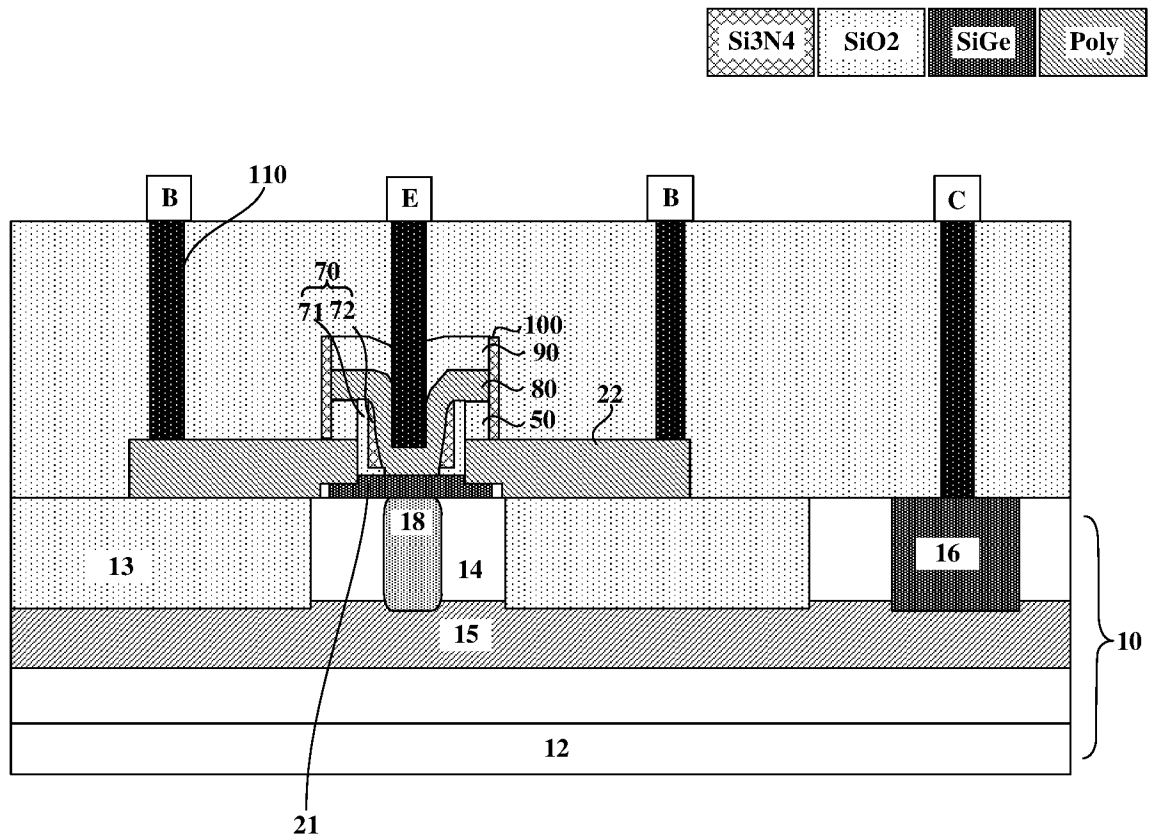


图 5B

S140

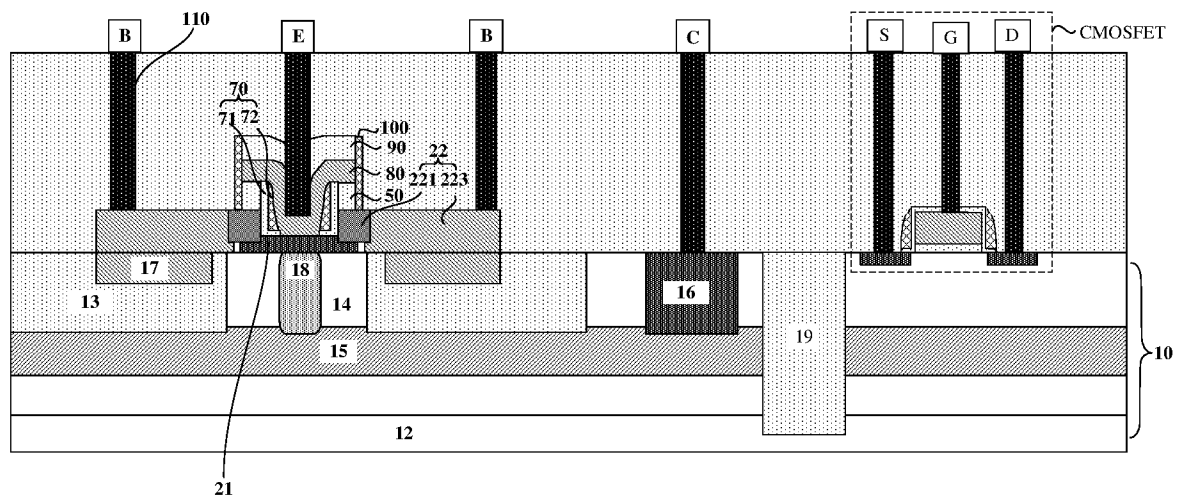


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/117293

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/331(2006.01)i; H01L 29/737(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-;H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; ENTXTC; VEN; ENTXT; CNKI: 三极管, 基区, 外延, 侧墙, 牺牲层, 浅沟槽隔离, 多晶, bipolar transistor, base, epitaxy, spacer, sacrifice layer, STL, poly

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103022110 A (TSINGHUA UNIVERSITY) 03 April 2013 (2013-04-03) description, paragraphs 10-61, and figures 1-10	1-12
X	CN 101359682 A (TSINGHUA UNIVERSITY) 04 February 2009 (2009-02-04) description, page 3, line 1-page 7, line 2, and figures 1-14	1-12
Y	CN 103022110 A (TSINGHUA UNIVERSITY) 03 April 2013 (2013-04-03) description, paragraphs 10-61, and figures 1-10	13-19
Y	CN 101359682 A (TSINGHUA UNIVERSITY) 04 February 2009 (2009-02-04) description, page 3, line 1-page 7, line 2, and figures 1-14	13-19
Y	US 2018108762 A1 (ST MICROELECTRONICS SA) 19 April 2018 (2018-04-19) description, paragraphs 33-76, and figures 1-11	1-19
Y	CN 102130152 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 20 July 2011 (2011-07-20) description, paragraphs 6-52, and figures 1-4	1-19
A	CN 111883580 A (XI'AN UNIVERSITY OF TECHNOLOGY) 03 November 2020 (2020-11-03) entire document	1-19

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 May 2022

Date of mailing of the international search report

18 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/117293

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2506297 A1 (NXP BV.) 03 October 2012 (2012-10-03) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/117293

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103022110	A	03 April 2013	CN	103022110	B	29 July 2015
CN	101359682	A	04 February 2009	CN	101359682	B	08 February 2012
US	2018108762	A1	19 April 2018	FR	3047838	A1	18 August 2017
				US	2017236923	A1	17 August 2017
				US	9882034	B2	30 January 2018
				US	10374069	B2	06 August 2019
CN	102130152	A	20 July 2011	CN	102130152	B	10 December 2014
CN	111883580	A	03 November 2020	None			
EP	2506297	A1	03 October 2012	None			

国际检索报告

国际申请号

PCT/CN2021/117293

A. 主题的分类 H01L 21/331(2006.01)i; H01L 29/737(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																													
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L21/-;H01L29/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;ENTXTC;VEN;ENTXT;CNKI:三极管, 基区, 外延, 侧墙, 牺牲层, 浅沟槽隔离, 多晶, bipolar transistor, base, epitaxy, spacer, sacrifice layer, STI, poly																													
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10</td> <td>1-12</td> </tr> <tr> <td>X</td> <td>CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10</td> <td>13-19</td> </tr> <tr> <td>Y</td> <td>CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14</td> <td>13-19</td> </tr> <tr> <td>Y</td> <td>US 2018108762 A1 (ST MICROELECTRONICS SA) 2018年4月19日 (2018 - 04 - 19) 说明书第33-76段, 图1-11</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 102130152 A (上海华虹NEC电子有限公司) 2011年7月20日 (2011 - 07 - 20) 说明书第6-52段, 图1-4</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 111883580 A (西安理工大学) 2020年11月3日 (2020 - 11 - 03) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>EP 2506297 A1 (NXP BV) 2012年10月3日 (2012 - 10 - 03) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10	1-12	X	CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14	1-12	Y	CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10	13-19	Y	CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14	13-19	Y	US 2018108762 A1 (ST MICROELECTRONICS SA) 2018年4月19日 (2018 - 04 - 19) 说明书第33-76段, 图1-11	1-19	Y	CN 102130152 A (上海华虹NEC电子有限公司) 2011年7月20日 (2011 - 07 - 20) 说明书第6-52段, 图1-4	1-19	A	CN 111883580 A (西安理工大学) 2020年11月3日 (2020 - 11 - 03) 全文	1-19	A	EP 2506297 A1 (NXP BV) 2012年10月3日 (2012 - 10 - 03) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																											
X	CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10	1-12																											
X	CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14	1-12																											
Y	CN 103022110 A (清华大学) 2013年4月3日 (2013 - 04 - 03) 说明书第10-61段, 图1-10	13-19																											
Y	CN 101359682 A (清华大学) 2009年2月4日 (2009 - 02 - 04) 说明书第3页第1行-第7页第2行, 图1-14	13-19																											
Y	US 2018108762 A1 (ST MICROELECTRONICS SA) 2018年4月19日 (2018 - 04 - 19) 说明书第33-76段, 图1-11	1-19																											
Y	CN 102130152 A (上海华虹NEC电子有限公司) 2011年7月20日 (2011 - 07 - 20) 说明书第6-52段, 图1-4	1-19																											
A	CN 111883580 A (西安理工大学) 2020年11月3日 (2020 - 11 - 03) 全文	1-19																											
A	EP 2506297 A1 (NXP BV) 2012年10月3日 (2012 - 10 - 03) 全文	1-19																											
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																													
国际检索实际完成的日期 2022年5月5日		国际检索报告邮寄日期 2022年5月18日																											
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 孙鹏 电话号码 86-(20)-28958385																											

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/117293

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103022110	A	2013年4月3日	CN 103022110 B	2015年7月29日
CN	101359682	A	2009年2月4日	CN 101359682 B	2012年2月8日
US	2018108762	A1	2018年4月19日	FR 3047838 A1	2017年8月18日
				US 2017236923 A1	2017年8月17日
				US 9882034 B2	2018年1月30日
				US 10374069 B2	2019年8月6日
CN	102130152	A	2011年7月20日	CN 102130152 B	2014年12月10日
CN	111883580	A	2020年11月3日	无	
EP	2506297	A1	2012年10月3日	无	