

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 17369

(54) Transistors du type à grille isolée.

(51) Classification internationale (Int. Cl.³). H 01 L 29/78, 27/10.

(22) Date de dépôt..... 15 septembre 1981.

3) (32) (31) Priorité revendiquée : Japon, 19 septembre 1980, n° 129067/80.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 12 du 26-3-1982.

(71) Déposant : Société dite : NIPPON TELEGRAPH & TELEPHONE PUBLIC CORPORATION, rési-
dant au Japon.

(72) Invention de : Yasuhisa Omura.

(73) Titulaire : *Idem* (71)

(74) Mandataire : François Lerner,
5, rue Jules-Lefebvre, 75009 Paris.

La présente invention a pour objet un transistor et plus particulièrement un transistor du type à grille isolée.

En tant qu'élément actif, différents types de transistors ont été développés. Conformément aux caractéristiques courantes, ils sont classés en transistors ayant une caractéristique de courant de type saturation, tels que les transistors bipolaires du type à jonctions, en transistors à effet de champ ou analogue qui présentent les mêmes caractéristiques qu'une pentode, et en transistors présentant un courant de type non saturé, tels que les transistors à induction statique (SIT). Diverses constructions ont été proposées pour le premier type de transistor mentionné de façon à recouvrir divers champs d'application. Cependant, étant donné que ce type de transistor présente une caractéristique de courant de saturation, il n'est pas approprié, lorsqu'on veut utiliser un transistor destiné à faire passer un courant important. Pour cette raison, l'attention a été concentrée sur des transistors du type SIT ayant une caractéristique de courant de type non saturé.

Comme décrit dans un article de la revue I.E.E.E. "Transactions of Electronic Devices" Vol Ed-22 n° 4 - Avril 1975 pages 185 - 197, par exemple, un transistor SIT présente une construction de base telle qu'il comprend une région de source consistant en une couche diffusée de N^+ formée sur la surface d'un substrat de type N, une région de grille consistant en une couche diffusée P+ adjacente à la région de source et ayant une profondeur supérieure à la couche diffusée N^+ , et une région de drainage constituée d'une couche diffusée N^+ formée sur la surface arrière du substrat, et dans laquelle l'épaisseur de la couche d'appauvrissement est contrôlée selon la grandeur de la tension de grille appliquée sur la région de grille, de façon à ouvrir ou fermer le trajet du courant entre la région de source et la région de drainage.

Etant donné que le SIT est un élément unipolaire utilisant seulement les porteurs majoritaires en tant que porteurs, sa densité de courant est limitée à environ $10^3 A/cm^2$, de sorte qu'il présente le défaut rédhibitoire qu'il est impossible d'obtenir une densité de courant supérieure à cette limite

supérieure. De façon à offrir des performances suffisamment élevées, il est souhaitable de construire le SIT selon une construction verticale. Une telle construction verticale cependant rend difficile la fabrication de SIT en circuit

5 intégré. Par exemple, de façon à fabriquer le SIT sous forme d'un circuit intégré, il est généralement nécessaire de dériver la borne de drainage du côté de la borne de la source, à l'exception d'une borne commune de drainage. A cet effet, il est nécessaire de prévoir une couche enfouie

10 présentant une région de concentration d'impuretés élevées qui réalise l'interconnexion entre la couche enfouie et l'électrode de drainage exactement comme dans le cas d'un transistor bipolaire de type vertical. Ceci non seulement

15 augmente le nombre des étapes de fabrication mais également le complique et accroît la résistance en série de l'élément. En outre, étant donné que le SIT présente une construction verticale, il peut être utilisé pour fabriquer seulement des LSI (large Square Integrated, c'est-à-dire des circuits

20 super-intégrés) à deux dimensions que l'on s'attend à utiliser fréquemment dans le futur.

De façon à doter une caractéristique de non-saturation un SIT utilisant un substrat de silicium de type N, par exemple, la tension V_{GS} appliquée entre l'électrode de grille et la source, et la tension V_{DS} appliquée au drain sont limitées à des valeurs exprimées par la relation $V_{GS} < V_{DS} < 0$, de

25 sorte qu'il est impossible pour le SIT d'avoir un circuit fonctionnant sous n'importe quelles conditions opératoires aussi bien que comme un circuit logique similaire à un MOS FET conventionnel (transistor à effet de champ métal-oxyde-semi-

30 conducteur).

En conséquence, un objet essentiel de l'invention est de prévoir un transistor de type à grille isolée susceptible de laisser passer un courant de densité élevée. Un autre objet de l'invention est de prévoir un transistor de type à grille

35 isolée qui puisse être utilisé de façon à constituer un circuit intégré, en particulier un circuit tridimensionnel LSI.

Un autre objet encore de l'invention est de prévoir

un transistor de type à grille isolée présentant un large gain constant et un niveau de bruit thermique faible.

Un autre objet encore de l'invention est de prévoir un transistor de type à grille isolée présentant un large
5 intervalle de tension de fonctionnement.

En bref, le transistor de type à grille isolée de l'invention comprend une première région active de type conductrice formée sur une couche isolante, une première
10 région de cathode de type conductrice et une seconde région d'anode de type conductrice juxtaposées sur les côtés opposés de la région active. L'épaisseur de la région active est choisie de façon à être inférieure à $\pi/2$ fois la longueur Debye et le transistor est construit de façon à être du type
à grille isolée et à présenter non seulement une caractéristique de courant de saturation, mais également une caractéristique de non saturation.
15

Ces objets, et d'autres encore sont obtenus en constituant un transistor du type à grille isolée qui se caractérise en ce qu'il comprend une couche d'isolation,
20 une couche active faite d'un premier semiconducteur de type conducteur formé sur la couche d'isolation, une région de cathode faite d'un semiconducteur à haute concentration d'impuretés ayant un premier type de conductivité et disposée adjacente à la région active, une région d'anode faite d'un
25 semiconducteur d'un second type de conductivité adjacente à la région active mais écartée de la région de cathode, un film d'isolation de grille formé sur la région active et une électrode de grille formée sur le film isolant de grille, l'épaisseur d'une partie de la région active étant inférieure
30 à $\pi/2$ fois la longueur Debye propre au semiconducteur constituant la région active.

L'invention apparaîtra plus clairement à l'aide de la description qui va suivre faite en référence aux dessins annexés dans lesquels :

35 - la figure 1 est une vue en coupe montrant un mode de réalisation d'un transistor à grille isolée conforme à l'invention,

- la figure 2 est un circuit équivalent du transistor

illustré à la figure 1.

5 -Les figures 3A, 3B et 3C sont des vues en coupe utiles pour expliquer le fonctionnement du transistor illustré à la figure 1 et qui montrent également les tensions appliquées aux divers éléments et la manière d'engendrer les électrons et les trous au moyen des diverses tensions appliquées.

10 -Les figures 4A à 4D sont des courbes montrant des diagrammes d'énergie utiles pour expliquer le fonctionnement du transistor illustré à la figure 1.

Les figures 5A et 5B sont des courbes montrant respectivement la caractéristique $I_{AK} - V_{AK}$ et la caractéristique $I_{AK} - V_{GK}$ du transistor illustré à la figure 1.

15 -Les figures 6A et 6B sont des vues en coupe montrant la connexion à la source pour créer la caractéristique de courant saturé dans le transistor de type à grille isolée conforme à l'invention et le comportement ou mouvement déporteur dans la région active.

20 -La figure 7 illustre des courbes donnant la caractéristique de courant saturé d'un transistor conforme à l'invention et présentant les caractéristiques illustrées aux figures 5A et 5B.

25 -La figure 8 est une vue en coupe montrant un mode de réalisation modifié d'un transistor de type à grille isolée conforme à l'invention.

Les figures 9A et 9B sont des vues en coupe et en plan respectivement d'une autre variante encore de réalisation d'un transistor de type à grille isolée conforme à l'invention.

30 - La figure 10 est une représentation schématique utile pour expliquer le fonctionnement du transistor illustré à la figure 9.

- La figure 11 est une vue en coupe montrant un LSI à trois dimensions fabriqué avec des transistors du type à grille isolée conforme à l'invention.; et

35 - la figure 12 montre un circuit équivalent du LSI illustré à la figure 11.

En se reportant tout d'abord à la figure 1, le transistor à grille isolée conforme à l'invention comprend un substrat 1

semiconducteur constitué d'un silicium monocristallin ayant une résistance spécifique de 10^3 ohms-cm et une épaisseur de 350 microns, une couche d'isolation 2 constituée d'un oxyde de silicium ayant une épaisseur de 470 nm, (nanomètres), par exemple, et une couche 3 semiconductrice d'un silicium monocristallin ayant une épaisseur de 260 nm et formée sur la couche isolante 2. La construction dans laquelle une couche semiconductrice 3 d'un silicium monocristallin est formée sur une couche isolante est préparée au moyen d'un procédé décrit dans le brevet américain 4 241 359 par exemple.

Dans l'exemple illustré à la figure 1, la couche semiconductrice 3 comprend une région de cathode 4, une région active 5 et une région d'anode 6 qui sont juxtaposées dans la direction horizontale dans l'ordre mentionné. La région de cathode 4 est constituée d'une couche de silicium monocristallin N^+ ayant une concentration de donneurs de 5×10^{19} atomes/cm³, par exemple, tandis que la région active 5 a le même type de conductivité que la région de cathode 4 et est constituée d'une couche de silicium monocristallin N ayant une concentration d'impuretés de donneurs de 4×10^{14} atomes/cm³, par exemple. La région 6 a une conductivité du type opposé à celle de la cathode 4 et est constituée d'une couche de silicium monocristallin P^+ ayant une concentration d'impuretés d'accepteurs de 2×10^{20} atomes/cm³ par exemple. La couche active 5 est construite de façon à avoir une épaisseur inférieure à $\pi/2$ fois la longueur de Debye L_{DE} propre à la couche de silicium monocristallin N comprenant la région active 5.

Dans ce cas, la longueur de Debye est dénommée la longueur extrinsèque et peut être exprimée par une équation du type :

$$L_{DE} = \sqrt{\frac{2 \epsilon_s kT}{q^2 N_D}} \quad \dots (1)$$

comme décrit dans l'ouvrage de A. Many et al. "Semiconductors surfaces" publié par North-Holland Publishing Company 1965.

Dans l'équation ci-dessus ϵ_s représente la constante diélectrique du semiconducteur et équivaut à $11,17 \times 8,85 \times 10^{-14}$ (F/cm) dans le cas du silicium, k est la constante de Boltzmann et équivaut à $1,38 \times 10^{-23}$ (J/K), T est la température absolue exprimée en degrés Kelvin (°K), q est une quantité

unitaire de charge égale à $1,6 \times 10^{19}$ (C), et N_D est la concentration de porteurs d'un semiconducteur contenant une impureté. En considérant le cas dans lequel le transistor de type à grille isolée de l'invention fonctionne à la température ambiante, et en supposant que T égal 300°K , étant donné que N_D est égal à la concentration d'impuretés à la température ambiante (300°K), dans laquelle la concentration d'impuretés de donneurs du silicium monocristallin N comprenant la région active 5 est 4×10^{14} atomes/cm³, la longueur de Debye sera d'environ 290 nm. En conséquence, dans ce cas, l'épaisseur de la région active 5 doit être inférieure à 455 nm. Une électrode de grille 8 est formée sur la région active 5 à travers un film 7 isolant de grille d'un film d'oxyde de silicium ayant une épaisseur de 50 nm, par exemple, tandis que sur la région de cathode 4 et sur la région d'anode 6 sont respectivement formées une électrode constituant cathode 9 et une électrode constituant anode 10 avec des contacts ohmiques.

Dans la construction décrite ci-dessus, la raison de rendre l'épaisseur de la région active 5 inférieure à $\pi/2$ fois la longueur de Debye L_{DE} réside en ce qu'il est nécessaire de rendre le nombre des porteurs majoritaires (dans ce cas des électrons) dans la région active 5 supérieur à la concentration d'impuretés des donneurs N_D dans la région active 5 où la tension appliquée V_{GK} à travers l'électrode de grille 8 et l'électrode de cathode 9 est supérieure à la tension de bande plate V_{FB} à l'interface située entre la région active 5 et le film 7 d'isolation de grille. Cette valeur de $\pi/2$ fois peut être obtenue par la considération théorique suivante. Ainsi, en déterminant la distance dans la direction de la profondeur de la région active 5 en prenant l'interface situé entre la région active 5 et le film d'isolation de grille 7 comme référence et en supposant que la concentration des porteurs majoritaires dans les régions actives 5 sont $n(x)$, la valeur $n(x)$ peut être approximativement exprimée par l'équation suivante de Poisson :

$$\frac{d^2\phi}{dx^2} = \frac{q n(x)}{\epsilon_s} \dots\dots (2)$$

dans laquelle ϕ représente le potentiel mesuré par référence au niveau de Fermi du semiconducteur, et ϵ_s la constante diélectrique du semiconducteur. $n(x)$ satisfait l'équation suivante dans un état d'équilibre :

$$n(x) = N_D \exp(q\phi/KT) \dots\dots\dots(3)$$

En résolvant les équations 2 et 3, aux conditions de limite de :

$$\begin{aligned} \phi(d) &= 0 \\ \phi(0) &= \phi_s \\ \left. \frac{d\phi}{dx} \right|_{x=d} &= 0 \end{aligned}$$

et d étant l'épaisseur de la région de concentration de porteurs excédentaires, la valeur $n(x)$ peut être exprimée par l'équation suivante (4) en utilisant la longueur de Debye L_{DE} de l'équation (1) :

$$n(x) = N_D \left[\tan^2(x/L_{DE} - C) + 1 \right] \dots\dots(4)$$

dans laquelle $C = \tan^{-1} \left[\sqrt{\exp(q\phi_s/kT) - 1} \right]$

dans laquelle ϕ_s représente le potentiel de surface où $x = 0$. Habituellement, il est possible de choisir $\phi_s \gg kT/q$ ($\cong 0,026$ Volt), C devient approximativement $\pi/2$.

En notant la distance à laquelle $n(x)$ devient égal à la concentration d'impuretés de donneur N_D de la région active 5 et en l'appelant d , étant donné que $n(d) = N_D$, on peut déterminer la valeur de d à partir de l'équation 4.

$$\text{Ainsi, } d = \pi/2 L_{DE}.$$

En conséquence, de façon à satisfaire une relation $n(x) > N_D$, l'épaisseur t_c de la région active doit satisfaire une relation du type :

$$t_c < \pi/2 L_{DE}.$$

La figure 2 montre le circuit équivalent du transistor du type à grille isolée illustré à la figure 1.

La tension de bande plate V_{FB} à l'interface entre le film isolant de grille et la région active est exprimée par l'équation suivante :

$$V_{FB} = \phi_{ms} - q_{ss}/C_{ox},$$

dans laquelle ϕ_{ms} représente la différence entre les fonc-

tions de travail du matériau constituant l'électrode de grille et du matériau constituant la région active, C_{ox} représente la capacité de grille par unité de surface, et Q_{ss} la densité de charge d'interface à l'interface entre le film d'isolation de grille et la région active. Ainsi, la tension V_{GK} crée les porteurs majoritaires, c'est-à-dire les électrons, dans la région active 5, et étant donné que l'épaisseur de la région active est inférieure à $\pi/2$ fois la longueur de Debye, la région active 5 est remplie ou pleine d'électrons avec pour résultat que la jonction d'anode est polarisée en inverse, stoppant ainsi l'injection des porteurs minoritaires, c'est-à-dire des trous, à partir de la région d'anode 6, de sorte que le transistor de type à grille isolée est fermé (ou non conducteur).

De façon à ouvrir (ou rendre conducteur) le transistor de type à grille isolée, on rend la tension V_{GK} supérieure à la tension V_{FG} et l'on rend la tension V_{AK} supérieure à la tension $(V_{GK} - V_{FB})$. De la sorte, le potentiel $(V_{GK} - V_{FB})$ a une extrémité de la région active 5 voisine de la région d'anode 6 devient inférieur au potentiel d'anode V_{AK} , de sorte que la jonction d'anode est polarisée en direct. En conséquence, comme schématiquement illustré à la figure 3B, une grande quantité de porteurs minoritaires (des trous) sont injectés dans la région active 5 à partir de la région d'anode 6, tandis qu'en même temps, des porteurs majoritaires (des électrons) en même quantité sont injectés dans la région active 5 à partir de la région de cathode 4 de façon à ouvrir le transistor, c'est-à-dire à le rendre conducteur en faisant passer le courant d'anode I_{AK} . Il y a lieu de noter que les trous injectés dans la région active 5 à partir de la région d'anode 6 assurent une recombinaison parfaite aux centres de recombinaison dans la région active 5 et que le courant d'anode I_{AK} est constitué du courant de recombinaison des trous et du courant de dérive des électrons correspondants qui traversent cette région.

Les figures 4A à 4D montrent les bandes d'énergie indicatrices de la caractéristique d'un courant de non saturation.

La figure 4A montre la bande d'énergie dans laquelle les deux tensions V_{AK} et V_{GK} sont égales à zéro. De façon plus précise, la bande d'énergie est légèrement relevée à l'interface entre la région de cathode 4 et la région active 5 par suite
 5 d'un écoulement d'électrons depuis la région de cathode 4 vers la région active 5 de sorte que la bande d'énergie est plate dans la région active 5 mais se relève étant donné qu'une région d'appauvrissement due à un potentiel de formation existe à l'interface entre la région active 5 et la région d'anode 6.

10 La bande d'énergie est illustrée à la figure 4B dans laquelle une telle tension est appliquée à l'électrode de grille 8 qui rend la tension V_{GK} supérieure à la tension de bande plate V_{FB} tandis que la tension V_{AK} est maintenue à zéro volt. Plus particulièrement, compte tenu de la tension V_{GK} appliquée,
 15 la bande d'énergie dans la région active 5 devient inférieure à celle de la région de cathode 4, de sorte que la bande d'énergie dans la région active 5 est encore plate étant donné que $V_{AK} = 0$. La bande d'énergie à l'extrémité de la région active 5 proche de la région d'anode 6 est plus haute de $(V_{GK} - V_{FB})$
 20 que celle illustrée à la figure 4A, cette différence $(V_{GK} - V_{FB})$ empêchant l'injection de trous dans la région active 5 à partir de la région d'anode 6.

Lorsque V_{AK} est inférieur à $(V_{GK} - V_{FB})$ et V_{GK} est supérieur à V_{FB} , la bande d'énergie est illustrée à la figure 4C.
 25 Plus particulièrement, en comparaison avec la figure 4B, étant donné qu'une tension V_{AK} est appliquée, la bande d'énergie dans la région active 5 s'incline vers la région d'anode 6, mais étant donné que la relation $V_{AK} < (V_{GK} - V_{FB})$ reste maintenue, la jonction d'anode est maintenue à un état de polarisation
 30 inverse, de sorte qu'aucun porteur minoritaire appréciable, c'est-à-dire des trous, ne sont injectés à partir de la région d'anode 6 dans la région active 5. Comme décrit ci-dessus, lorsque la relation V_{AK} inférieure à $(V_{GK} - V_{FB})$ est satisfaite, le transistor de type à grille isolée est fermé, autrement dit
 35 non conducteur.

Lorsque V_{AK} est supérieur à $(V_{GK} - V_{FB})$, la jonction d'anode est polarisée en direct comme décrit ci-dessus, de sorte qu'une région de recombinaison dans laquelle les électrons

se recombinent avec les trous est formée à une extrémité de la région active 5 proche de la région d'anode 6. Dans de telles conditions, comme illustré à la figure 4D, dans la région de recombinaison, les porteurs majoritaires, c'est-à-dire les électrons, et les porteurs minoritaires, c'est-à-dire les trous, coexistent, de sorte que les niveaux de Fermi $E_F(n)$ et $E_F(p)$ des électrons et des trous apparaissent respectivement.

Le transistor de type à grille isolée peut alors être ouvert, c'est-à-dire peut laisser passer le courant au moyen d'une mesure illustrée à la figure 3C. Ainsi, une tension négative V_{GK} et une tension positive V_{AK} en faisant référence à l'électrode de cathode 9 sont appliquées à l'électrode de grille 8 et à l'électrode d'anode 10 respectivement. Etant donné que la tension V_{GK} est négative, pratiquement toutes les parties de la région active 5 s'appauvrissent de sorte qu'une région inverse provoquée par les trous est formée à et au voisinage de l'interface entre la région active 5 et le film isolant de grille 7. D'autre part, étant donné que la tension V_{AK} est positive, les trous sont injectés dans la région de cathode 4 à partir de la région d'anode 6 à travers la couche d'inversion et la région active 5. Simultanément, des électrons sont injectés dans la région d'anode 6 à partir de la région de cathode 4 à travers la région active 5. En conséquence, le courant d'anode s'écoule entre l'électrode formant anode 9 et l'électrode formant cathode 10. Un exemple d'une caractéristique de courant non saturé obtenu par les opérations décrites ci-dessus est illustré aux figures 5A et 5B.

Ces caractéristiques ont été obtenues avec une épaisseur de couche d'isolation 2 de 470nm, une épaisseur de région active 5 de 260nm, une concentration d'impuretés de donneurs de la région active 5 = 4×10^{14} atomes/cm³, une longueur et une largeur du canal formé dans la région active 5 de 5 et 35 microns respectivement, une épaisseur de film 7 d'isolation de grille égale à 50 nm, une épaisseur d'électrode de grille égale à 500 nm, une concentration d'impuretés dans

la région de cathode égale à 5×10^{19} atomes/cm³ et une concentration d'impuretés dans la région d'anode égale à 2×10^{20} atomes par cm³.

La figure 5A montre les caractéristiques $I_{AK} - V_{AK}$ et montre que lorsque la tension V_{GK} est constante, le courant I_{AK} augmente lorsque la tension V_{AK} augmente, montrant ainsi une caractéristique de courant de type non saturé. Lorsque V_{GK} augmente, la valeur initiale de V_{AK} pour laquelle le courant I_{AK} commence à s'écouler devient importante, et par suite, la caractéristique $I_{AK} - V_{AK}$ est encore de type non saturé. La raison pour laquelle la valeur initiale de V_{AK} augmente lorsque V_{GK} augmente provient de ce que, lorsque la tension V_{GK} est augmentée, la concentration des porteurs majoritaires, c'est-à-dire les électrons, est augmentée, avec pour résultat une augmentation du potentiel dans l'élément actif, appauvrissant ainsi la région active. En conséquence, il est nécessaire d'augmenter la tension V_{AK} afin d'injecter des porteurs minoritaires en provenance de la région d'anode.

Comme décrit ci-dessus, le transistor de type à grille isolée conforme à l'invention permet d'obtenir n'importe quel courant d'anode I_{AK} avec n'importe quelle tension V_{AK} en choisissant de façon appropriée la tension V_{GK} , ce qui montre une très large gamme opératoire.

Lorsque l'épaisseur de la région active est bien plus large que la longueur de Debye L_{DE} , par exemple, $L_{DE} = 0,29$ micron, et que l'épaisseur de la région active est de l'ordre d'un micron, il est possible d'obtenir une caractéristique de courant de type non saturé. Dans ces conditions, même lorsque V_{GK} varie, quoique la pente de la caractéristique varie, la valeur initiale de la tension V_{AK} pour laquelle le courant commence à s'écouler ne varie pas de sorte que l'intervalle de fonctionnement dans lequel n'importe quel courant I_{AK} peut être obtenu est extrêmement étroit.

La figure 5B montre les caractéristiques $I_{AK} - V_{GK}$ obtenues en réécrivant les caractéristiques illustrées dans la figure 5A avec V_{AK} utilisé comme paramètre. Lorsque la tension V_{AK} est constante, I_{AK} diminue et V_{GK} augmente. Une telle

diminution du courant I_{AK} avec une augmentation de la tension V_{GK} est provoquée par le fait que la concentration d'électrons n dans la région active augmente avec pour résultat que le potentiel de Fermi dans la région active augmente, augmentant ainsi efficacement le potentiel d'établissement de la jonction PN.

Comme décrit ci-dessus, lorsqu'une caractéristique de courant non saturé se manifeste dans un transistor de type à grille isolée conforme à l'invention, à la fois les trous et les électrons contribuent à l'écoulement du courant I_{AK} , et par suite, il est possible de produire un courant important. Dans le cas montré à la figure 5A, la densité de courant est d'environ 10^4 à 10^5 ampères/cm², ce qui est 10 à 100 fois supérieur à celle d'un SIT.

Comme décrit ci-dessus, étant donné que le transistor à grille isolée de l'invention présente une densité élevée de courant, il peut traiter le même courant avec une surface d'éléments réduite à seulement un tiers de celle d'un SIT ce qui est extrêmement avantageux pour la technique des circuits intégrés.

Le principe de fonctionnement pour obtenir la caractéristique de courant saturé sera maintenant décrit.

Les figures 6A et 6B sont des représentations schématiques de la connexion des sources de tension et du comportement des porteurs dans la région active 5.

De façon à obtenir la caractéristique de courant de saturation, des tensions V_{GK} et V_{AK} qui sont négatives par rapport à celle de l'électrode formant cathode 9 sont appliquées sur l'électrode de grille 8 et sur l'électrode d'anode 10 respectivement.

Lorsqu'on a $V_{GK} < V_{AK} < 0$, une couche d'inversion provoquée par les trous est formée sur toute la surface de l'interface comprise entre la région active 5 et le film 7 isolant de grille comme illustré à la figure 6A. A ce moment, étant donné que la tension V_{AK} est négative, la région de cathode 4 et la couche d'inversion provoquée par les trous sont polarisées en inverse, mais étant donné qu'une relation $|V_{GK}| > |V_{AK}|$ est maintenue, la concentration de trous dans la

couche d'inversion est élevée. En conséquence, un courant d'anode I_{AK} dû à un effet de tunnel ou d'avalanche s'écoule entre la région de cathode 4 et la région active 5. Ce courant I_{AK} augmente avec $|V_{AK}|$. En outre, étant donné que la concentration de trous dans la couche d'inversion augmente avec $|V_{GK}|$, I_{AK} augmente également.

Lorsqu'on a $V_{AK} < V_{GK} < 0$ comme montré à la figure 6B, le champ créé par V_{AK} devient plus fort que le champ lié à la couche d'inversion créé par V_{GK} sur une partie de l'interface comprise entre la région active 5 et le film 7 d'isolation de grille proche de la région d'anode, provoquant par suite un effet d'étranglement dans lequel la couche d'inversion disparaît au point 11. Le point 11 auquel la couche d'inversion disparaît est appelé point d'étranglement, et la tension d'anode pour laquelle le phénomène d'étranglement apparaît est appelée tension d'étranglement V_p . Ce phénomène d'étranglement augmente la valeur de la résistance entre le point 11 d'étranglement et la région d'anode 6 jusqu'à une valeur bien plus élevée que celle de la résistance de la couche d'inversion elle-même. Pour cette raison, lorsqu'on a une relation du type $|V_{AK}| > |V_p|$, même si $|V_{AK}|$ augmente, le courant d'anode I_{AK} n'augmente pas de façon appréciable, ce qui signifie qu'on est à saturation.

La figure 7 montre les caractéristiques de courant saturé pouvant être obtenus à partir des principes ci-dessus décrits, caractéristiques qui ont été obtenues en utilisant un transistor du type à grille isolée pour lequel des caractéristiques de courant non saturé illustrées aux figures 5A et 5B ont été obtenues. Lorsque la tension V_{GK} est égale à -5 volts, le courant I_{AK} augmente avec la tension V_{AK} mais devient saturé pour une valeur d'environ 0,60 milli ampère après que la tension V_{AK} ait dépassé la tension d'étranglement -5 volts.

Même si la valeur absolue de V_{GK} est augmentée, jusqu'à -3 volts, -4 volts et enfin -5 volts, la différence $(I_{AK} - V_{AK})$ manifeste des caractéristiques de courant saturé comme montré par les courbes a, b et c respectivement.

Dans le mode de réalisation décrit ci-dessus, même

lorsque la région active 5 est constituée d'une couche de silicium monocristallin P, à la fois des caractéristiques de courant non saturé et saturé peuvent être prévues.

5 Etant donné que dans le transistor à grille isolée de l'invention, il est possible de dériver le courant d'anode à partir d'une surface du substrat à travers un trajet de courant formé par la région de cathode, la région active 5 et la région d'anode 6 qui sont juxtaposées dans la direction horizontale, ce transistor peut être utilisé de façon
10 appropriée pour fabriquer un circuit intégré.

La figure 8 montre un autre mode de réalisation d'un transistor à grille isolée conforme à l'invention dans lequel les parties correspondantes à celle illustrée à la figure 1 ont été désignées par les mêmes référence numériques.
15 Dans cette variante, la région active 5 est constituée par une première région active 5a ayant une épaisseur inférieure à $\pi/2$ fois la longueur de Debye L_{DE} et une seconde région active 5b plus épaisse que la première région active d'environ 1000 nm, par exemple, et la région de cathode 4, la seconde
20 région active 5b, la première région active 5a et la région d'anode 6 étant juxtaposées dans la direction horizontale dans l'ordre mentionné. Une électrode de grille 8 est formée sur la première région active 5a à travers le film 7 isolant de grille.

25 Dans le transistor de type à grille isolée ainsi construit, étant donné que la première région active 5a a une épaisseur inférieure à $\pi/2$ fois la longueur de Debye L_{DE} , et étant donné qu'elle est située au voisinage de la région d'anode 6, exactement comme dans le mode de réalisation
30 illustré à la figure 1, il est possible d'obtenir une caractéristique de courant non saturé comme illustré à la figure 5A. En outre, étant donné que la seconde région active 5b autre que la première région active 5a de la région active 5 a une épaisseur suffisante, la résistance de la région active
35 devient inférieure à celle illustrée à la figure 1 au niveau de la seconde région active. En conséquence, la variante illustrée à la figure 8 peut engendrer un courant plus important que la configuration illustrée à la figure 1.

La figure 9A montre encore un autre mode de réalisation d'un transistor de type à grille isolée conforme à l'invention, tandis que la figure 9B montre ce transistor vu en plan. Dans cette variante, la région de cathode 4 est constituée par une première région de cathode 4a ayant une concentration d'impuretés de type N élevée, et une seconde région de cathode 4b ayant une concentration d'impuretés de type P élevée, les première et seconde régions de cathode 4a et 4b étant formées en parallèle par rapport à la région active 5, et une électrode de cathode commune 9 étant formée sur les régions de cathode 4a et 4b.

Le fonctionnement du transistor de type à grille isolée est illustré à la figure 10 dans laquelle une tension V_{GK} et une tension V_{AK} qui sont positives par rapport à la cathode 9, sont appliquées à la grille 8 et l'anode 10 respectivement. Lorsque V_{AK} est supérieur à V_{GK} , les trous injectés dans la région active 5 à partir de la région d'anode 6 sont efficacement récupérés par la seconde région de cathode 4b de la région de cathode 4 présentant une concentration d'impuretés de type P élevé. En conséquence, des électrons sont rigoureusement injectés dans la région d'anode 6 à partir de la première région de cathode 4a présentant une concentration d'impuretés élevée de type N de la région de cathode 4 à travers la région active 5. En conséquence, la résistance de la région active 5 qui récupère efficacement les trous est sensiblement diminuée par rapport au mode de réalisation illustré à la figure 1 dans lequel la région de cathode 4 et la région active 5 sont constituées d'un matériau de type de conductivité semblable, c'est-à-dire du silicium monocristallin de type N, de sorte qu'il est possible de produire un courant plus fort.

La figure 11 montre un exemple d'un LSI tridimensionnel fabriqué avec des transistors de type à grille isolée conforme à l'invention et la figure 12 en montre le circuit équivalent.

Dans cet exemple, une région 21 de cathode de type N^+ , une région 22 active de type P, et une région 23 d'anode de type P^+ sont juxtaposées dans la direction horizontale au voisinage de l'interface dans la première couche d'isolation 20

et une première électrode de grille 25 est formée sur la région active 22 à travers un film 24 d'isolation de grille. En outre, une première cathode 26 et une première anode 27 sont respectivement reliées à la région de cathode 21 et à la région d'anode 23 à travers des contacts ohmiques pour former un premier transistor TR1 de type à grille isolée, de type latéral. Dans la première couche d'isolation 20, sont juxtaposées une région de cathode 28 de type N^+ , une région 29 active de type N et une région 30 d'anode de type P^+ dans la direction horizontale et au voisinage du premier transistor TR1. Une seconde électrode de grille 31 est montée sur la région active 29 à travers un film isolant de grille 24, et une seconde cathode 32 et une anode 33 sont respectivement connectées à la région de cathode 28 et à la région d'anode 30 avec des contacts ohmiques de façon à former un second transistor TR2 de type à grille isolée. Les grilles 25 et 31 sont reliées communément à une partie non représentée. Une seconde couche d'isolation 34 est prévue de façon à recouvrir la première cathode 26, la première grille 25, la seconde grille 31 et la seconde anode 33. Une perforation est prévue à travers une partie de la seconde couche d'isolation 34 et la perforation est remplie au moyen d'un matériau électroconducteur 35 de façon à relier la première anode 27 et la seconde cathode 32. Une troisième couche d'isolation 36 est formée sur la seconde couche d'isolation 34 de façon à entourer le matériau électroconducteur 35. Une quatrième couche d'isolation 40 est prévue de façon à recouvrir la troisième couche d'isolation 36, la troisième et la quatrième grilles 38 et 39 et le matériau électroconducteur 35. Sur cette quatrième couche d'isolation 40, sont formés un troisième transistor TR3 du type à grille isolée du même type que le premier transistor TR1 du type à grille isolée, et un quatrième transistor TR4 du type à grille isolée du même type que le second transistor TR2. Une partie 40a de la couche d'isolation 40 comprend un film d'isolation de grille du troisième transistor TR3. La référence numérique 42 désigne la région active du transistor TR3, tandis que 40b désigne le film d'isolation du quatrième transistor TR4, 43 sa région active, 44 la cathode du troisième

transistor TR3, 45 une électrode commune à l'anode du troisième transistor TR3 et à la cathode du quatrième transistor TR4, et 46 l'anode du quatrième transistor TR4.

5 Etant donné que le transistor de type à grille isolée de l'invention est d'un type horizontal différent du type vertical SIT de l'art antérieur, il est possible de construire un LSI tridimensionnel à courant important.

10 Comme décrit ci-dessus, le transistor du type à grille isolée de l'invention peut présenter une densité de courant élevé de sorte qu'il est approprié pour construire un circuit intégré, en particulier un circuit intégré tridimensionnel présentant une large bande de fonctionnement. De plus, étant donné que le transistor est du type à grille isolée, il présente une impédance d'entrée élevée qui en rend la 15 commande facile. En outre, étant donné que le courant est prélevé dans la direction directe sur une jonction PN, l'impédance de sortie est faible, ce qui diminue le niveau de bruit thermique équivalent provoqué par une résistance. En outre, étant donné que le transistor de l'invention est du type à 20 conductivité importante, il présente des constantes de gain élevé $G_{AK} = (\partial I_{AK} / \partial V_{AK})$ et $G_m = (-\partial I_{AK} / \partial V_{GK})$. Lorsque la température augmente, la longueur de Debye augmente en proportion de la racine carrée de la température, de sorte que la longueur de Debye commence à dépasser suffisamment 25 l'épaisseur de la région active. En conséquence, les porteurs majoritaires peuvent aisément s'accumuler dans la région active, de sorte que même lorsqu'un courant important traverse le transistor, il n'y a pas à craindre d'emballement thermique.

30 Bien entendu, l'invention n'est nullement limitée aux modes de réalisation spécifiques décrits ci-dessus, comportant de nombreuses variantes et modifications évidentes à l'Homme de l'Art. Ainsi par exemple, au lieu de former une région semiconductrice monocristalline sur une couche isolante de façon à lui conférer une fonction de transistor, on peut for- 35 mer une région semiconductrice polycristalline pour qu'elle ait une fonction de transistor. Egalement, en place d'oxyde de silicium, on peut utiliser du saphir pour constituer la couche d'isolation 2.

REVENDEICATIONS

1 . Un transistor de type à grille isolée, caractérisé en ce qu'il comprend :

- une couche d'isolation (2),
- une région active (5) constituée d'un semiconducteur d'un premier type formé sur ladite couche d'isolation (2),
- une première région (4) constituée d'un semiconducteur à concentration d'impuretés élevée présentant un premier type de conductivité et disposée adjacente à ladite région active (5),
- une seconde région (6) constituée d'un semiconducteur à concentration d'impuretés élevée d'un second type de conductivité adjacente à ladite région active (5) mais écartée de ladite première région (4),
- un film (7) d'isolation de grille formé sur ladite région active (5), et
- une électrode de grille (8) formée sur ledit film d'isolation (7) de grille,
- l'épaisseur d'une partie de ladite région active (5) étant inférieure à $\pi/2$ fois une longueur de Debye propre au semiconducteur constituant ladite région active.

2. Transistor selon la revendication 1, caractérisé en ce que ladite première région (4) constitue une région de cathode et ladite seconde région (6) constitue une région d'anode.

3. Transistor selon la revendication 1, caractérisé en ce que ladite première région (4) constitue une région d'anode et ladite seconde région (6) constitue une région de cathode.

4. Transistor selon l'une des revendications précédentes, caractérisé en ce que ladite région active (5) est formée sur ladite couche d'isolation (2).

5. Transistor selon l'une des revendications 1 à 3, caractérisé en ce que ladite région active (5) est formée dans ladite couche d'isolation (2).

6. Transistor selon l'une des revendications précédentes, caractérisé en ce que ladite couche d'isolation (2) est formée sur un substrat semiconducteur (1).

7. Transistor selon l'une des revendications précédentes, caractérisé en ce que la couche d'isolation (2) comprend un film d'oxyde de silicium.

8. Transistor selon l'une des revendications 1 à 6, 5 caractérisé en ce que ladite couche d'isolation (2) est constituée de saphir .

9. Transistor selon l'une des revendications précédentes, caractérisé en ce qu'une partie 5b de ladite région active (5) autre que ces parties (5a) qui ont une épaisseur inférieure 10 à $\pi/2$ fois la longueur de Debye a une épaisseur importante.

10. Transistor selon la revendication 2, caractérisé en ce que ladite région de cathode (4) a une autre région de cathode (4b) avec une partie en contact avec ladite région active (5) , ladite autre région de cathode (4b) étant cons- 15 tituée d'un semiconducteur du second type de conductivité.

11. Transistor selon la revendication 1, caractérisé en ce que ladite région active (5) , ladite première région (4) et ladite région (6) formées sur ladite couche d'isolation (2) sont constituées d'un semiconducteur monocristallin.

20 12. Une construction en circuit intégré caractérisée en ce qu'elle comprend plusieurs transistors du type décrit dans l'une quelconque des revendications précédentes disposés de façon tridimensionnelle de chaque côté d'une couche d'isolation (34, 36).

FIG. 1

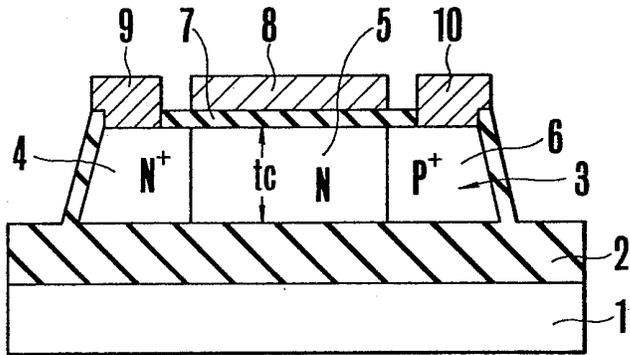


FIG. 2

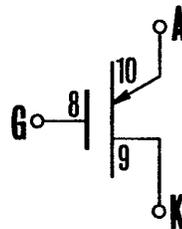
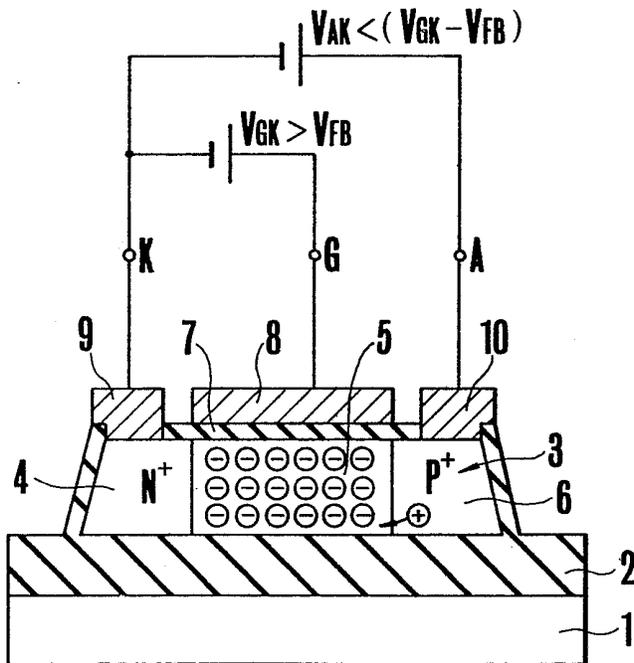


FIG. 3A



2/8

FIG. 3B

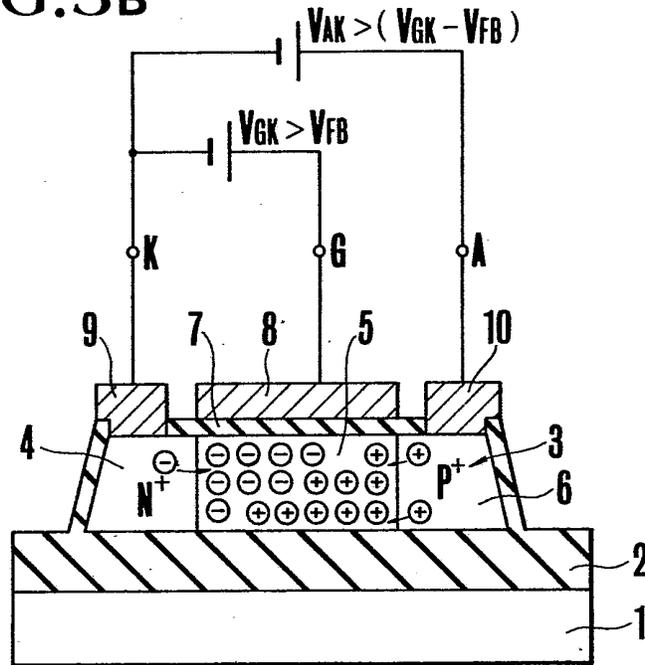
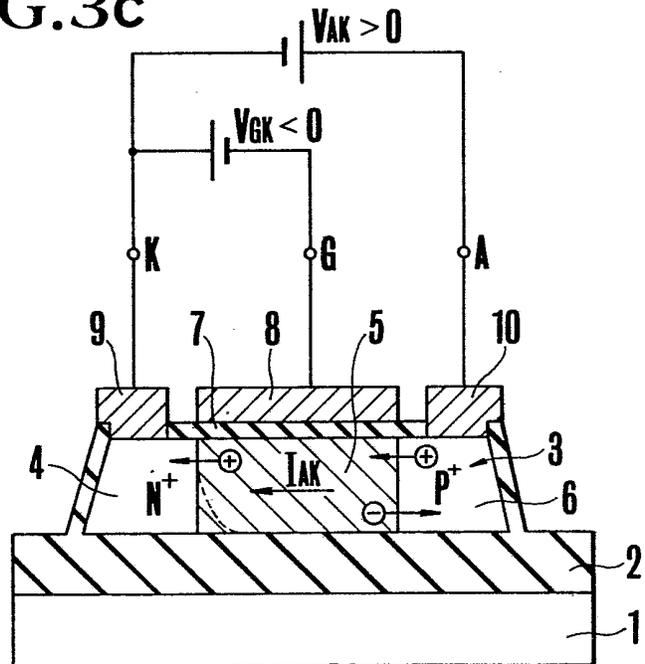


FIG. 3c



3/8

FIG. 4A

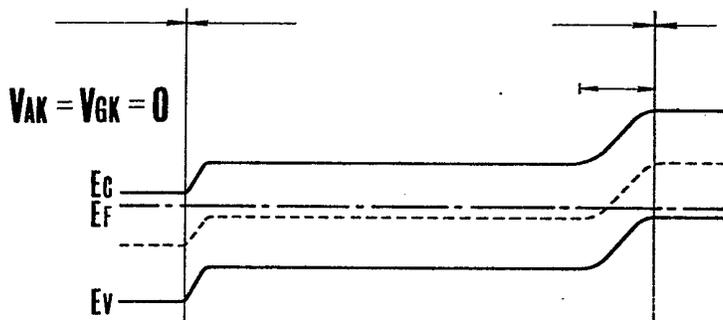


FIG. 4B

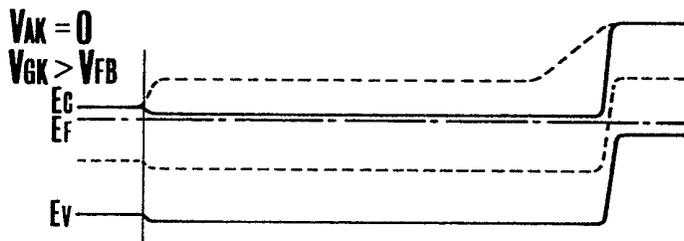


FIG. 4C

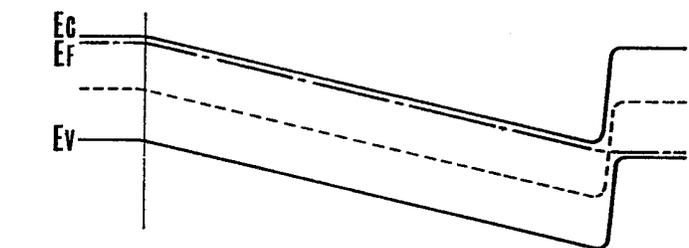
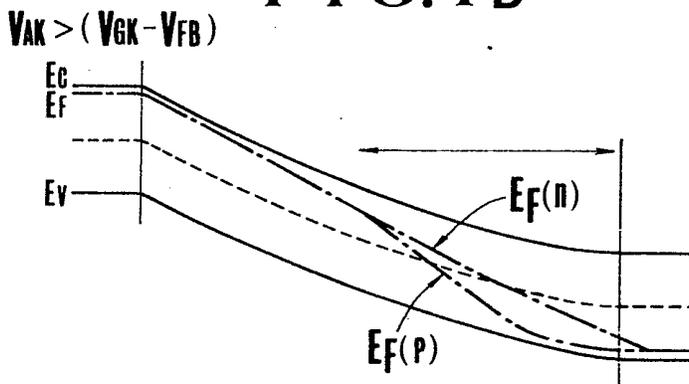


FIG. 4D



4/8

FIG.5A

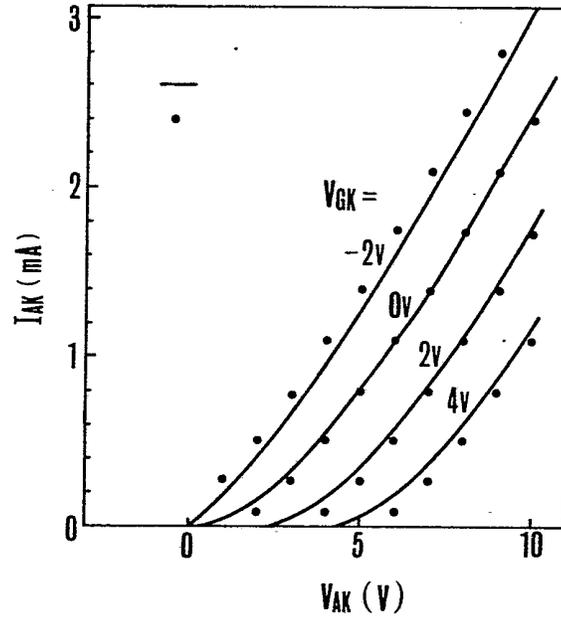


FIG.5B

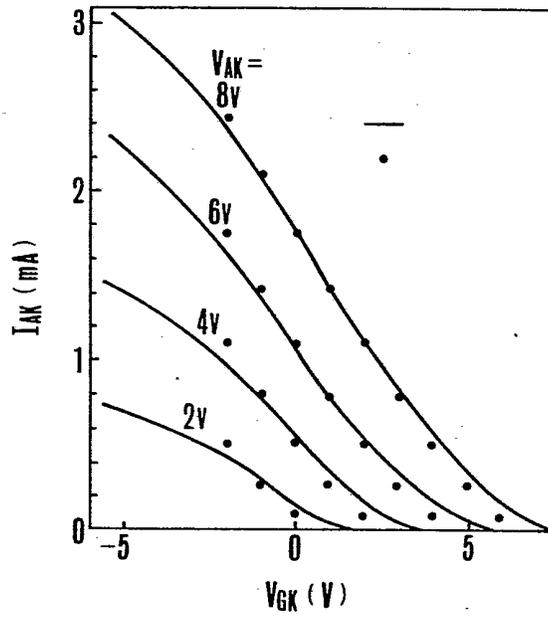


FIG.7

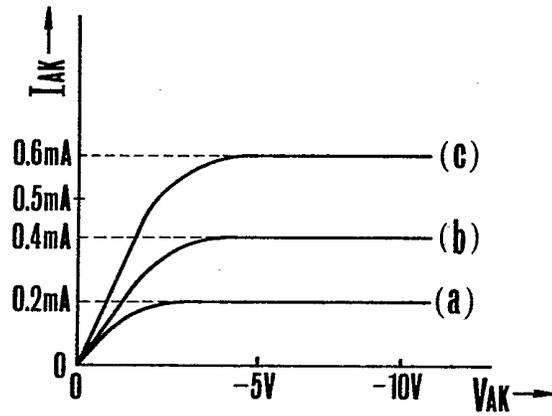
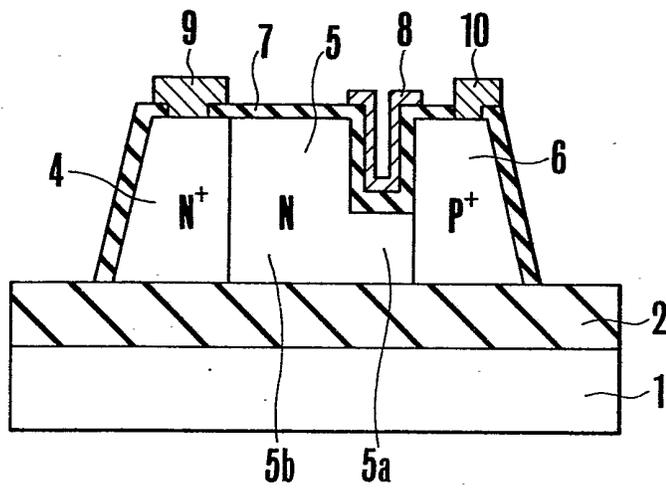


FIG.8



7/8

FIG. 9A

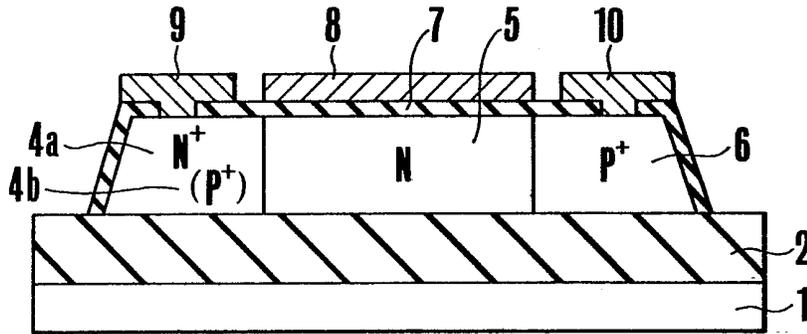


FIG. 9B

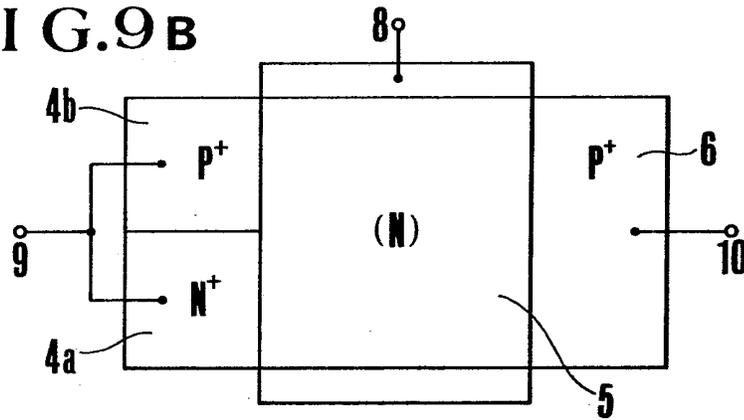


FIG. 10

