

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月20日(20.10.2022)



(10) 国際公開番号

WO 2022/219928 A1

(51) 国際特許分類:
H04N 5/369 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/007073

(72) 発明者: 齋藤 大輔 (SAITO Daisuke); 〒2430014
神奈川県厚木市旭町4丁目14-1 ソ
ニーセミコンダクタソリューションズ
株式会社内 Kanagawa (JP).

(22) 国際出願日: 2022年2月22日(22.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka
et al.); 〒1000005 東京都千代田区丸の内1
丁目6番6号 日本生命丸の内ビル 協和
特許法律事務所 Tokyo (JP).

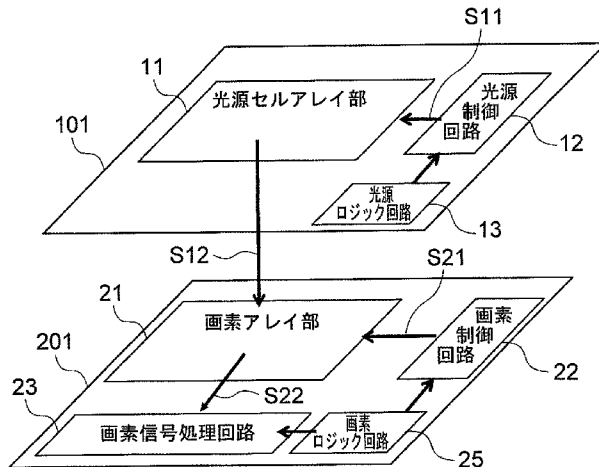
(30) 優先権データ:
特願 2021-069851 2021年4月16日(16.04.2021) JP

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社 (SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL,
CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: IMAGING DEVICE, ELECTRONIC APPARATUS, AND SIGNAL PROCESSING METHOD

(54) 発明の名称: 撮像装置、電子機器、および信号処理方法



- 11 Light source cell array section
- 12 Light source control circuit
- 13 Light source logic circuit
- 21 Pixel array section
- 22 Pixel control circuit
- 23 Pixel signal processing circuit
- 25 Pixel logic circuit

(57) Abstract: [Problem] To provide an imaging device that can realize advanced operations with a low amount of power. [Solution] An imaging device according to an embodiment of the present disclosure comprises: a first substrate group on which is disposed a light source cell array section that generates a light signal; and a second substrate group on which is disposed a pixel array section that photoelectrically converts the light signal and outputs a pixel signal indicating a result of a product-sum operation. The first substrate group and the second substrate group are alternately laminated such that

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

at least a portion of the light source cell array section overlaps the pixel array section.

(57) 要約: [課題] 高度な演算を低電力で実現することが可能な撮像装置を提供する。 [解決手段] 本開示の一実施形態に係る撮像装置は、光信号を生成する光源セルアレイ部が配置される第1基板群と、光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第2基板群と、備える。光源セルアレイ部の少なくとも一部が、画素アレイ部に重なり合うように、第1基板群と第2基板群とが互いに積層されている。

明 細 書

発明の名称：撮像装置、電子機器、および信号処理方法

技術分野

[0001] 本開示は、撮像装置、電子機器、および信号処理方法に関する。

背景技術

[0002] ディープニューラルネットワーク（DNN）では、メモリアクセスが多いため、ノイマン型演算器（例えばDSP：Digital Signal Processor）では電力効率が悪化する。そこで、非ノイマン型演算器であるメモリアレイ上で演算を行うCIM（Computing in memory）が注目を集めている。また、近年のデータ伝送量の増加とともに高度な演算が求められるため、演算処理に要する消費電力が増加する傾向にある。その結果、数年後にはクラウドの処理能力が追い付かなくなる、いわゆるクラウドの飽和が発生し得る。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-113809号公報

発明の概要

発明が解決しようとする課題

[0004] 従来の演算方式では、演算のエネルギー効率向上に限界がある。また、高度な演算を実現するために演算の表現方法を増やすと、レイテンシーの要求が高くなる。その結果、演算処理に要する消費電力がさらに増加する。

[0005] 本開示は、高度な演算を低電力で実現することが可能な撮像装置、電子機器、および信号処理方法を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態に係る撮像装置は、光信号を生成する光源セルアレイ部が配置される第1基板群と、光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第2基板群と、を備える。光源セルアレイ部の少なくとも一部が、画素アレイ部に重なり合う

ように、第1基板群と第2基板群とが互いに積層されている。

- [0007] 前記光源セルアレイ部が、2次元状に配列された複数の光源セルを有し、
前記画素アレイ部が、2次元状に配列された複数の画素を有し、
前記複数の光源セルおよび前記複数の画素において、一方の中心ピッチが
他方の中心ピッチの整数倍であってもよい。
- [0008] 前記光信号が、赤外線または可視光であってもよい。
- [0009] 前記第1基板群は、
前記光源セルアレイ部が配置される光源基板と、
前記光源基板の下に積層され、前記光源セルアレイ部の駆動を制御する光
源制御回路が配置される光源制御基板と、を含んでいてもよい。
- [0010] 前記第2基板群は、
前記画素アレイ部が配置される基板と、
前記基板の下に積層され、前記画素信号に基づく入力信号を積和演算した
結果を示す畳み込み信号を出力するメモリセルアレイ部が配置されるメモリ
基板と、を含んでいてもよい。
- [0011] 前記画素信号と前記畳み込み信号の少なくとも一方がアナログ信号であっ
てもよい。
- [0012] 前記メモリセルアレイ部から読み出した前記畳み込み信号を処理するC I
M読み出し回路をさらに備えていてもよい。
- [0013] 前記画素アレイ部から読み出した前記画素信号を処理する画素信号処理回
路をさらに備えてもよい。
- [0014] 前記画素信号処理回路が前記画素アレイ部と同じ基板に配置されてもよい
。
- [0015] 前記画素信号処理回路が前記画素アレイ部と異なる基板に配置されてもよ
い。
- [0016] 前記画素アレイ部が、前記光信号を光電変換する光電変換部と、前記光信
号を積和演算する画素トランジスタ部と、を有し、
前記光電変換部が、前記画素トランジスタ部と異なる基板に配置されても

よい。

[0017] 前記光源セルアレイ部と前記画素アレイ部との間に配置された光学変調素子をさらに備えてもよい。

[0018] 前記光源セルアレイ部と前記画素アレイ部との間に配置されたシャッタをさらに備えてもよい。

[0019] 前記第1基板群の縁部と、前記第2基板群の縁部とに設けられたブラックマスクをさらに備えてもよい。

[0020] 前記第1基板群および前記第2基板群が、遮光性を有するパッケージに収容されていてもよい。

[0021] 前記複数の光源セルの各々が、発光素子と、前記発光素子を独立して制御するアクティブ素子と、前記発光素子と前記アクティブ素子との間に設けられた記憶部と、を有していてもよい。

[0022] 前記記憶部は、前記積和演算に関するデータを記憶してもよい。

[0023] 前記画素アレイ部は、被写体で反射した反射光を、前記光信号とは反対方向から受光してもよい。

[0024] 本開示の一実施形態に係る電子機器は、光信号を生成する光源セルアレイ部が配置される第1基板群と、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第2基板群と、を有し、前記光源セルアレイ部の少なくとも一部が、前記画素アレイ部に重なり合うように、前記第1基板群と前記第2基板群とが互いに積層されている撮像装置を備える。

[0025] 本開示の一実施形態に係る信号処理方法は、

第1基板群に配置される光源セルアレイ部で光信号を生成し、

前記光源セルアレイ部の少なくとも一部に重なり合う画素アレイ部で、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する。

図面の簡単な説明

[0026] [図1]第1実施形態に係る撮像装置の構成を示すブロック図である。

[図2A]第1実施形態に係る撮像装置の構造の一例を示す図である。

[図2B]第1実施形態に係る撮像装置の構造の一例を示す図である。

[図2C]第1実施形態に係る撮像装置の構造の一例を示す図である。

[図2D]第1実施形態に係る撮像装置の構造の一例を示す図である。

[図2E]第1実施形態に係る撮像装置の構造の一例を示す図である。

[図3A]図2Bに示す光源基板と光源制御基板との接合形態を概略的に示す断面図である。

[図3B]光源基板と光源制御基板との別の接合形態を概略的に示す断面図である。

[図4A]光源セルアレイ部の概略的な構成を示す図である。

[図4B]光源セルの一例を示す図である。

[図4C]光源セルの別の一例を示す図である。

[図4D]光源セルのさらに別の一例を示す図である。

[図5A]画素アレイ部の概略的な構成を示す図である。

[図5B]画素の等価回路図の一例を示す図である。

[図5C]画素の等価回路図の一例を示す図である。

[図5D]画素の等価回路図の一例を示す図である。

[図5E]画素の等価回路図の一例を示す図である。

[図5F]画素の等価回路図の一例を示す図である。

[図6]画素信号処理回路に含まれるADCの回路構成の一例を示す図である。

[図7]第2実施形態に係る撮像装置の構成を示すブロック図である。

[図8A]第2実施形態に係る撮像装置の構造の一例を示す図である。

[図8B]第2実施形態に係る撮像装置の構造の別の一例を示す図である。

[図9]メモリセルアレイ部の概略的な回路構成を示す図である。

[図10A]第3実施形態に係る撮像装置の構造を示す図である。

[図10B]第3実施形態に係る撮像装置の構造を示す図である。

[図10C]第3実施形態に係る撮像装置の構造を示す図である。

[図10D]第3実施形態に係る撮像装置の構造を示す図である。

[図11A]第4実施形態に係る撮像装置の構造を示す図である。

[図11B]第4実施形態に係る撮像装置の構造を示す図である。

[図11C]第4実施形態に係る撮像装置の構造を示す図である。

[図11D]第4実施形態に係る撮像装置の構造を示す図である。

[図12]第5実施形態に係る撮像装置の構造を示す図である。

[図13]第6実施形態に係る撮像装置の構造を示す図である。

[図14]第7実施形態に係る電子機器の構成の一例を示す図である。

[図15]車両制御システムの概略的な構成の一例を示すブロック図である。

[図16]車外情報検出部および撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0027] (第1実施形態)

図1は、第1実施形態に係る撮像装置の構成を示すブロック図である。図1に示す撮像装置1は、光源セルアレイ部11と、光源制御回路12と、光源ロジック回路13と、画素アレイ部21と、画素制御回路22と、画素信号処理回路23と、水平駆動回路24と、画素ロジック回路25と、を備える。

[0028] 光源セルアレイ部11には、複数の光源セルが2次元状に配列されている。各光源セルは、光源制御回路12からの光源制御信号S11に基づいて発光する。この発光によって、光信号S12が生成される。生成された光信号S12は、画素アレイ部21に受光される。光源セルアレイ部11の回路構成例については、後述する。

[0029] 光源制御回路12は、例えば光源セルアレイ部11を駆動する駆動回路や、光源セルを選択するデコーダなどを有し、光源駆動配線(図1では不図示)を介して光源セルアレイ部11の各光源セルに光源制御信号S11を入力する。この光源制御信号S11によって、光源制御回路12は、光源セルアレイ部11の各光源セルを順次を選択して発光させて、光信号S12を画素アレイ部21に向けて照射させる。なお、光源制御回路12は、各光源セルを一括に発光させてもよい。

- [0030] 光源ロジック回路 13 は、外部から入力されるクロック信号と、動作モードなどを指令するデータを受け取り、光源セルアレイ部 11 全体の動作を制御する。光源ロジック回路 13 には、積和演算の係数（荷重）を保持するメモリ回路が設けられていてもよい。
- [0031] 画素アレイ部 21 には、複数の画素が 2 次元状に配列されている。各画素は、画素制御回路 22 からの複数種の画素制御信号 S21 に基づいて、光信号 S12 を光電変換して積和演算した結果を示す画素信号 S22 を生成する。また、各画素は、画素信号 S22 を画素信号処理回路 23 へ一方向に出力する。画素アレイ部 21 の回路構成例については、後述する。
- [0032] 画素制御回路 22 は、例えばシフトレジスタによって構成され、画素駆動配線（図 1 では不図示）を介して画素アレイ部 21 の各画素に画素制御信号 S21 を入力する。この画素制御信号 S21 によって、画素制御回路 22 は、画素アレイ部 21 の各画素を順次を選択して走査し、画素信号 S22 を画素信号処理回路 23 へ出力させる。なお、画素制御回路 22 は、各画素を一括に走査してもよい。
- [0033] 画素信号処理回路 23 は、画素アレイ部 21 から読み出したアナログ方式の画素信号 S22 に対して、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) 処理や、A/D (Analog to Digital) 変換処理を行う。その結果、デジタル画素信号 S23 が、画素信号処理回路 23 から出力される。なお、画素信号処理回路 23 は、CDS 処理を行わなくてもよい。
- [0034] 水平駆動回路 24 は、例えばシフトレジスタによって構成され、水平走査パルス画素信号処理回路 23 に順次出力する。これにより、例えば、画素信号処理回路 23 に保持されているデジタル画素信号 S23 が、順次に出力される。
- [0035] 画素ロジック回路 25 は、外部から入力されるクロック信号と、動作モードなどを指令するデータを受け取り、画素アレイ部 21 全体の動作を制御する。例えば、画素ロジック回路 25 は、入力されたクロック信号に基づいて

、垂直同期信号や水平同期信号などを生成し、画素制御回路 2 2、画素信号処理回路 2 3、および水平駆動回路 2 4 に供給する。

[0036] 図 2 A～図 2 E は、撮像装置 1 の構造の一例を示す図である。本実施形態では、光源セルアレイ部 1 1、光源制御回路 1 2、および光源ロジック回路 1 3 が第 1 基板 1 0 1 に配置される。また、画素アレイ部 2 1、画素制御回路 2 2、画素信号処理回路 2 3、および画素ロジック回路 2 5 が第 2 基板 2 0 1 に配置される。なお、図 2 A では、第 2 基板 2 0 1 には、スペースの都合上、水平駆動回路 2 4 の記載を省略している。また、図 2 A～図 2 E では、基板に平行であり、かつ互いに直交する 2 つの方向を X 方向、および Y 方向とそれぞれ規定する。また、X 方向および Y 方向に直交する方向、換言すると基板の積層方向を Z 方向と規定する。

[0037] 図 2 A において、第 1 基板 1 0 1 および第 2 基板 2 0 1 は、例えばシリコン基板である。2 つの基板は、例えば銅パッド、バンプ、または T S V (Through Silicon Via) で互いに接合される。基板面積を最小化するために、第 1 基板 1 0 1 および第 2 基板 2 0 1 は、全体的に重なり合う必要はなく、光源セルアレイ部 1 1 の少なくとも一部が画素アレイ部 2 1 に重なり合っていればよい。光源セルアレイ部 1 1 の光信号 S 1 2 が画素アレイ部 2 1 内の所望の画素で受光できれば、第 1 基板 1 0 1 と第 2 基板 2 0 1 との距離は、数 cm 程度あってもよいし、近接していてもよい。第 1 基板 1 0 1 と第 2 基板 2 0 1 とは、例えば、はんだ等の実装により接合されていてもよい。

[0038] また、第 2 基板 2 0 1 において、画素アレイ部 2 1 と画素信号処理回路 2 3 との距離は短いほうが好ましい。また、画素アレイ部 2 1 と光源セルアレイ部 1 1 との間における光学中心位置と第 1 基板 1 0 1 と第 2 基板 2 0 1 との間における基板中心位置とは、一致していても一致していなくてもよい。画素アレイ部 2 1 は、仕様に合わせて最適な位置に選択することができる。

[0039] また、第 2 基板 2 0 1 において、画素制御回路 2 2 は、画素信号 S 2 2 の出力方向に平行な方向に配置され、かつ、画素信号処理回路 2 3 は、画素信号 S 2 2 の出力方向に垂直な方向に配置される。すなわち、画素制御回路 2

2 および画素信号処理回路 2 3 は、互いに垂直な方向に配置される。なお、画素ロジック回路 2 5 の位置は、図 2 A に位置に制限されず、第 2 基板 2 0 1 内のスペースに適宜配置すればよい。

[0040] さらに、画素アレイ部 2 1 の平面領域は、X 方向を短辺方向、Y 方向を長辺方向とする矩形であるが、正方形であってもよく、積和演算の仕様に依じて決定される。例えば、積和演算の畳み込み数（加算数）が多い場合には、長い読み出し配線が必要になる。この場合、図 2 A に示す画素アレイ部 2 1 の矩形が好ましい。

[0041] 図 2 B では、光源系が、光源基板 1 1 1 および光源制御基板 1 2 1 を互いに重なり合わせた 2 層構造である。光源基板 1 1 1 および光源制御基板 1 2 1 は、例えばシリコン基板である。光源基板 1 1 1 は、光源制御基板 1 2 1 と第 2 基板 2 0 1 との間の中間層に配置され、光源制御基板 1 2 1 は最上層に配置される。

[0042] 光源基板 1 1 1 には、光源セルアレイ部 1 1 が配置されている。一方、光源制御基板 1 2 1 には、光源制御回路 1 2 および光源ロジック回路 1 3 が配置されている。図 2 A に示す第 1 基板 1 0 1、または図 2 B に示す光源基板 1 1 1 および光源制御基板 1 2 1 は、それぞれ第 1 基板群に相当する。すなわち、第 1 基板群は、1 枚の基板であってもよいし、複数枚の基板であってもよい。

[0043] 図 2 C では、シャッタ 1 0 2 が、光源セルアレイ部 1 1 と画素アレイ部 2 1 との間に設けられている。シャッタ 1 0 2 は、光源セルアレイ部 1 1 が、光信号 S 1 2 を出力するオン状態のときに開き、光信号を出力しないオフ状態のときに閉じる。シャッタ 1 0 2 は、例えばメカシャッタで構成されていてもよいし、液晶シャッタで構成されてもよい。シャッタ 1 0 2 によって、光源セルアレイ部 1 1 がオフする際に画素アレイ部 2 1 に不要な光を遮断する遮光機能を実現することができる。

[0044] 図 2 D では、ブラックマスク 1 0 3 が第 1 基板 1 0 1 の縁部と第 2 基板 2 0 1 の縁部とに設けられている。ブラックマスク 1 0 3 は、光吸収体で構成

されている。ブラックマスク１０３によって、第１基板１０１と第２基板２０１との隙間から入射する外光を遮光することができる。これにより、画素アレイ部２１は、光信号Ｓ１２のみを受光できるので、演算精度が向上する。

[0045] 図２Ｅでは、第１基板１０１および第２基板２０１が、遮光性を有するパッケージ１０４内に收容されている。パッケージ１０４も光吸収体で構成される。パッケージ１０４によって、ブラックマスク１０３と同様に、第１基板１０１と第２基板２０１との隙間から入射する外光を遮光することができる。これにより、画素アレイ部２１は、光信号Ｓ１２のみを受光できるので、演算精度が向上する。

[0046] 図３Ａは、図２Ｂに示す光源基板１１１と光源制御基板１２１との接合形態を概略的に示す断面図である。図３Ａでは、光源基板１１１に形成された複数の貫通電極１１２と、光源制御基板１２１に形成された複数の接続端子１２２とが接合される。貫通電極１１２および接続端子１２２は、例えば銅等の金属で形成することができる。なお、光源基板１１１と光源制御基板１２１との隙間は、絶縁膜で埋められている。

[0047] 貫通電極１１２は、光源基板１１１を貫通し、種々の配線を含む配線層（不図示）を介して光源セルアレイ部１１に電氣的に接続される。接続端子１２２は、光源制御基板１２１の表面（光源基板１１１との接合面）に形成される。接続端子１２２は、種々の配線層（不図示）を介して光源制御基板１２１に配置された光源制御回路１２および光源ロジック回路１３と接続される。

[0048] 図３Ａに示す接合形態では、光源制御回路１２の光源制御信号Ｓ１１は、接続端子１２２から貫通電極１１２を通じて光源セルアレイ部１１の各光源に伝送される。

[0049] 図３Ｂは、光源基板１１１と光源制御基板１２１との別の接合形態を概略的に示す断面図である。図３Ｂに示す接合形態は、光源基板１１１に形成された複数の接続端子１１３と、光源制御基板１２１に形成された複数の接続

端子 1 2 2 とが接合される、いわゆる Cu-Cu 接合である。接続端子 1 1 3 は、接続端子 1 2 2 と同様に銅等の金属で形成することができ、不図示の配線を介して光源セルアレイ部 1 1 に電氣的に接続される。なお、この接合形態でも、光源基板 1 1 1 と光源制御基板 1 2 1 との隙間は、絶縁膜で埋められている。

[0050] 図 3 B に示す接合形態では、光源制御回路 1 2 の光源制御信号 S 1 1 は、接続端子 1 2 2 から接続端子 1 1 3 を通じて光源セルアレイ部 1 1 の各光源に伝送される。

[0051] なお、図 3 A および図 3 B では省略されているが、光源セルアレイ部 1 1 は、貫通電極 1 1 2 または接続端子 1 1 3 よりも上層に形成される。また、光源制御回路 1 2 および光源ロジック回路 1 3 は、接続端子 1 2 2 よりも上層に形成される。

[0052] 図 4 A は、光源セルアレイ部 1 1 の概略的な構成を示す図である。図 4 A に示すように、光源セルアレイ部 1 1 には、複数の光源セル 3 0 が 2 次元状に配列されている。各光源セル 3 0 は、光源駆動配線 3 1 と、光源駆動配線 3 1 に直交する光源駆動配線 3 2 との交点近傍に配置される。

[0053] 図 4 B は、光源セル 3 0 の一例を示す図である。図 4 B では、光源セル 3 0 は、発光素子 3 0 0 で構成される。発光素子 3 0 0 において、アノードは光源駆動配線 3 1 に接続され、カソードは光源駆動配線 3 2 に接続される。発光素子 3 0 0 には、例えば、LED (Light Emitting Diode)、SLED (Super Light Emitting Diode)、OLED (Organic Light Emitting Diode)、およびレーザー (VCSEL) などを適用できる。各発光素子 3 0 0 は、光源制御回路 1 2 から光源駆動配線 3 1 を通じて入力された光源制御信号 S 1 1 に応じて発光して光信号 S 1 2 を生成する。

[0054] 図 4 B に示す光源セルアレイ部 1 1 は、時分割で各発光素子 3 0 0 を制御するパッシブマトリックス方式で駆動する。この駆動方式では、各発光素子 3 0 0 の光、すなわち光信号 S 1 2 の波長は、光源セル 3 0 毎に異なってもよいし、全ての光源セル 3 0 で同じであってもよい。また、光信号 S 1

2の波長は、赤外線から可視光までの範囲内であればよいが、長波長であることが好ましい。光信号S 1 2の波長は、画素アレイ部2 1の受光範囲に応じて選択してもよい。

[0055] 図4 Cは、光源セル3 0の別の一例を示す図である。この光源セル3 0には、発光素子3 0 0に加えてアクティブ素子3 1 0が設けられている。アクティブ素子3 1 0は、図4 Cに示すように、例えばNチャネル型のMOS (Metal Oxide Semiconductor) トランジスタで構成される。この場合、アクティブ素子3 1 0において、ゲートは光源駆動配線3 1に接続され、ドレインは発光素子3 0 0に接続され、ソースは光源駆動配線3 2に接続される。

[0056] 図4 Cの光源セルアレイ部1 1は、アクティブ素子3 1 0で発光素子3 0 0を他の発光素子3 0 0から独立して制御するアクティブマトリックス方式で駆動する。この駆動方式でも、各発光素子3 0 0の光、すなわち光信号S 1 2の波長は、光源セル3 0毎に異なってもよいし、全ての光源セル3 0で同じであってもよい。また、光信号S 1 2の波長は、赤外線から可視光までの範囲内であればよいが、長波長であることが好ましい。光信号S 1 2の波長は、画素アレイ部2 1の受光範囲に応じて選択してもよい。

[0057] 図4 Dは、光源セル3 0のさらに別の一例を示す図である。この光源セル3 0には、発光素子3 0 0とアクティブ素子3 1 0との間に記憶部3 2 0が設けられている。記憶部3 2 0には、SRAM (Static Random Access Memory)、ラッチ回路、フリップフロップ、および不揮発性メモリなどを適用できる。この光源セル3 0では、電圧が光源駆動配線3 1と光源駆動配線3 2との間に印加されると、すなわち、光源制御信号S 1 1が光源駆動配線3 1を通じて各光源セル3 0に入力されると、各記憶部3 2 0の状態に応じて、各発光素子3 0 0の印加電圧が決まる。この印加電圧は、画素アレイ部2 1の積和演算の係数に対応する。すなわち、記憶部3 2 0は、積和演算の係数に関するデータを記憶する。このデータは、多ビットで記憶されてもよい。また、このデータは、積和演算の係数だけでなく他の情報を含んでいてもよい。

[0058] なお、光源セル 30 の構成は、図 4 B、図 4 C、および図 4 D に示す構成に限定されない。光源セル 30 は、例えば、発光素子 300 に加えて、透過型若しくは反射型の液晶モジュール、または電子ペーパーを有していてもよい。

[0059] 図 5 A は、画素アレイ部 21 の概略的な構成を示す図である。図 5 A に示すように、画素アレイ部 21 では、画素制御回路 22 に接続された画素駆動配線 41 と、画素信号処理回路 23 に接続された画素読み出し配線 42 との間に、複数の画素 50 が 2 次元状に配列されている。本実施形態では、図 4 A に示す光源セル 30 の中心ピッチ P1 は、画素 50 の中心ピッチ P2 の整数倍であるが、画素 50 の中心ピッチ P2 が、光源セル 30 の中心ピッチ P1 の整数倍であってもよい。つまり、光源セル 30 および画素 50 において、一方の中心ピッチが、他方の中心ピッチの整数倍となっている。換言すると、光源セル 30 および画素 50 において、一方の数が、他方の数の整数倍となっている。

[0060] 各画素 50 は、画素駆動配線 41 を通じて入力される画素制御信号 S21 に応じて光信号 S12 の光電変換信号を生成する。この光電変換信号には、画素制御信号 S21 の信号値に、光信号 S12 の光量や露光時間、すなわち画素 50 で受光された電荷量が係数となって乗算される。続いて、画素アレイ部 21 は、乗算結果を、画素読み出し配線 42 を通じて行単位または列単位で順次に加算する。これにより、積和演算結果を示すアナログ方式の画素信号 S22 が画素信号処理回路 23 に読み出される。本実施形態では、アナログ方式で積和演算しているため、デジタル処理が不要である。そのため、積和演算で消費する電力が軽減される。

[0061] 図 5 B～図 5 F は、画素 50 の等価回路図の一例を示す図である。以下、各図に記載の画素の回路構成を説明する。

[0062] 図 5 B に示す画素 50 a は、フォトダイオード 51、転送トランジスタ 52、リセットトランジスタ 53、増幅トランジスタ 54、および選択トランジスタ 55 を有する。

- [0063] フォトダイオード51は、光信号S12の光量に応じた電荷（信号電荷）を生成し、蓄積する。フォトダイオード51のアノード端子が接地されているとともに、カソード端子が転送トランジスタ52に接続されている。
- [0064] 転送トランジスタ52は、画素制御回路22からの転送信号によりオンされたとき、フォトダイオード51から電荷を読み出して増幅トランジスタ54へ転送する。リセットトランジスタ53は、画素制御回路22からのリセット信号によりオンされたとき、フォトダイオード51に蓄積されている電荷が電源に排出されることで、フォトダイオード51の電位をリセットする。
- [0065] 増幅トランジスタ54は、フォトダイオード51に蓄積された電荷量に応じた画素信号S22を選択トランジスタ55へ出力する。選択トランジスタ55は、画素制御信号S21の一つである選択信号によりオンされると、画素信号S22を画素読み出し配線42へ出力する。画素信号S22は、画素読み出し配線42を介して画素信号処理回路23へ伝送される。
- [0066] 図5Cに示す画素50bは、2つのフォトダイオード51a、51bを有する。フォトダイオード51aの光電変換により生成された電荷は、メモリトランジスタ57aおよびキャパシタ58aに一時的に保持される。保持された電荷は、転送トランジスタ52aによって、増幅トランジスタ54へ転送される。一方、フォトダイオード51bの光電変換により生成された電荷は、メモリトランジスタ57bおよびキャパシタ58bに一時的に保持される。保持された電荷は、転送トランジスタ52bによって、増幅トランジスタ54へ転送される。
- [0067] 増幅トランジスタ54は、転送トランジスタ52aまたは転送トランジスタ52bから転送された電荷量に応じた画素信号S22を選択トランジスタ55へ出力する。選択トランジスタ55は、画素信号S22を画素読み出し配線42へ出力する。画素信号S22は、画素読み出し配線42を介して画素信号処理回路23へ伝送される。フォトダイオード51a、51bの各々の電位は、リセットトランジスタ53によって、リセットされる。

[0068] 図5Dに示す画素50cは、いわゆるPWM (Pulse Wide Modulation) 画素の一例である。画素50bでは、画素制御信号S21の一つであるスロープ信号S11aが、Pチャネル型のMOSトランジスタ59のゲートに入力される。MOSトランジスタ59は、増幅トランジスタ54と直列に接続されている。選択トランジスタ55は、MOSトランジスタ59の出力と、増幅トランジスタ54の出力との比較結果を示すPWM方式の画素信号S22を画素読み出し配線42へ出力する。画素信号S22は、画素読み出し配線42を介して画素信号処理回路23へ伝送される。

[0069] 図5Eに示す画素50dでは、フォトダイオード51a～フォトダイオード51cが、光電変換膜511と、透明電極512と、下部電極513と、を有する。光電変換膜511は、有機光電変換膜または無機光電変換膜である。透明電極512は、光電変換膜511の上面に配置されている。下部電極513は、光電変換膜511の上面に配置されている。すなわち、透明電極512は、透明電極512と下部電極513との間に挟まれている。例えば、光電変換膜511が、透明電極512の電圧をコントロールすることで、グローバルシャッタが実現されている。

[0070] フォトダイオード51a～フォトダイオード51cの光電変換膜511で光電変換された電荷は、転送トランジスタ52a～転送トランジスタ52cによって、それぞれ増幅トランジスタ54へ転送される。増幅トランジスタ54は、フォトダイオード51に蓄積された電荷量に応じた画素信号S22を選択トランジスタ55へ出力する。選択トランジスタ55は、画素信号S22を画素読み出し配線42へ出力する。画素信号S22は、画素読み出し配線42を介して画素信号処理回路23へ伝送される。各フォトダイオードの電位は、リセットトランジスタ53によって、リセットされる。

[0071] 図5Fに示す画素50eは、明るさの変化を出力するDVS (Dynamic Vision Sensor) 画素の一例である。画素50eは、対数変換回路510、バッファ回路520、減算回路530、および量子化回路540を有する。

[0072] 対数変換回路510は、フォトダイオード51と、Nチャネル型のMOS

トランジスタ514と、Pチャネル型のMOSトランジスタ515と、Nチャネル型のMOSトランジスタ516と、を有する。フォトダイオード51およびMOSトランジスタ514は、直列に接続されている。また、MOSトランジスタ515およびMOSトランジスタ516も直列に接続されている。さらに、MOSトランジスタ514のゲートが、MOSトランジスタ515のドレインおよびMOSトランジスタ516のドレインに接続されている。対数変換回路510では、フォトダイオード51で光電変換された電荷を、対数出力の電圧 V_{log} に変換する。

[0073] バッファ回路520は、Pチャネル型のMOSトランジスタ521と、Pチャネル型のMOSトランジスタ522と、を有する。MOSトランジスタ521およびMOSトランジスタ522は、直列に接続されている。バッファ回路520は、MOSトランジスタ522のゲートに入力された電圧 V_{log} に対してインピーダンス変換を行ったソースフォロワ電圧 V_{SF} を出力する。

[0074] 減算回路530は、Pチャネル型のMOSトランジスタ531と、Pチャネル型のMOSトランジスタ532と、Nチャネル型のMOSトランジスタ533と、キャパシタ534と、キャパシタ535と、を有する。MOSトランジスタ532およびMOSトランジスタ533は直列に接続されている。MOSトランジスタ532のゲートには、キャパシタ534が接続されている。MOSトランジスタ532のゲートとドレインとの間には、MOSトランジスタ531およびキャパシタ535が並列に接続されている。減算回路530は、前の信号との差分電圧 V_{diff} を出力する。

[0075] 量子化回路540は、Pチャネル型のMOSトランジスタ541と、Nチャネル型のMOSトランジスタ542と、Pチャネル型のMOSトランジスタ543と、Nチャネル型のMOSトランジスタ544と、を有する。MOSトランジスタ541およびMOSトランジスタ542が直列に接続されている。また、MOSトランジスタ543およびMOSトランジスタ544も直列に接続されている。量子化回路540では、MOSトランジスタ541

およびMOSトランジスタ543の各々のゲートに入力された差分電圧 V_{diff} と2つのしきい値と比較される。その後、比較結果($V_O(+)$ 、 $V_O(-)$)が画素信号S22として画素読み出し配線42を介して画素信号処理回路23に伝送される。画素信号処理回路23は、画素信号S22に基づいて、「+1」、「0」、「-1」を判定する。

[0076] 画素アレイ部21に配列される画素50は、図5B～図5Fに示す画素50a～画素50eに限定されない。例えば、画素アレイ部21には、各画素50の画素信号S22を加算する、いわゆる畳み込み画素が配列されていてもよい。また、画素アレイ部21には、上述したCMOSイメージセンサやDVSの他に、偏光センサまたはマルチスペクトルセンサが配列されていてもよい。

[0077] 偏光センサは、フォトダイオード51に入射する光を偏光する回析素子をさらに有する。一方、マルチスペクトルセンサは、フォトダイオード51に入射する光を色分解するカラーフィルタをさらに有する。

[0078] 図6は、画素信号処理回路23に含まれるADC (Analog to Digital Converter) の回路構成の一例を示す図である。図6に示すADCは、複数のコンパレータ231と、複数のカウンタ232と、複数のラッチ回路233と、を有する。

[0079] コンパレータ231の非反転入力端子には、上述した画素50a～50eのいずれかに相当する画素50の画素信号S22が入力される。反転入力端子には、三角波のランプ信号RAMPが入力される。各コンパレータ231は、画素信号S22とランプ信号RAMPとの比較結果を出力する。各カウンタ232は、コンパレータ231の出力端子に接続されている。各カウンタ232は、コンパレータ231の出力レベルの変化時間をカウントする。各ラッチ回路233は、各カウンタ232のカウント結果を保持する。

[0080] なお、画素信号処理回路23に含まれるADCは、図6に示すシングルスロープADCに限定されない。画素信号処理回路23は、例えば、画素ごとに画素信号S22を処理する画素ADC、1つのカウンタ232で複数のコ

ンパレータ 231 の比較時間をカウントするカラム ADC、積分回路を有する 2 重積分型 ADC、逐次比較型 (SAR) ADC、または $\Delta\Sigma$ 型 ADC 等を含んでいてもよい。また、ADC の解像度も、例えば 1 ビット ~ 12 ビットの範囲内で適宜選択することができる。

[0081] 上述したように、本実施形態に係る撮像装置 1 は、光源セルアレイ部 11 で生成された光信号 S12 を画素アレイ部 21 で積和演算する構成を有する。光信号 S12 を使うことによって、積和演算に必要な係数 (荷重) データが、2 次元に配列された複数の画素 50 に一括に転送されるため、データ転送に要する電力が大幅に軽減される。

[0082] また、光源セルアレイ部 11 で光信号 S12 の発光レベルを調整したり、画素アレイ部 21 で光信号 S12 の受光レベルを調整したり、光信号 S12 の波長を多重化したりすることによって、積和演算の係数データを自由に設定することができる。これにより、積和演算の表現幅を拡大することができる。

[0083] 以上説明した本実施形態によれば、低レイテンシーで演算時の係数の表現力を広げることができるため、高度な演算を低電力で実現することができる。特に、データセンタ等に使われる大規模演算の高効率化に寄与することが期待できる。また、本実施形態では、光源セルアレイ部 11 が、画素アレイ部 21 に積層されるので、小面積レイアウトを実現することができる。さらに、本開示は、CMOS イメージセンサを積和演算器として使うことができるため、CMOS イメージセンサの技術進歩による恩恵を受けることもできる。

[0084] (第 2 実施形態)

[0085] 図 7 は、第 2 実施形態に係る撮像装置の構成を示すブロック図である。第 1 実施形態と同様の構成要素には、同じ符号を付し、詳細な説明を省略する。

[0086] 図 7 に示す撮像装置 2 は、図 1 に示す撮像装置 1 の構成要素に加えて、メモリセルアレイ部 61、CIM (Computing in memory) 入力制御回路 62、

CIM読み出し回路63、およびCIMロジック回路64をさらに備える。

[0087] メモリセルアレイ部61には、複数のメモリセルが2次元状に配列されている。メモリセルアレイ部61は、CIM入力制御回路62からのメモリセル制御信号S61をアナログ方式で積和演算した結果を示す畳み込み信号S62をCIM読み出し回路63に向けて一方向に出力する。メモリセルアレイ部61の回路構成例については、後述する。

[0088] CIM入力制御回路62は、例えばシフトレジスタによって構成され、メモリセル駆動配線（図7には不図示）を介してメモリセルアレイ部61の各メモリセルにデジタル画素信号S23に関連付けられたメモリセル制御信号S61を入力する。このメモリセル制御信号S61によって、CIM入力制御回路62は、メモリセルアレイ部61の各メモリセルを順次または一括に選択して走査し、各メモリセルのメモリ値を用いて積和演算した畳み込み信号S62をCIM読み出し回路63へ出力させる。

[0089] CIM読み出し回路63は、メモリセルアレイ部61から読み出した畳み込み信号S62に対して、AD変換処理等を行う。

[0090] CIMロジック回路64は、外部から入力されるクロック信号と、動作モードなどを指令するデータを受け取り、メモリセルアレイ部61全体の動作を制御する。例えば、CIMロジック回路64は、入力されたクロック信号に基づいて、垂直同期信号や水平同期信号などを生成し、CIM入力制御回路62およびCIM読み出し回路63に供給する。

[0091] 図8Aは、撮像装置2の構造の一例を示す図である。本実施形態では、第1基板101、第2基板201、およびメモリ基板202が、この順番で積層されている。第1基板101は、最上層に配置され、メモリ基板202が最下層に配置され、第2基板201が、第1基板101とメモリ基板202との間の中間層に配置されている。

[0092] 第1基板101には、図2Aと同様に、光源セルアレイ部11、光源制御回路12、および光源ロジック回路13が配置されている。第2基板201には、図2Aと同様に、画素アレイ部21、画素制御回路22、画素信号処

理回路 23、および画素ロジック回路 25 が配置されている。メモリ基板 202 は、第 2 基板 201 の下に積層されている。

[0093] メモリ基板 202 は、例えばシリコン基板であり、銅パッド、バンプ、または TSV 等によって、第 2 基板 201 に接合される。メモリ基板 202 は、第 2 基板 201 とともに第 2 基板群を構成する。基板面積を最小化するために、メモリ基板 202 は、第 2 基板 201 と全体的に重なり合う必要はなく、少なくとも一部同士が重なり合っていればよい。

[0094] メモリ基板 202 には、メモリセルアレイ部 61、CIM 入力制御回路 62、CIM 読み出し回路 63、および CIM ロジック回路 64 が配置されている。図 8A では、CIM 入力制御回路 62 は、畳み込み信号 S62 の出力方向に平行な方向に配置され、かつ、CIM 読み出し回路 63 は、畳み込み信号 S62 の出力方向に垂直な方向に配置される。すなわち、CIM 入力制御回路 62 および CIM 読み出し回路 63 は、互いに垂直な方向に配置される。なお、CIM ロジック回路 64 の位置は、図 8A に位置に制限されず、メモリ基板 202 内のスペースに適宜配置すればよい。

[0095] また、図 8A では、メモリセルアレイ部 61 の平面領域は、X 方向を短辺方向、Y 方向を長辺方向とする矩形であるが、正方形であってもよく、積和演算の仕様に依拠して決定される。例えば、積和演算の畳み込み数（加算数）が多い場合には、長い読み出し配線が必要になる。この場合、図 8A に示すメモリセルアレイ部 61 の矩形が好ましい。

[0096] 図 8B は、撮像装置 2 の構造の他の一例を示す図である。図 8B では、図 2B と同様に、光源系が、光源基板 111 および光源制御基板 121 を互いに重なり合って積層した 2 層構造となっている。光源制御基板 121 には、光源セルアレイ部 11 が配置されている。一方、光源制御基板 121 には、光源制御回路 12 および光源ロジック回路 13 が配置されている。

[0097] なお、本実施形態に係る撮像装置 2 にも、第 1 実施形態と同様に、シャッタ 102（図 2C 参照）が、光源セルアレイ部 11 と画素アレイ部 21 との間に設けられていてもよい。また、ブラックマスク 103（図 2D 参照）が

、第1基板101の縁部と第2基板201の縁部とに設けられていてもよい。さらに、撮像装置2が、遮光性を有するパッケージ104（図2E参照）に收容されていてもよい。

[0098] 図9は、メモリセルアレイ部61の概略的な回路構成を示す図である。図9に示すように、メモリセルアレイ部61には、複数のメモリセル71が2次元状に配列されている。各メモリセル71は、メモリセル駆動配線72とメモリセル読み出し配線73との交点近傍に配置される。なお、メモリセル71は、3次元状に配置されていてもよい。この場合、複数のメモリセル71が、X方向、Y方向、およびZ方向に配置される。

[0099] メモリセル71には、例えば、抵抗変化型メモリ（ReRAM: Resistive Random Access Memory）、相変化メモリ（PCM: Phase Change Memory）、磁気抵抗メモリ（MRAM: Magneto resistive Random Memory）、または強誘電体メモリ（FeRAM: Ferroelectric Random Access Memory）などを適用することができる。また、メモリセル71は、SRAM (Static Random Access Memory) や、不揮発性メモリであってもよい。

[0100] メモリセル71には、メモリ値（例えば、+1、-1、0.5）が保持されている。メモリセルアレイ部61は、各メモリセル71のメモリ値と、CIM入力制御回路62からメモリセル駆動配線72を介して入力信号として入力されるメモリセル制御信号S61の信号値と、を乗算する。続いて、メモリセルアレイ部61は、乗算結果を、メモリセル読み出し配線73を通じて行単位または列単位で順次に加算する。これにより、積和演算結果を示すデジタル方式の畳み込み信号S62が、CIM読み出し回路63に読み出される。なお、メモリセルアレイ部61は、乗算結果を一括に加算してもよい。

[0101] 畳み込み信号S62がアナログ方式の場合には、メモリセル駆動配線72を介した入力信号とメモリ値が乗算された後、メモリセル読み出し配線73上で、電荷が加算されて畳み込み信号S62がCIM読み出し回路63に読み出される。このとき、全てのメモリセル駆動配線72に一括で入力信号を

入力することができ、C I M読み出し回路63がカラムADCの場合には、全てのメモリセル読み出し配線73から一括で畳み込み信号S62を読み出すことも可能となる。

[0102] 上述した本実施形態に係る撮像装置2も、第1実施形態と同様に、光源セルアレイ部11で生成された光信号S12を画素アレイ部21で積和演算する構成を有する。そのため、高度な演算を低電力で実現することができる。さらに、本実施形態に係る撮像装置2は、画素アレイ部21の演算結果をさらに積和演算するメモリセルアレイ部61も備える。そのため、より高度な演算を行うことも可能となる。

[0103] (第3実施形態)

図10A～図10Dは、第3実施形態に係る撮像装置の構造を示す図である。上述した実施形態と同様の構成要素には、同じ符号を付し、詳細な説明を省略する。

[0104] 図10Aに示す撮像装置3aでは、光学系が、全ての回路要素を第1基板101に配置した単層構造であるのに対して、画素系が、画素基板211および画素制御基板221を互いに重なり合わせた2層構造である。画素基板211および画素制御基板221は、例えばシリコン基板である。画素基板211は、第1基板101と画素制御基板221との間の中間層に配置され、画素制御基板221は、最下層に配置される。

[0105] 画素基板211には、画素アレイ部21が配置されている。この画素アレイ部21には、例えば第1実施形態で説明した画素50a(図5B参照)、画素50b(図5C参照)、または画素50d(図5E参照)のいずれかが2次元状に配列される。

[0106] 一方、画素制御基板221には、画素制御回路22、画素信号処理回路23、および画素ロジック回路25が配置されている。図2Aに示す第2基板201、または図10Bに示す画素基板211および画素制御基板221は、それぞれ第2基板群に相当する。すなわち、第2基板群は、1枚の基板であってもよいし、複数枚の基板であってもよい。

- [0107] なお、画素基板 2 1 1 および画素制御基板 2 2 1 は、光源基板 1 1 1 および光源制御基板 1 2 1 と同様に、貫通電極または接続端子を介して接合される。画素制御信号 S 2 1 および画素信号 S 2 2 は、貫通電極または接続端子を通じて伝送される。
- [0108] 図 1 0 B に示す撮像装置 3 b では、画素アレイ部 2 1 が、画素基板 2 1 1 および画素制御基板 2 2 1 に分散して配置される。画素基板 2 1 1 には、光信号 S 1 2 を光電変換する光電変換部 2 1 a が配置され、画素制御基板 2 2 1 には、光信号 S 1 2 を積和演算する画素トランジスタ部 2 1 b が配置される。この画素アレイ部 2 1 には、例えば第 1 実施形態で説明した画素 5 0 c (図 5 D 参照) または画素 5 0 e (図 5 F 参照) が 2 次元状に配列される。
- [0109] 画素 5 0 c が配置される場合、フォトダイオード 5 1 および増幅トランジスタ 5 4 が、光電変換部 2 1 a として画素基板 2 1 1 に配置される。また、リセットトランジスタ 5 3、選択トランジスタ 5 5、および MOS トランジスタ 5 9 が、画素トランジスタ部 2 1 b として画素制御基板 2 2 1 に配置される。
- [0110] 一方、画素 5 0 e が配置される場合、対数変換回路 5 1 0 が、光電変換部 2 1 a として画素基板 2 1 1 に配置される。また、バッファ回路 5 2 0、減算回路 5 3 0、および量子化回路 5 4 0 が、画素トランジスタ部 2 1 b として画素制御基板 2 2 1 に配置される。
- [0111] 図 1 0 C に示す撮像装置 3 c では、光学系および画素が、ともに 2 層構造である。すなわち、光学系では、光源セルアレイ部 1 1 が、光源基板 1 1 1 に配置され、光源制御回路 1 2 および光源ロジック回路 1 3 が光源制御基板 1 2 1 に配置される。一方、画素系では、図 1 0 A と同様に、画素アレイ部 2 1 が画素基板 2 1 1 に配置され、画素制御回路 2 2、画素信号処理回路 2 3、および画素ロジック回路 2 5 が画素制御基板 2 2 1 には配置される。
- [0112] 図 1 0 D に示す撮像装置 3 d でも、光学系および画素が、ともに 2 層構造である。ただし、図 1 0 D の画素系では、図 1 0 B と同様に、画素アレイ部 2 1 のうち、光電変換部 2 1 a が画素基板 2 1 1 に配置され、画素トランジ

スタ部 2 1 b が画素制御基板 2 2 1 には配置される。

[0113] 上述した本実施形態に係る撮像装置 3 も、第 1 実施形態と同様に、光源セルアレイ部 1 1 で生成された光信号 S 1 2 を画素アレイ部 2 1 で積和演算する構成を有する。そのため、高度な演算を低電力で実現することができる。さらに、本実施形態では、画素系が、2 層構造となっている。そのため、画素アレイ部 2 1 の配置面積、すなわち積和演算領域を拡大することができる。これにより、より高度な演算を行うことも可能となる。

[0114] なお、本実施形態に係る撮像装置 3 にも、第 1 実施形態と同様に、シャッタ 1 0 2 (図 2 C 参照)、ブラックマスク 1 0 3 (図 2 D 参照) がもうけられていてよい。また、撮像装置 3 が、遮光性を有するパッケージ 1 0 4 (図 2 E 参照) に收容されていてもよい。

[0115] (第 4 実施形態)

図 1 1 A ~ 図 1 1 D は、第 4 実施形態に係る撮像装置の構造を示す図である。上述した実施形態と同様の構成要素には、同じ符号を付し、詳細な説明を省略する。

[0116] 図 1 1 A に示す撮像装置 4 a には、メモリ基板 2 0 2 が、上述した第 3 実施形態に係る撮像装置 3 a (図 1 0 A 参照) の画素制御基板 2 2 1 の下層に配置される。メモリ基板 2 0 2 には、第 2 実施形態と同様に、メモリセルアレイ部 6 1、C I M 入力制御回路 6 2、C I M 読み出し回路 6 3、および C I M ロジック回路 6 4 が配置される。

[0117] 図 1 1 B に示す撮像装置 4 b には、メモリ基板 2 0 2 が、上述した第 3 実施形態に係る撮像装置 3 b (図 1 0 B 参照) の画素制御基板 2 2 1 の下層に配置される。メモリ基板 2 0 2 には、第 2 実施形態と同様に、メモリセルアレイ部 6 1、C I M 入力制御回路 6 2、C I M 読み出し回路 6 3、および C I M ロジック回路 6 4 が配置される。

[0118] 図 1 1 C に示す撮像装置 4 c には、メモリ基板 2 0 2 が、上述した第 3 実施形態に係る撮像装置 3 c (図 1 0 C 参照) の画素制御基板 2 2 1 の下層に配置される。メモリ基板 2 0 2 には、第 2 実施形態と同様に、メモリセルア

レイ部 61、C I M 入力制御回路 62、C I M 読み出し回路 63、および C I M ロジック回路 64 が配置される。

[0119] 図 11D に示す撮像装置 4d には、メモリ基板 202 が、上述した第 3 実施形態に係る撮像装置 3d (図 10D 参照) の画素制御基板 221 の下層に配置される。メモリ基板 202 には、第 2 実施形態と同様に、メモリセルアレイ部 61、C I M 入力制御回路 62、C I M 読み出し回路 63、および C I M ロジック回路 64 が配置される。

[0120] 上述した本実施形態に係る撮像装置 4 も、第 1 実施形態と同様に、光源セルアレイ部 11 で生成された光信号 S12 を画素アレイ部 21 で積和演算する構成を有する。そのため、高度な演算を低電力で実現することができる。さらに、本実施形態に係る撮像装置 4 は、第 2 実施形態と同様に、画素アレイ部 21 の演算結果をさらに積和演算するメモリセルアレイ部 61 も備える。そのため、より高度な演算を行うことも可能となる。

[0121] (第 5 実施形態)

図 12 は、第 5 実施形態に係る撮像装置の構造を示す図である。上述した実施形態と同様の構成要素には同じ符号を付し、詳細な説明を省略する。

[0122] 図 12 に示す撮像装置 5 では、光学変調素子 401 が、光源セルアレイ部 11 と画素アレイ部 21 との間に設けられている。光学変調素子 401 では、光源セルアレイ部 11 から入射した複数の光信号 S12 が干渉する。この干渉によって、画素アレイ部 21 でだけでなく、光の領域でも積和演算が実施される。

[0123] 以上説明した本実施形態によれば、光源セルアレイ部 11 と画素アレイ部 21 との間に光学変調素子 401 を配置することによって、光の領域で追加的に積和演算を実施することができる。そのため、より高度な積和演算を実施することが可能となる。

[0124] なお、本実施形態は、上述した他の実施形態にも適用することができる。すなわち、第 1 実施形態～第 4 実施形態に係る各撮像装置において、光学変調素子 401 が、光源セルアレイ部 11 と画素アレイ部 21 との間に設けら

れていてもよい。

[0125] (第6実施形態)

図13は、第6実施形態に係る撮像装置の構造を示す図である。上述した実施形態と同様の構成要素には同じ符号を付し、詳細な説明を省略する。

[0126] 本実施形態に係る撮像装置6では、画素アレイ部21には、光信号S12に加えて、被写体で反射した反射光S31も入射する。光信号S12は、画素アレイ部21の上方に配置された光源セルアレイ部11から入射する。反射光S31は、光信号S12とは反対方向、すなわち画素アレイ部21の下方から入射する。

[0127] 画素アレイ部21は、光信号S12を受光した場合、光信号S12に基づく積和演算を実施し、画素信号S22を画素信号処理回路23へ出力する。また、画素アレイ部21は、反射光S31を受光した場合には、反射光S31を光電変換した画素信号S32を画素信号処理回路23へ出力する。この場合、画素信号処理回路23において、被写体の画像信号が生成される。

[0128] 以上説明した本実施形態によれば、積和演算機能だけでなく撮像機能も実現することができる。なお、本実施形態は、上述した第1実施形態および第3実施形態にも適用することができる。

[0129] (第7実施形態)

図14は、第7実施形態に係る電子機器の構成の一例を示す図である。本実施形態に係る電子機器200は、カメラシステムであり、図14に示すように、撮像装置210と、レンズ220と、駆動回路(DRV)230と、信号処理回路(PRC)240と、を備える。

[0130] 撮像装置210には、上述した第1実施形態、第3実施形態、および第6実施形態に係る撮像装置のいずれかを適用することができる。レンズ220は、入射光(像光)を撮像面上に結像させる。

[0131] 駆動回路230は、撮像装置210内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(不図示)を有し、所定のタイミング信号で撮像装置210を駆動する。

[0132] また、信号処理回路 240 は、撮像装置 210 の出力信号に対して所定の信号処理を施す。信号処理回路 240 で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路 240 で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

[0133] 上述した本実施形態によれば、デジタルスチルカメラ等の電子機器 200 において、上述した各実施形態に係る撮像装置を撮像装置 210 として搭載することで、高精度な撮像機能を実現することができる。

[0134] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0135] 図 15 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0136] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 15 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、および統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、および車載ネットワーク I/F（Interface）12053 が図示されている。

[0137] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0138] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0139] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0140] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0141] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0142] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0143] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0144] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0145] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図 15 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 およびインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含ん

でいてもよい。

[0146] 図16は、撮像部12031の設置位置の例を示す図である。

[0147] 図16では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0148] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101および車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0149] なお、図16には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲1211212113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0150] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0151] 例えば、マイクロコンピュータ12051は、撮像部12101ないし1

2104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0152] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0153] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われ

る。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0154] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば撮像部 12031 に適用され得る。具体的には、第 1、3、6 実施形態に係る撮像装置は、撮像部 12031 に適用することができる。本開示に係る技術を適用することにより、低ノイズの撮像性能を有する撮影画像を得ることができるため、画像品質を向上することが可能になる。

[0155] なお、本技術は以下のような構成を取ることができる。

- (1) 光信号を生成する光源セルアレイ部が配置される第 1 基板群と、
前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第 2 基板群と、を備え、
前記光源セルアレイ部の少なくとも一部が、前記画素アレイ部に重なり合うように、前記第 1 基板群と前記第 2 基板群とが互いに積層されている、撮像装置。
- (2) 前記光源セルアレイ部が、2 次元状に配列された複数の光源セルを有し、
前記画素アレイ部が、2 次元状に配列された複数の画素を有し、
前記複数の光源セルおよび前記複数の画素において、一方の中心ピッチが他方の中心ピッチの整数倍である、(1) に記載の撮像装置。
- (3) 前記光信号が、赤外線または可視光である、(1) または (2) に記載の撮像装置。
- (4) 前記第 1 基板群は、
前記光源セルアレイ部が配置される光源基板と、

前記光源基板の下に積層され、前記光源セルアレイ部の駆動を制御する光源制御回路が配置される光源制御基板と、を含む、（１）から（３）のいずれかに記載の撮像装置。

（５） 前記第２基板群は、

前記画素アレイ部が配置される基板と、

前記基板の下に積層され、前記画素信号に基づく入力信号を積和演算した結果を示す畳み込み信号を出力するメモリセルアレイ部が配置されるメモリ基板と、を含む、（１）から（４）のいずれかに記載の撮像装置。

（６） 前記画素信号と前記畳み込み信号の少なくとも一方がアナログ信号である、（５）に記載の撮像装置。

（７） 前記メモリセルアレイ部から読み出した前記畳み込み信号を処理するＣＩＭ読み出し回路をさらに備える、（６）に記載の撮像装置。

（８） 前記画素アレイ部から読み出した前記画素信号を処理する画素信号処理回路をさらに備える、（６）または（７）に記載の撮像装置。

（９） 前記画素信号処理回路が前記画素アレイ部と同じ基板に配置される、（８）に記載の撮像装置。

（１０） 前記画素信号処理回路が前記画素アレイ部と異なる基板に配置される、（８）に記載の撮像装置。

（１１） 前記画素アレイ部が、前記光信号を光電変換する光電変換部と、前記光信号を積和演算する画素トランジスタ部と、を有し、

前記光電変換部が、前記画素トランジスタ部と異なる基板に配置される、

（１）から（１０）のいずれかに記載の撮像装置。

（１２） 前記光源セルアレイ部と前記画素アレイ部との間に配置された光学変調素子をさらに備える、（１）から（１１）のいずれかに記載の撮像装置。

（１３） 前記光源セルアレイ部と前記画素アレイ部との間に配置されたシャッタをさらに備える、（１）から（１１）のいずれかに記載の撮像装置。

（１４） 前記第１基板群の縁部と、前記第２基板群の縁部とに設けられた

ブラックマスクをさらに備える、(1)から(11)のいずれかに記載の撮像装置。

(15) 前記第1基板群および前記第2基板群が、遮光性を有するパッケージに收容されている、(1)から(11)のいずれかに記載の撮像装置。

(16) 前記複数の光源セルの各々が、発光素子と、前記発光素子を独立して制御するアクティブ素子と、前記発光素子と前記アクティブ素子との間に設けられた記憶部と、を有する、(2)に記載の撮像装置。

(17) 前記記憶部は、前記積和演算に関するデータを記憶する、(16)に記載の撮像装置。

(18) 前記画素アレイ部は、被写体で反射した反射光を、前記光信号とは反対方向から受光する、(1)に記載の撮像装置。

(19) 光信号を生成する光源セルアレイ部が配置される第1基板群と、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第2基板群と、を有し、前記光源セルアレイ部の少なくとも一部が、前記画素アレイ部に重なり合うように、前記第1基板群と前記第2基板群とが互いに積層されている撮像装置を備える、電子機器。

(20) 第1基板群に配置される光源セルアレイ部で光信号を生成し、
前記光源セルアレイ部の少なくとも一部に重なり合う画素アレイ部で、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する、

信号処理方法。

符号の説明

[0156] 1～6：撮像装置

11：光源セルアレイ部

21：画素アレイ部

21a：光電変換部

21b：画素トランジスタ部

2 3 : 画素信号処理回路
3 0 : 光源セル
5 0 : 画素
6 3 : C I M読み出し回路
1 0 1 : 第1基板
1 0 2 : シャッタ
1 0 3 : ブラックマスク
1 0 4 : パッケージ
1 1 1 : 光源基板
1 2 1 : 光源制御基板
2 0 1 : 第2基板
2 0 2 : メモリ基板
3 0 0 : 発光素子
3 1 0 : アクティブ素子
3 2 0 : 記憶部
4 0 1 : 光学変調素子

請求の範囲

- [請求項1] 光信号を生成する光源セルアレイ部が配置される第1基板群と、
前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する画素アレイ部が配置される第2基板群と、を備え、
前記光源セルアレイ部の少なくとも一部が、前記画素アレイ部に重なり合うように、前記第1基板群と前記第2基板群とが互いに積層されている、撮像装置。
- [請求項2] 前記光源セルアレイ部が、2次元状に配列された複数の光源セルを有し、
前記画素アレイ部が、2次元状に配列された複数の画素を有し、
前記複数の光源セルおよび前記複数の画素において、一方の中心ピッチが他方の中心ピッチの整数倍である、請求項1に記載の撮像装置。
- [請求項3] 前記光信号が、赤外線または可視光である、請求項2に記載の撮像装置。
- [請求項4] 前記第1基板群は、
前記光源セルアレイ部が配置される光源基板と、
前記光源基板の上に積層され、前記光源セルアレイ部の駆動を制御する光源制御回路が配置される光源制御基板と、を含む、請求項1に記載の撮像装置。
- [請求項5] 前記第2基板群は、
前記画素アレイ部が配置される基板と、
前記基板の下に積層され、前記画素信号に基づく入力信号を積和演算した結果を示す畳み込み信号を出力するメモリセルアレイ部が配置されるメモリ基板と、を含む、請求項1に記載の撮像装置。
- [請求項6] 前記画素信号と前記畳み込み信号の少なくとも一方がアナログ信号である、請求項5に記載の撮像装置。
- [請求項7] 前記メモリセルアレイ部から読み出した前記畳み込み信号を処理す

るC I M読み出し回路をさらに備える、請求項6に記載の撮像装置。

[請求項8] 前記画素アレイ部から読み出した前記画素信号を処理する画素信号処理回路をさらに備える、請求項6に記載の撮像装置。

[請求項9] 前記画素信号処理回路が前記画素アレイ部と同じ基板に配置される、請求項8に記載の撮像装置。

[請求項10] 前記画素信号処理回路が前記画素アレイ部と異なる基板に配置される、請求項8に記載の撮像装置。

[請求項11] 前記画素アレイ部が、前記光信号を光電変換する光電変換部と、前記光信号を積和演算する画素トランジスタ部と、を有し、
前記光電変換部が、前記画素トランジスタ部と異なる基板に配置される、請求項1に記載の撮像装置。

[請求項12] 前記光源セルアレイ部と前記画素アレイ部との間に配置された光学変調素子をさらに備える、請求項1に記載の撮像装置。

[請求項13] 前記光源セルアレイ部と前記画素アレイ部との間に配置されたシャッタをさらに備える、請求項1に記載の撮像装置。

[請求項14] 前記第1基板群の縁部と、前記第2基板群の縁部とに設けられたブラックマスクをさらに備える、請求項1に記載の撮像装置。

[請求項15] 前記第1基板群および前記第2基板群が、遮光性を有するパッケージに收容されている、請求項1に記載の撮像装置。

[請求項16] 前記複数の光源セルの各々が、発光素子と、前記発光素子を独立して制御するアクティブ素子と、前記発光素子と前記アクティブ素子との間に設けられた記憶部と、を有する、請求項2に記載の撮像装置。

[請求項17] 前記記憶部は、前記積和演算に関するデータを記憶する、請求項16に記載の撮像装置。

[請求項18] 前記画素アレイ部は、被写体で反射した反射光を、前記光信号とは反対方向から受光する、請求項1に記載の撮像装置。

[請求項19] 光信号を生成する光源セルアレイ部が配置される第1基板群と、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を

出力する画素アレイ部が配置される第2基板群と、を有し、前記光源セルアレイ部の少なくとも一部が、前記画素アレイ部に重なり合うように、前記第1基板群と前記第2基板群とが互いに積層されている撮像装置を備える、電子機器。

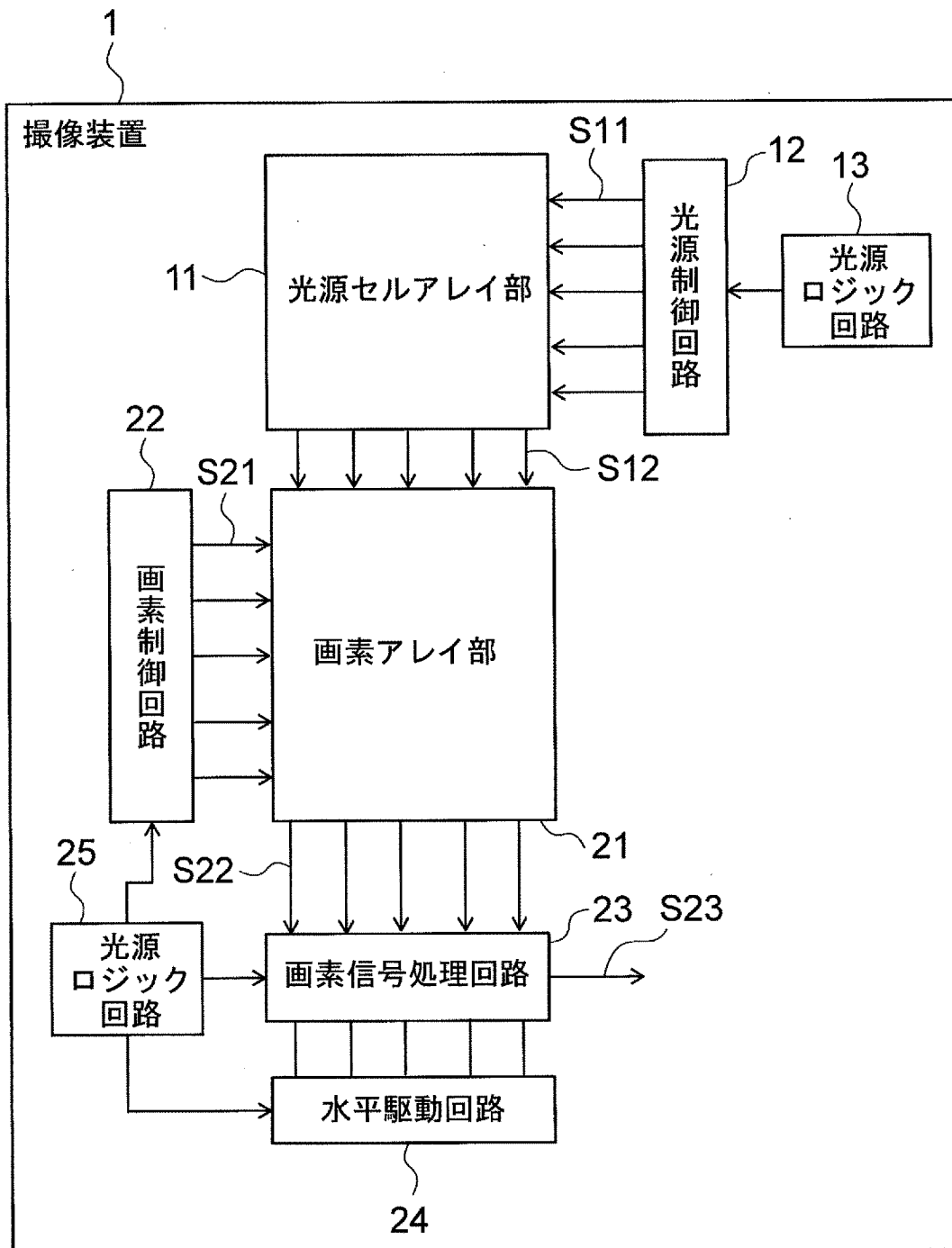
[請求項20]

第1基板群に配置される光源セルアレイ部で光信号を生成し、

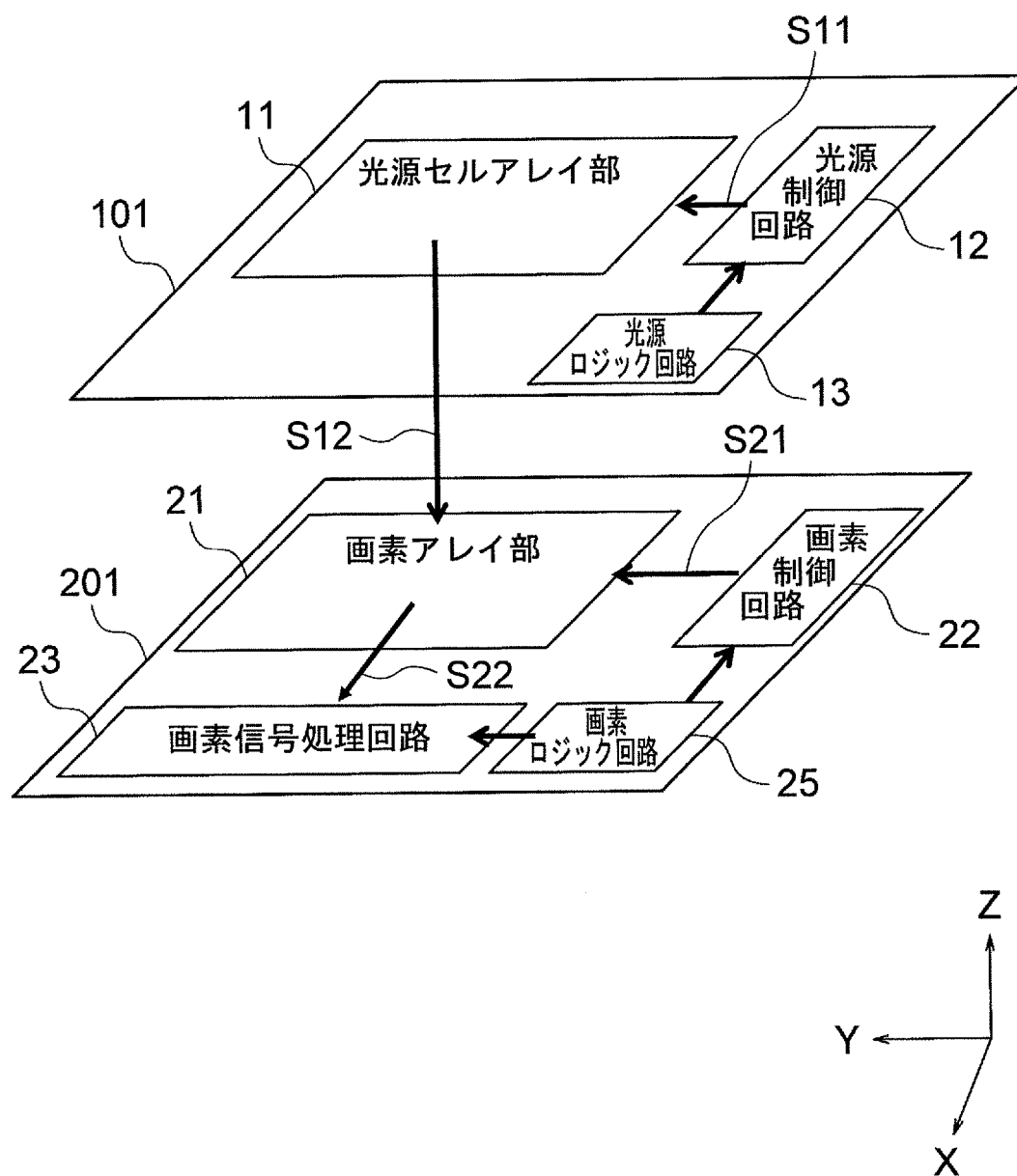
前記光源セルアレイ部の少なくとも一部に重なり合う画素アレイ部で、前記光信号を光電変換するとともに積和演算した結果を示す画素信号を出力する、

信号処理方法。

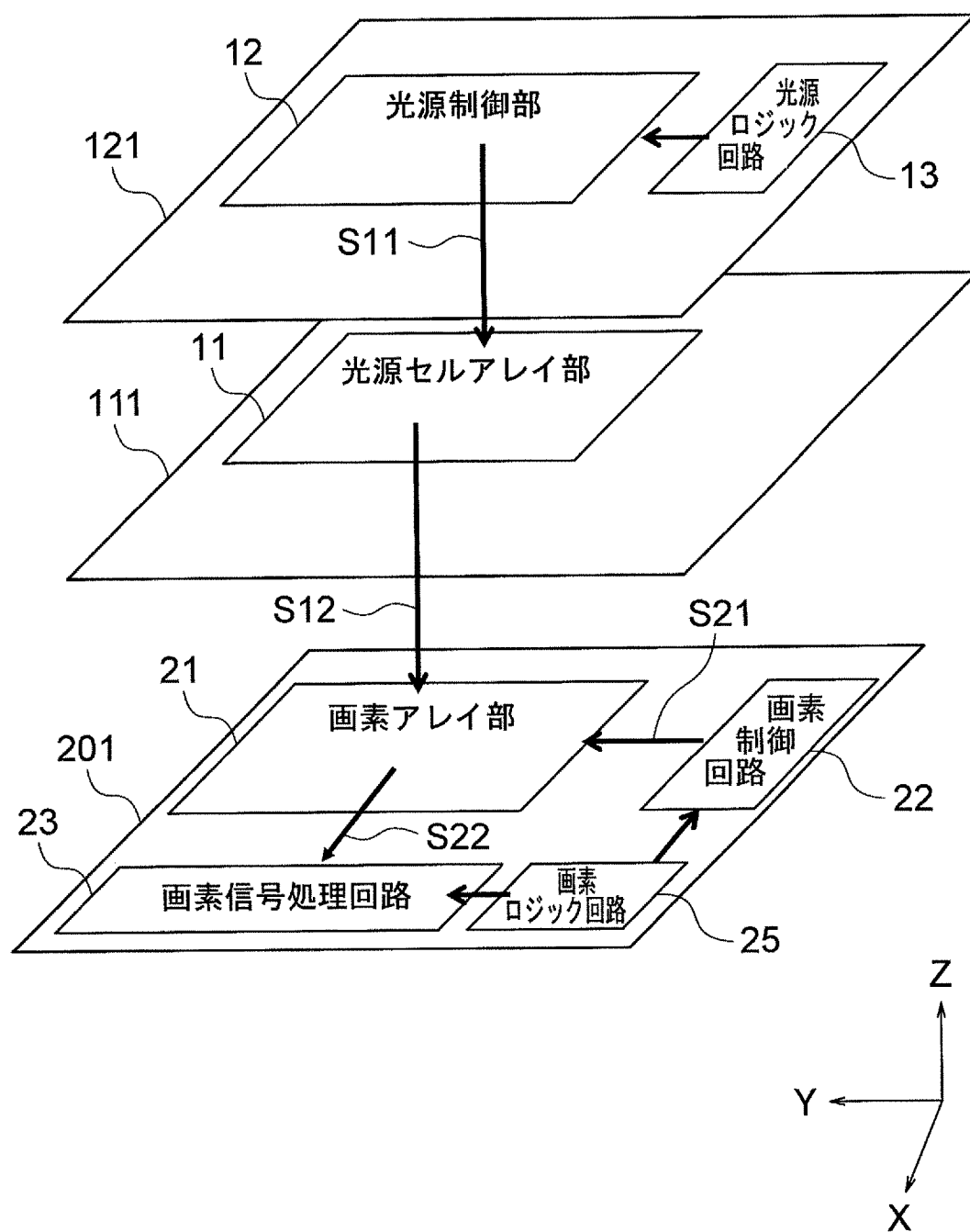
[図1]



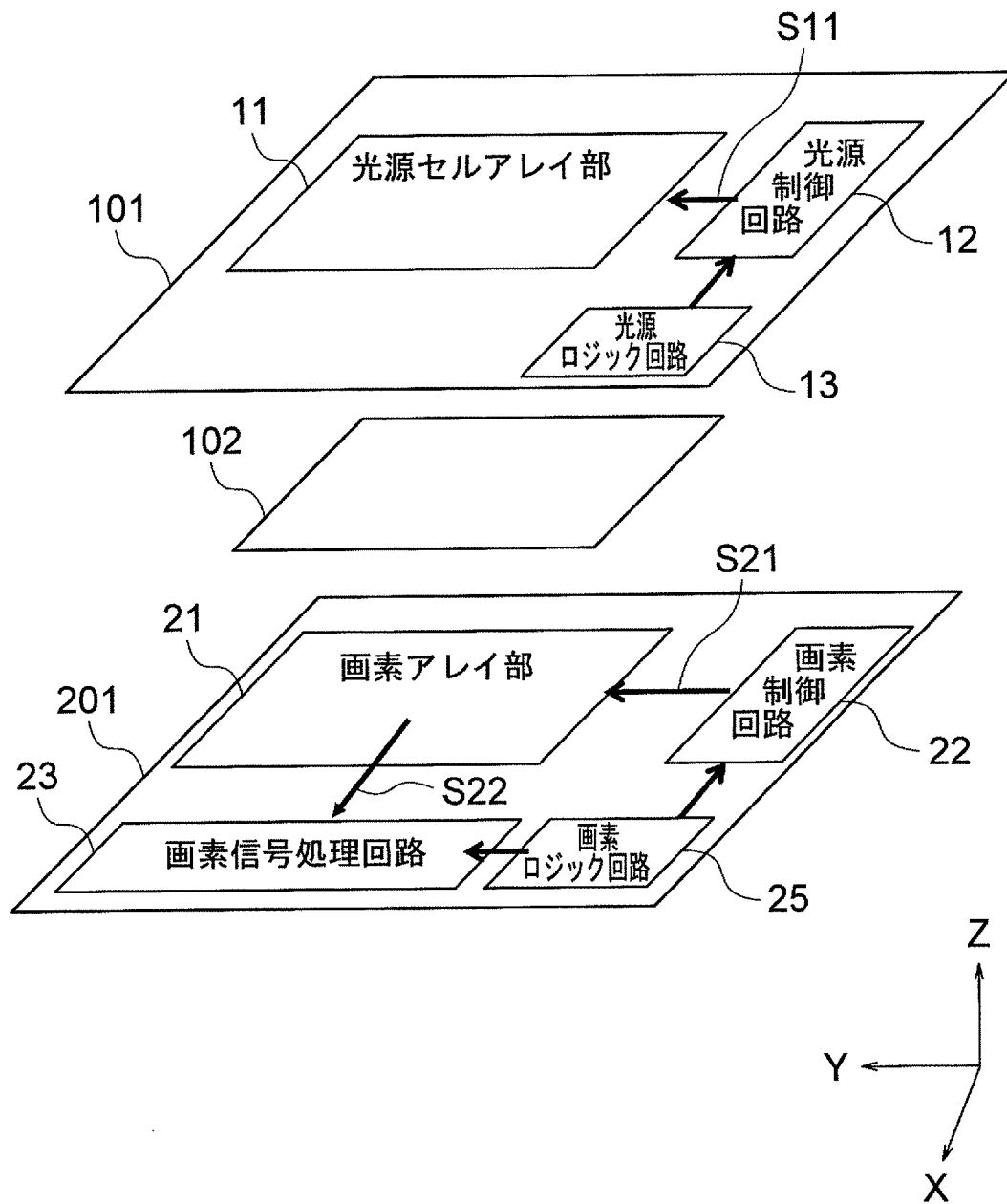
[図2A]



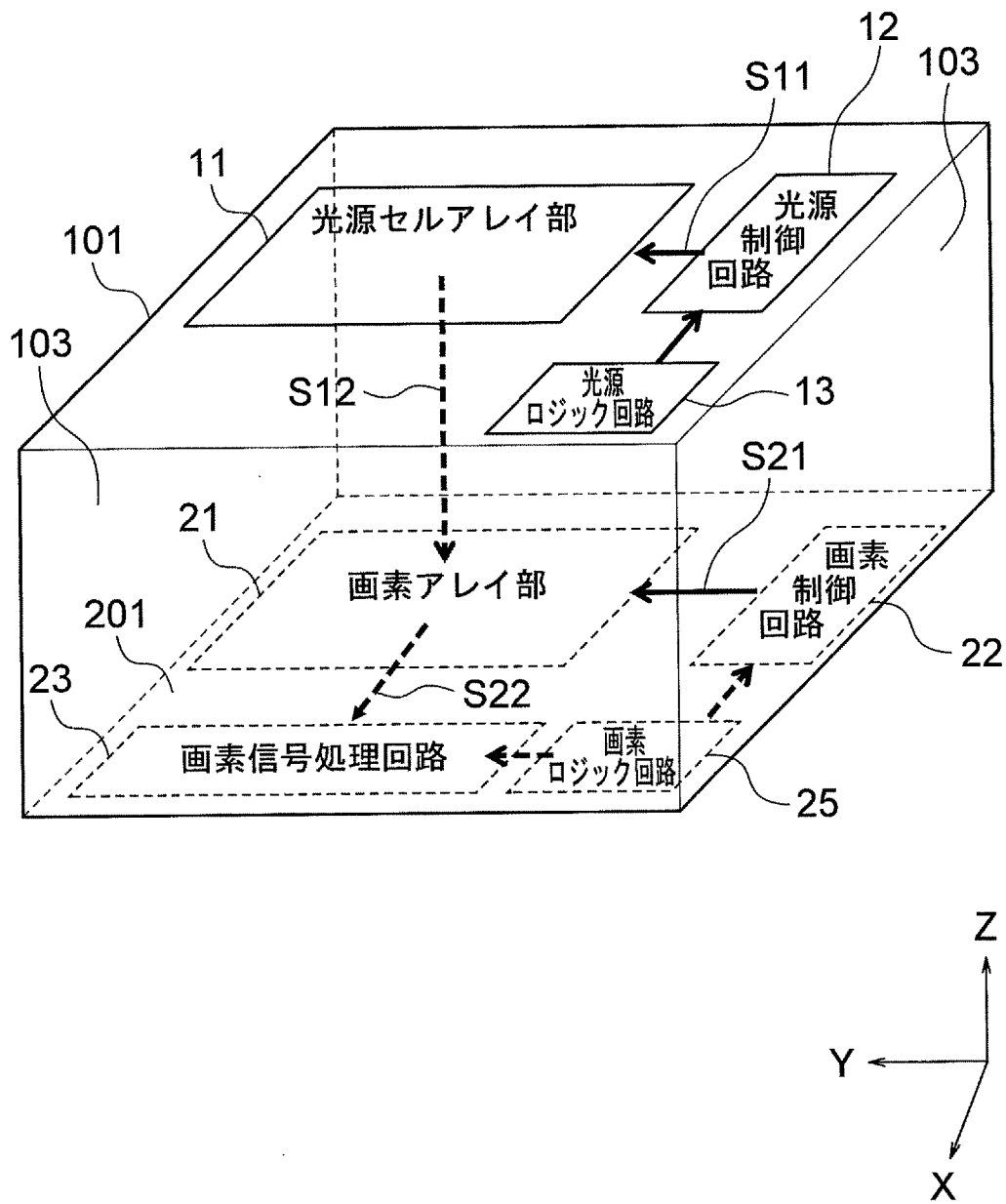
[図2B]



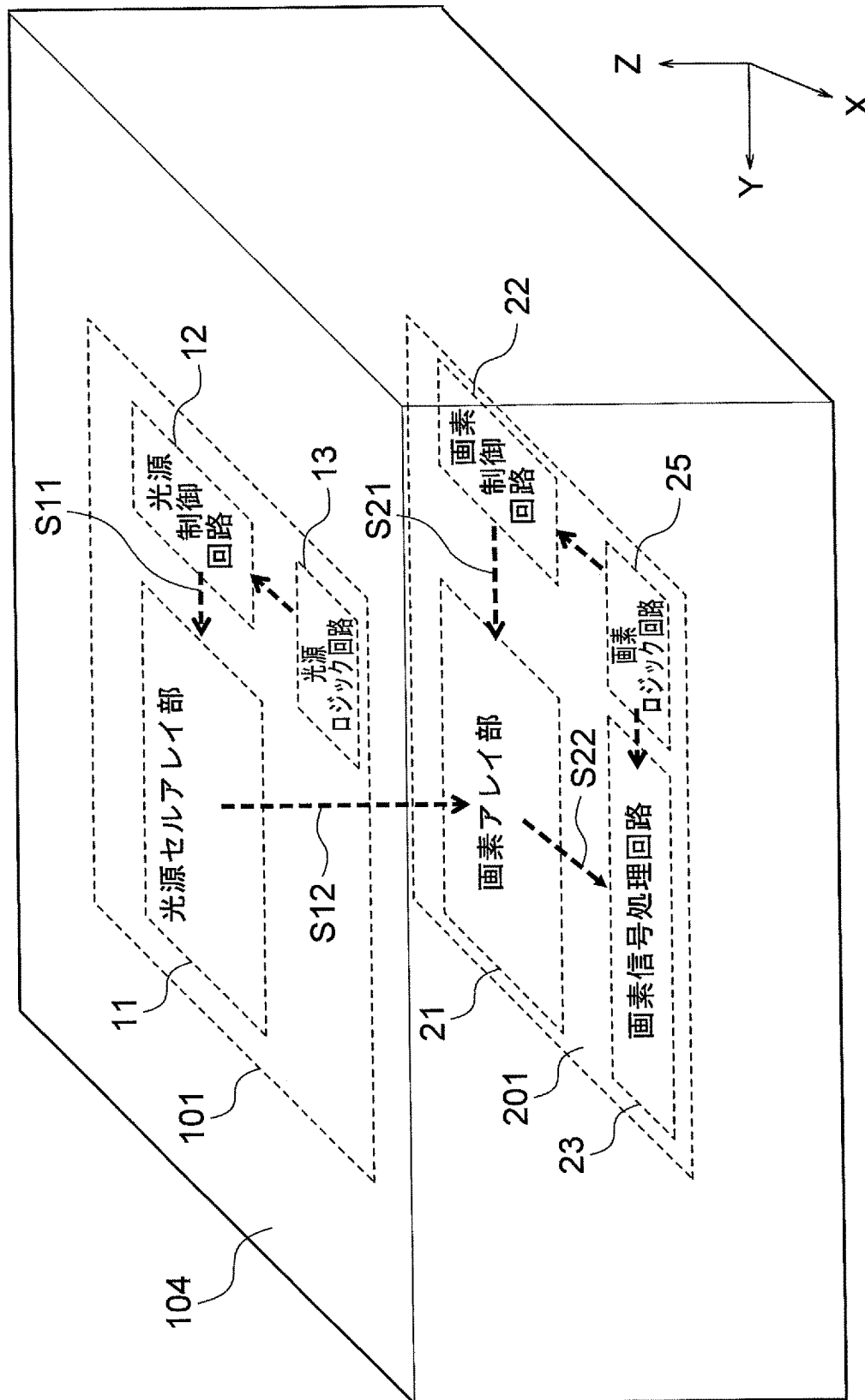
[図2C]



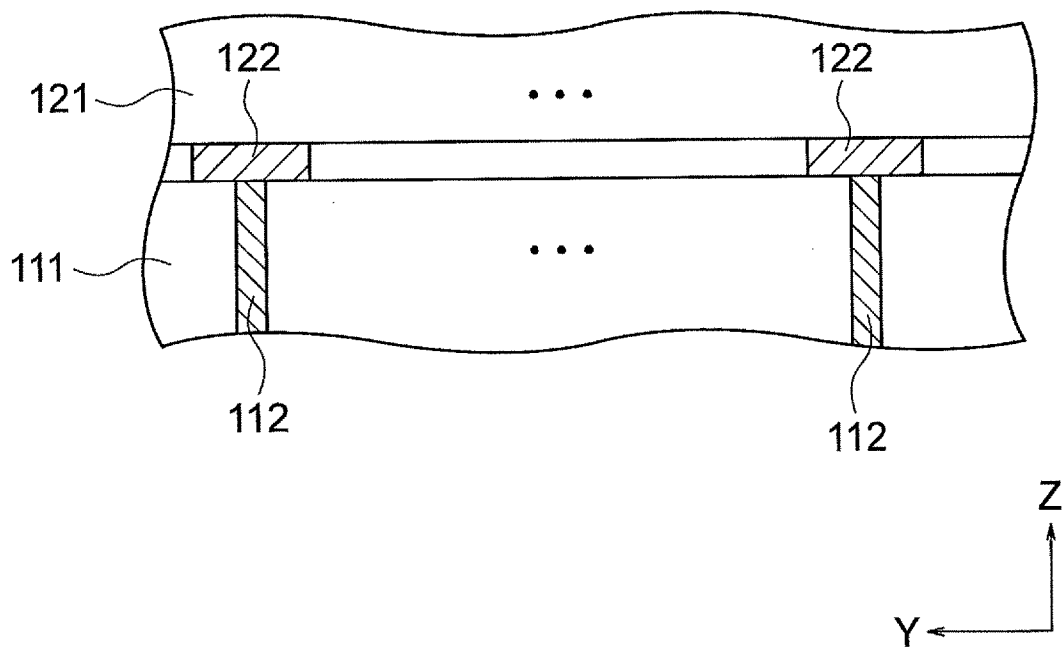
[図2D]



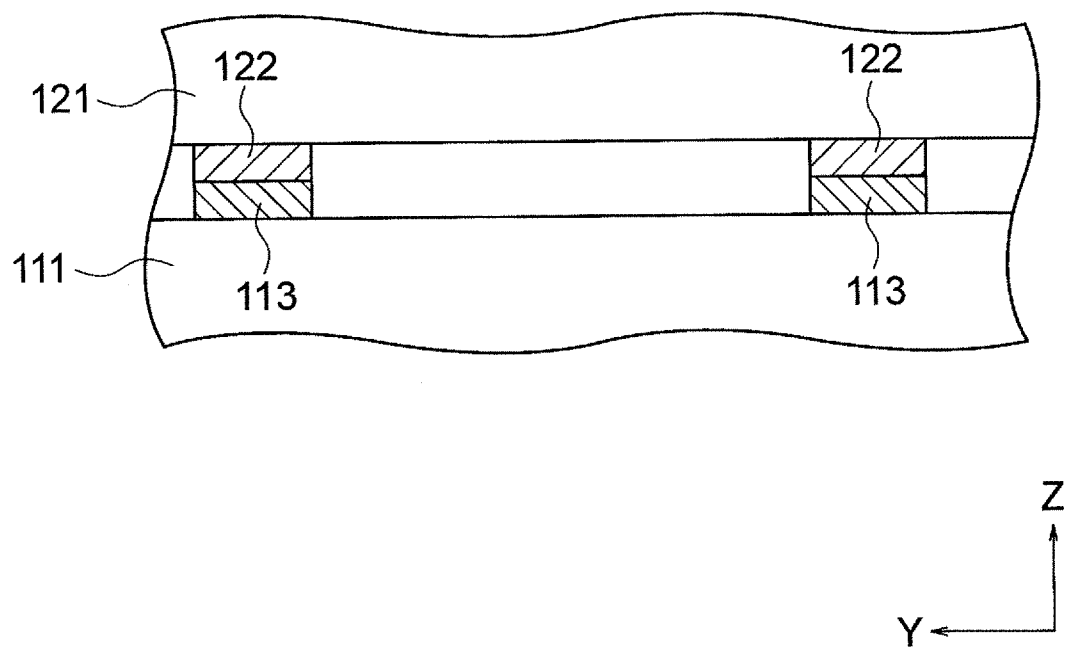
[図2E]



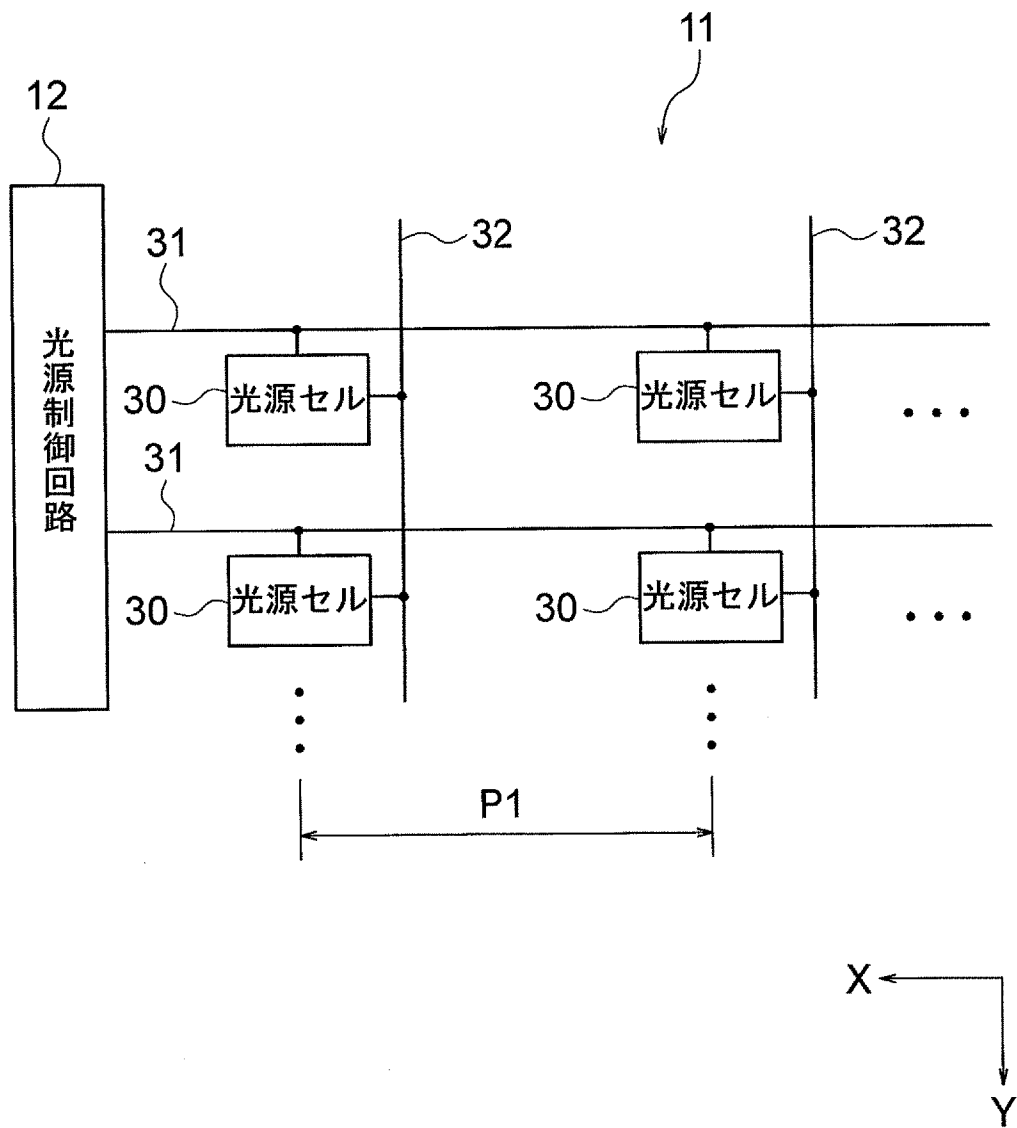
[図3A]



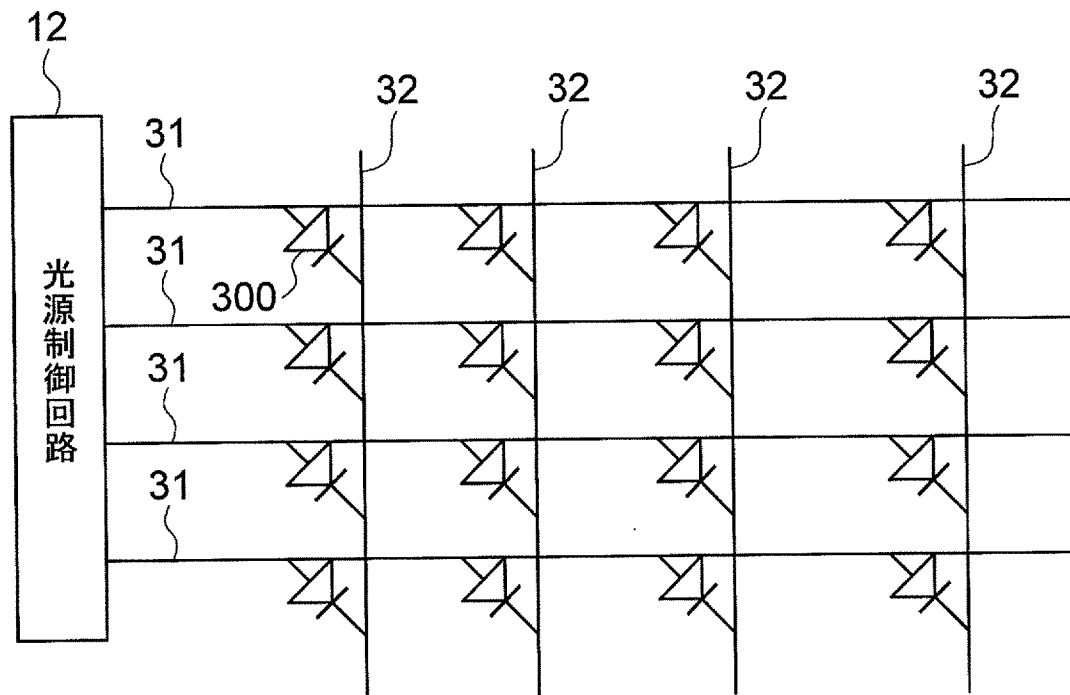
[図3B]

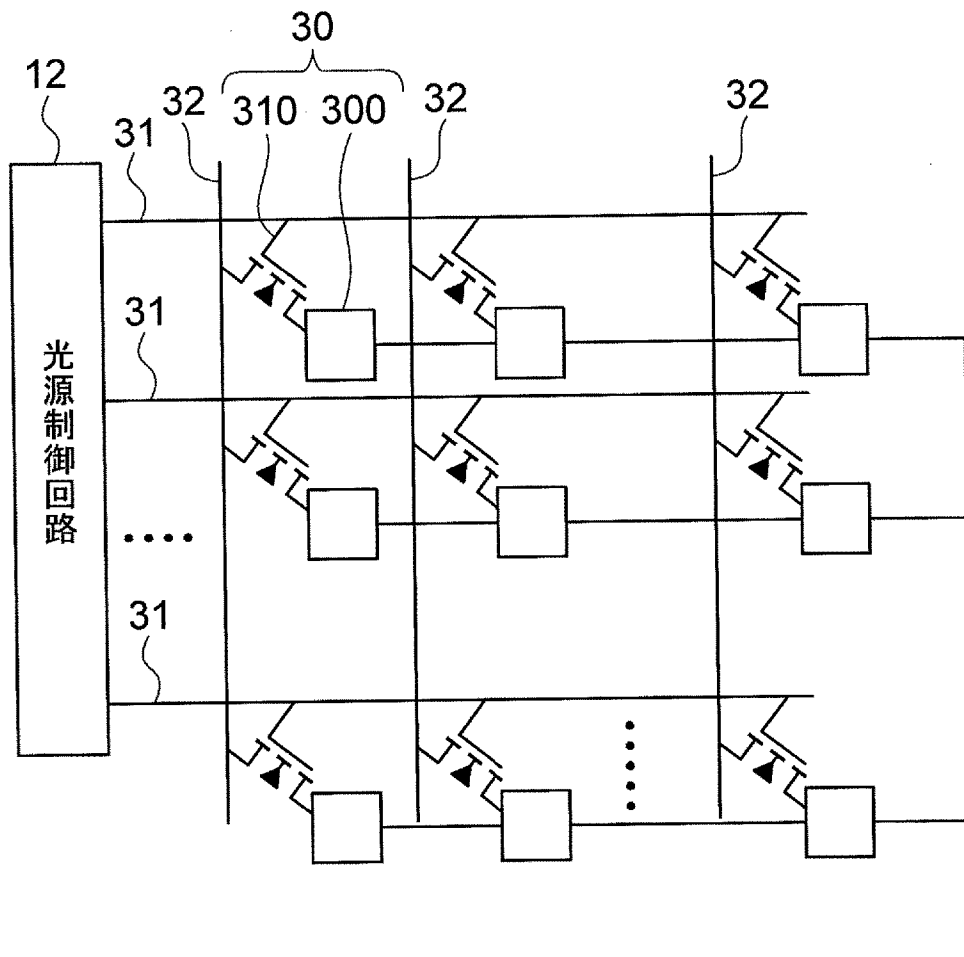


[図4A]

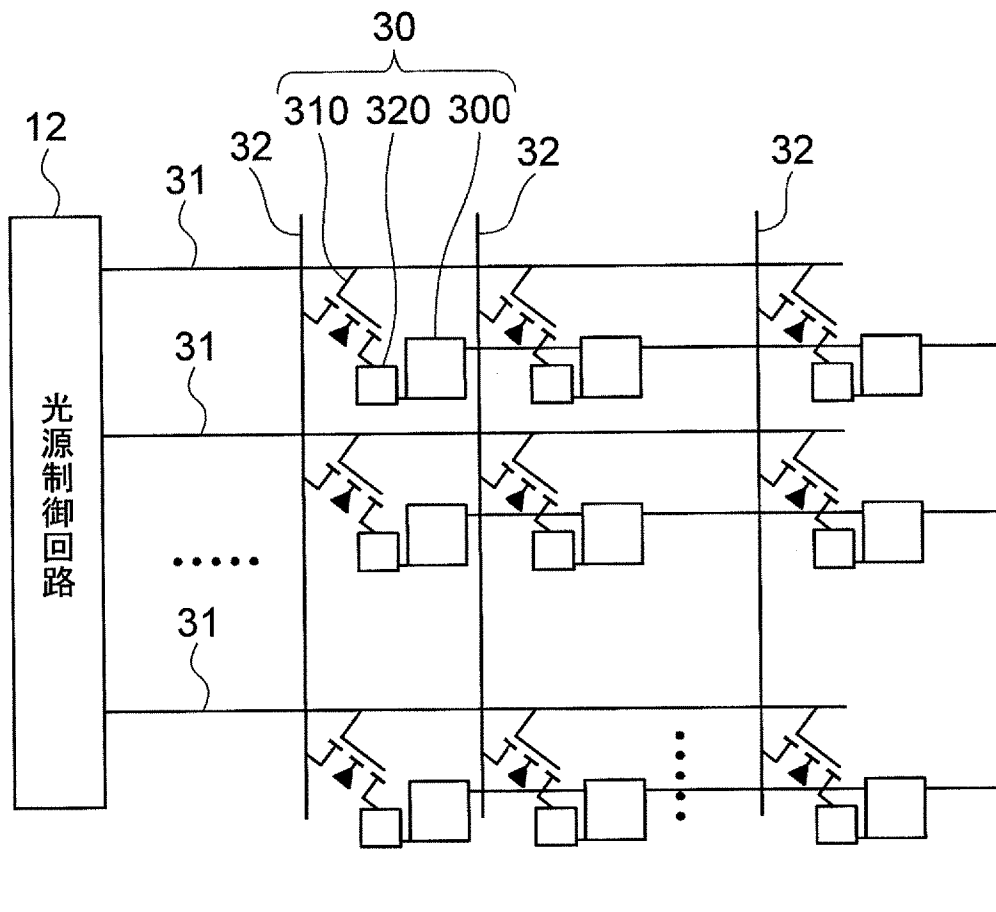


[図4B]

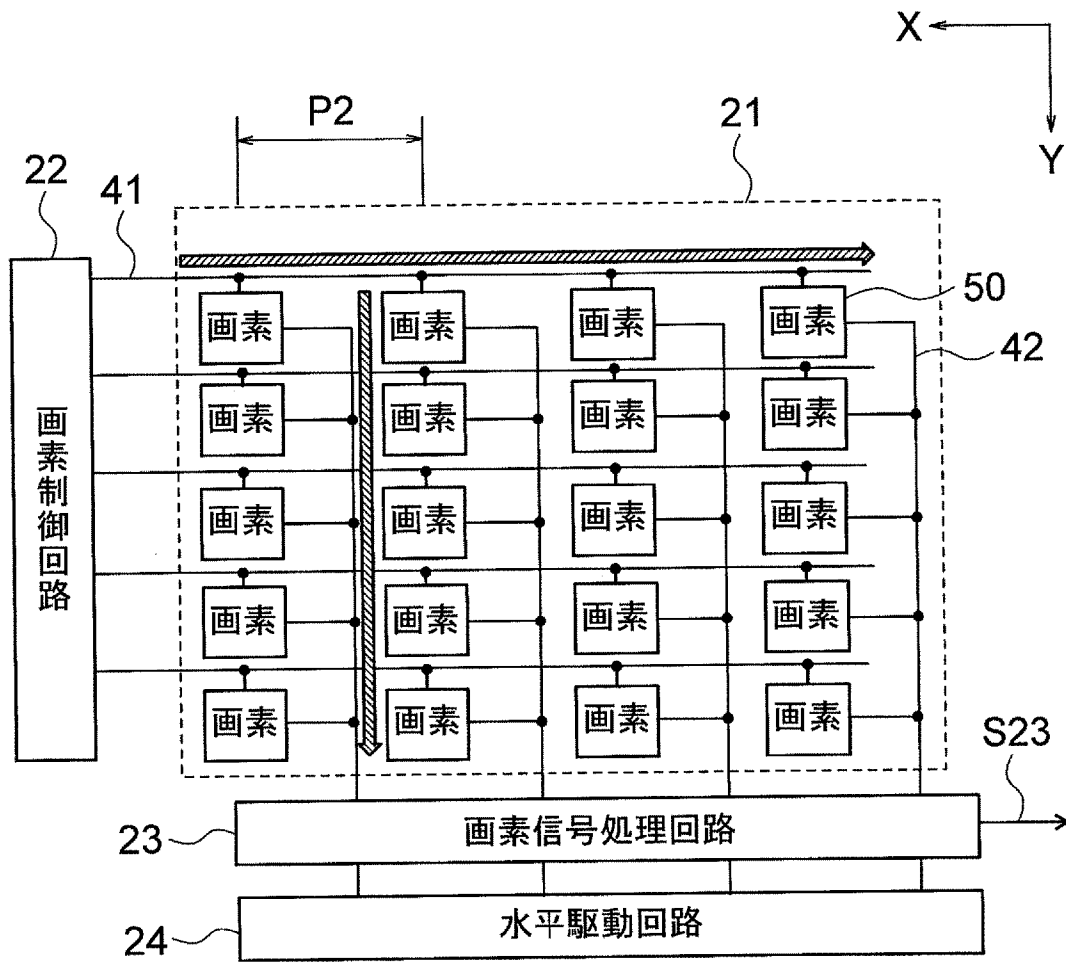




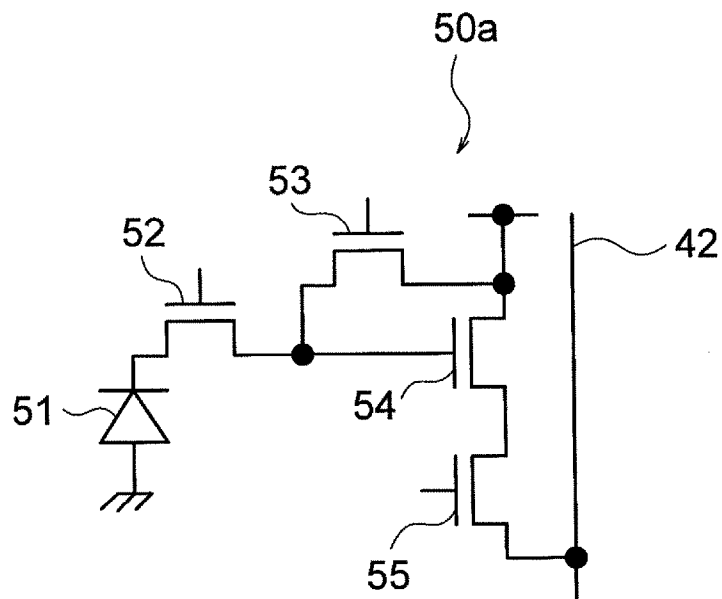
[図4D]



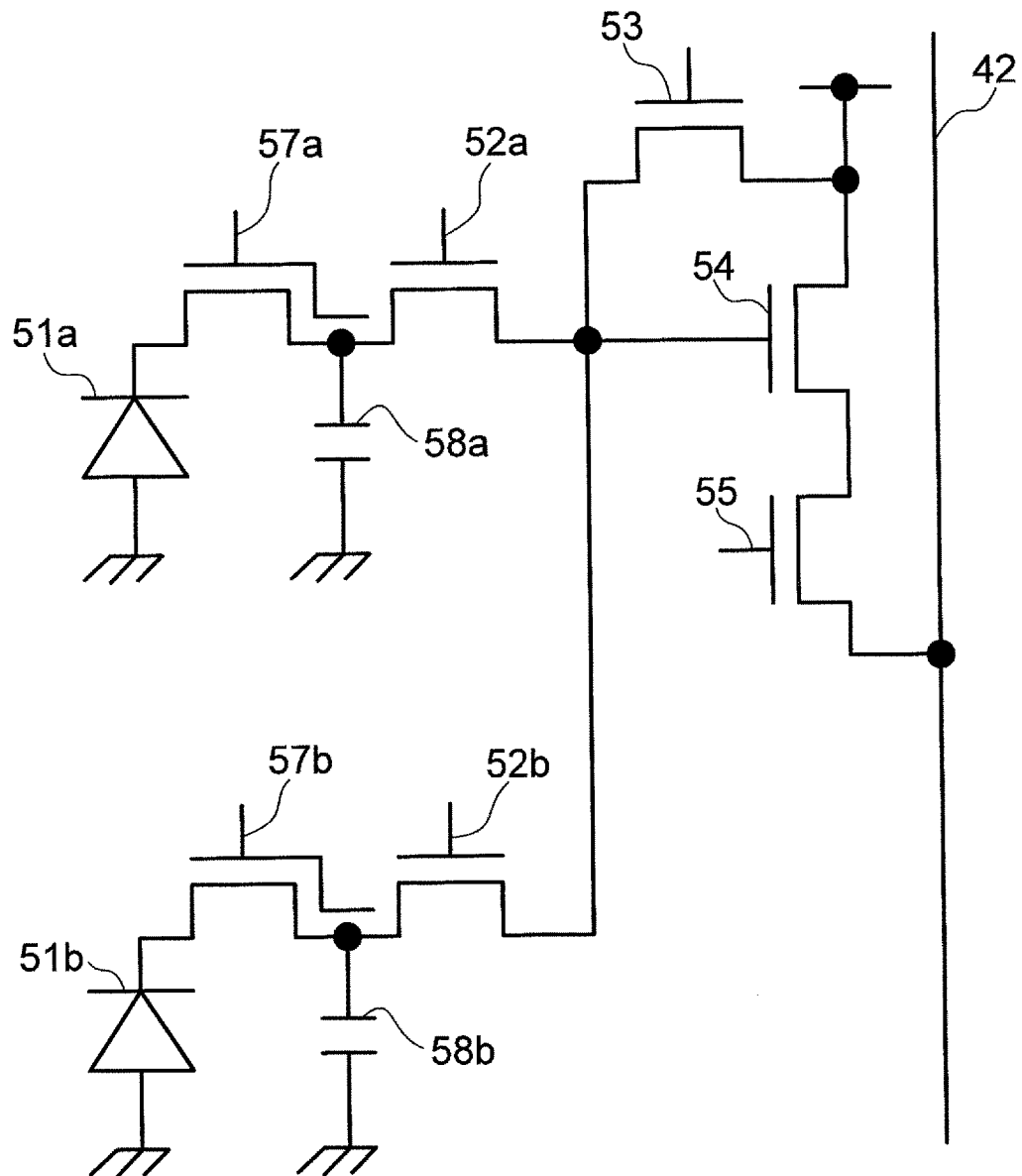
[図5A]



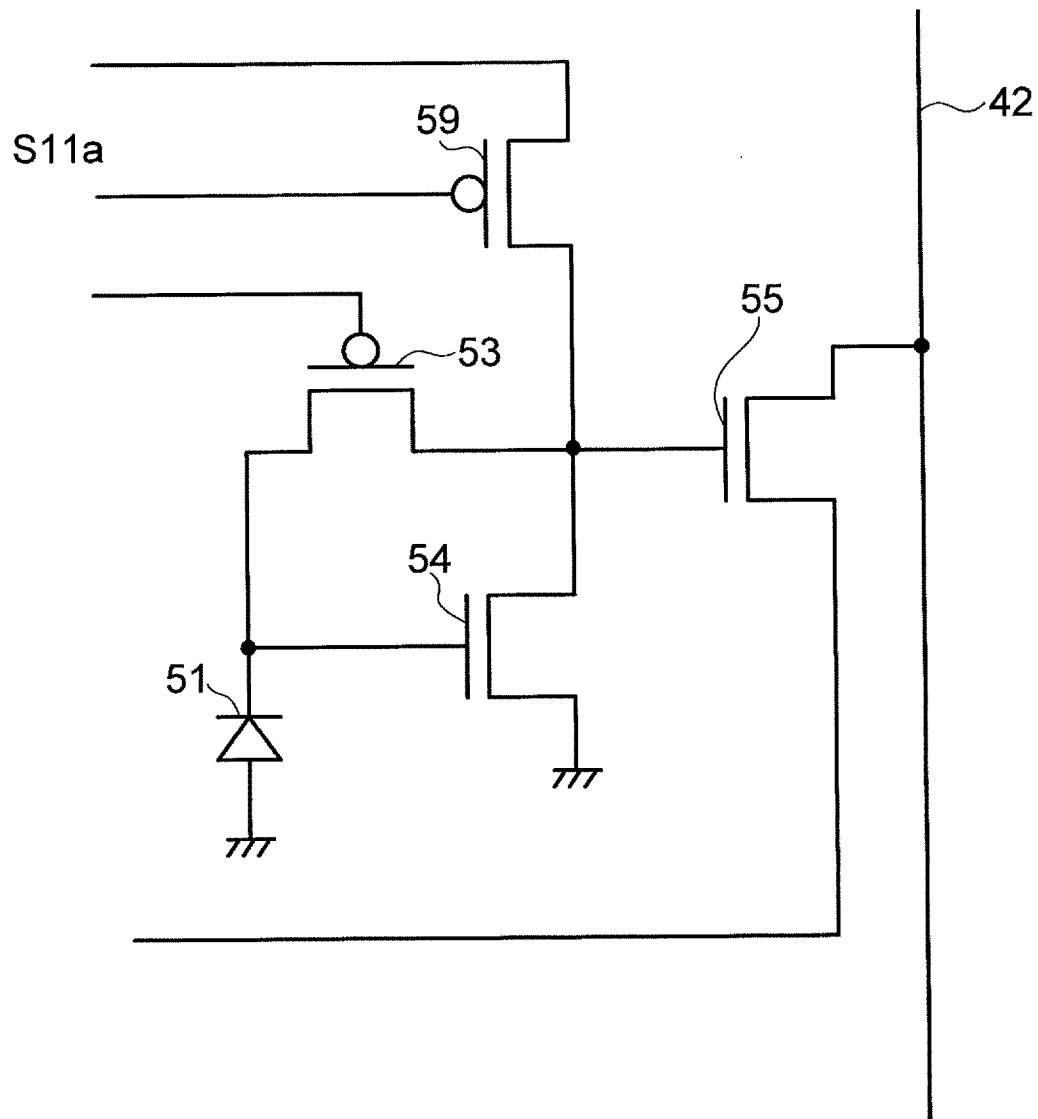
[図5B]



50b

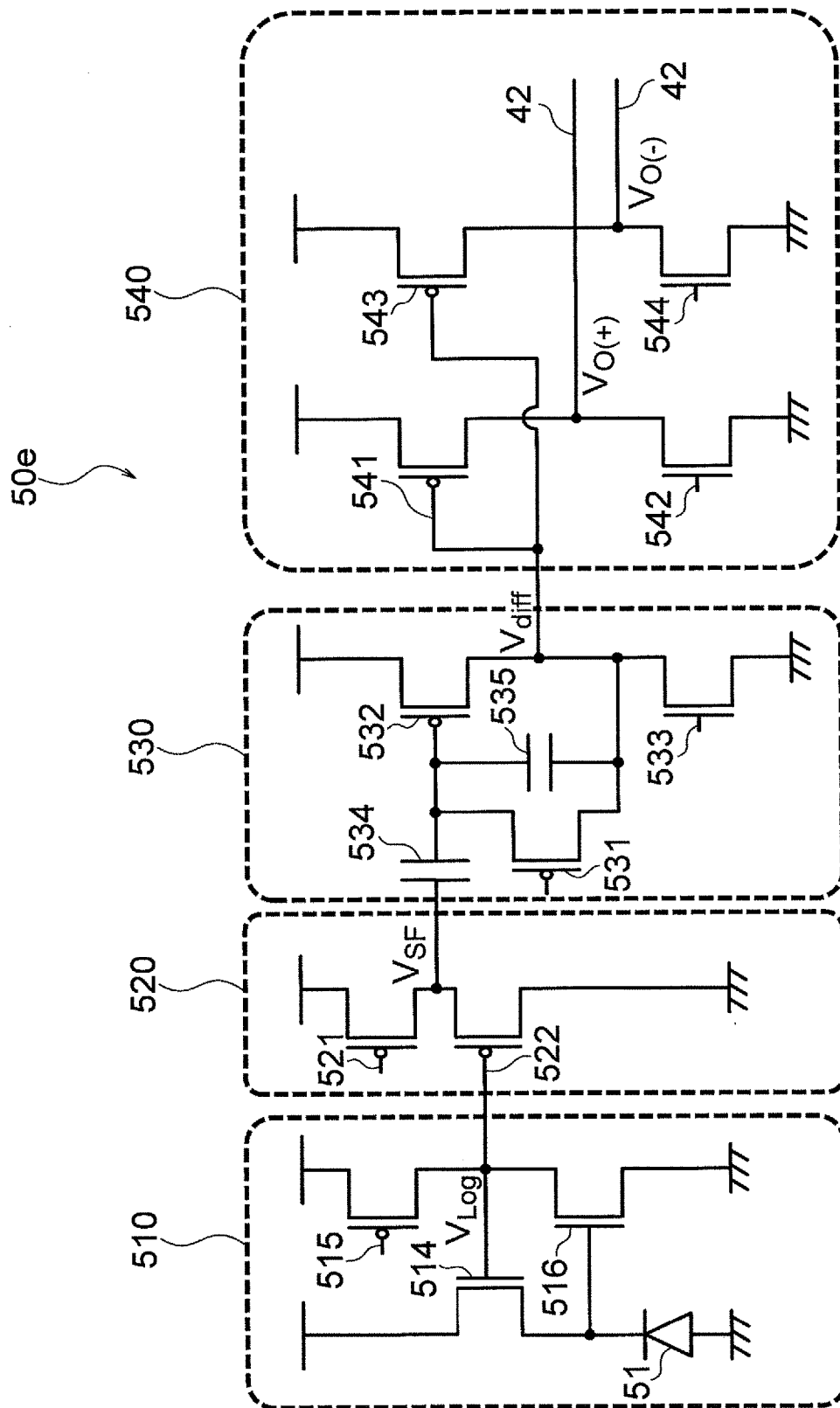


50c

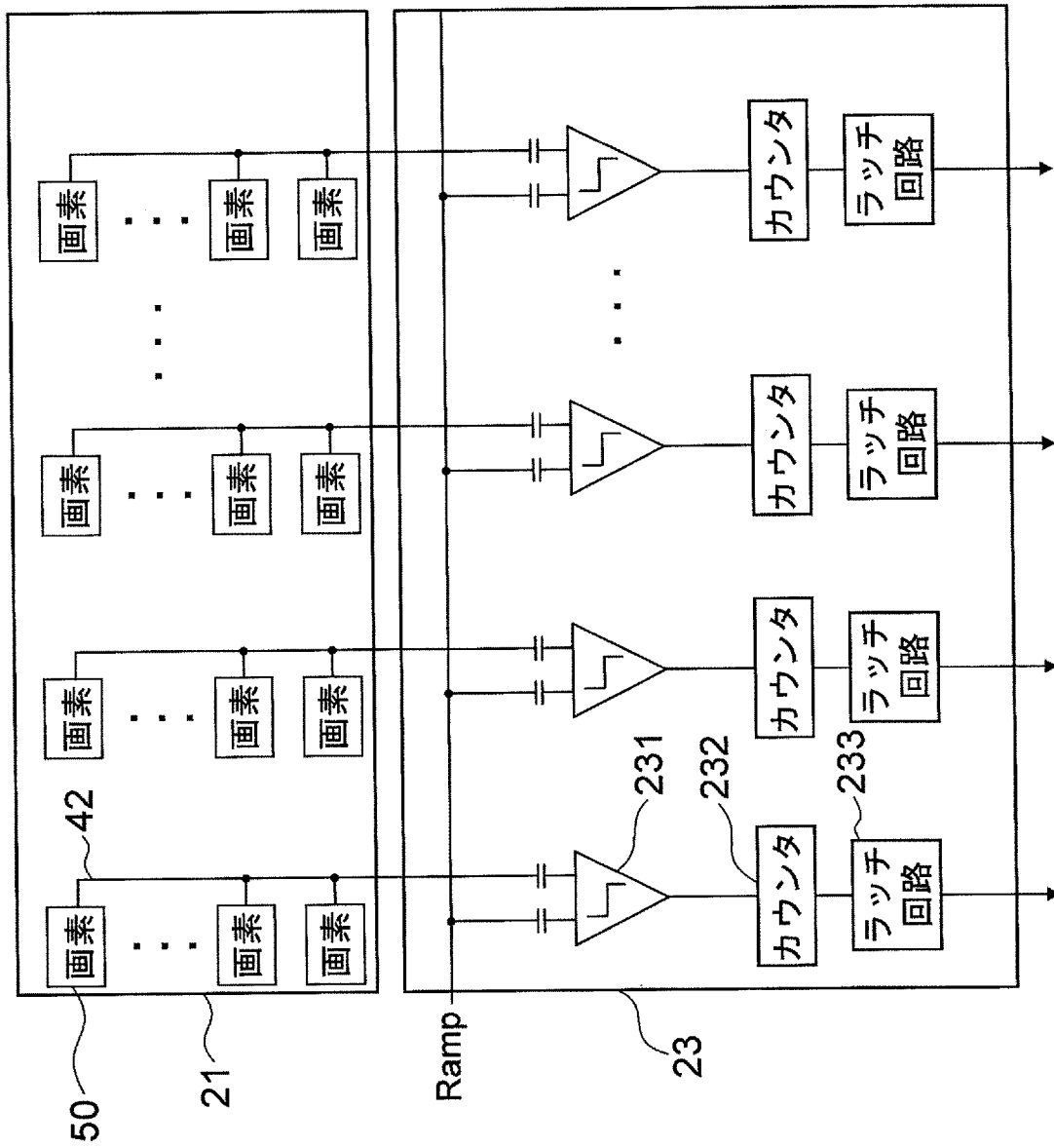


[illegible]

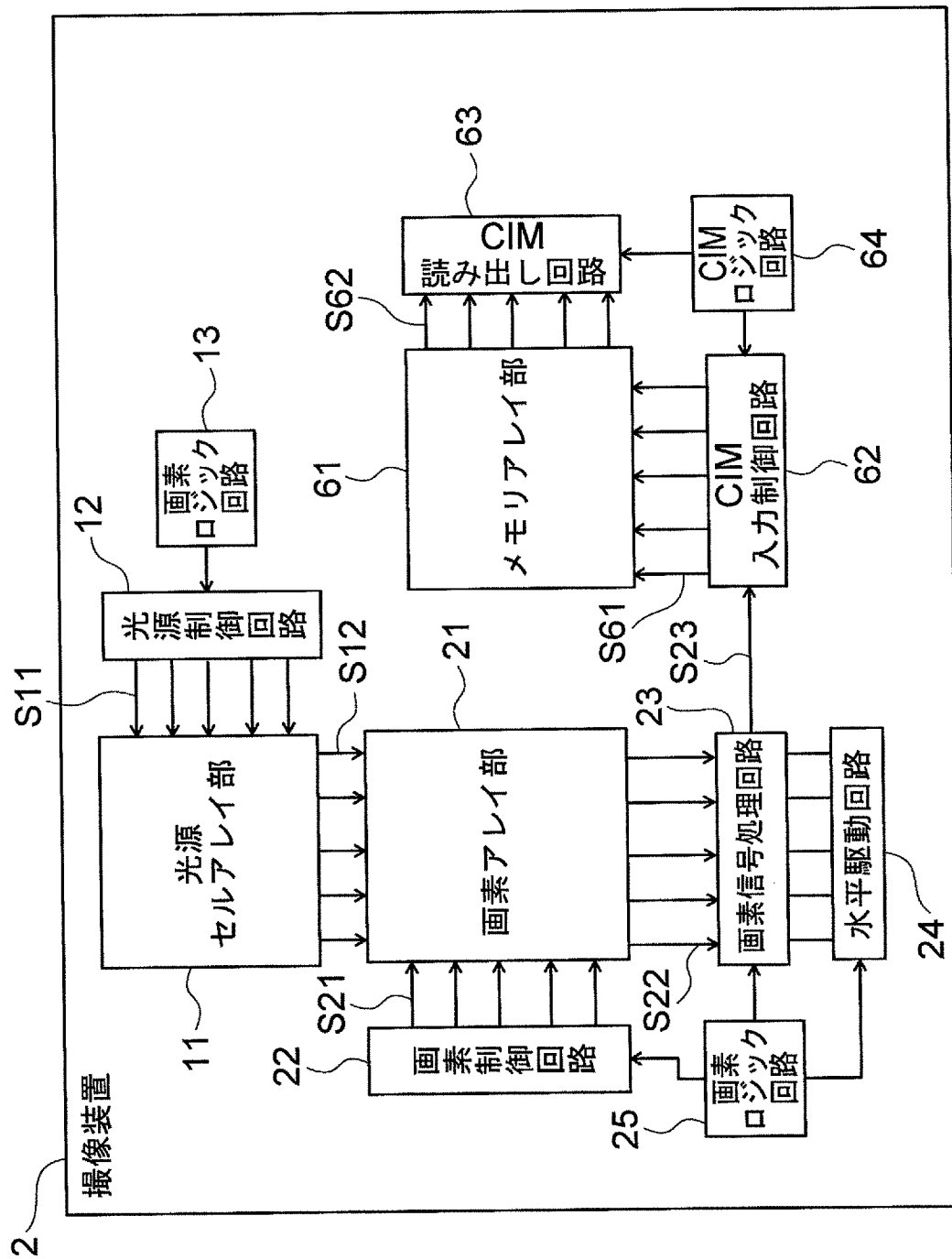
[図5F]



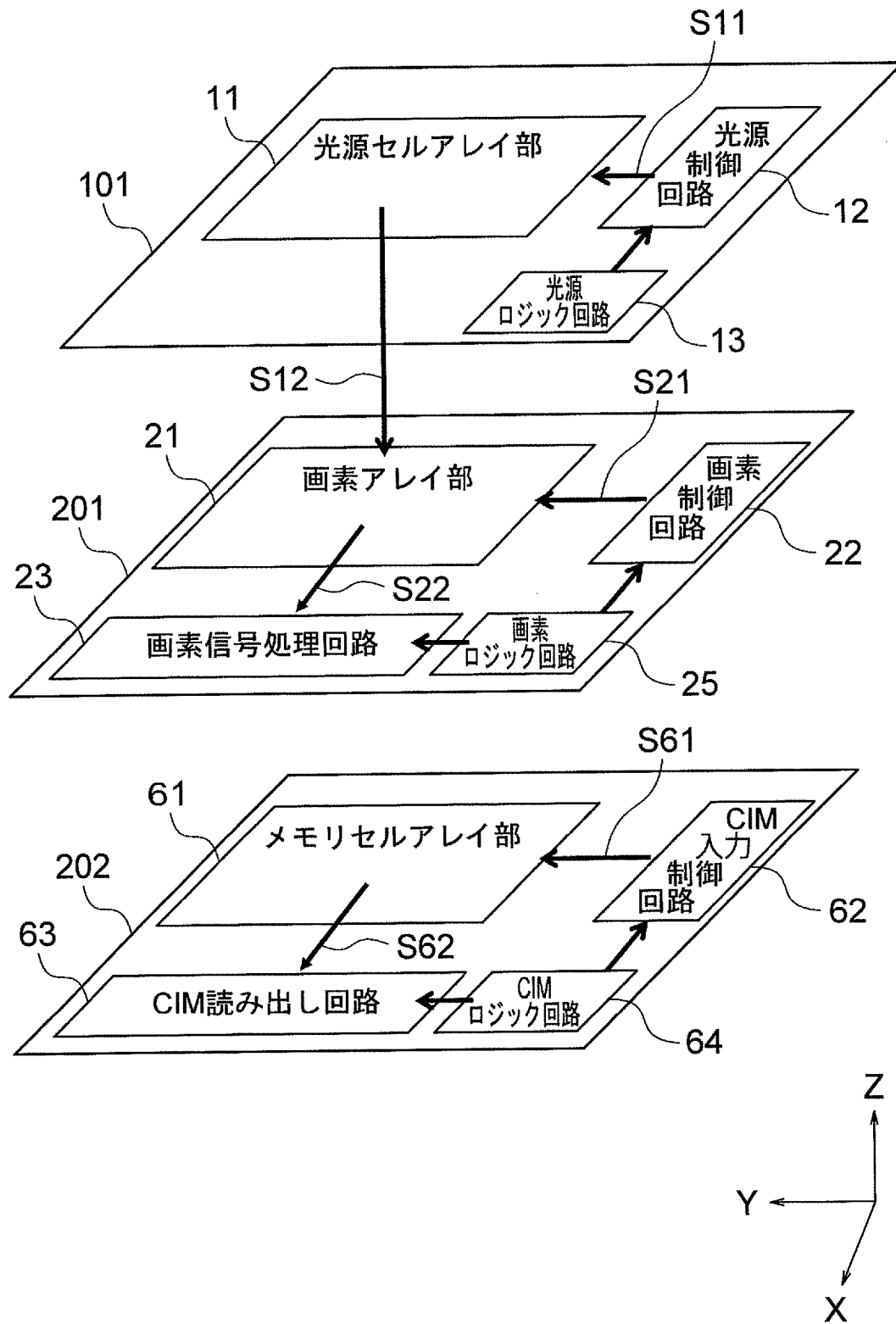
[図6]



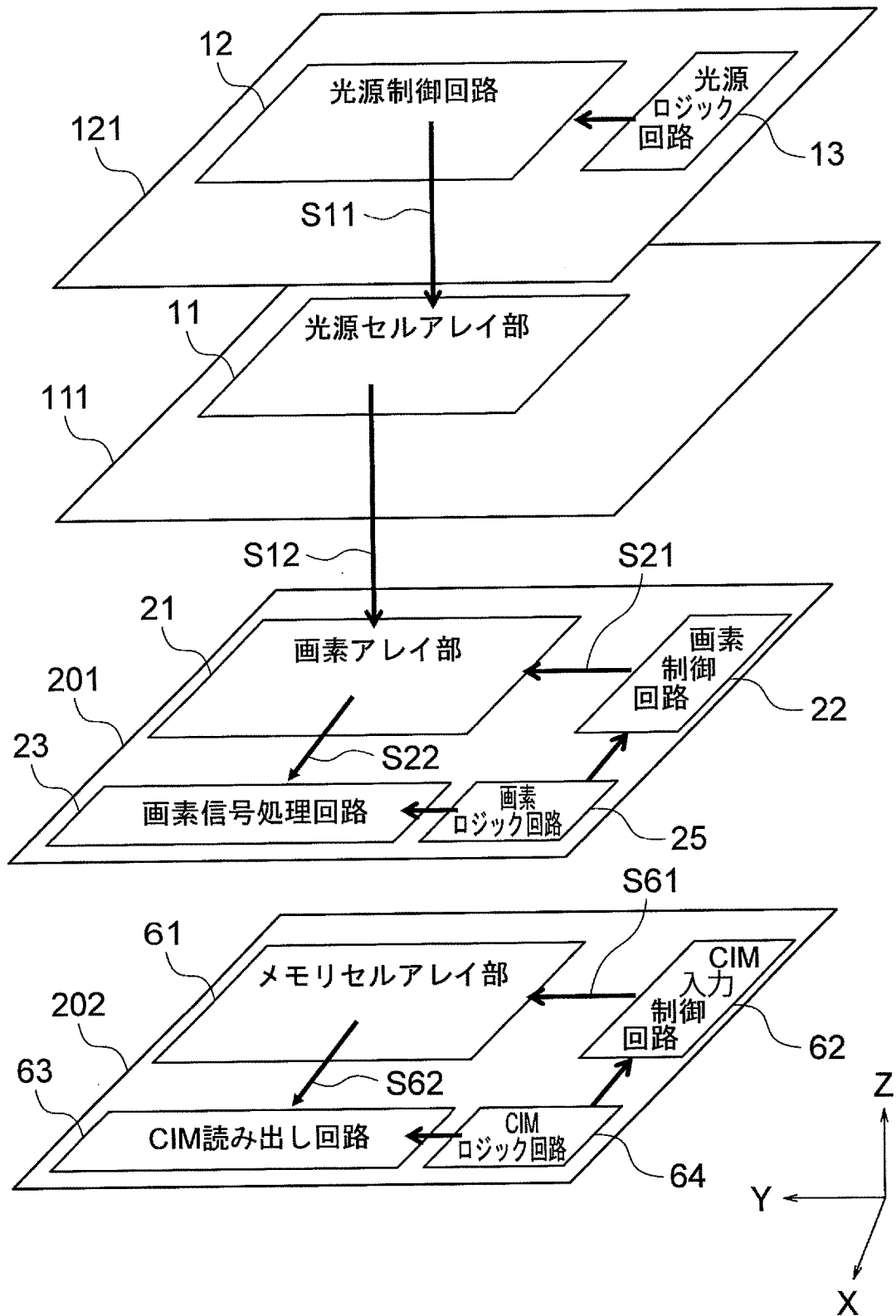
[図7]



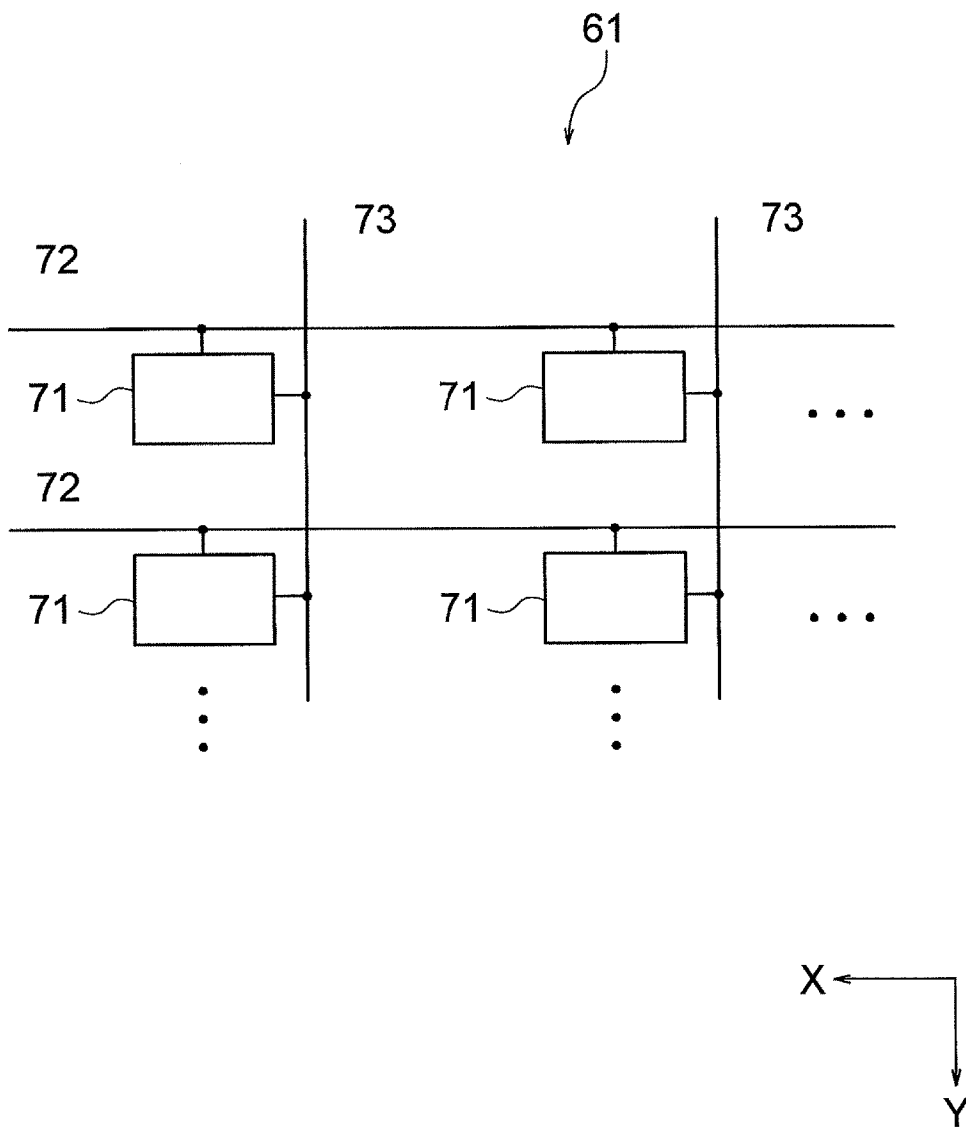
[図8A]



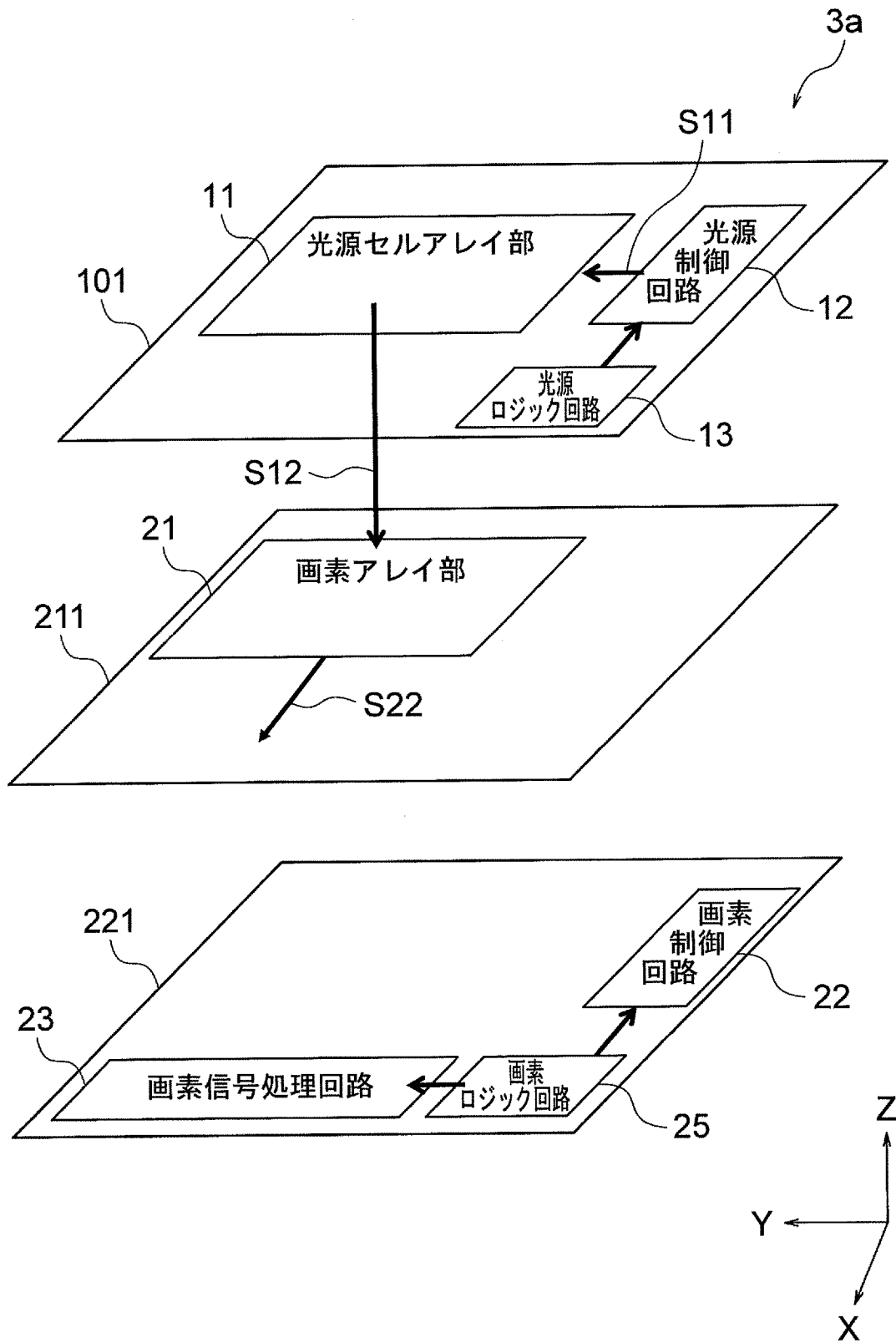
[図8B]



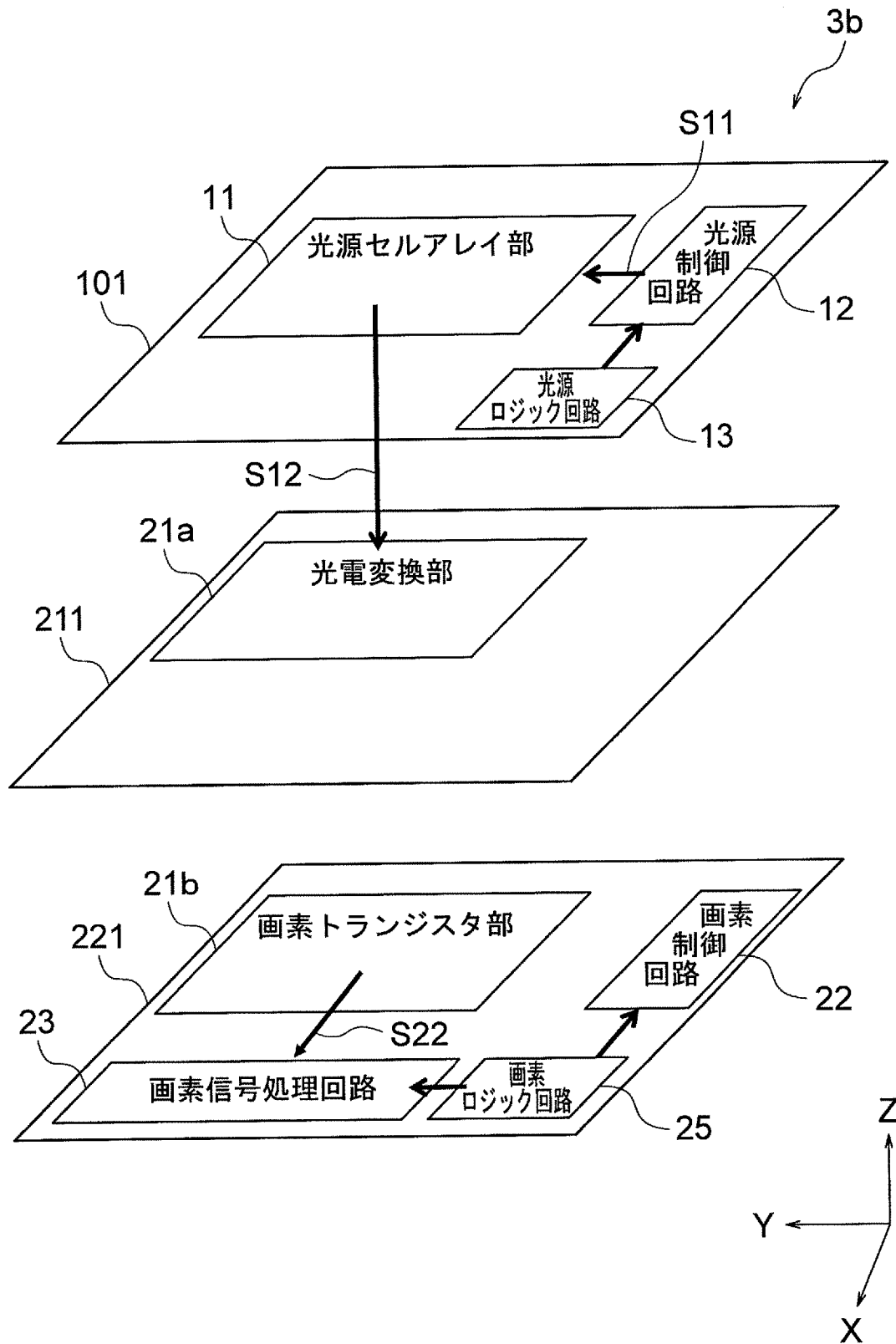
[図9]



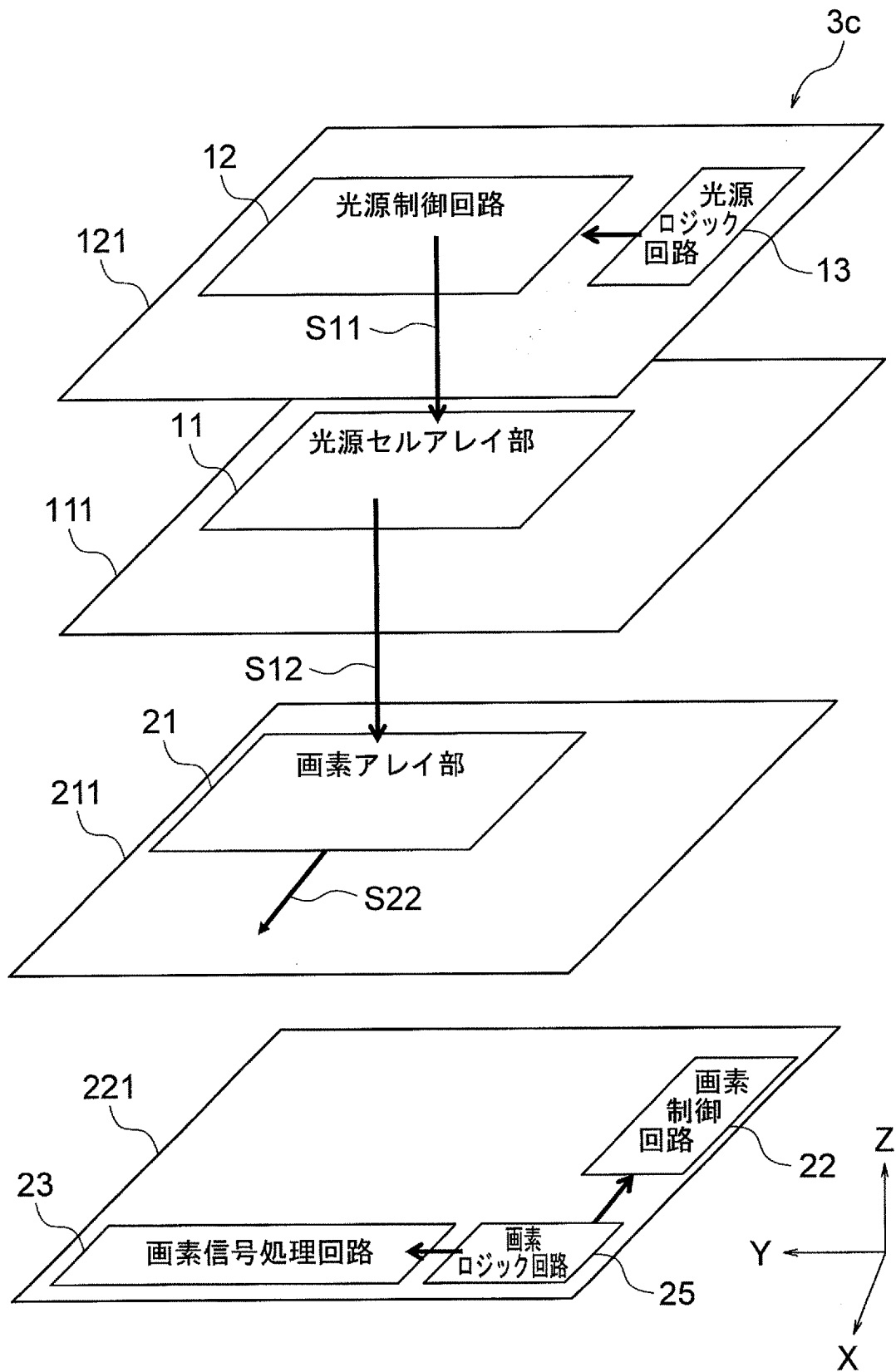
[図10A]



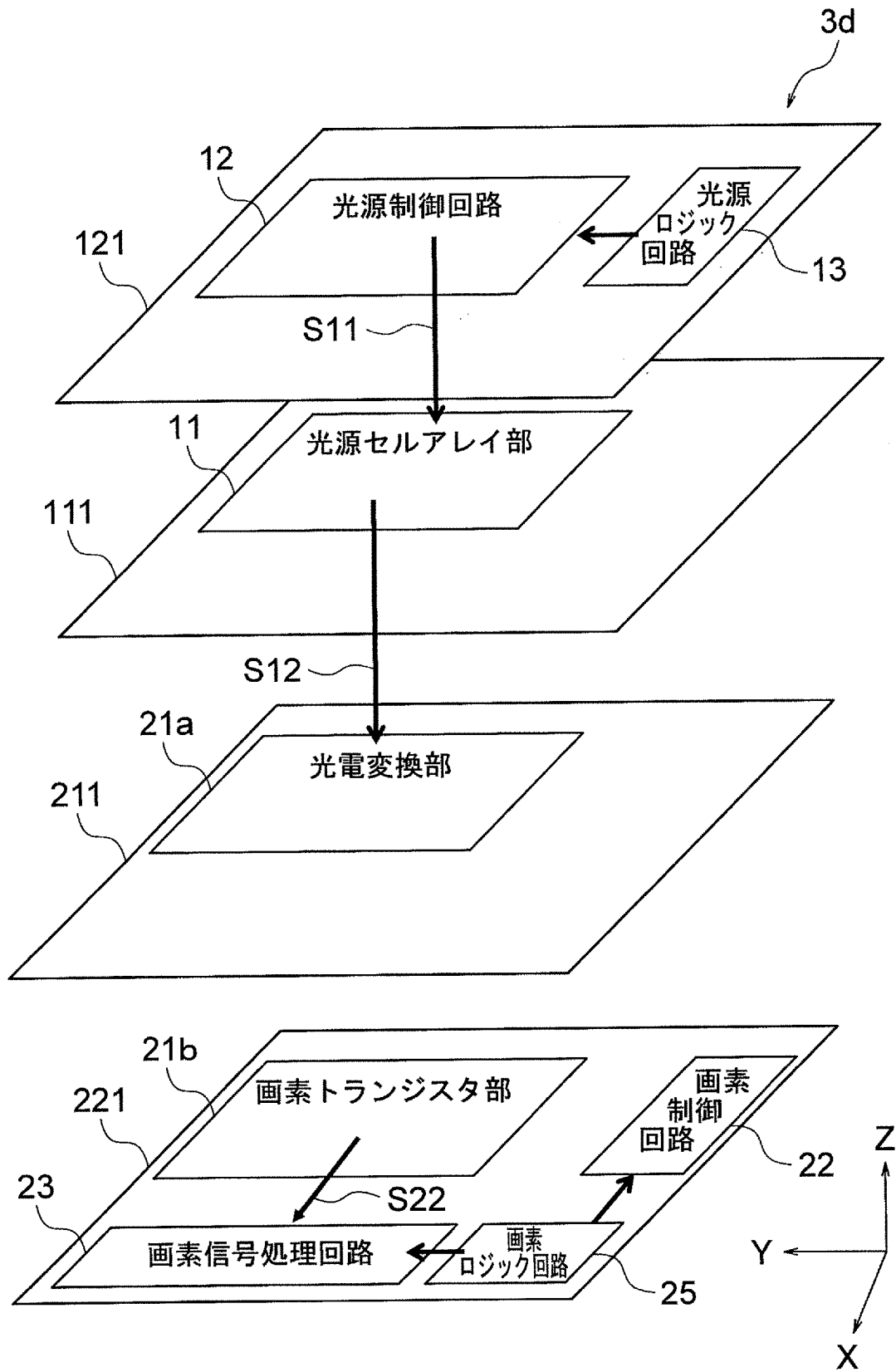
[図10B]



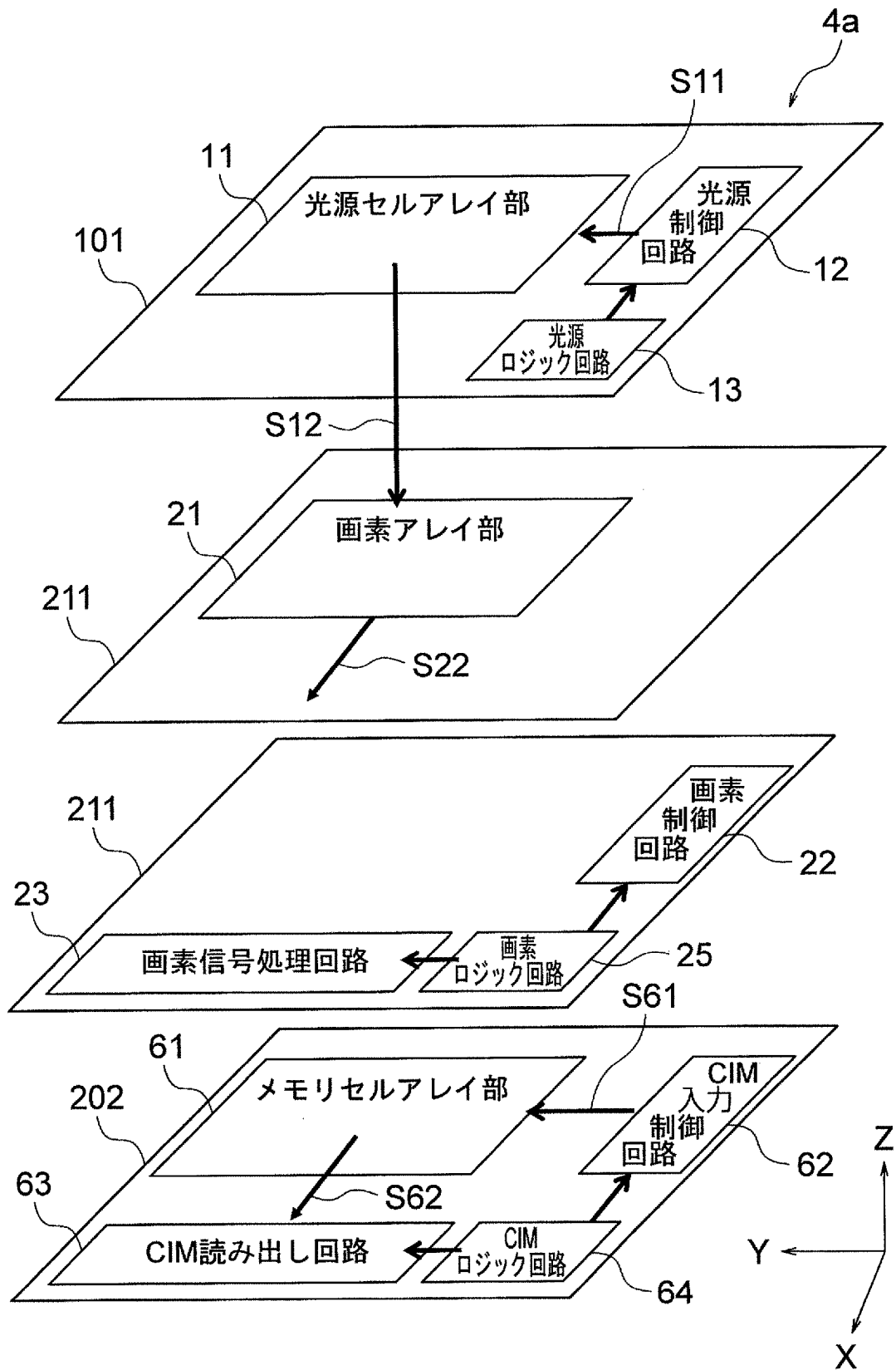
[図10C]



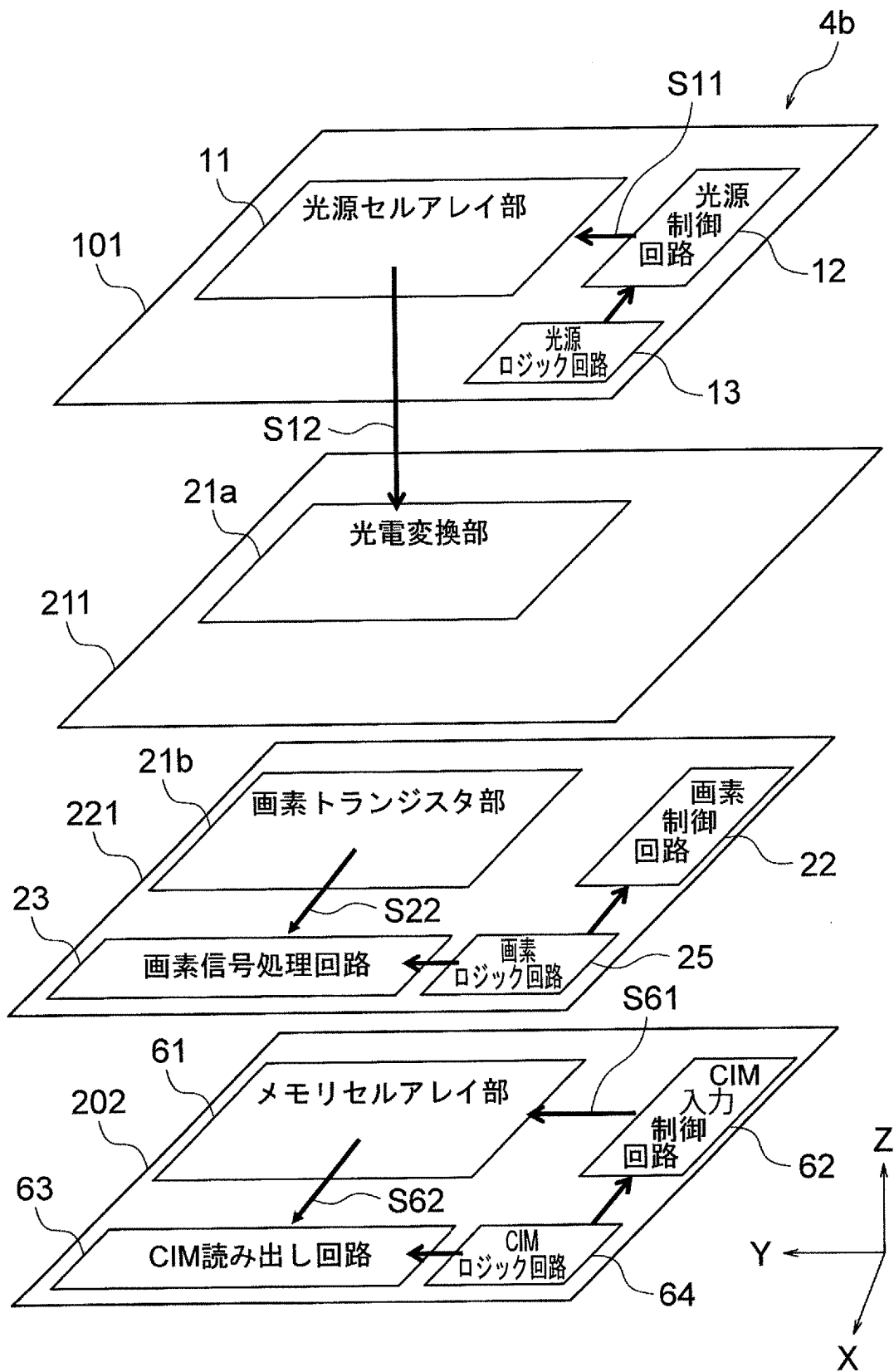
[図10D]



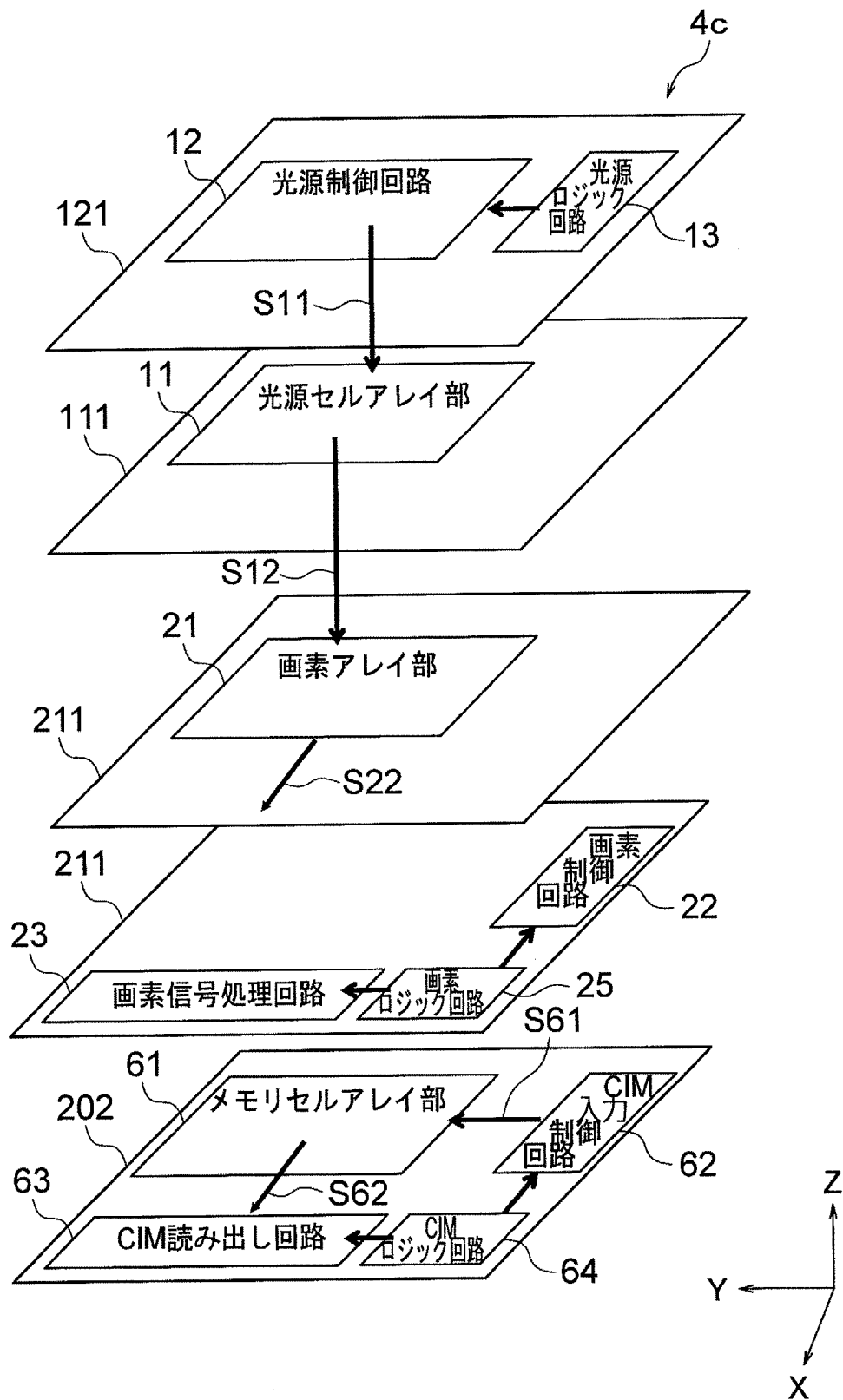
[図11A]

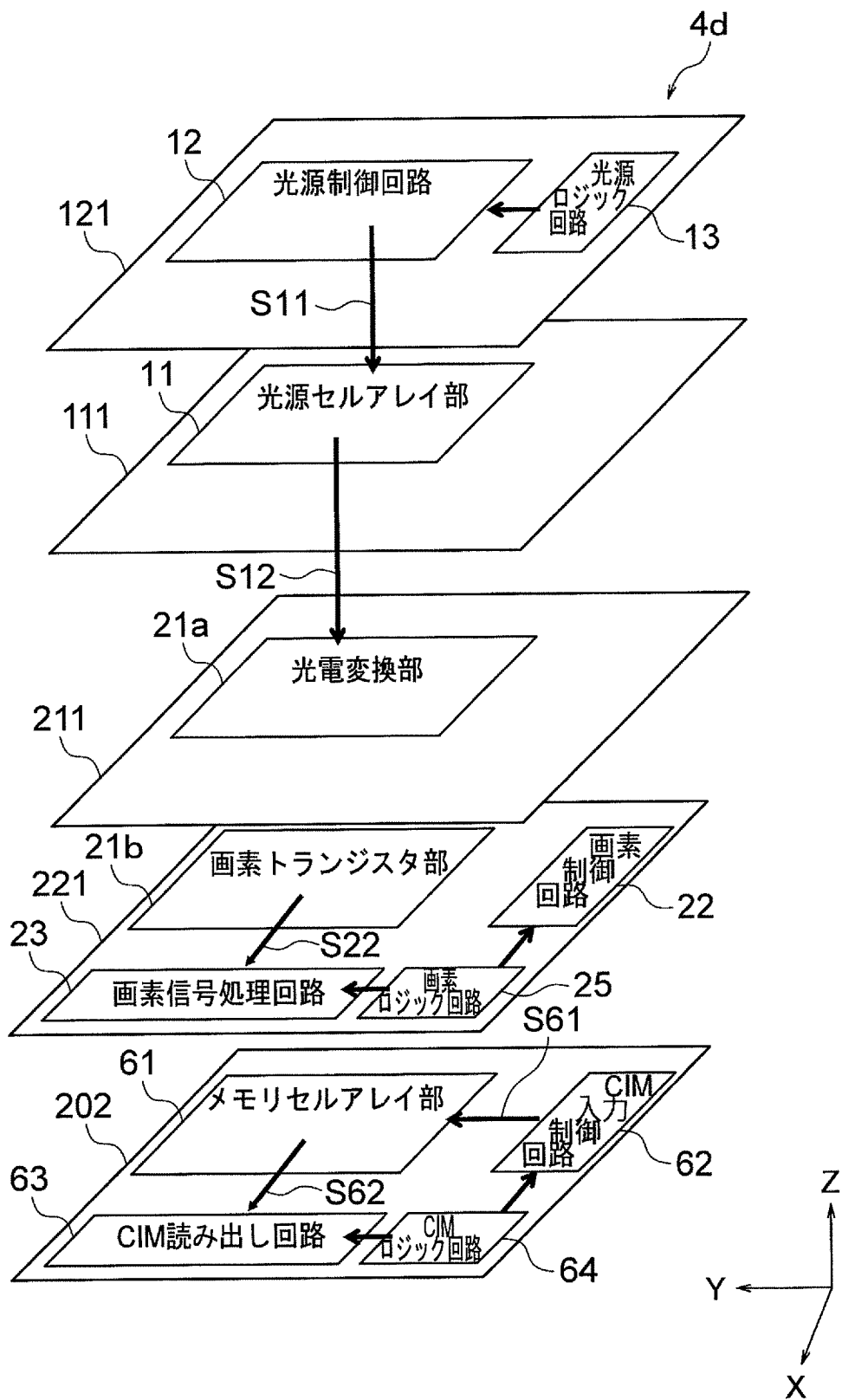


[図11B]

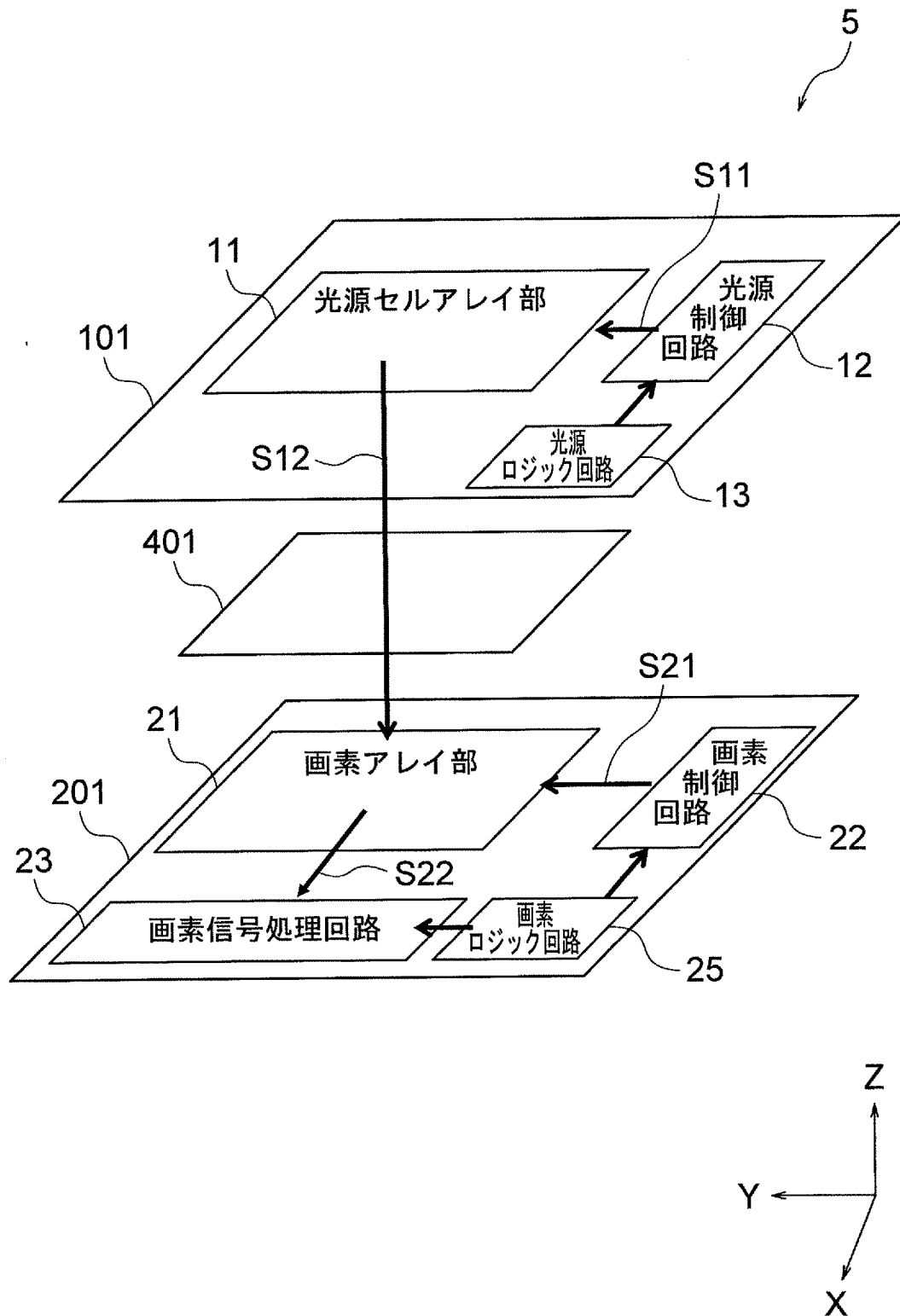


[図11C]

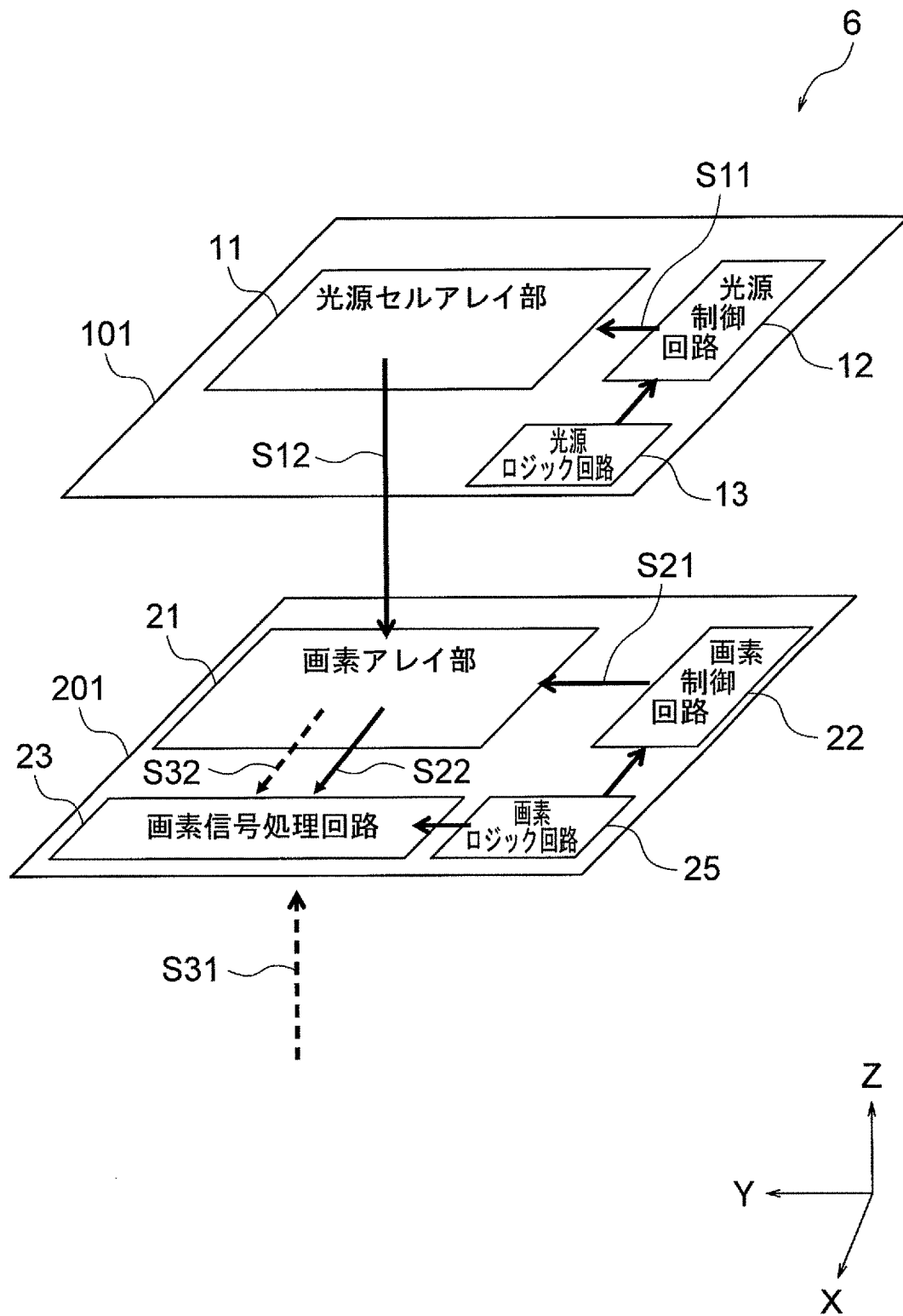




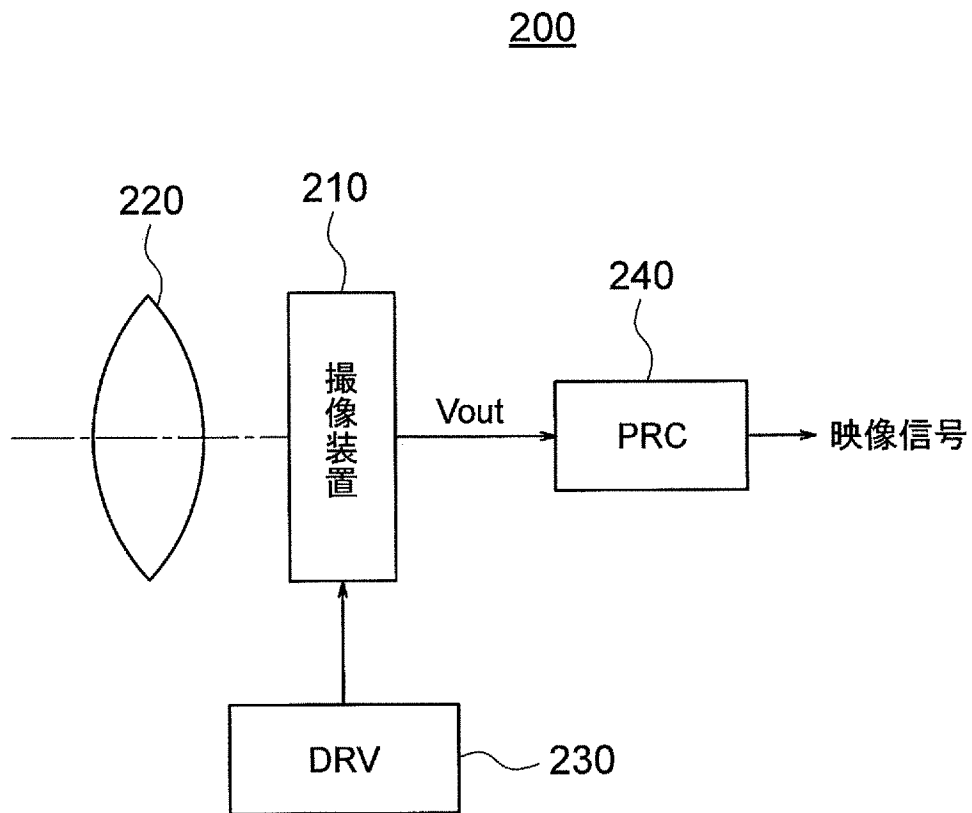
[図12]



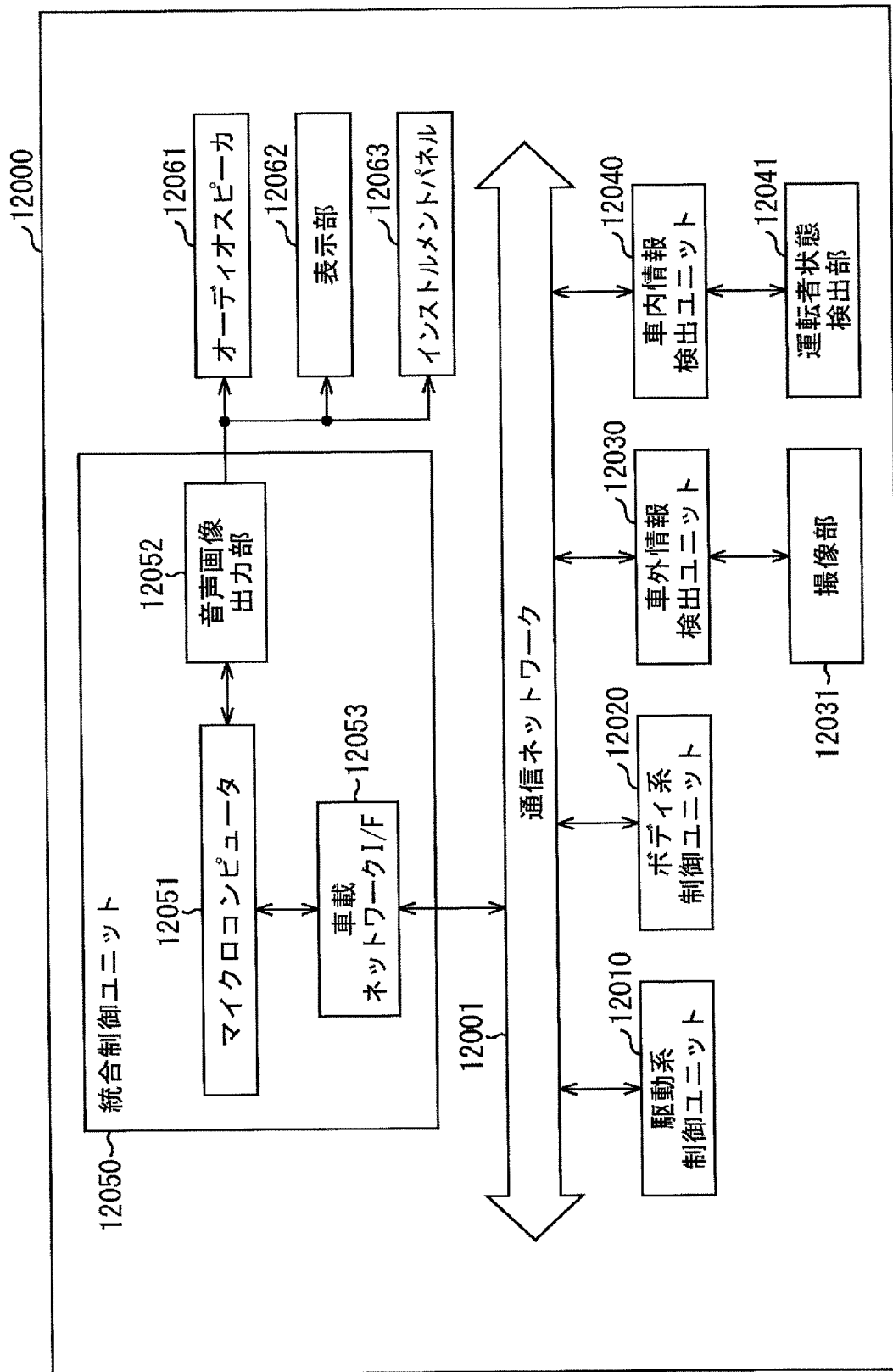
[図13]



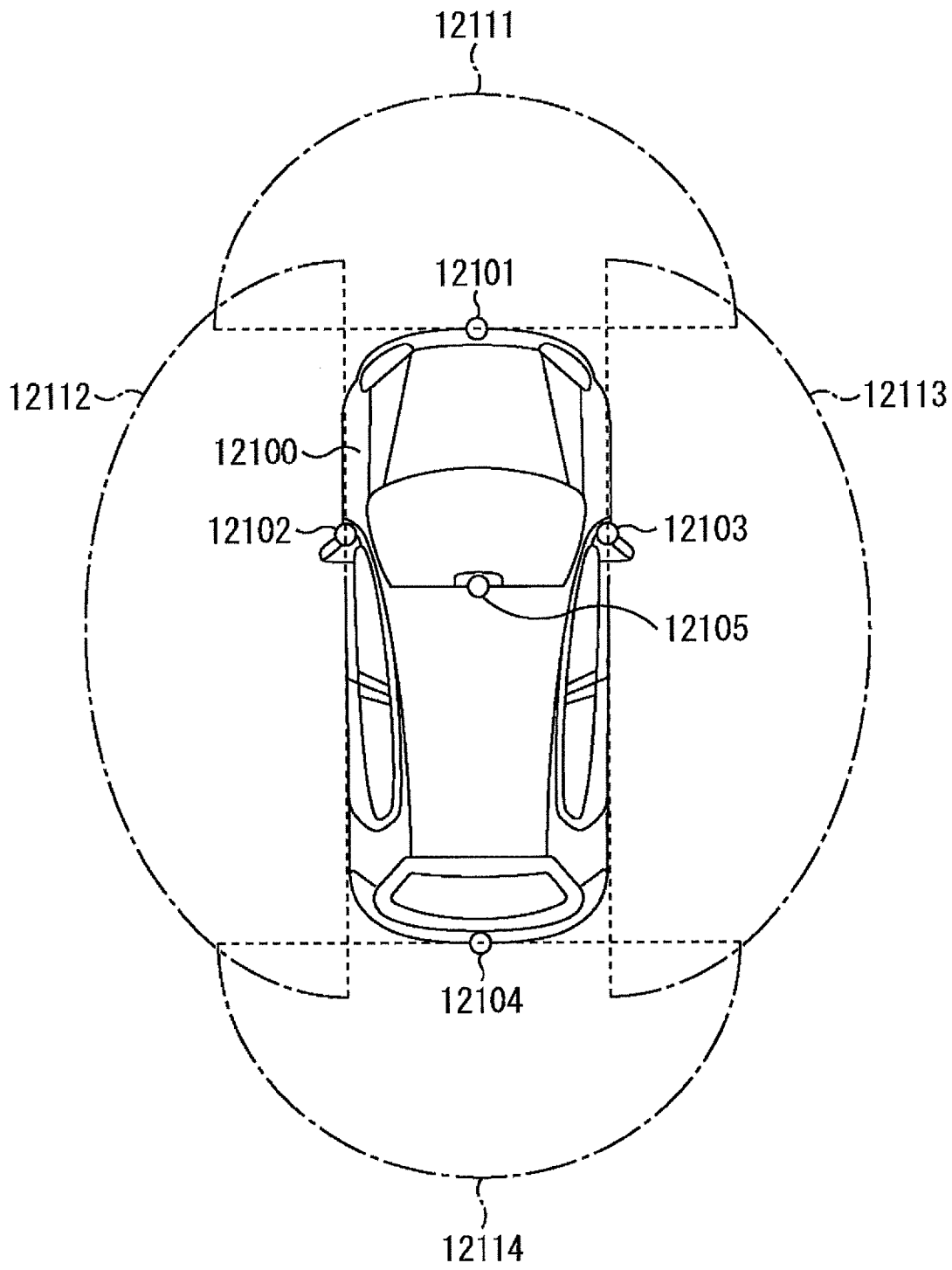
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007073

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/369**(2011.01)i

FI: H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2018/037862 A1 (NIKON CORP) 01 March 2018 (2018-03-01) paragraphs [0014], [0016], [0018]-[0021], fig. 1, 2	1-20
Y	JP 2020-113809 A (SONY CORP) 27 July 2020 (2020-07-27) paragraphs [0014], [0050], [0072], fig. 1, 5, 10	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 April 2022

Date of mailing of the international search report

10 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007073

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2018/037862	A1	01 March 2018	US 2019/0191111 A1 paragraphs [0025], [0027], [0029]-[0032], fig. 1, 2 EP 3490248 A1 CN 109644246 A	
JP	2020-113809	A	27 July 2020	WO 2020/145142 A1 paragraphs [0014], [0050], [0072], fig. 1, 5, 10	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i FI: H04N5/369														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	WO 2018/037862 A1 (株式会社ニコン) 01.03.2018 (2018 - 03 - 01) 段落 [0014] , [0016] , [0018] - [0021] , 図1, 2	1-20												
Y	JP 2020-113809 A (ソニー株式会社) 27.07.2020 (2020 - 07 - 27) 段落 [0014] , [0050] , [0072] , 図1, 5, 10	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 12.04.2022	国際調査報告の発送日 10.05.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007073

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/037862	A1	01.03.2018	US	2019/0191111	A1	
				段落 [0025] , [0027] ,			
				[0029] - [0032] , 図1, 2			
				EP	3490248	A1	
				CN	109644246	A	
JP	2020-113809	A	27.07.2020	WO	2020/145142	A1	
				段落 [0014] , [0050] ,			
				[0072] , 図1, 5, 10			