【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成25年1月24日(2013.1.24)

【公表番号】特表2012-513121(P2012-513121A)
【公表日】平成24年6月7日(2012.6.7)
【年通号数】公開・登録公報2012-022
【出願番号】特願2011-542253(P2011-542253)
【国際特許分類】
Ｈ０１Ｌ　21/822　(2006.01)
Ｈ０１Ｌ　27/04　(2006.01)
Ｈ０１Ｌ　21/8234　(2006.01)
Ｈ０１Ｌ　27/088　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/04　Ｈ
Ｈ０１Ｌ　27/08　１０２Ｆ

【手続補正書】
【提出日】平成24年11月30日(2012.11.30)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
少なくとも１つの入力ピンを有する内部回路を、前記入力ピンにおける静電放電（ＥＳＤ）事象に関連するエネルギーを消散させることによって保護する静電放電（ＥＳＤ）保護回路であって、
前記内部回路の入力ピンに関連づけられ、かつ前記入力ピンにおける入力信号のためのスルーレートが第１のしきい値を越えるとトリガ信号を生成する立ち上がり時間依存活性化回路と、
前記ＥＳＤ事象に関連するエネルギーを前記内部回路外へ分流することによって活性化信号に応答し、かつ前記内部回路をＥＳＤ事象から保護するのに十分長い期間にわたってエネルギーを前記内部回路外へ分流することによって活性化信号にさらに応答するＥＳＤ消散回路と、
を備えるＥＳＤ保護回路。
【請求項２】
請求項１記載のＥＳＤ保護回路において、
前記立ち上がり時間依存活性化回路では、前記入力ピンにおける入力信号のためのスルーレートが第１のしきい値よりも大きいと、前記立ち上がり時間依存活性化回路に関連づけられる第１のＲＣ時定数にしたがって生成されたトリガ信号が短い期間持続するが、第１のしきい値未満のスルーレートの場合にはトリガ信号を生成せず、
前記立ち上がり時間依存活性化回路および前記ＥＳＤ消散回路に結合される消散継続時間制御回路であって、トリガ信号に応答して活性化されて、前記ＥＳＤ消散回路を活性化し、かつ第１のＲＣ時定数よりも長い前記消散継続時間制御回路に関連づけられる第２のＲＣ時定数にしたがって前記ＥＳＤ消散回路を活性状態で維持させておく時間の長さを制御するための活性化信号を生成し、それにより前記ＥＳＤ消散回路が入力信号を十分に放電可能となるよう十分長く活性状態を維持する消散継続時間制御回路をさらに備えるＥＳＤ保護回路。

【請求項３】
請求項１～２記載のＥＳＤ保護回路において、
前記ＥＳＤ保護回路は、ラッチ回路を備えずに構成されるＥＳＤ保護回路。
【請求項４】
請求項２～３記載のＥＳＤ保護回路において、
前記立ち上がり時間依存活性化回路の第１のＲＣ時定数は、５０ナノ秒未満であり、
前記消散継続時間制御回路の第２のＲＣ時定数は、第１のＲＣ時定数よりも大きいＥＳＤ保護回路。
【請求項５】
請求項２～４記載のＥＳＤ保護回路において、
前記立ち上がり時間依存活性化回路の第１のＲＣ時定数は、４０ナノ秒未満であり、
前記消散継続時間制御回路の第２のＲＣ時定数は、４００ナノ秒よりも大きいＥＳＤ保護回路。
【請求項６】
請求項４～５記載のＥＳＤ保護回路において、
前記立ち上がり時間依存活性化回路は、前記入力ピンにおける入力信号のためのスルーレートが５０ミリボルト毎ナノ秒に設定された第１のしきい値を超えるとトリガ信号を生成するＥＳＤ保護回路。
【請求項７】
請求項２～６記載のＥＳＤ保護回路において、
前記消散継続時間制御回路は、通常の動作条件が原因でこうむるノイズを受けた際に、前記ＥＳＤ保護回路の安定性を保つためにラッチ回路をさらに備えるＥＳＤ保護回路。
【請求項８】
請求項２～７記載のＥＳＤ保護回路において、
前記ＥＳＤ保護回路は、集積回路パッケージ内に組み込まれ、
前記集積回路パッケージは、
基板と、
前記基板上に全て配置される、電源ピン、前記ＥＳＤ保護回路および前記内部回路と、を備え、
前記電源ピンを前記内部回路に動作可能に結合し、かつ前記入力ピンに印加された入力信号がＥＳＤ事象を含むと前記ＥＳＤ保護回路が活性化されるように、前記電源ピンを前記ＥＳＤ保護回路に結合するＥＳＤ保護回路。
【請求項９】
請求項８記載のＥＳＤ保護回路において、
初期のＥＳＤ事象を吸収し、かつエネルギーを前記ＥＳＤ保護回路内にゆっくりと消散させるキャパシタに前記電源ピンをさらに結合するＥＳＤ保護回路。
【請求項１０】
ＩＣ素子であって、
入力ピンと、
前記入力ピンに結合される内部回路と、
前記入力ピンおよび前記内部回路に動作可能に結合され、かつ過剰な電圧スパイクから前記内部回路を保護するように配置される静電放電（ＥＳＤ）保護回路であって、
前記入力ピンにおける入力信号のためのスルーレートが第１のしきい値を超えると、トリガがシャントを活性化することを可能にする小さい第１のＲＣ時定数を有するトリガ回路と、
前記入力ピンにおける入力信号のためのスルーレートが第１のしきい値を超えると前記トリガによって活性化されるシャントであって、前記活性化されたシャントにより入力信号を前記内部回路外へ経路変更させる、シャントと、
より大きい第２のＲＣ時定数を有するシャント継続時間回路であって、前記トリガ回路の第１のＲＣ時定数によって規定されたものを超えて前記シャントを活性化状態に保ち

、それによりＥＳＤ事象が前記内部回路を損傷することがない程度までＥＳＤ事象を放電させるのに十分な期間にわたって前記シャント継続時間回路が前記シャントを活性状態に保つことを可能にするように構成される、シャント継続時間回路と、を備えるＥＳＤ保護回路と、
を備えるＩＣ素子。
【請求項１１】
請求項１０記載のＩＣ素子において、
前記シャント継続時間回路は、通常の動作条件のノイズを受けた際に、前記ＥＳＤ保護回路の安定性を高めるように構成されたラッチ回路を備えるＩＣ素子。
【請求項１２】
請求項１０～１１記載のＩＣ素子において、
前記トリガ回路は、前記入力ピンで静電放電（ＥＳＤ）事象が起きると前記シャントを活性化するが、入力信号が意図された入力信号であると前記シャントを活性化しないように構成されるＩＣ素子。
【請求項１３】
請求項１０～１１記載のＩＣ素子において、
前記意図された入力信号は、電源投入時の電圧による突入電流であるＩＣ素子。
【請求項１４】
入力ピンに結合される内部回路を備える電気回路素子のための静電放電（ＥＳＤ）保護を提供する方法であって、
前記入力ピンで入力信号を受信する工程と、
入力信号がＥＳＤ事象を定義するしきい値を超えるスルーレートを有するかどうかを判定する工程と、
しきい値を超えるスルーレートを有する入力信号の場合には、
ＥＳＤ事象に応答してトリガ信号を生成する工程と、
トリガ信号に応答してシャントを活性化し、前記活性化されたシャントにより入力信号を前記内部回路外へ経路変更させる工程と、
ＥＳＤ事象が放電されるまで前記シャントを活性化状態に保つ工程と、
しきい値を超えるスルーレートを有していない入力信号の場合には、
前記シャントが入力信号を前記内部回路外へ経路変更しないように、前記シャントを非活性状態に保つ工程と、
を含む方法。
【請求項１５】
請求項１４記載の方法において、
前記入力信号がしきい値を超えるスルーレートを有するかどうかを判定する工程は、ＥＳＤ事象を特定するべく選定された第１のＲＣ時定数にしたがってなされ、
前記ＥＳＤ事象に応答してトリガ信号を生成する工程は、第１のＲＣ時定数にしたがってなされ、
前記ＥＳＤ事象が放電されるまで前記シャントを活性化状態に保つ工程は、ＥＳＤ事象が十分に消散されるまで分流が継続することを可能にするように第２のＲＣ時定数にしたがってなされる方法。
【請求項１６】
請求項１４～１５記載の方法において、
第１のＲＣ時定数が前記電気回路素子のための標準的な電源投入スルーレートよりも大きいスルーレートを有する入力信号を特定するように、第１のＲＣ時定数が選定される方法。
【請求項１７】
請求項１４～１６記載の方法において、
第１のＲＣ時定数は、５０ミリボルト毎ナノ秒よりも大きいスルーレートを有する入力信号に応答する方法。

【請求項１８】
請求項１４～１７記載の方法において、
前記方法は、基板上に全て配置される、電源ピンを備える前記入力ピン、前記ＥＳＤ保護回路および前記内部回路を備える集積回路に組み入れられえる方法。
【請求項１９】
請求項１４～１８記載の方法において、
第１のＲＣ時定数は４０ナノ秒未満であり、第２のＲＣ時定数は５００ナノ秒よりも大きい方法。
【請求項２０】
静電放電（ＥＳＤ）保護回路であって、
第１の電圧線路に接続して、前記第１の電圧線路上の静電放電に応答して第１のＲＣベースのトリガ信号を生成するために第１のＲＣ時定数に関連づけられる第１のＲＣ回路と、
静電放電（ＥＳＤ）事象に応答して活性化されるとエネルギーを被保護回路外へ分流するように構成されたシャントと、
第２のＲＣベースの活性化信号を生成するための第２のＲＣ回路であって、前記第２のＲＣ回路が第１のＲＣ回路およびシャントに結合され、かつ前記第２のＲＣ回路が前記第１のＲＣ回路から受信された第１のＲＣベースのトリガ信号に応答して第２のＲＣベースの活性化信号を生成するための継続時間制御回路として機能するように構成され、第２のＲＣベースの活性化信号が前記シャントを活性化し、かつ前記第２のＲＣ回路に関連づけられる第２のＲＣ時定数に関連する延長された期間にわたって前記シャントを活性状態に保ち、第２のＲＣ時定数が第１のＲＣ時定数よりも大幅に長く、それにより前記第２のＲＣ回路が静電放電のエネルギーを安全に放電するのに十分に長く第２のＲＣベースの活性化信号を保つことを可能にする、第２のＲＣ回路と、
を備えるＥＳＤ保護回路。
【請求項２１】
請求項２０記載のＥＳＤ保護回路において、
ラッチ回路を備えないように構成されるＥＳＤ保護回路。