

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/00

H01L 27/04 H01L 27/12

G02B 6/10



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00133856.0

[45] 授权公告日 2004 年 7 月 7 日

[11] 授权公告号 CN 1156888C

[22] 申请日 2000.8.31 [21] 申请号 00133856.0

[30] 优先权

[32] 1999. 8. 31 [33] JP [31] 246582/1999

[32] 2000. 8. 23 [33] JP [31] 252881/2000

[71] 专利权人 株式会社东芝

地址 日本神奈川县

[72] 发明人 佐藤力 松尾美惠 水岛一郎

网岛祥隆 高木信一

审查员 冀小强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

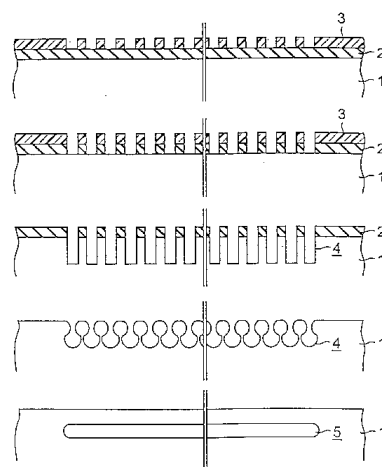
代理人 王永刚

权利要求书 5 页 说明书 27 页 附图 31 页

[54] 发明名称 半导体衬底及其制造方法

[57] 摘要

在半导体衬底表面二维排列形成多个沟槽后，
对半导体衬底实施热处理，将上述多个沟槽变为一个
平板状空洞。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体衬底的制造方法，包括下列工序：

在半导体衬底表面形成多个第一沟槽；

5 通过对所述半导体衬底实施热处理，将所述多个第一沟槽变为一个平板状空洞。

2. 如权利要求 1 所述的半导体衬底的制造方法，其特征在于，还包括工序：

10 在形成所述平板状空洞后，在所述半导体衬底表面形成到达所述平板状空洞的第二沟槽；

在所述第二沟槽和所述平板状空洞的内部埋入绝缘膜。

3. 如权利要求 1 所述的半导体衬底的制造方法，其特征在于，形成所述平板状空洞后，通过热氧化在所述平板状空洞内面形成氧化膜。

15 4. 如权利要求 2 所述的半导体衬底的制造方法，其特征在于，形成所述平板状空洞后，通过热氧化在所述平板状空洞内面形成氧化膜。

5. 如权利要求 1 所述的半导体衬底的制造方法，其特征在于，在所述第一沟槽间隔为 D 、与所述第一沟槽开口面有相同面积的圆的半径为 R 的情况下，排列形成所述多个第一沟槽使 $D < 4R$ 。

20 6. 如权利要求 2 所述的半导体衬底的制造方法，其特征在于，在所述第一沟槽间隔为 D 、与所述第一沟槽开口面有相同面积的圆的半径为 R 的情况下，排列形成所述多个第一沟槽使 $D < 4R$ 。

7. 如权利要求 3 所述的半导体衬底的制造方法，其特征在于，在所述第一沟槽间隔为 D 、与所述第一沟槽开口面有相同面积的圆的半径为 R 的情况下，排列形成所述多个第一沟槽使 $D < 4R$ 。

25 8. 如权利要求 4 所述的半导体衬底的制造方法，其特征在于，在所述第一沟槽间隔为 D 、与所述第一沟槽开口面有相同面积的圆的半径为 R 的情况下，排列形成所述多个第一沟槽使 $D < 4R$ 。

9. 如权利要求 1 所述的半导体衬底的制造方法，其特征在于，所述第一沟槽高宽比为 2.5 以上。

30 10. 如权利要求 2 所述的半导体衬底的制造方法，其特征在于，所述

第一沟槽高宽比为 2.5 以上。

11.如权利要求 3 所述的半导体衬底的制造方法,其特征在于,所述
第一沟槽高宽比为 2.5 以上。

12.如权利要求 4 所述的半导体衬底的制造方法,其特征在于,所述
5 第一沟槽高宽比为 2.5 以上。

13.如权利要求 1 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

14.如权利要求 2 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

10 15.如权利要求 3 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

16.如权利要求 4 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

17.如权利要求 5 所述的半导体衬底的制造方法,其特征在于,还包括
15 工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

18.如权利要求 6 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

19.如权利要求 7 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

20 20.如权利要求 8 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

21.如权利要求 9 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

22.如权利要求 10 所述的半导体衬底的制造方法,其特征在于,还包括
25 工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

23.如权利要求 11 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

24.如权利要求 12 所述的半导体衬底的制造方法,其特征在于,还包括
工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

30 25.一种半导体衬底的制造方法,包括下列工序:

在半导体衬底表面形成多个第一沟槽的同时,形成开口面比所述第一沟槽大的第三沟槽;

通过对所述半导体衬底实施热处理,将所述多个第一沟槽和所述第三沟槽变为具有平板状空间区域、且在所述半导体衬底表面有开口面的不闭合的一个空洞;

在所述空洞内部埋入绝缘膜。

26.如权利要求 25 所述的半导体衬底的制造方法,其特征在于,在所述第一沟槽间隔为 D 、与所述第一沟槽开口面有相同面积的圆的半径为 R 的情况下,排列形成所述多个第一沟槽使 $D < 4R$ 。

27.如权利要求 25 所述的半导体衬底的制造方法,其特征在于,所述第一沟槽高宽比为 2.5 以上。

28.如权利要求 25 所述的半导体衬底的制造方法,其特征在于,还包括工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

29.如权利要求 26 所述的半导体衬底的制造方法,其特征在于,还包括工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

30.如权利要求 27 所述的半导体衬底的制造方法,其特征在于,还包括工序:在所述半导体衬底的所述空洞上的半导体区域形成 MOS 晶体管。

31.一种半导体衬底的制造方法,包括下列工序:

在半导体衬底表面形成高宽比为 5 以上的多个第一沟槽和高宽比为 4 以下的多个第四沟槽;

通过对所述半导体衬底实施热处理,将所述多个第一沟槽变为一个空洞,且消除所述多个第四沟槽,将包含形成这些第四沟槽和所述空洞的区域的所述半导体衬底表面平坦化。

32.一种半导体衬底的制造方法,包括下列工序:

在半导体衬底表面形成多个沟槽;

通过对所述半导体衬底实施第一热处理,将所述多个第一沟槽变为一个空洞;

通过对所述半导体衬底实施第二热处理,改变所述空洞内部的压力,来减小所述半导体衬底存在的气氛压力与所述空洞内部压力之差。

33.如权利要求 32 所述的半导体衬底的制造方法,其特征在于,在高温、负压下进行所述第一热处理,在低温、高压下进行所述第二热处理。

34.如权利要求 32 所述的半导体衬底的制造方法,其特征在于,在 1100°C 以上的高温下进行所述第一热处理。

35.如权利要求 32 所述的半导体衬底的制造方法,其特征在于,所述第二热处理在氢浓度为 100% 的气氛中进行。

5 36.如权利要求 32 所述的半导体衬底的制造方法,其特征在于,所述第二热处理在大气压以上的高压下进行。

37.如权利要求 32 所述的半导体衬底的制造方法,其特征在于,所述第一热处理与所述第二热处理是连续工序。

38.一种半导体衬底的制造方法,包括下列工序:

10 在半导体衬底表面形成多个第一沟槽;

通过对所述半导体衬底实施热处理,将所述多个第一沟槽变为一个平板状空洞;

在所述半导体衬底中形成到达所述空洞的第二沟;

15 通过热氧化法在所述空洞和所述第二沟的内面形成用于在所述空洞上的所述半导体衬底内产生拉伸应力的热氧化膜。

39.一种半导体衬底的制造方法,包括下列工序:

在半导体衬底表面形成多个第一沟槽;

20 在含有所述多个第一沟槽的所述半导体衬底表面形成第一半导体膜,第一半导体膜含有与构成所述半导体衬底的第一半导体元素不同的第二半导体元素;

通过对所述半导体衬底实施第一热处理,将所述多个第一沟槽变为一个平板状空洞;

在所述半导体衬底中形成到达所述空洞的第二沟;

25 通过对所述半导体衬底实施第二热处理,在所述空洞和所述第二沟的内面形成含有所述第一和第二半导体元素的第二半导体膜,用于在所述空洞上的所述半导体衬底内产生拉伸应力。

40.一种三维周期构造体的制造方法,包括下列工序:

在半导体衬底表面形成多个第一沟槽;

30 通过对所述半导体衬底实施热处理,将所述多个第一沟槽分别变为多个球状空洞。

41.如权利要求 40 所述的三维周期构造体的制造方法,其特征在于,在 1100°C 以上高温下、氢浓度为 100% 的负压下气氛中进行所述热处理。

42.一种半导体衬底的制造方法,包括下列工序:

在半导体衬底表面形成多个沟槽;

- 5 通过对所述半导体衬底实施热处理,将所述多个沟槽变为一个平板状空洞;

腐蚀所述半导体衬底,有选择地剩余所述空洞上的所述半导体衬底的一部分,将上面、侧面和底面周围是空间的、作为通过光的光波导的半导体区域装入所述半导体衬底。

半导体衬底及其制造方法

5 技术领域

本发明设计半导体衬底及其制造方法。

背景技术

近年来，在 DRAM 等电子器件中，追求更加高速和省电。作为实现高速和省电的一个手段，使用 SOI(绝缘体基硅)衬底来代替常用的硅衬底
10 (体硅衬底)。

SOI 衬底是具有绝缘区域上存在硅区域构造的衬底，其形成方法有多种，例如，贴合法、SIMOX(注氧隔离)法，ELTRAN(外延层转移)法等。

但是，由于现有 SOI 衬底形成方法花费成本，存在不适合 DRAM 等民用电子器件的问题。而且，由于难以形成缺陷少的硅区域(元件形成区
15 域)，与使用体硅衬底的情况相比，具有不能得到足够可靠性的问题。

发明内容

本发明的目的是提供半导体衬底及其制造方法，它具有能够形成不导致成本升高和可靠性降低的 SOI 结构。

为了达到上述目的，按照本发明第一方面的半导体衬底，特征在于在
20 半导体衬底中设有平板状的空洞。

其中，不必在大致整个半导体衬底上设置空洞(在整个衬底设置不是说半导体衬底被空洞的上下分断)，只需在必要的地方、具体说只需在要享有 SOI 衬底优点的地方设置就足够。

而且，按照本发明第二方面的半导体衬底，特征在于在半导体衬底中
25 部分设置平板状的绝缘部件。

按照本发明第三方面的半导体衬底制造方法，特征在于包括下列工序：在半导体衬底表面上形成多个第一沟槽；通过对上述半导体衬底进行热处理，将所述多个第一沟槽变成一个平板状的空洞。

按照本发明第四方面的半导体衬底制造方法，特征在于包括下列工
30 序：在半导体衬底表面，在形成多个第一沟槽的同时，形成开口面比所述第一沟槽大的第三沟槽；通过对上述半导体衬底进行热处理，将所述多个

第一沟槽和所述第三沟槽变成具有平板状空间区域、且在所述半导体衬底表面有开口面的不闭合的一个空洞。

这种半导体衬底制造方法的优选形式为以下种类。

5 (1)进一步包括下列工序：形成平板状的空洞后，在半导体衬底的表面形成得到平板状空洞的第二沟槽；将绝缘膜埋入第二沟槽和平板状空洞内部。

(2)形成平板状空洞后，通过热氧化在平板状空洞的内表面形成氧化膜。然后，根据需要进行上述工序(1)。

10 (3)在第一沟槽的最短间隔为 D 、具有与第一沟槽开口面的面积相同的面积的圆的半径为 R 的情况下，布局多个第一沟槽，使得 $D < 4R$ 。

(4)作为半导体衬底，使用硅衬底。

(5)在上述(4)中，在负压下且 SiO_2 被还原的气氛中进行形成空洞的热处理。

(6)在上述(4)中，在负压下且氢气气氛中进行形成空洞的热处理。

15 (7)在上述(4)中，在负压且 1000°C 以上 1200°C 以下进行形成空洞的热处理。

如果是本发明第一或第二方面结构的半导体衬底，通过按照本发明第三或第四方面的半导体衬底的制造方法，能够形成不引起成本上升和可靠性降低的 SOI 结构。

20 能防止成本上升的原因是，通过由热处理将半导体衬底形成的多个沟槽变成一个空洞的简单工序，形成 SOI 结构的绝缘区域。

而且，在该方法中，由于形成多个沟槽的区域变成 SOI 结构，能只在所要的区域做成 SOI 结构。因此，只在需要 SOI 结构的区域形成 SOI 结构，能进一步抑制成本的上升，且器件设计的自由度也更高。

25 能防止可靠性降低的理由是，从上述多个沟槽向一个空洞的形状变化，是通过以使半导体衬底表面能量最小的方式产生的半导体表面迁移，形成元件的半导体区域的结晶性作成与通常的单结晶半导体程度相同。

附图说明

30 通过本说明书的记载和附图将理解本发明的上述以及其它目的和新特征。

图 1A - 1E 是显示本发明第一实施例的平板状空洞形成方法的截面图。

图 2A - 2C 是用于说明不发生从多个沟槽向一个平板状空洞改变形状的例子截面图。

图 3A - 3C 是图 1C 所示沟槽设置例子及由此形成的平板状空洞平面图。

5 图 4 是显示将本发明适用于 DRAM/LOGIC 混载的例子截面图。

图 5A - 5L 是显示本发明第二实施例的 MOS 晶体管制造方法的截面图。

图 6A - 6D 是显示本发明第三实施例的 MOS 晶体管制造方法的截面图。

10 图 7 是显示本发明第三实施例的 MOS 晶体管的截面图。

图 8A - 8G 是显示本发明第四实施例的 MOS 晶体管制造方法前半的截面图和后半的截面图。

图 9 是图 8B 所示沟槽设置例子和由此形成的平板状空洞平面图。

图 10 是显示本发明第四实施例的 MOS 晶体管的截面图。

15 图 11A - 11B 是说明第一 - 第四实施例中已说明的 SON 衬底形成方法的应改善之处。

图 12A - 12E 是显示本发明第五实施例的 SON 衬底形成方法的截面图。

图 13A - 13 是说明对初期沟槽形状所得到的空洞形状的图。

20 图 14 是说明对初期沟槽形状所得到的空洞个数的图。

图 15A - 15C 是显微镜照片, 显示 ESS 宽度变宽时平板状 ESS 已压坏。

图 16 是用于计算 ESS 结构强度的 ESS 结构模型。

25 图 17 是显示对硅层厚度不同(0.1 μ m,1 μ m)的 ESS 结构计算的板宽与挠度关系的图。

图 18 是显示形成大面积 ESS 的有效热处理顺序。

图 19 是显示通过计算求出的 SON 层厚度与挠度量关系的图。

图 20A - 20E 是显示本发明第八实施例的 SON 衬底形成方法的截面图。

30 图 21 是使用 SON 衬底制作 MOS 晶体管的截面图。

图 22A - 22B 是说明第八实施例 SON 衬底形成方法变形例的截面图。

图 23A - 23D 是显示本发明第九实施例的 SON 衬底形成方法的截面

图。

图 24 是显示现有的具有 SiGe 层的衬底的截面图。

图 25 是显示本发明第九实施例的 SON 衬底的截面图。

图 26 是本发明第十实施例的三维周期构造体的模式图。

5 图 27A - 27C 是说明图 26 的三维周期构造体的制造方法的截面图。

图 28A - 28C 是接着图 27A - 27C 说明同一三维周期构造体制造方法的截面图。

图 29 是本发明第十一实施例的三维状态构造体的模式图。

图 30A - 30C 是说明图 29 的三维周期构造体制造方法的截面图。

10 图 31A - 31C 接着图 30A - 30C 说明同一三维周期构造体制造方法的截面图。

图 32 是显示本发明第十二实施例的光波导斜视图。

图 33 是显示现有光波导的斜视图。

15 图 34A - 34B 是本发明第十三实施例的具有电感的半导体装置平面图和截面图。

图 35 是本发明第十三实施例的具有电容的半导体装置的截面图。

图 36 是本发明第十四实施例的具有冷却管的硅衬底斜视图。

图 37 是第十四实施例的具有冷却管的硅衬底截面图。

具体实施方式

20 下面参照附图说明本发明的实施例。

(第一实施例)

图 1A - 1E 是显示本发明第一实施例的具有平板状空洞 ESS(Empty Space in Silicon)的硅衬底,即最终的所谓 SOI 衬底构成的 SON(Silicon On Nothing)衬底形成方法的截面图。

25 首先,如图 1A 所示,在单结晶的硅衬底 1 上形成掩模材料 2,然后在其上形成光致抗蚀剂图形 3。关于掩模材料 2 在后面说明。

然后如图 1B 所示,将光致抗蚀剂图形 3 作为掩模,通过各向异性腐蚀例如 RIE 来构图掩模材料 2,将光致抗蚀剂图形 3 的图形转印到掩模材料 2。

30 然后如图 1C 所示,炭化并剥离光致抗蚀剂图形 3 后,将掩模材料 2 作为掩模,通过各向异性腐蚀例如 RIE 来构图硅衬底,在硅衬底的表面二维排列形成多个沟槽 4。

首先,如图 1A 所示,在单结晶的硅衬底 1 上形成掩模材料 2,然后在其上形成光致抗蚀剂图形 3。关于掩模材料 2 在后面说明。

然后如图 1B 所示,将光致抗蚀剂图形 3 作为掩模,通过各向异性腐蚀例如 RIE 来构图掩模材料 2,将光致抗蚀剂图形 3 的图形转印到掩模材料 2。

然后如图 1C 所示,炭化并剥离光致抗蚀剂图形 3 后,将掩模材料 2 作为掩模,通过各向异性腐蚀例如 RIE 来构图硅衬底,在硅衬底的表面二维排列形成多个沟槽 4。

其中,沟槽 4 的半径为 $0.2\mu\text{m}$,深度为 $2\mu\text{m}$ 、沟槽 2 的最短间隔为 $0.8\mu\text{m}$ 。沟槽 4 的布局在后面说明。

掩模材料 2 优选按各向异性腐蚀构图硅衬底 1 时与硅相比腐蚀速率十分慢的材料,例如在各向异性腐蚀中使用 RIE 时,氧化硅膜、或氮化硅膜与氧化硅膜的层叠膜等适合。

接着,除去掩模材料 2 后,通过在负压下(比大气压还低的压力)的非氧化性气氛、优选还原 SiO_2 的气氛,例如 1100°C 、10 Torr 的 100% 氢气气氛中进行高温退火,经图 1D 如图 1E 所示,各沟槽 4 的开口面被闭合后形成空洞,再通过将各沟槽 4 所形成的空洞相互一体化,在硅衬底 1 的内部形成一个平板状的空洞 5。其中,虽然热处理温度是 1100°C ,但其也可以高于 1100°C 。

这种形状变化,是在硅衬底 1 表面的氧化硅膜被除去后,以使表面能量最小的方式产生的硅表面迁移。

其中,是否形成平板状的空洞,取决于初期沟槽 4 的布局。在如本实施例这样沟槽 4 的最短间隔为 $0.8\mu\text{m}$ 的情况下,如图 1E 所示,在将各沟槽 4 的底中所形成的空洞相互一体化后,形成大的平板状空洞。而在沟槽 4 的最短间隔为 $0.9\mu\text{m}$ 的情况下,如图 2 所示,在各沟槽 4 中仅形成球状空洞 6。

关于沟槽 4 的布局用平面图进一步详细说明。图 3 是显示沟槽 4 布局的平面图。图 3 各沟槽 4 布局的右边还显示由其构成的平板状空洞 5 的平面图。各沟槽 4 布局的平面图的 W-W' 截面图与图 1C 的截面图相当,各平板状空洞 5 的平面图的 W-W' 截面图与图 1E 的截面图相当。

图中，D表示沟槽4的间隔，R表示沟槽的半径。且空洞5的长边方向的尺寸为如100 μm 程度。另外，空洞5的短边方向的最大尺寸与芯片的尺寸程度相同，另一方面最小尺寸与逻辑部的MOS晶体管区域尺寸相同。

- 5 按照本发明人的研究， $D > 4.5R$ 时，不能形成平板状空洞，只在各沟槽下部形成球状空洞，在 $D < 4R$ 时，能形成平板状空洞。另外， $4R \leq D \leq 4.5R$ 时，有时能形成平板状空洞，有时不能形成。

因此，在图3所示的各沟槽布局中，通过设定为 $D < 4R$ ，将各沟槽4的底部所形成的空洞一体化，能够在初期形成沟槽4的区域下有选择地形成平板状空洞5。

即，按照本实施例，通过只在形成平板状空洞5的区域，以满足 $D < 4R$ 的方式布局沟槽4，能够只在该区域下形成平板状空洞5，能够形成在单晶片面内具有部分平板状空洞(介电体区域)的硅衬底。

- 15 这意味着能够只将单晶片面内所要的区域作成SOI结构，在该区域能享有高速、低耗电等的SOI衬底优点。因此，能够不用高价衬底即SOI衬底，而享有SOI衬底的优点。

而且，与SIMOX和ELTRAN等SOI衬底不同，在形成元件的硅区域中不产生缺陷。由于某种原因，通过使沟槽表面能量最小而产生的硅表面迁移，形成空洞，所以，形成元件的硅区域结晶性与通常的单晶硅程度相同。

20 作为这种设置平板状空洞的部分，被放到例如图4所示的要求高速、低耗电的DRAM/LOGIC混载的LOGIC部衬底中。

- 在通过RIE形成多个沟槽4的情况下，在进行将多个沟槽4变为平板状空洞的热处理前，在多个沟槽4内表面形成厚度为10nm的热氧化膜后，希望除去该热氧化膜。通过这种热氧化膜的形成与除去，能充分除去由RIE产生的硅衬底1的损坏。

而且，本实施例中，虽然是对沟槽4的开口面形状为圆形的情况作了说明，但是即使是矩形的情况下也能得到同样的结果。这时R变为与该矩形面积面积相同的圆的半径。即使是矩形以外的其它形状的情况下也一样。

另外,即使不除去掩模材料2而进行热处理,也能同样形成平板状的空洞5。但是,为了利用被平坦化后的硅衬底1的表面,最好在衬底表面平坦化的同时进行掩模材料2除去后的热处理。即使以不除去掩模材料2的方式进行热处理,通过随后追加CMP(化学机械抛光)工序也能将表面做得平坦。

而且,平板状空洞上的衬底表面相对其它衬底表面稍低。其原因是在各沟槽底所形成的空洞体积比初期沟槽体积小,对先形成的多个沟槽体积,扣除形成的平板状空洞体积后的部分被认为是衬底表面降低的体积。而且平板状空洞上的衬底表面是平坦的。

10 这意味着,如果考虑将平板状空洞适用于DRAM/LOGIC混载的LOGIC部时,在DRAM部与LOGIC部的边界部分产生级差。即,是否是适用了本发明的DRAM/LOGIC混载,看DRAM部与LOGIC部的边界部分是否有级差就知道了。即使是其它器件也同样产生级差。

15 在 $R=0.2\mu\text{m}$, $D=0.8\mu\text{m}$ 时,上述级差为 $0.1\mu\text{m}$ 以下。如果是这种程度的级差,能够没问题地曝光。在目前的技术中,如果是 $0.2\mu\text{m}$ 以下,能够没问题地曝光。

下面说明关于减轻级差影响的具体方法。在光曝光的情况下,在级差上由于将比掩模(叉丝)图形还细的图形转印到抗蚀剂,因此,关于与掩模(叉丝)级差对应部分的图形,因预计变细可以作成宽度更大的图形。作为其它方法,可用电子束曝光。由于某种原因,与光曝光相比,电子束曝光不易受级差的影响。

25 如上所述,如果存在一定程度的级差即使照原样保留也没有问题,但是,在不能忽视该影响的情况下,可以在形成平板状空洞前,将预先降低空洞形成区域外的区域部分往下挖,或在形成平板状空洞后,对已降低部分只升高空洞形成区域上的部分,或通过CMP研磨整个面后将表面平坦化。

在下挖预先降低部分的情况下,例如在以掩模如氧化膜覆盖平板状空洞形成区域的状态下,通过RIE法有选择地腐蚀不形成平板状空洞的区域,使该表面后退。

30 另一方面,在升高已降低部分时,例如在以掩模覆盖平板状空洞形成

区域以外的状态下，可以执行用二氯甲硅烷与盐酸的 Si 选择外延式生长。

而且，如果通过高温、长时间的热处理而形成平板状空洞，可使整个表面平坦。

- 5 如上所述，按照本实施例，通过硅表面迁移、将多个沟槽变为一个平板状空洞这样的简单且无损伤工序，能实现介电体区域为空洞的 SOI 结构。因此，按照本实施例，能提供具有 SOI 结构的硅衬底，而不引起成本升高和可靠性的降低。

而且，由于平板状空洞的位置和大小能通过多个沟槽的位置和大小而控制，因此，能容易地将所希望大小的 SOI 结构引入到硅衬底中所希望的区域。

另外，本实施例中，虽然是对硅衬底中形成一个平板状空洞的例子作了说明，但是也可以在硅衬底中形成多个平板状空洞。

(第二实施例)

- 15 图 5A-5L 是显示本发明第二实施例的 MOS 晶体管制造方法的截面图。在以下图中，与前面附图相同的符号表示同一部分或相当部分，省略其详细说明。

本实施例中，对硅衬底中形成平板状空洞，在该平板状空洞上制造 MOS 晶体管的情况进行说明。

- 20 首先，通过与图 1A-图 1E 所示的第一实施例相同的方法，如图 5A 所示，在硅衬底 1 内形成平板状空洞 5。

然后，如图 5B 所示，在硅衬底 1 上依次形成氧化硅膜 7、氮化硅膜 8、光致抗蚀剂图形 9。

- 25 其中，光致抗蚀剂图形 9 被布局成其开口部的至少一部分在空洞形成区域上。图中显示整个开口部被布局在空洞形成区域上的例子。

然后如图 5C 所示，将光致抗蚀剂图形 9 作为掩模，通过各向异性腐蚀如 RIE 来依次构图氮化硅膜 8、氧化硅膜 7，将光致抗蚀剂图形 9 的图形转印到氮化硅膜 8、氧化硅膜 7。

- 30 然后如图 5D 所示，炭化剥离光致抗蚀剂图形 9 后，将氮化硅膜 8、氧化硅膜 7 作为掩模通过各向异性腐蚀如 RIE 来构图硅衬底 1，直至形成

联系平板状空洞 5 的沟槽 10。

然后如图 5E 所示，通过热氧化在平板状空洞 5 内表面形成硅热氧化膜 11。然后如图 E 所示，在整个面淀积氧化硅膜 12 以便埋入平板状空洞 5 和沟槽 10 内部后，通过 CMP 除去平板状空洞 5 和沟槽 10 外部不要的氧化硅膜后将表面平坦化。此时，不必将平板状空洞 5 的内部完全埋入氧化硅膜 12，只要将至少沟槽 10 完全埋入就足够了。

然后如图 5F 所示，形成用于形成元件分离 (STI) 的光致抗蚀剂图形 13 后，将其作为掩模通过各向异性腐蚀例如 RIE 来依次构图氮化硅膜 8、氧化硅膜 7，将光致抗蚀剂图形 13 的图形转印到氮化硅膜 8、氧化硅膜 7。

10 然后如图 5G 所示，炭化剥离光致抗蚀剂图形 13 后，将氮化硅膜 8、氧化硅膜 7 作为掩模通过各向异性腐蚀如 RIE 来构图硅衬底 1，形成元件分离沟槽 14。此时，平板状空洞 4 内表面形成的热氧化膜 11 作为停止层工作。

15 然后如图 5H 所示，通过热氧化在元件分离沟槽 14 的侧面形成硅热氧化膜 15 后，在元件分离沟槽 14 内埋入形成氧化硅膜 16，将表面平坦。

元件分离沟槽 14 的埋入如此进行：例如在通过 CVD 整个面淀积氧化硅膜 16 以便填充元件分离沟槽 14 内部之后，通过 CMP 除去元件分离沟槽 14 外部不要的氧化硅膜 16。

20 然后如图 5I 所示，除去氮化硅膜 8、氧化硅膜 7。氮化硅膜 8 利用加热 H_3PO_4 溶液来除去，氧化硅膜 7 利用氟酸溶液来除去。

然后如图 5J 所示，热氧化硅衬底 1 的表面，在该表面形成栅极氧化膜 17。上述热氧化，在例如 $900^{\circ}C$ 、氧和 HCl 的混合气体气氛中进行。其中，作为栅极绝缘膜，使用氧化膜，但是，也可以使用氧化钽膜、氮氧化物膜等其它绝缘膜。

25 然后如图 5J 所示，在衬底整个面成膜导电膜，构图该膜后形成栅极电极 18。

作为导电膜，列举例如多晶硅膜、多晶硅膜与金属硅化物膜的层叠膜、金属膜。由于上述各多晶硅膜含有杂质，因此电阻比不掺杂的多晶硅膜电阻还低。

30 分别形成使用多晶硅膜时的多晶硅栅极、使用多晶硅膜与金属

硅化物膜的层叠膜时的多硅化物栅极、使用金属膜时的金属栅极的 MOS 晶体管。金属栅极时可采用所谓金属镶嵌栅极(A. Yagishita et al. IEDM1998 p. 785)。

然后如图 5K 所示的那样,以栅极电极 15 作为掩模将杂质离子注入硅衬底 1 后,进行活性化上述杂质离子的退火,形成浅而浓度低的扩散层(延伸)19、20。

最后,如图 5L 所示,通过公知技术(侧壁剩余)形成栅极侧壁绝缘膜 21,将该栅极侧壁绝缘膜 21 和栅极电极 18 作为掩模来将杂质离子注入硅衬底 1 后,进行用于活性化上述杂质离子的退火,通过形成源极扩散层 22 和漏极扩散层 23 来完成 LDD 结构的 MOS 晶体管。

而且,也可以省略图 5K 的退火工序,在图 5L 的退火工序中完成杂质离子的活性化。

在上述实施例中说明的 MOS 晶体管可以用作构成例如 DRAM/LOGIC 混载的 LOGIC 的 MOS 晶体管。此时,在 LOGIC 区域能享有高速、低耗电等的 SOI 优点。

这里,LOGIC 区域的 MOS 晶体管制造过程与 DRAM 区域的 MOS 晶体管制造过程相比,只多了用于形成多个沟槽的腐蚀工序和将多个沟槽变为一个平板状空洞的热处理工序,两者的制造过程基本相同。

因此,由于能够几乎照原样沿袭现有的 DRAM/LOGIC 混载制造过程,所以,在 LOGIC 区域能够容易地实现可享有高速、低耗电等 SOI 优点的 DRAM/LOGIC 混载。

(第三实施例)

图 6A - 6D 是显示本发明第三实施例的 MOS 晶体管制造方法的截面图。在第二实施例中说明了将平板状空洞埋入氧化硅膜的方法,而在本实施例中说明不将平板状空洞埋入氧化硅膜,空洞状态照旧保留的方法。

首先,如图 6A 所示那样,通过与图 1A - 图 1E 所示的第一实施例相同的方法,在硅衬底 1 内形成平板状空洞 5。

然后如图 6B 所示的那样,通过热氧化在平板状空洞 5 的内面和硅衬底表面形成硅热氧化膜 24。上述热氧化在例如 900°C、氧和 HCl 的混合气体气氛中进行。硅热氧化膜 22 在后面的工序中如图 5G 所示的那样在 RIE

时完成停止层的作用。

然后,如图 6C 所示的那样,在硅衬底 1 上经硅热氧化膜 24 形成氮化硅膜 25 后,在其上形成用于形成元件分离(STI)的光致抗蚀剂图形 26。

5 然后如图 6D 所示的那样,将光致抗蚀剂图形 26 作为掩模,通过各向异性腐蚀如 RIE 来依次构图氮化硅膜 25、硅热氧化膜 24,将光致抗蚀剂图形 26 的图形转印到氮化硅膜 25、硅热氧化膜 24。

然后剥离光致抗蚀剂图形 21 后,经过与第二实施例中所示的图 5F 以下工序相同的工序,来完成图 7 所示 LDD 构造的 MOS 晶体管。

本实施例中也能得到与第二实施例相同的效果,而且由于在本实施例中
10 中没有将平板状空洞 5 埋入氧化硅膜的工序,所以,得到实现简化过程的效果。

(第四实施例)

图 8A - 8G 是显示本发明第四实施例 MOS 晶体管制造方法的工序截面。

15 首先,如图 8A 所示的那样,在硅衬底 1 上依次形成掩模材料 2、光致抗蚀剂图形 27。

其中,光致抗蚀剂图形 27 与第一实施例图 1A 的光致抗蚀剂图形 3 的不同点在于,除对应于多个沟槽 4 的图形(开口部)以外,在该图形的附近,具有对应于开口面的面积比沟槽 4 还宽的沟槽的图形(开口部)。

20 然后,将光致抗蚀剂图形 27 作为掩模,通过各向异性腐蚀例如 RIE 来构图掩模材料 2,将光致抗蚀剂图形 27 的图形转印到掩模材料 2,然后炭化并剥离光致抗蚀剂图形 27。

然后如图 8B 所示的那样,将掩模材料 2 作为掩模通过各向异性腐蚀如 RIE 来构图硅衬底,在硅衬底表面形成多个沟槽 4 并且在这些沟槽 4
25 附近形成开口面积比它们宽的沟槽 28。

然后如图 8C 所示,剥离掩模材料 2 后,通过在负压下的非氧化气氛,例如 1100℃、10Torr 的 100% 氢气气氛中进行高温退火,将多个沟槽 4 和沟槽 28 变为具有平板状空间区域且衬底表面有开口面的不闭合的一个空洞 5'。

30 其中,如第一实施例中显示的那样,关于多个沟槽 4,由于利用硅表

面迁移引起的形状变化,各沟槽4底部形成球形空洞,结果形成平板状空洞,只是在大沟槽28的下部其角部变圆。

图9显示沟槽4的布局和空洞的平面图。它是与图3对应的图,图9的左侧平面图(沟槽布局)相当于图3左侧的平面图(沟槽布局),图9右侧的平面图(平板状空洞)相当于图3右侧的平面图(平板状空洞)。

这里,由于大沟槽28是如下所示空洞5内面氧化用的沟槽,因此,其个数可以为一个以上,其位置可以与通过多个沟槽4的形状变化所得到的平板状空洞相连,因此,不限于图9所示的位置,可随意位于多个沟槽4的附近。而且,大沟槽28的截面形状是任意的。

然后如图8D所示,在空洞5'的内面形成硅热氧化膜11后,整个面地淀积氧化硅膜12以便填充空洞5'。

接着如图8E所示,通过CMP除去空洞5'外部不要的氧化硅膜12后平坦表面。

接着如图8F所示,在衬底上依次形成用于形成氧化硅膜29、氮化硅膜30、元件分离沟槽(STI)的光致抗蚀剂图形31。

接着如图8G所示,将光致抗蚀剂图形31作为掩模,通过各向异性腐蚀如RIE来依次构图氮化硅膜30、氧化硅膜29,将光致抗蚀剂图形31的图形转印到氮化硅膜30、氧化硅膜29。

然后炭化并剥离光致抗蚀剂图形31后,经过与第二实施例显示的图5F以后的工序相同的工序,完成图10显示的LDD结构的MOS晶体管。

(第五实施例)

本实施例中,对可适用于第一-第四实施例的改进技术进行说明。在具有上述平板状空洞的硅衬底(SON衬底)的形成方法中,该形成方法无论如何也会在空洞5的形成区域端部产生级差(参照图11A-11B)。

在空洞5上的硅衬底1上制作器件时,上述级差成为问题。例如,跨过级差来构图成为电极的金属膜时,不能将构图设计通,结果引起配线短路和开路等问题。而且,进行氧化时,在级差附近的衬底内产生应力,引起结晶缺陷等问题。

作为消除这种级差的方法,例如,考虑用CMP法或RIE法来将表面平坦化的方法。后一方法是在以氧化膜等掩模覆盖表面低的区域的状态下,

通过 RIE 法来腐蚀表面高的区域,从而消除级差的方法。但是,任一种方法都需要再追加一个以上工序以消除级差,导致工序数量增加,制作工艺复杂化。

在此,本发明中,在不形成空洞 5 的区域也预先排列形成高宽比较小的多个沟槽。此时形成的沟槽是沟槽下部不能形成空洞的高宽比较小的沟槽(假沟槽),其密度设计成能消除预测的级差。通过预先形成如此设计的沟槽,能够容易地消除空洞 5 形成区域端部的级差。

下面一边参照图 12A - 12E 一边说明使用上述改进技术的 SON 衬底的形成方法。

10 首先,如图 12A 所示,与第一实施例一样,在硅衬底 1 上形成掩模材料 2、光致抗蚀剂图形 3,将光致抗蚀剂图形 3 作为掩模来腐蚀掩模材料 2,将光致抗蚀剂图形 3 的图形转印到掩模材料 2。

然后如图 12B 所示,剥离光致抗蚀剂图形 3 后,将掩模材料 2 作为掩模来构图硅衬底 1,排列形成沟槽 4、4'。其中,沟槽 4、4'的高宽比相互不同,密度同样也相互不同。关于高宽比和密度在后面描述。

然后如图 12C 所示,利用氟化氢水溶液除去氧化硅膜 2。

接着在还原性气氛中热处理此状态的硅衬底 21。通过这种热处理,产生硅表面迁移,使得硅衬底 1 的表面能量变为最小。

20 结果,形成沟槽 4 的区域的形状如图 12D、12E 所示的那样变化,硅衬底 1 中形成板状空洞 5。此时,形成空洞的区域上的衬底表面与图 12A 的工序时相比变低。

另一方面,形成沟槽 4'的区域的形状如图 12D、12E 所示的那样变化,消除了沟槽 4'但不形成空洞 5。此时,在消除了沟槽 4'的区域上的衬底表面与形成空洞的区域上的衬底表面程度相同地变低。结果,不引起图 11B 所示那样的级差,而能够在硅衬底 1 中形成空洞 4。

下面详细说明各工序。

首先,用图 13 和图 14 说明对初期的沟槽形状所得到的空洞形状和个数。如图 13 所示,在初期沟槽形状为圆筒状的情况下,所得到的空洞形状为球状。如果将初期圆筒状沟槽的半径设为 R_R ,则球状空洞的半径 R_S 为 $1.88 R_R$,上下相邻两个球状空洞之间的间隔 λ 为 $8.89 R_R$ 。

因此, 如图 14 所示, 通过将初期圆筒状沟槽的深度 L 除以空洞的间隔 λ , 估计得到的空洞个数。本发明人等试着调查过, 形成半径 $R_r = 0.2\mu\text{m}$ 的沟槽, 其深度 L 在 $1\mu\text{m}$ 与 $2\mu\text{m}$ 变化。

结果, 对同样条件的热处理, 例如氢气氛中, 1100°C 、10 Torr、10 min, 深度为 $1\mu\text{m}$ 的情况下, 沟槽消失后只是平坦化衬底表面。另一方面, 深度为 $2\mu\text{m}$ 的情况下, 形成一个球状空洞。其结果, 与根据图 14 所示的图表估计的空洞个数一致, 确认能用图 14 来测算空洞的个数。

下面描述形成的沟槽的高宽比和密度。沟槽 4 用于在衬底 1 内形成空洞 5。为此, 沟槽 4 的高宽比必须为 5 以上。而且, 为了形成管状或板状的空洞 5, 必须预先将沟槽 4 排列成线状或格子状。此时沟槽 4 彼此的间隔 D 相对沟槽 4 的半径 R 必须设定为 $D < 4R$ 。

另一方面, 沟槽 4' 用于消除形成空洞 5 时产生的级差。为此, 沟槽 4' 的高宽比必须作成 4 以下, 以便硅衬底 1 内不产生空洞。而且, 沟槽 4' 的密度由级差的大小决定。例如, 以密度为每单位面积 1.6 个 ($/\mu\text{m}^2$) 来形成半径为 $0.2\mu\text{m}$ 、深度为 $2\mu\text{m}$ 的沟槽 4' 时, 形成空洞 5 后的级差为 $0.12\mu\text{m}$ 。此时, 例如, 可以用密度为 1 个 ($/\mu\text{m}^2$) 来形成半径为 $0.5\mu\text{m}$ 、深度为 $2\mu\text{m}$ 的沟槽 4'。

如上所述, 按照本实施例, 排列形成成为空洞的沟槽时, 通过同时排列按不成为空洞而设计的高宽比和密度的多个伪沟槽, 能够不增加工序数目、不使制作过程复杂化地、容易地消除硅衬底中空洞形成区域端产生的级差。这里, 虽然是对空洞形状为特定板状的情况作了说明, 但是, 即使其它情况也可以。即, 这里所述的方法只要是级差产生的空洞就有效, 而与其形状没有关系。

(第六实施例)

本实施例中, 说明在第一 - 第四实施例可适用的其它改进技术。在上述具有平板状 ESS 的 SON 衬底形成方法中, 在形成大面积的 ESS 时, 存在压坏平板状 ESS 之类的问题。

具体说, 在 ESS 宽度小至 $20\mu\text{m}$ 的情况下, 如图 15A 所示, 平板状的 ESS 未压坏, 但是, 在 ESS 大至 $180\mu\text{m}$ 的情况下, 如图 15B 及其放大图图 15C 所示, 压坏平板状的 ESS。而且, 在图 15A - 15C 中, 用于将沟槽变

为 ESS 的热处理作成在 100% 氢气氛中的 1100℃、10Torr、10min 的热处理。

根据本发明人等的专心研究，如下所述，通过找出有效求出不压坏尺寸的 ESS 的计算式，再进行将沟槽变为 ESS 的热处理，即使 ESS 宽度大，
5 也能知道如何不压坏 ESS。

首先，说明计算 ESS 结构强度后的结果。图 16 显示上述计算使用的 ESS 结构的模型。ESS 宽度为 $a(\mu\text{m})$ 、ESS 长度为 $b(\mu\text{m})$ 、ESS 上的硅层厚度为 $t(\mu\text{m})$ 。这时，硅层的挠度 $\delta(\mu\text{m})$ 以式(1)表示。

$$\delta = \alpha P a^4 / E t^3 \quad \dots (1)$$

10 其中，P 表示硅层的载重。E 表示杨氏模量，对硅， $E = 0.13(\text{N}/\mu\text{m}^2)$ 。 α 是按 ESS 结构($=b/a$)变化的零维的系数，在 ESS 结构为长方形下 $b/a \geq 2$ 时，它是 0.0284，在 ESS 为正方形下 $b/a=1$ 时，它是 0.0138。在下面的计算中，表示 $b/a \geq 2$ 的情况。

首先，作为硅层的载重，试试考虑自重。对 $t=1\mu\text{m}$ 、 $a=180\mu\text{m}$ 的 ESS
15 结构，按自重计算挠度的结果， $\delta=5.2 \times 10^{-6}(\mu\text{m})$ ，非常小，是可以忽略的程度。进一步，作为较大结构作成 $a=1\text{mm}$ 并测算， $\delta=5 \times 10^{-3}(\mu\text{m})$ ，可见，在大面积的 ESS 结构情况下，自重引起的挠度也十分小。根据以上计算结果，可知由于自重引起的形状变化几乎无影响。

然后考虑 ESS 内部压力与大气压力之差引起的载重。ESS 内部的压力
20 小于 ESS 形成时热处理时的压力。因此，例如热处理压力为 10Torr 的情况下，成为大约大气压($1.013 \times 10^{-7}(\text{N}/(\mu\text{m}^2))$)的载重。

这里，与计算自重的情况一样，对 $t=1\mu\text{m}$ 、 $a=180\mu\text{m}$ 的 ESS 计算大气压引起的挠度。其结果，大至 $\delta=23.2\mu\text{m}$ ，可见，ESS 被压坏。对此，在
25 $a=20\mu\text{m}$ 与 ESS 宽度小的情况下， $\delta=3.5 \times 10^{-3}\mu\text{m}$ 与压力载重引起的形状变化一样可以忽略。这就意味着，与图 18A - 18C 所示的结果良好一致，用式(1)能设计具有可避免压坏的尺寸的 ESS。

然后用式(1)测算实际能实现何种程度尺寸的 ESS。图 17 显示在硅层厚度 t 为 $0.1\mu\text{m}$ 与 $1\mu\text{m}$ 的情况下，对板宽度(ESS 宽度)计算何种程度挠度的结果。

30 从图 17 可见，在硅层厚度 t 厚到 $1\mu\text{m}$ 的情况下，将 ESS 宽度作成 $20\mu\text{m}$

时,硅层的挠度 δ 也十分小。与此相对,硅层厚度 t 薄到 $0.1\mu\text{m}$ 的情况下,即使在ESS宽度为 $10\mu\text{m}$ 时,挠度也为 $0.1\mu\text{m}$ 以上。由于ESS厚度与硅层厚度 t 程度相同,因此,能预想到ESS被压坏。即,硅层厚度 t 为 $0.1\mu\text{m}$ 的情况下,ESS宽度为 $8\mu\text{m}$ 以上的大ESS不可能实现。

- 5 本发明人等发现作为形成大面积ESS的方法,图18所示的程序顺序是有效的。即,在进行用于形成ESS结构的第一热处理后,连续不开放工作室地进行第二热处理,调整ESS内部的压力。

第一热处理是用于形成ESS的处理。为此,第一热处理希望在易于在硅衬底表面产生Si的表面迁移的高温、负压条件下进行,例如可以在 1100°C 、 10Torr 、 10min 的条件下进行。热处理的气氛可以是非氧化性气体,例如优选 100% 氢气。

第二热处理是用于调整ESS内部的压力。为此,第二热处理希望在低温、高压条件下进行。热处理的气氛优选含有在硅中扩散系数大的元素的气氛例如含氢的气氛或 100% 氢气气氛。氢的扩散系数 $D(\text{cm}^2/\text{s})$ 由式(2)确定。

$$D=4.2 \times 10^{-5} \exp(-0.56/kT) \quad \cdots (2)$$

k 是玻尔兹曼常数, T 是绝对温度(K)。按照式(2),估计在 200°C 氢的扩散长为60秒下为 $1\mu\text{m}$ 。因此,即使通过 200°C 与低温的热处理,氢也能扩散到ESS内部,结果能够有效果地改变ESS内部的压力。即,通过在氢气气氛中进行第二热处理,能够将ESS内部的压力变为与热处理时的压力同等的压力。

而且,根据理想气体法则($PV=nRT$),一旦考虑与温度成比例压力也减小,第二热处理中的降温过程中压力变低。因此,第二热处理优选在预先加压下进行。例如,第二热处理的温度为 600°C 的情况下, 600°C 下的热处理压力可以是3个大气压。

通过如上所述由第二热处理调整ESS内部的压力,能够降低或消除ESS内部压力与大气压力的压力差引起的载重,因此,能够形成更大面积的ESS结构。而且,即使为了器件的制作将SON做薄,也能够不压坏ESS地保持其形状不变,在SON层上形成元件。

30 (第七实施例)

在 SON 衬底的 ESS 上的硅层(SON 层)中制作晶体管的情况下,为了充分发挥 SON 衬底的优点,必须将 SON 层的厚度作成 $0.1\mu\text{m}$ 以下。但是,在大面积 SON 层的厚度薄的情况下,如上所述,由于压力载重 SON 层大大弯曲。

- 5 图 19 显示通过使用式(1)计算求出的 SON 层厚度与挠度量之间的关系的结果。SON 层的 ESS 宽度为 $20\mu\text{m}$ 。从图 19 可知,在将 SON 层的厚度作为 $1\mu\text{m}$ 来制作后,其挠度小到几乎能忽略,相反,SON 层的厚度薄到 $0.1\mu\text{m}$ 的情况下,挠度大到 $1\mu\text{m}$ 以上,ESS 结构被压坏。

- 一旦考虑上述结果,在通过第一热处理形成 ESS 结构后,在器件制作时的 SON 层的薄膜化工序前进行第二热处理是有效的。第二热处理中,通过
10 将 ESS 内部的压力提高到大气压附近,能够不压坏 ESS 地形成薄的 SON 层。

(第八实施例)

- 本实施例说明的 SON 衬底具有与在沟道正下方埋入 SiGe 层等的硅衬底(变形衬底)同样的效果,且能解决上述变形衬底中的问题。
15

首先,说明现有的变形衬底。LSI 中晶体管微细化的主要目的之一是实现晶体管高速化产生的高性能 LSI。但是近年来晶体管的栅极长突入 $0.1\mu\text{m}$ 以下的区域,其微细化变得越来越困难。

- 在这种背景下,作为不依赖于微细化的实现高速化的方法,提出了将
20 例如 SiGe 层等不同种类组成层埋入在硅衬底表面附近的沟道正下方的变形衬底。

按照这种变形衬底,通过不同种类组成层在衬底表面附近的 Si 产生变形,于是载流子(电子或空穴)的迁移率提高,能实现晶体管的高性能化。

- 25 但是,埋入 SiGe 层等不同种类组成层,导致产生格子变形引起的结晶缺陷之类的问题。由于格子变形严重,该问题使 SiGe 层的 Ge 浓度几乎明显提高。即,在现有的变形衬底中,如何不产生结晶缺陷地在衬底内部形成含有高浓度 Ge 的 SiGe 层,成为制造过程中的大问题。

- 下面用图 20A - 20E 来说明能解决上述问题的本发明第八实施例的
30 SON 衬底的形成方法。

首先,使用公知的平板印刷术法和RIE法,如图20A所示,在具有(100)面取向的单结晶的硅衬底1的表面排列形成多个沟槽2。

然后如图20B所示,在氢与氩的混合气氛中,通过压力10Torr、1100℃、3分钟时间的热处理,使硅衬底1表面的硅流动,形成空洞3。由这种热处理形成的空洞3厚度为(衬底深度方向的尺寸)1.2μm,空洞3上硅层(SON层)33的厚度为0.6μm。

然后如图20C所示,使用公知的平板印刷术和腐蚀来形成到空洞5的沟槽10。沟槽10的开口面为0.3μm×0.5μm的长方形,沟槽10的深度为2.5μm。

10 然后如图20D所示,热氧化硅衬底1的表面,形成厚度为0.4μm的氧化硅膜32。进行这种热氧化的结果,使SON层33的厚度从0.6μm减少到0.4μm。

最后,如图20E所示,使用RIE法有选择地除去硅衬底1上的氧化硅膜32,在空洞5和沟10内有选择地剩余氧化硅膜32,完成SON衬底。

15 通过喇曼光谱法测量如此得到的SON衬底的SON层33内的内部应力,确认存在250MPa的拉伸性(tensile)应力。

产生这种拉伸性应力的原因在于硅衬底1的热膨胀系数比氧化硅膜32还大。高温氧化硅衬底1时变形被缓和。相反,将高温的硅衬底1降温到室温时未发生变形缓和。结果,在相对氧化硅膜32热膨胀系数大的硅衬底1侧产生拉伸性应力。

20 为了比较,对作成的不形成氧化硅膜32的SON衬底,同样测定其SON层内的内部应力,找出有意义的应力值。它表明,由用于形成氧化硅膜32的热氧化工序及其后的用于将氧化硅膜有选择地剩余在空洞5和沟槽10内的腐蚀工序所得到的结构,作为意欲在SON层33内部形成应力场的方法是有用的。

而且,本实施例的SON衬底,由于不埋入SiGe层等不同种类的组成层,不产生由格子变形引起的结晶缺陷之类的问题。

而且,本实施例的SON衬底即使与现有氧化膜埋入衬底(SOI衬底)相比也表现出是有利的结构。即使是现有SOI衬底在SOI层下也存在氧化膜,因此,原理上能期待取得与本实施例的SON衬底同样的效果。

但是，在现有 SOI 衬底的情况下，由于氧化膜与 SOI 层相比薄得多，例如氧化膜为 $1\mu\text{m}$ 以下、SOI 层为 1mm ，因此，不能在 SOI 层内产生比氧化膜内更大的应力。

与此相反，在本实施例的 SON 衬底的情况下，与现有的 SOI 衬底的 SOI 层相当的 SON 层 33 厚度为 $0.6\mu\text{m}$ ，即 SON 层 33 与氧化硅膜 32 同样程度地薄，因此，能够在 SON 层 33 中产生大的应力。

图 21 显示用本实施例的 SON 衬底制作的 MOS 晶体管的截面图。测定该 MOS 晶体管的迁移率，与现有普通的大衬底上作成的晶体管相比增加 35%。而且，即使与 SOI 衬底上形成的 MOS 晶体管或不氧化空洞内面的 SON 衬底上作成的 MOS 晶体管相比，迁移率也提高。

本实施例的 SON 衬底上形成的 MOS 晶体管的迁移率比现有 SOI 衬底上形成的 MOS 晶体管高的原因应该是下列因素共同作用的结果：由于衬底内部存在空洞 5 能够比现有的 SOI 衬底进一步降低寄生电容，通过氧化硅膜 32 能够实现 SON 层内具有高应力的状态。

而且，由于本实施例中氧化空洞 5 的内部，在形成空洞 5 后形成沟槽 10，即使图 22A - 22B 所示的方法也可以。该方法中，首先如图 22A 所示，同时形成多个沟槽 4 和比其开孔尺寸大且深的一个沟槽 10。然后，进行将多个沟槽 4 变为空洞的热处理。但是，如图 22B 所示，由于大的沟槽 10 上部未闭合，形成如图 22C 所示那样的开口结构的空洞。然后，与图 20D 以后相同。而且，沟槽 4、10 的布局不限于图 22A，可采用各种布局。

另外，本实施例中，为了只在空洞 5 和沟槽 10 的内面有选择地形成氧化硅膜 32，在包含衬底表面的所有面形成氧化硅膜 32 后，有选择地除去衬底表面上的氧化硅膜 32，但是，也可以按下面这样做。即，也可以有选择地在衬底表面上形成氮化硅膜等防氧化膜后，通过氧化处理只氧化空洞内面。

本实施例中，为了在 SON 层内产生拉伸应力，在空洞 5 等内部形成氧化硅膜 32，但是，也可以形成其它膜。即，可利用单晶硅与热膨胀系数不同的材料所形成的膜（不同种类材料膜）。而且，即使是单晶硅与热膨胀系数不是差别很大的材料所形成的不同种类材料膜，如果能使半导体膜侧产生变形就能用。如果满足以上条件，即使空洞 5 内部形成的膜（应

力产生膜)是绝缘膜或金属膜也没有关系。

另外,本实施例中,对 SON 层 33 和氧化硅膜 32 的厚度几乎相同的情况作了说明。为了通过氧化硅膜 32 扩大在 SON 层 33 内产生的变形量,氧化硅膜 32 厚度相对 SON 层 33 厚度之比可以大。但是,一旦该比值过大,在衬底强度上产生问题。

根据本发明人等的各种实验,发现 SON 层 33 等半导体层厚度和与氧化硅膜等不同种类材料膜厚度的关系可以是(半导体层的厚度)/(半导体层的厚度+不同种类材料膜的厚度)之比为 0.1 至 0.9 的范围值。

本实施例中,在所有空洞内壁形成氧化硅膜 32,但是,如果能在 SON 层 33 内产生拉伸应力,也可以在空洞的一部分中形成氧化硅膜 32 等的应力产生膜。

(第九实施例)

本实施例说明的 SON 衬底具有与在沟槽正下方埋入 SiGe 层等的硅衬底(变形衬底)同样的效果,且能解决上述变形衬底中的问题。

图 23A - 23D 是显示本发明第九实施例的 SON 衬底形成方法的截面图。

首先,如图 23A 所示,用公知的平板印刷方法与 RIE 法在硅衬底 1 的表面排列形成多个沟槽 4。

然后如图 23B 所示,整个面外延生长含有 30% 原子密度比的 Ge、厚度为 100nm 的 SiGe 层 41,以覆盖沟槽 4 的内面。

然后如图 23C 所示,通过压力 10^{-7} Pa 的真空下 1050℃、5 分钟时间的热处理,使硅衬底 1 的表面流动,在上部、下部和侧部形成存在 SiGe 层(埋入 SiGe 层)41a 的空洞 5。此时,在硅衬底 1 的表面也形成 SiGe 层(暂时 SiGe 层)41b。

然后通过热氧化在衬底表面形成氧化硅膜(未图示),提高埋入 SiGe 层 41a 中的 Ge 浓度后,除去上述氧化硅膜和暂时 SiGe 层 41b。于是,能够提高埋入 SiGe 层 41a 的 Ge 组成比。

最后,如图 23C 所示,在硅衬底 1 的表面外延生长不含 Ge 的硅层 42,完成 SON 衬底。

测定如此制得的 SON 衬底空洞 5 上的硅衬底 1 及其上的硅层 42 的应

力, 其值为 80MPa. 根据此结果可知, 在衬底内部形成埋入 SiGe 层 41a 作为在 SON 层中产生所要的应力的方法是有效的。

本实施例中, 形成沟槽 4 后外延生长 SiGe 层 41, 但是, 也可以在衬底整个表面外延生长 SiGe 层 41 后形成沟槽 4. 此时, 形成沟槽 4 后, 通过
5 热处理使衬底表面流动, 形成空洞 5 和埋入 SiGe 层 41a.

而且, 衬底表面流动后通过热氧化形成氧化硅膜, 这对用于提高埋入 SiGe 层 41a 的 Ge 组成比是有效的方法, 但并非必要的。

另外, 衬底表面流动后通过外延生长来形成 Si 层 42, 这对用于形成不含 Ge 的 SON 层是有效的方法, 但是, 如果器件应用上没有这种必要性,
10 就不必形成 Si 层 42.

本实施例的 SON 衬底与图 24 所示现有的具有 SiGe 层 41c 的衬底相比, 有以下优点。

现有技术中, 为了在硅衬底 1 上形成缺陷少、且 Ge 组成比高的 SiGe 层 41c, 采取下列方法: 将硅衬底 41 作为籽晶(seed)在膜厚方向上连续
15 地将 SiGe 层 41c 的 Ge 组成从浓度低的状态变化到浓度高的状态. 因此, SiGe 层 41c 的厚度变为数百 nm 的程度. 即, 必须形成厚 SiGe 层 42.

相反, 本实施例中, 由于与现有的 SiGe 层 41c 相当的 SiGe 层 41a 是通过 Si 和 SiGe 的表面迁移形成的(图 23C), 空洞 5 上的 SiGe 层 41a 中不产生缺陷. 因此, 不必形成厚 SiGe 层 41a, 其厚度能薄至数十 nm.
20 图 25 显示这种情况. 在下方不形成空洞 5 的区域 43 内的硅衬底 1 和硅层 42 中产生较多缺陷, 缺陷密度高. 另一方面, 在作成元件的区域即下方形成空洞 5 的区域 44 内的硅衬底 1 和硅层 42 中实质上完全不产生缺陷, 缺陷密度十分低.

本实施例中, 作为不同种类材料膜(SiGe 层 41a)使用 SiGe, 但是,
25 与第八实施例一样, 可使用与衬底材料(Si)不同的其它材料.

而且, 与第八实施例一样, Si 层 42 等半导体层厚度和与 SiGe 层 41 等不同种类材料膜的厚度的关系如果是(半导体层的厚度)/(半导体层的厚度 + 不同种类材料膜的厚度)之比为 0.1 至 0.9 的范围值, 确认能实现本发明的效果. 而且, 如果能在 SON 层内产生拉伸应力, 即使在空洞的一
30 部分形成 SiGe 层 41 也可以.

(第十实施例)

本实施例中说明将本发明的 ESS 技术应用于光刻痕结晶制作的例子。

通过周期地形成折射率不同的材料，能形成光刻痕结晶。光刻痕结晶
5 作为用于实现超小型光集成电路的新光学材料正引人注目。

由于光刻痕结晶能在硅上形成，因此，能避开历来的安装上的问题，希望实现与 CMOS 工艺融合的将来的光电子集成电路。

迄今为止，作为光刻痕结晶的制作方法提出了很多，但是，尤其是三维光刻痕结晶其制造方法困难。而且，希望将折射率差别大的材料组合，
10 例如硅与空气的组合是理想的，但是，其形成方法非常困难。

图 26 显示能解决上述问题的、本发明第十实施例的三维周期构造体(光刻痕结晶)的模式图。图中，51 表示硅衬底，在该硅衬底 51 内按三维周期地排列相同尺寸的球形空洞 52(相对长度方向颜色依次变浓)。

下面利用图 27A - 27C 和图 28A - 28C 来说明本实施例的三维周期构造体的制造方法。
15

首先，如图 27A - 27C 所示，在硅衬底 51 上形成氧化膜等构成的掩模图形(未图示)，将该掩模图形作成掩模通过反应性离子腐蚀法腐蚀硅衬底 51 后二维排列形成同样深度、同样开孔口径的沟槽 52，然后除去上述掩模图形。

20 然后如图 28A - 28C 所示，对形成沟槽 52 的硅衬底 51，通过实施在非氧化性气氛中的高温、负压下的热处理，在硅衬底 51 内形成周期地布局尺寸一致的多个球形空洞(ESS)53 的空洞图形。具体说，形成这样的空洞图形：关于衬底深度方向在同一直线上以等间隔排列空洞，关于衬底内的同一平面内以格子状排列空洞。

25 用于形成空洞 53 的热处理是为了引起硅表面迁移。因此，在上述热处理前，希望完全除去衬底表面的自然氧化膜。为了充分除去自然氧化膜，将热处理的气氛保持为非氧化性是有用的。为了容易实现这一点，希望将热处理的气氛作成例如 100% 氢的气氛。而且，为了促进硅的表面迁移，希望在 10Torr 以下的压力中进行热处理。作为典型的热处理条件，
30 列举气氛为 100% 氢、温度为 1100℃、压力为 10Torr、时间为 10min。

这里,显示了除去掩模图形后进行热处理的情况,但是,也可以不除去掩模图形而进行热处理。但是,这种情况下,必须在热处理后除去掩模图形,再次进行热处理来平坦化衬底表面。

本实施例的三维周期构造体周期地排列折射率不同的材料(硅/空洞即空气),因此,成为对光有禁止带的光刻痕结晶。光刻痕结晶特性之一的波长依赖性以全波(空洞5的周期/波长)标度。因此,通过根据使用波长起源空洞5的周期,能够作成以所要的波长动作的光刻痕结晶。

作为控制空洞5的周期的具体方法,关于深度方向的周期列举改变沟槽52的口径大小和深度。另一方面,关于深度方向和垂直方向的周期列举改变沟槽52的排列周期。

按照如上所述的本实施例,通过利用硅的表面迁移,能容易地实现使折射率差别大的材料(硅: 3.6/空气: 1)组合的、三维周期构造体。该三维周期构造体作为能控制光的光刻痕结晶而动作。因此,能够作为光波导、偏振镜、棱镜等光学元件来动作本实施例的三维周期构造体。

另外,按照上述方法,能够将空洞5的周期作成 $1\mu\text{m}$ 以下程度。即,在硅衬底中能形成微细的光学元件。由此,能容易地制作融合光学元件与CMOS工艺的光电子电路。

(第十一实施例)

图29是本发明第十一实施例的三维周期构造体(光刻痕结晶)的模式图。本实施例与第十实施例的不同点在于,在硅衬底51内周期地排列尺寸(直径)不同的空洞53s和空洞53l。

具体说,关于衬底深度方向在同一直线上以等间隔排列多个相同尺寸的球形空洞53s或空洞53l(相对长度方向颜色依次变浓),关于衬底内的同一平面内以格子状交替排列多个尺寸不同的空洞53s和空洞53l。

下面利用图30A-30C和图31A-31C说明本实施例的三维周期构造体的制造方法。

首先,如图30A-30C所示,在硅衬底51上形成氧化膜等构成的掩模图形(未图示),将该掩模图形作成掩模通过反应性离子腐蚀法腐蚀硅衬底51后以格子状排列形成同样深度、开孔口径相互不同的沟槽52s和沟槽52l。然后除去上述掩模图形。

然后如图 31A - 31C 所示, 对形成沟槽 52s 和沟槽 52l 的硅衬底 51, 通过实施在非氧化性气氛中的高温、负压下的热处理, 在硅衬底 51 内形成在深度方向周期地排列尺寸一致的球形空洞 53s 或 53l、在与深度方向垂直的方向周期地交替排列不同尺寸的空洞 53s 和空洞 53l 的空洞图形。而且, 如第十实施例中所描述的那样, 也可以不除去掩模图形而进行热处理。

如此制得的具有空洞图形的硅衬底 51 与第十实施例一样当作能控制光的光刻痕结晶, 能作为光学元件而动作。

在本实施例中, 也能通过与第十实施例一样的方法控制空洞的周期即动作波长。而且按照实施例, 使用尺寸不同的空洞 52s、52l, 因此, 通过利用尺寸不同, 能在更大的范围控制动作波长。

在第十实施例和第十一实施例中, 在通过含氢的气氛中的热处理来形成空洞 52、52s、52l 的情况下, 其内部剩余氢。另外, 按照本发明人等的研究, 确认空洞 52、52s、52l 由消除角的多面体构成。更准确地, 由具有预定面取向的多面体构成。

而且, 通过检查构成多面体的面的面取向与硅衬底的主面即 (100) 面构成的角度, 可知下列结果。即, 构成多面体的面是由 {100} 面群、{110} 面群、{111} 面群、{311} 面群、{531} 面群、{541} 面群构成。由于这些面群表面能量低, 所以可以说上述空洞是热稳定的。

(第十二实施例)

这里, 对将本发明的 ESS 技术用于光集成电路的实施例、特别是用于光波导的实施例进行说明。

在光集成电路技术中, 光无源元件、发光元件等光元件在 Si 衬底或 GaAs 衬底等半导体衬底上形成, 光波导与光元件不同以石英 (SiO_2) 为主要成分而形成。因此, 在光波导与光元件的连接部, 必然需要在半导体区域中传播光。

作为在半导体区域中传播光的方法之一, 有利用 Si 比 SiO_2 折射率大的方法。该方法通过将由 Si 形成的光波导的直径作成上述光波长的数倍的 $5\mu\text{m}$ 以下程度, 在光波导与其周围的 Si 区域的界面 (Si/SiO_2 界面) 全反射光, 将光封闭在 Si 区域中。

以 Si 为主要成分的光波导中, 为了提高该封闭性, 希望其周围物质的折射率相对 Si 越低越好. Si 的折射率为 3.4 时, SiO_2 的折射率为 1.5.

折射率比 SiO_2 还低的媒体当然是真空(折射率 = 1). 实际上是以非真空的空气为媒体. 作为将作为光波导使用的 Si 区域周围作成空气的方法, 考虑使用如 SOI 衬底, 但是, 其实现困难.

原因是, 通过腐蚀 SOI 衬底的 Si 区域, 容易形成具有 Si 露出的上面和侧面的图形, 但是, 腐蚀 SOI 衬底的 SiO_2 区域, 难以有选择地只除去上述图形下的 SiO_2 区域.

图 32 是显示本发明第十二实施例的光波导的斜视图. 图中, 61 表示具有(100)面取向的单晶硅衬底, 该硅衬底 61 中形成上面、侧面和底面周围是空气的 Si 图形 62.

Si 图形 62 和其周围的空气构成光波导. 在该光波导内传送例如波长 $1.4\mu\text{m}$. 在实际光回路中, Si 图形 62 的一端与未图示的光功能元件的发光部相连, 另一端与未图示的光功能元件的光接受部相连.

这种光波导用至此所述的 ESS 技术能容易地形成. 首先, 使用公知的平板印刷方法和 RIE 法在硅衬底 61 的表面形成多个沟槽. 然后通过还原气氛中的高温热处理, 导致硅的表面迁移, 在硅衬底 61 内形成大面积的空洞(ESS). 然后, 用公知的平板印刷方法和 RIE 法, 作为硅衬底空洞上的硅区域(SON 层)中的 Si 图形 62, 有选择地除去不用的部分.

图 33 显示使用现有 SOI 衬底的光波导的斜视图. 图中, 61 表示硅衬底, 62 表示加工硅衬底后形成 SiO_2 层 63 的 Si 图形. 现有 Si 图形 63 的上面和侧面周围与本发明的 Si 图形 62 一样是空气, 但是, 底面与本发明的 Si 图形 62 不同是 SiO_2 层 62. SiO_2 的折射率(=1.5)比空气的折射率(=1.0)大.

因此, 如图 32 所示的本发明的光波导与图 33 所示的现有光波导相比, 漏到外部的光量少得多, 作为光波导可以说具有优良的特性(封闭光的特性).

按照如上所述的本实施例, 能够实现具有良好光封闭特性的光波导, 结果能够实现光损失小的光集成电路.

(第十三实施例)

与晶体管等有源元件一样，在半导体衬底上形成电感、电容等无源元件。无源元件与半导体衬底之间的寄生电容、寄生电阻(涡流损失: eddy-current loss)大。

因此，现有的电感、电容在其上通过的信号频率变为 1GHz 以上的高频时，出现下列问题。即，产生下列问题：关于电感 Q 值变低，关于电容难以得到高精度的电容值。

为了解决上述问题，本发明作为半导体衬底使用具有平板状空洞的硅衬底，然后在平板状空洞上的硅衬底上形成无源元件。按照这种结构，能有效减小无源元件与半导体衬底之间的寄生电容、寄生电阻，从而解决上述问题。

图 34A - 34B 显示使用本发明的具有电感的半导体装置的平面图和截面图。图 35 显示使用本发明的具有 MIM 电容的半导体装置的截面图。图中，70 表示硅衬底，71 表示平板状空洞 (ESS)，72 表示螺旋电感，73 表示金属电极，74 表示绝缘膜，75 表示金属电极。也可以在硅衬底 70 上形成电感和电容两者。

具有平板状空洞 71 的硅衬底 70 的形成方法可以使用上述实施例的任一种形成方法。形成这样的硅衬底 70 后，按现有那样形成电感等无源元件、以及晶体管等有源元件和配线膜。在形成空洞 71 后形成无源元件等的理由是在空洞 71 的形成中需要高温下的热处理。

20 (第十四实施例)

近年来，半导体区域正进入器件和模块的高密度化、高功能化。伴随着这种高密度化、高功能化，器件等的发热量增大，散热变得非常难。

作为现有散热方法之一，公知的方法是：在器件或封装上安装散热片，通过热传导将来自器件等的热量传送给散热片，通过散热片的热传导将热量散发到空气中。但是，一旦上述发热量增大，无法取得足够的散热效果。因此，近年来，通过机器整体的小型化和强制空冷(吹风)的散热成为主流。可是，即使这样也正变得难以取得必要的散热效果。

在巨型计算机等主结构中，通过液体氮或氟隆(フロン)等的冷媒的冷却是主流。也考虑将这种冷却方法用于半导体器件等。但是，由于上述冷媒中存在的不纯物，引起腐蚀端子和配线等问题。

为了解决上述问题，作为半导体衬底，本发明使用含有用于流动冷媒的多个冷却管的硅衬底。按照这种结构，通过在冷却管流动冷媒，即使伴随着高密度化、高功能化，器件等的发热量增大，由于能有效冷却硅衬底，因此可解决散热问题。而且，由于冷媒在不存在端子等的衬底内部流动，
5 因此，不产生腐蚀问题。

图 36 显示本发明第十四实施例的具有冷却管(冷却结构)的硅衬底的斜视图。图中，81 表示硅衬底，82 表示冷却管。而且，冷却硅衬底时准备未图示的冷媒供给机构。

下面用图 37 说明本实施例的使用具有冷却管的硅衬底的半导体装置
10 制造方法。

首先，准备 Si 单晶片 83。图中 84 表示划片线。

然后使用本发明的 ESS 技术相对划片线 84 正交形成多个平板状空洞(中空结构)85。平板状空洞 85 的形成方法可使用上述实施例的任一种形成方法。优选设计多个沟槽图形以形成圆筒状的空洞 85。

15 然后，通过公知的方法在 Si 单晶片的空洞 85 上的硅区域上形成必要的元件、配线等，在 Si 单晶片 83 形成具有所要功能的多个半导体装置(不图示)。

最后，通过公知的方法沿划片线 84 切割 Si 单晶片，从一个 Si 单晶片 83 取出多个芯片。此时，由于空洞 85 被切断，所以同时完成冷却管。

20 而且，本发明不限于上述实施例。例如，上述实施例中对使用硅衬底的情况作了说明，但是，本发明即使对硅锗衬底等其它半导体衬底也有效。即，按照本发明，能提供不限于硅的廉价且可靠性高的 SOI(绝缘体基半导体)结构。

而且，上述实施例中，通过热处理将二维排列形成的多个沟槽 2 变为
25 一个平板状空洞，但是，同样的作用效果也可以如此得到：通过热处理将一维排列形成的多个带状沟槽变为一个平板状空洞。

而且，通过在本发明的 SOI 结构增加导入 Cu 配线，能实现更高速、更省电。

在不脱离本发明的要旨范围内，能实施其它各种变形。

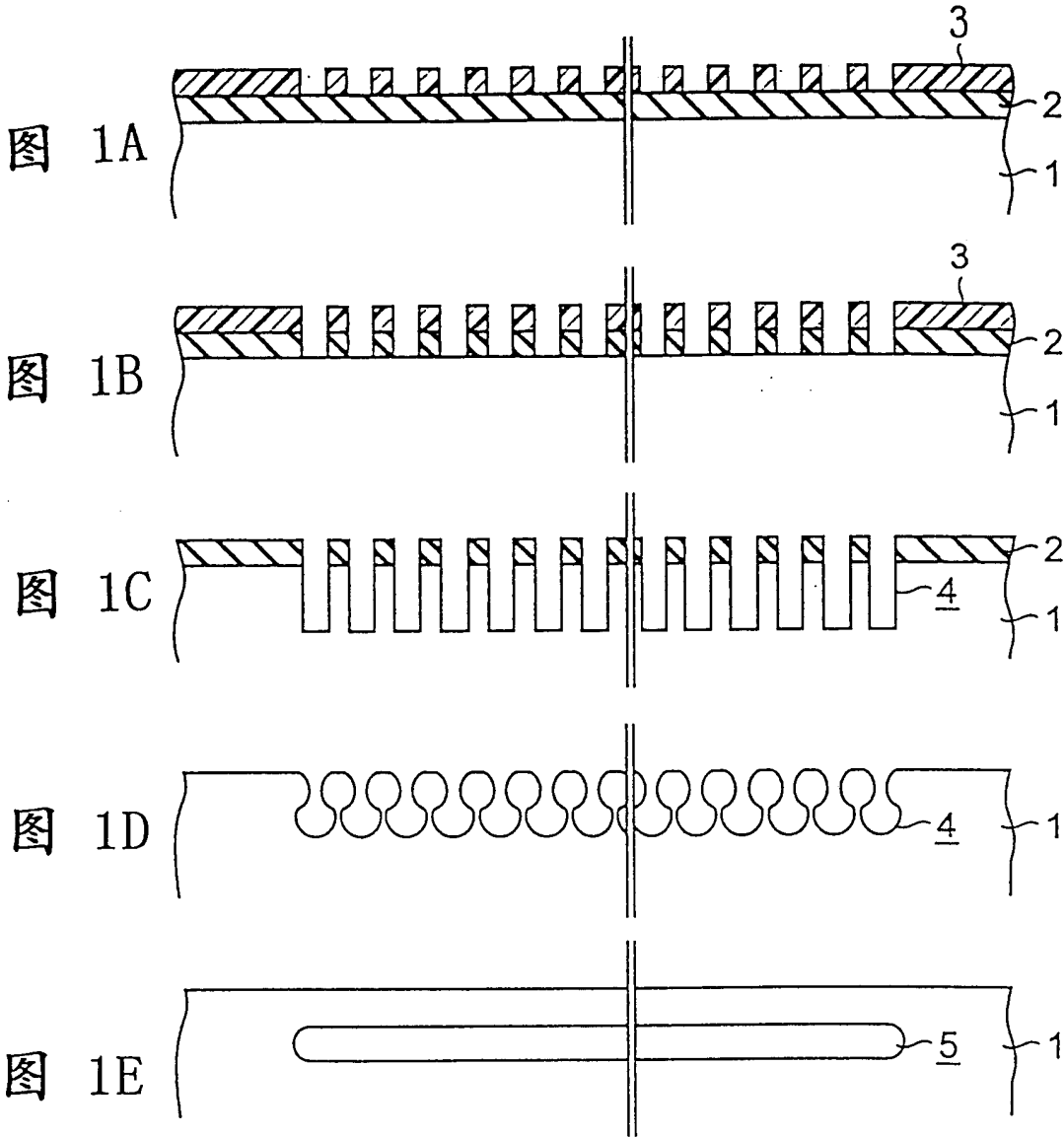
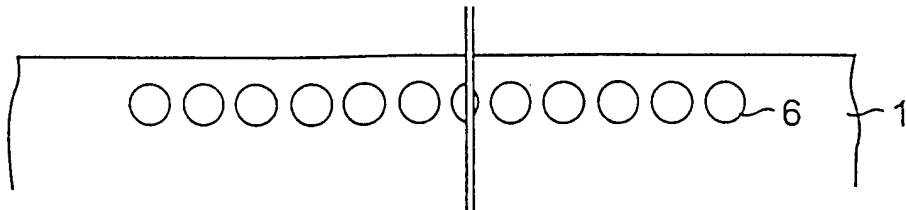


图 2



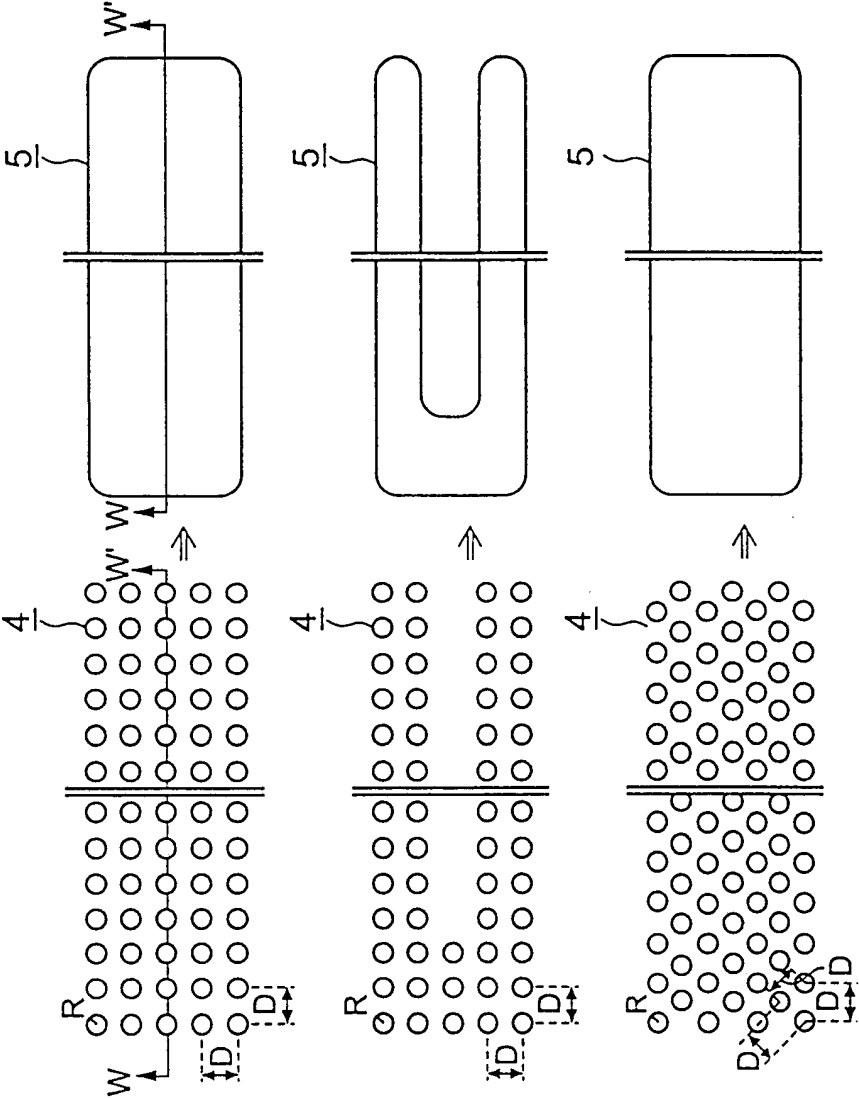


图 3A

图 3B

图 3C

图 4

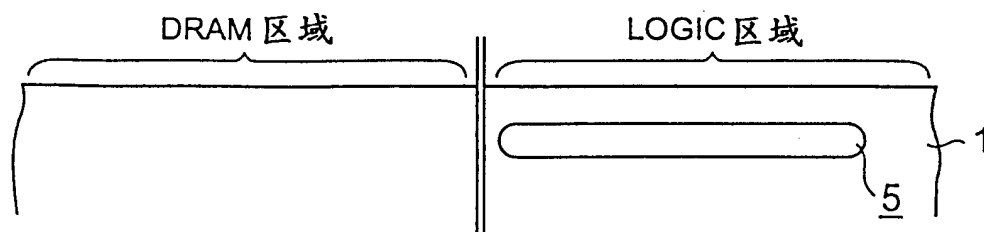


图 5A

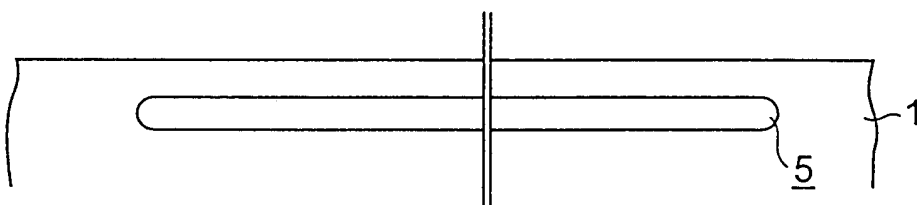


图 5B

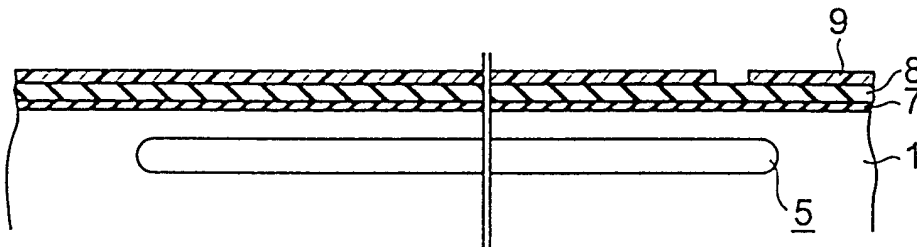


图 5C

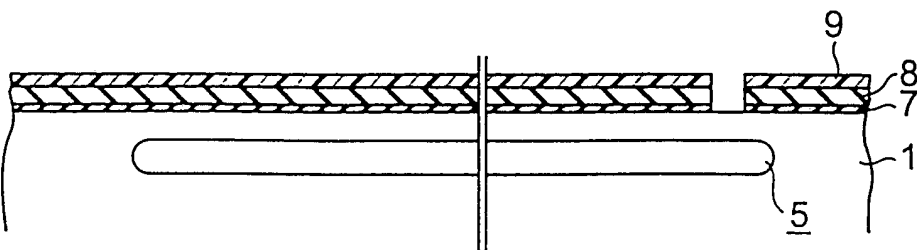
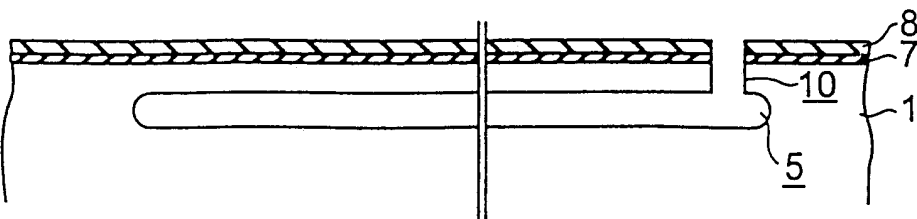
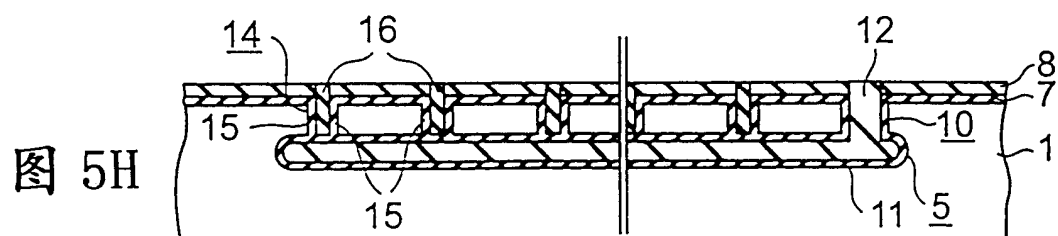
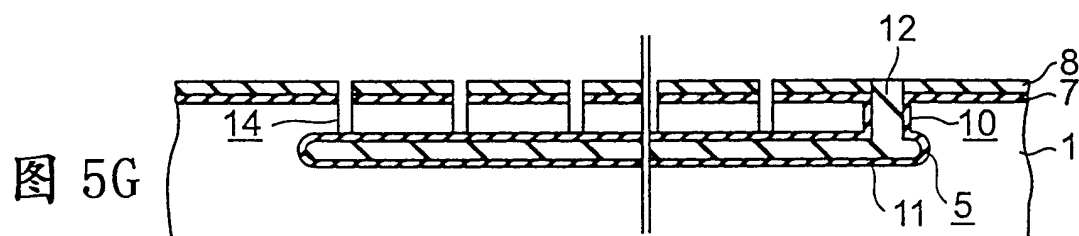
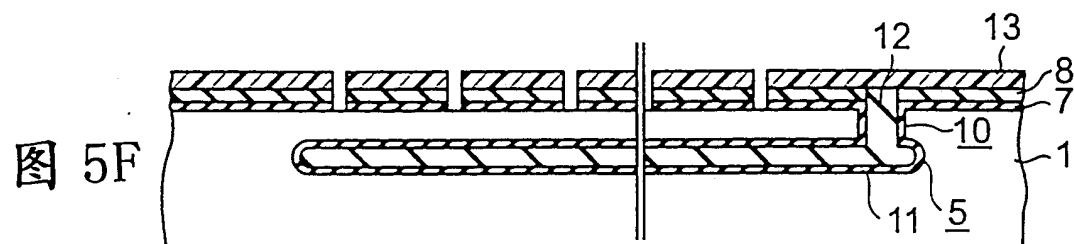
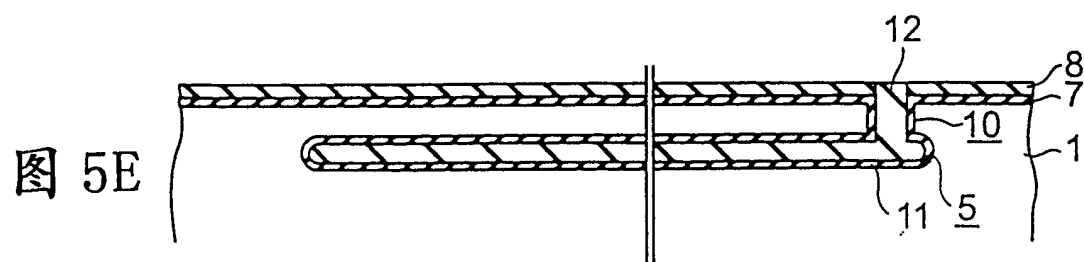
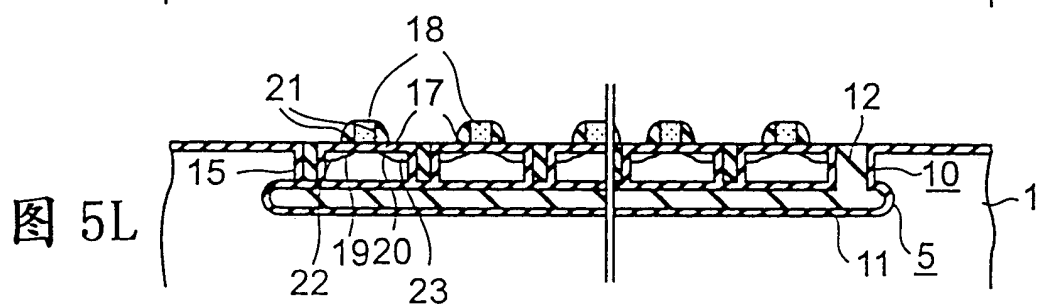
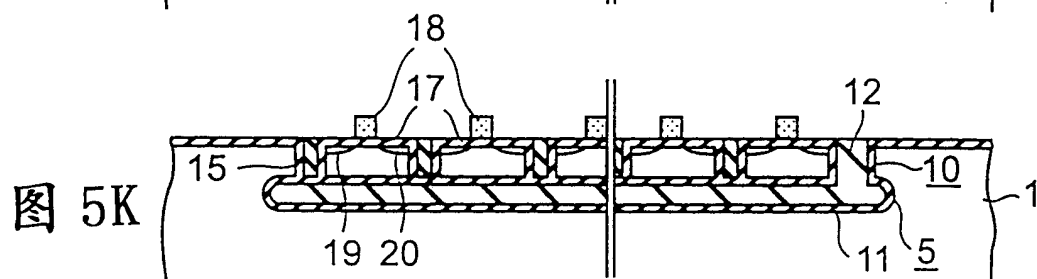
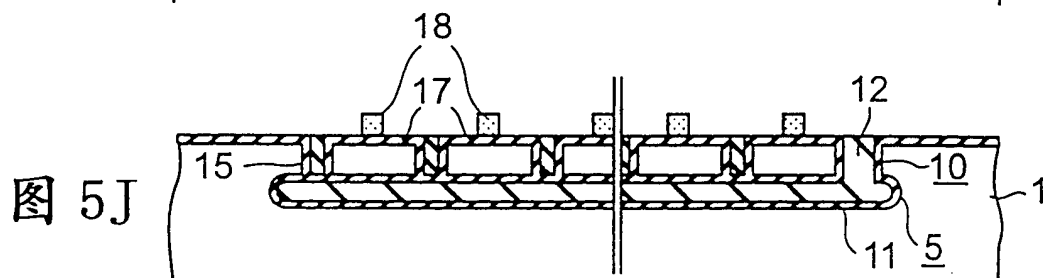
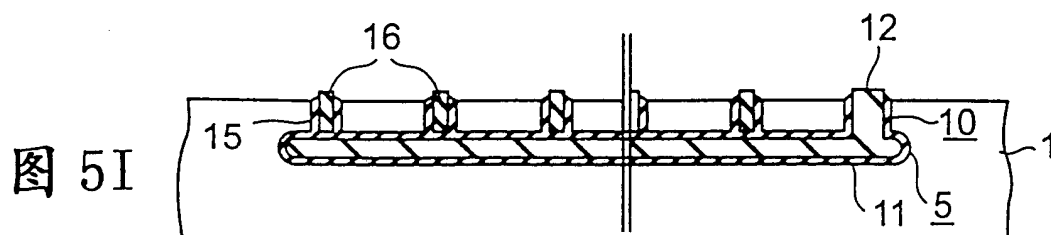


图 5D







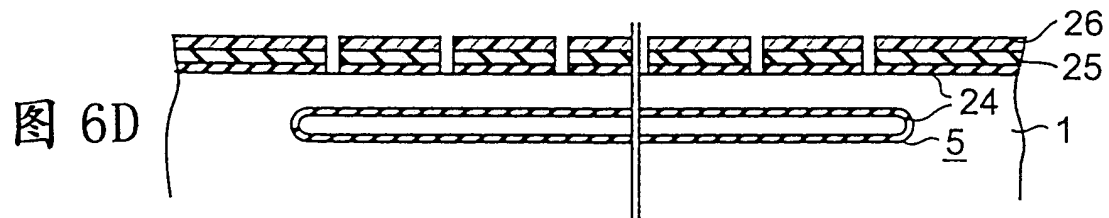
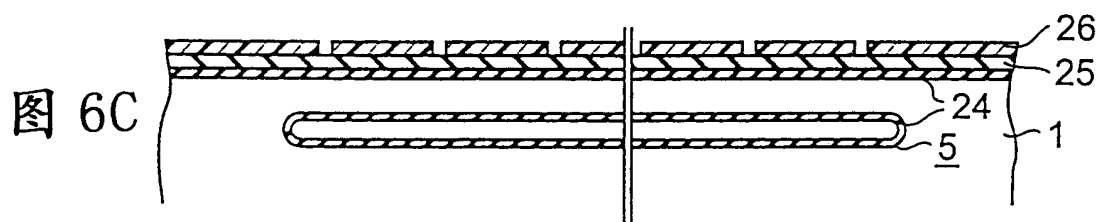
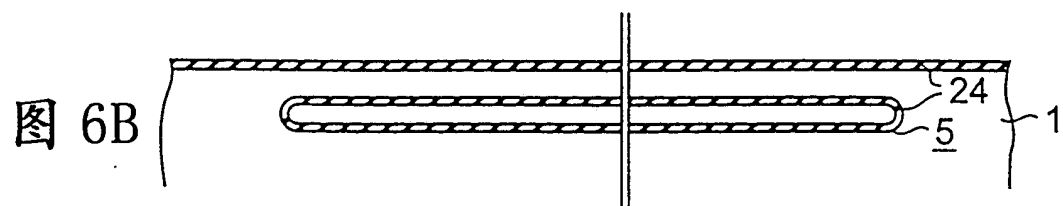
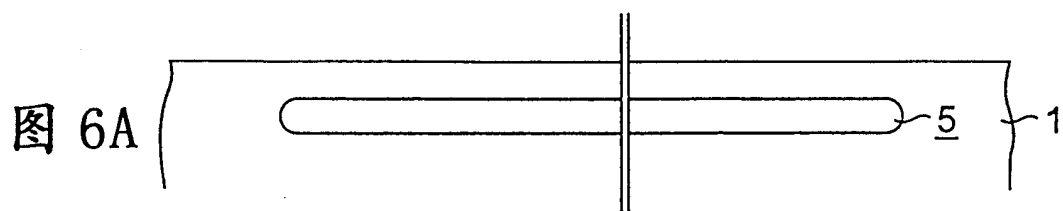
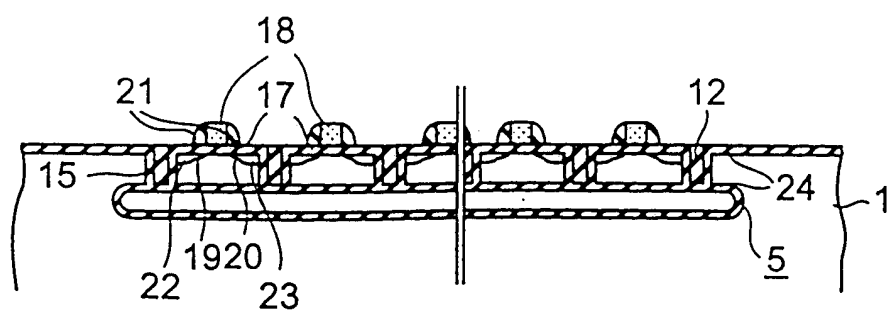
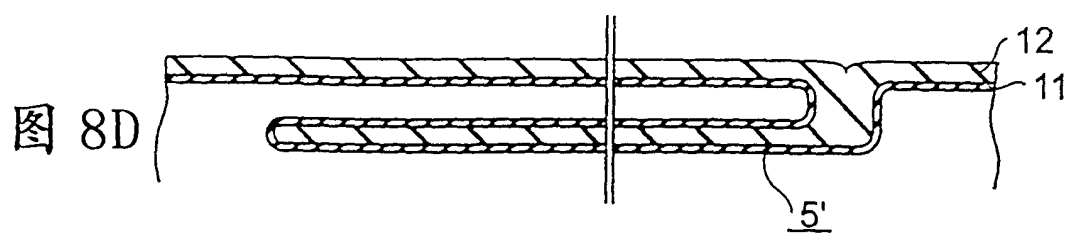
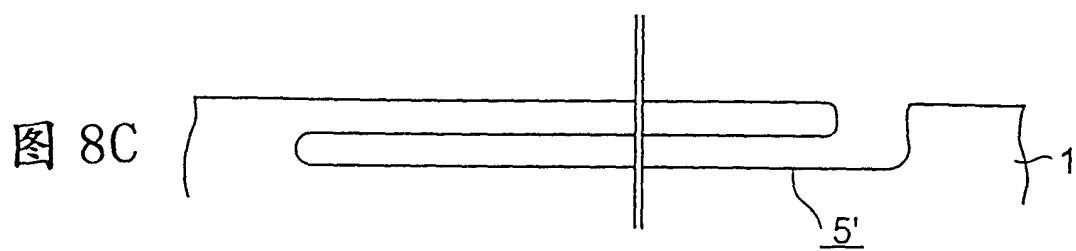
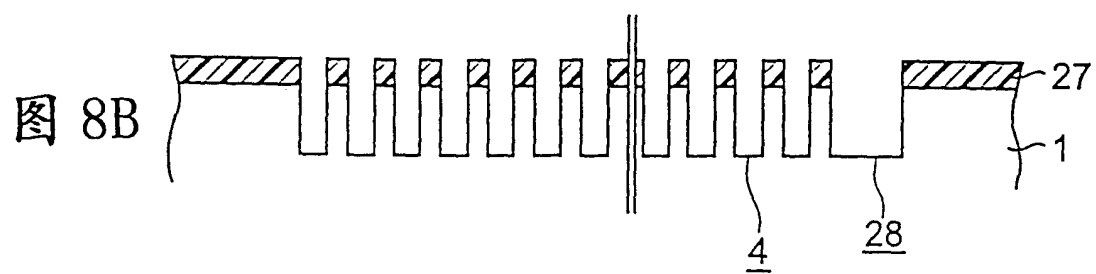
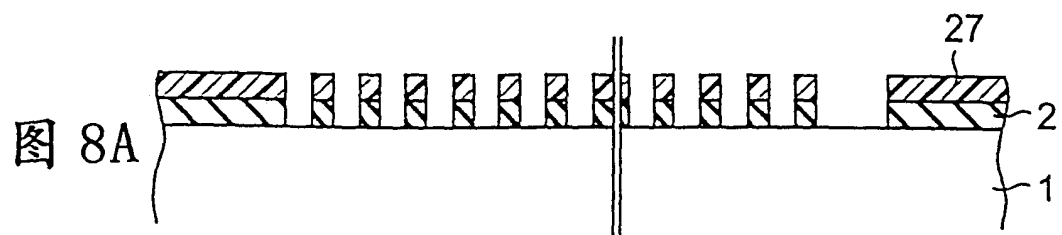


图 7





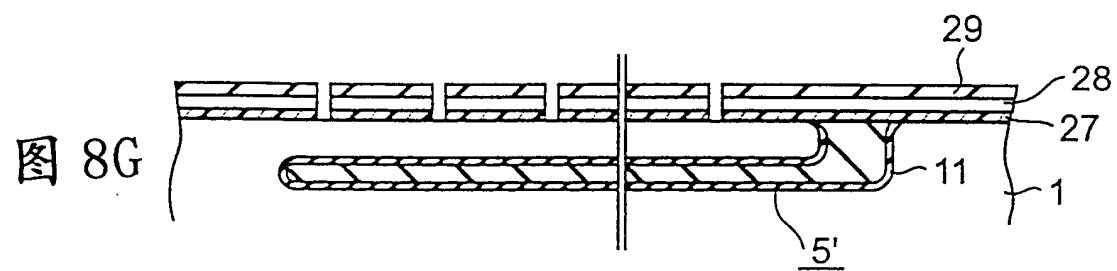
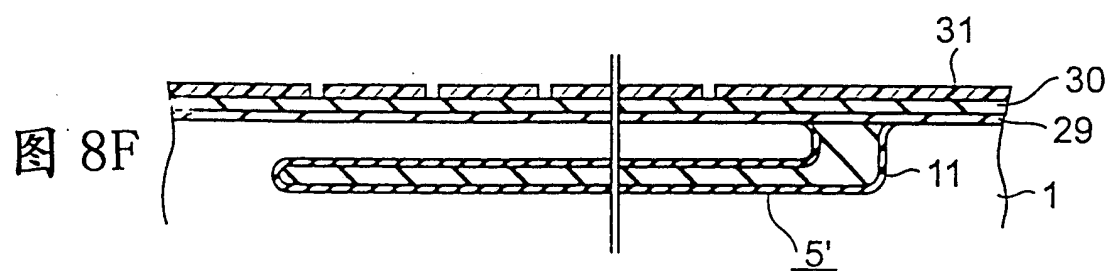
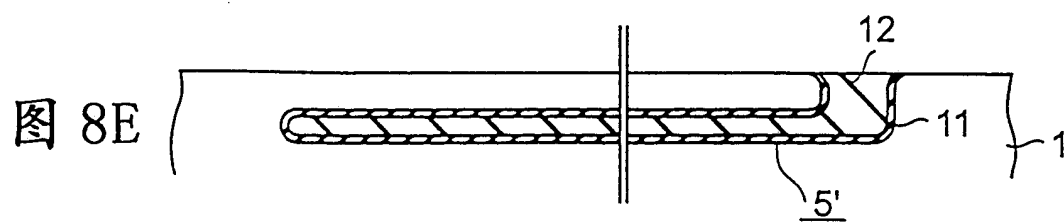


图 9

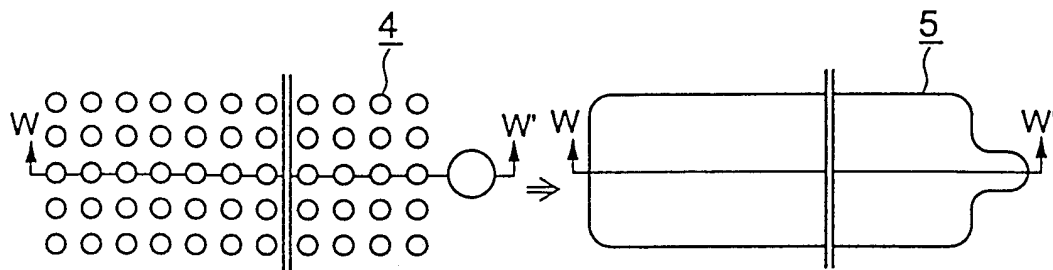


图 10

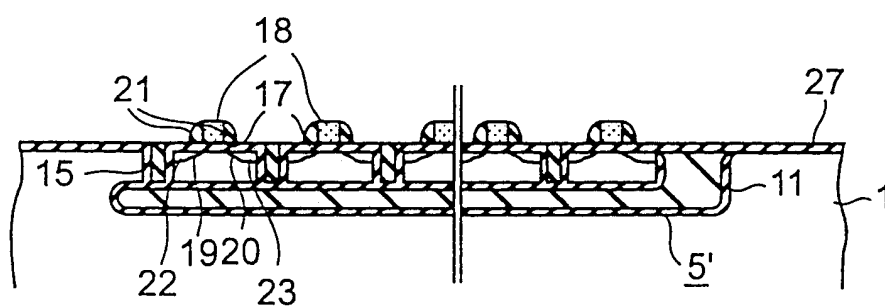


图 11A

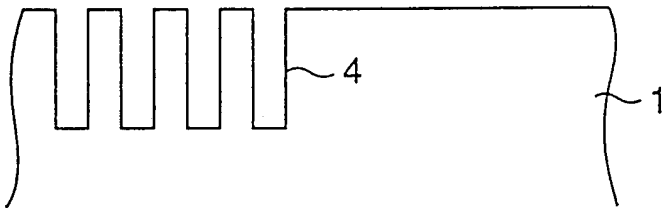


图 11B

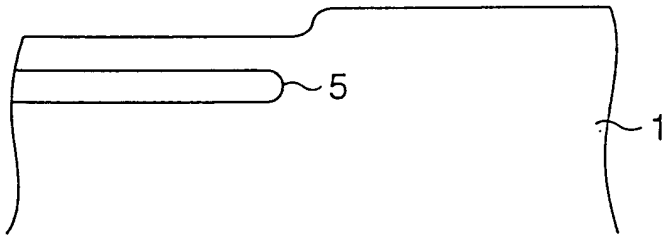


图 12A

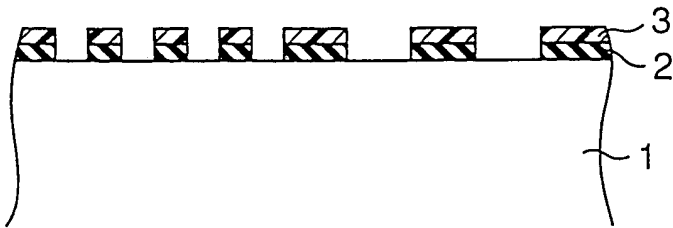


图 12B

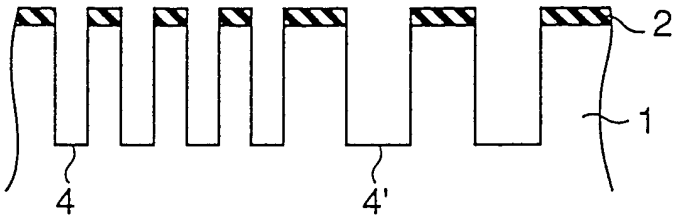


图 12C

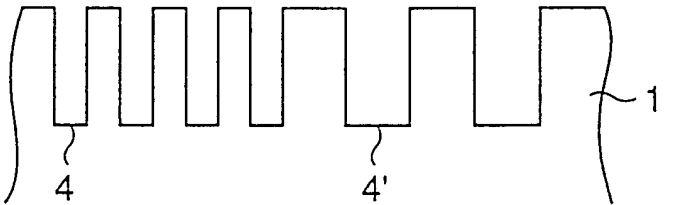


图 12D

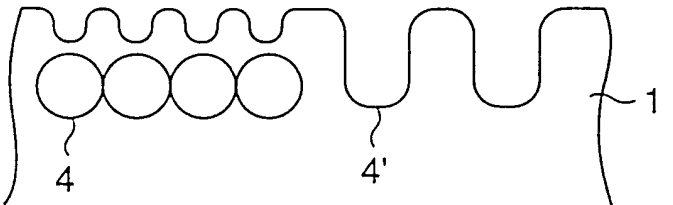


图 12E

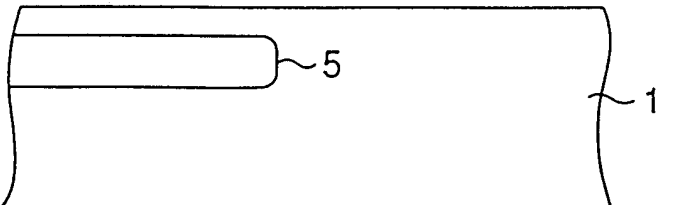


图 13

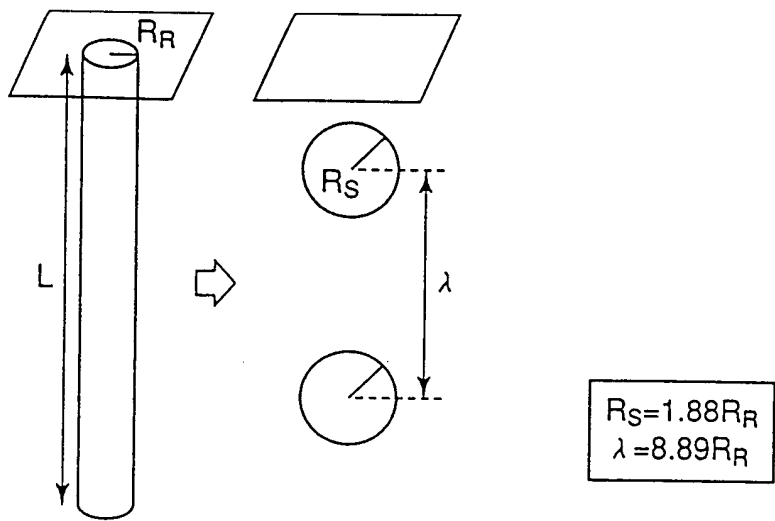


图 14

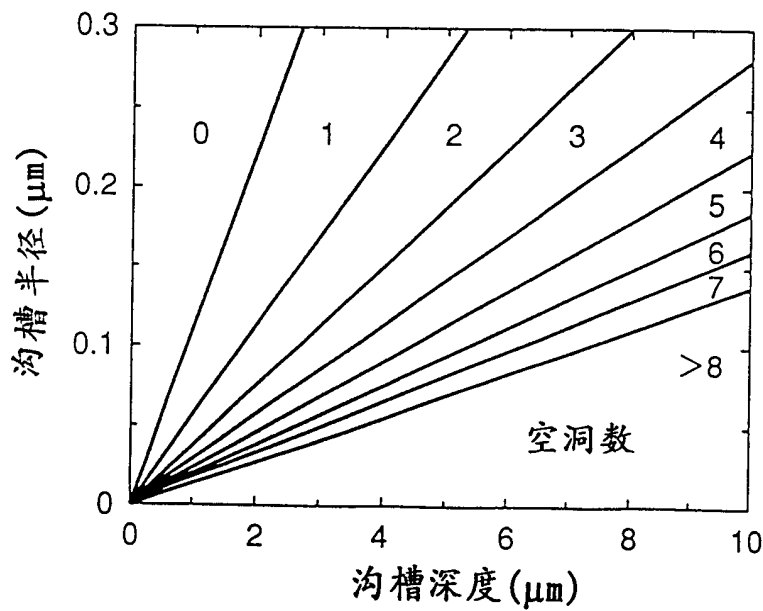


图 15A

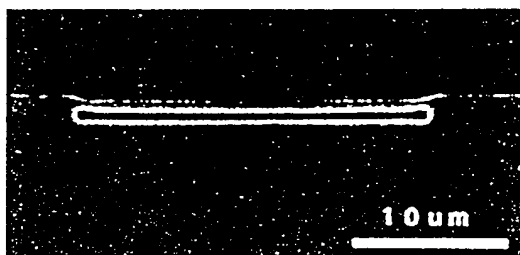


图 15B



图 15C



图 16

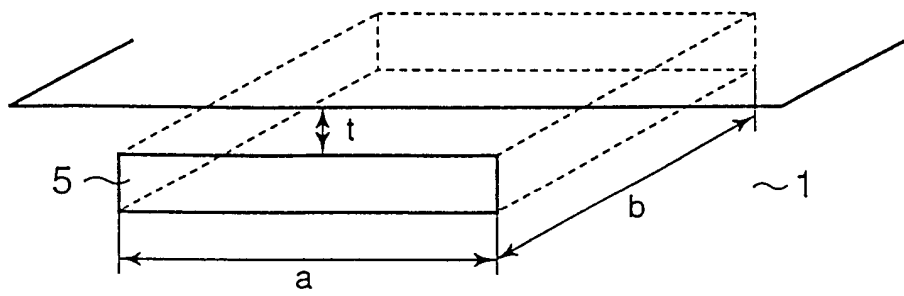


图 17

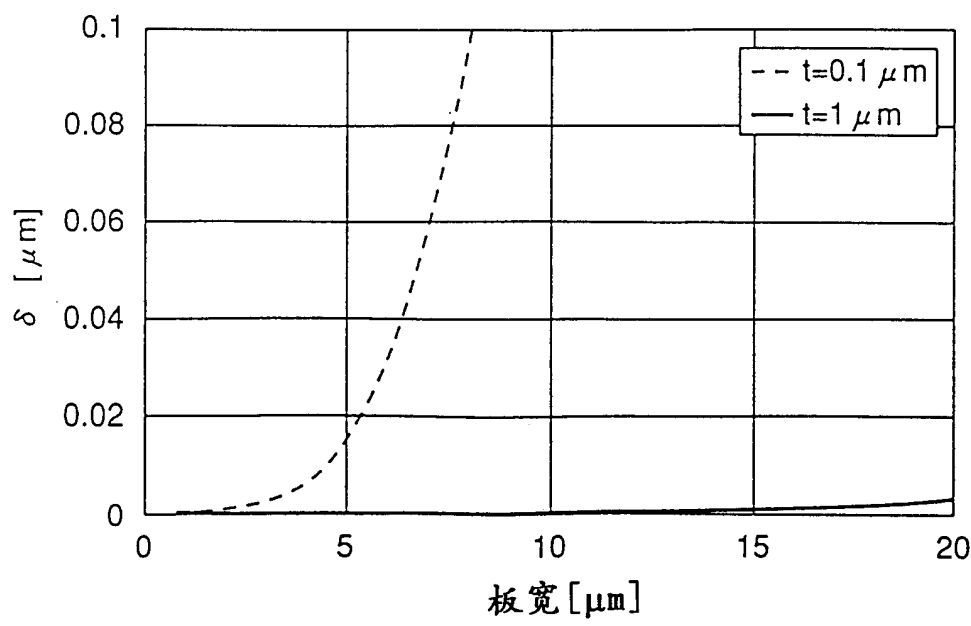


图 18

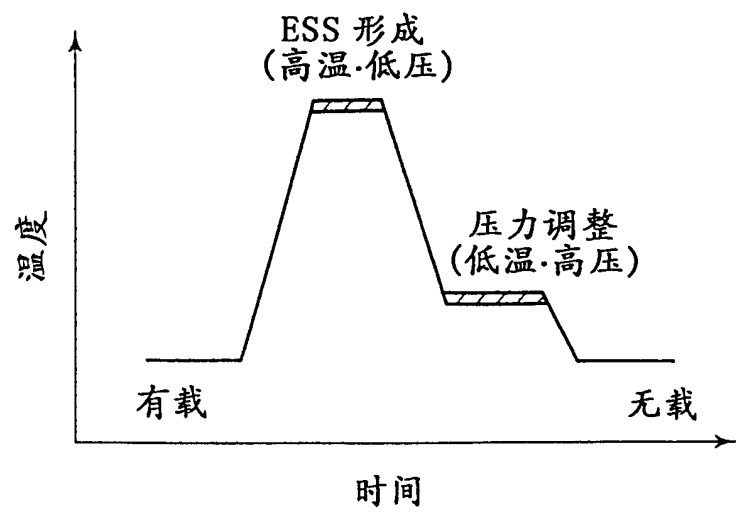


图 19

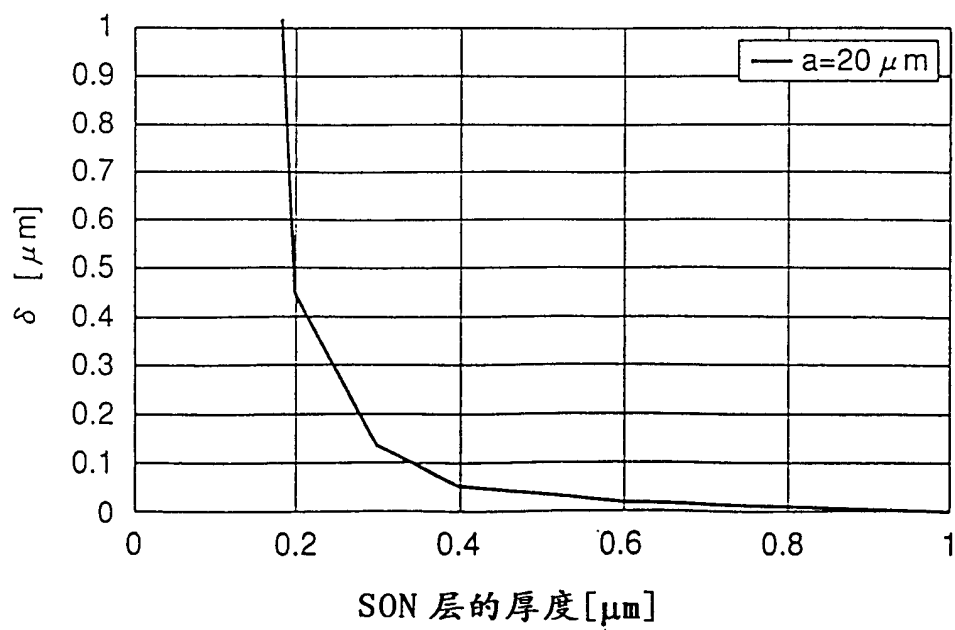


图 20A

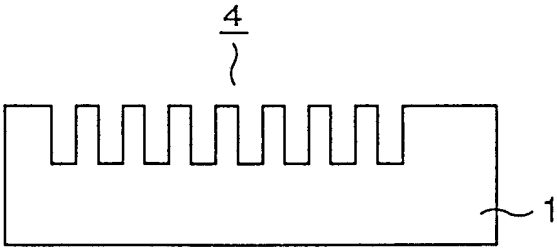


图 20B

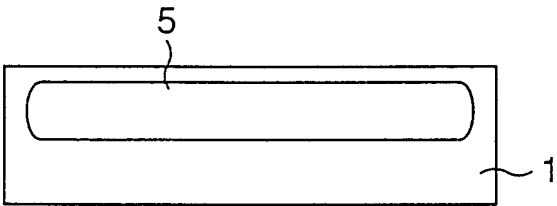


图 20C

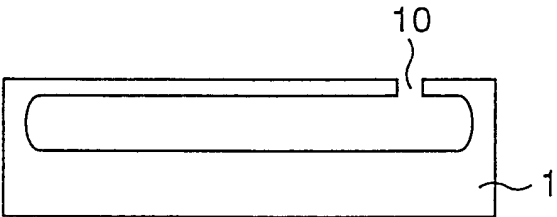


图 20D

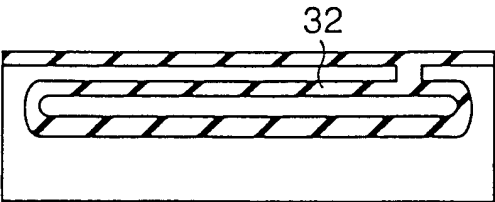


图 20E

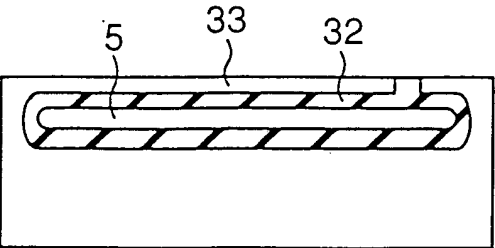


图 21

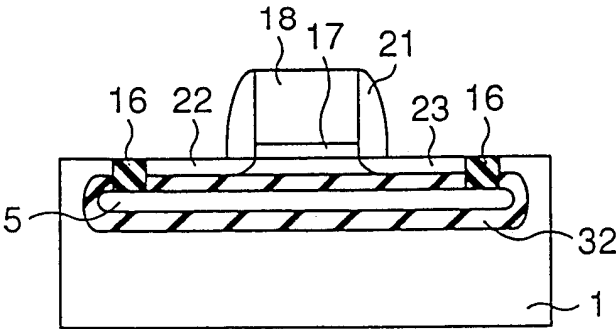


图 22A

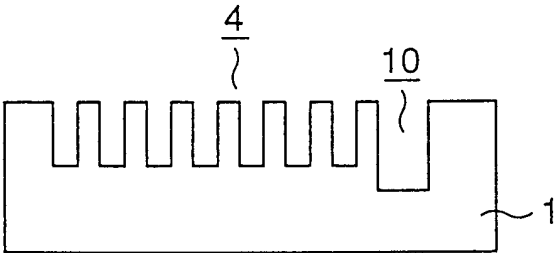


图 22B

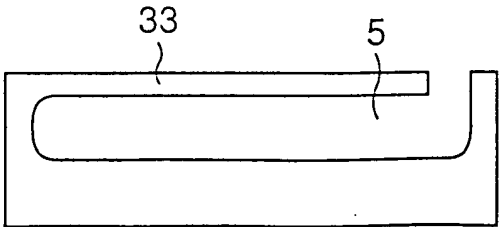


图 23A

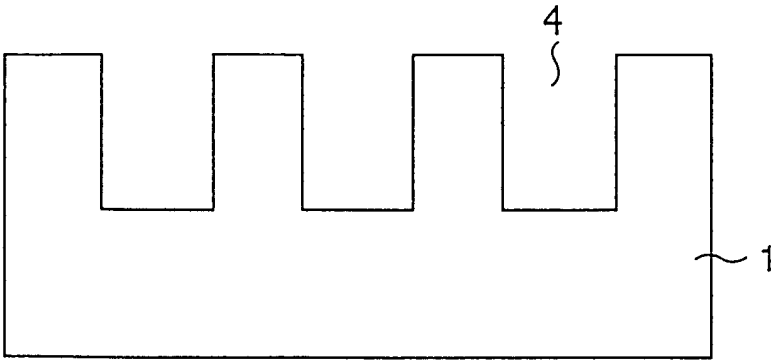


图 23B

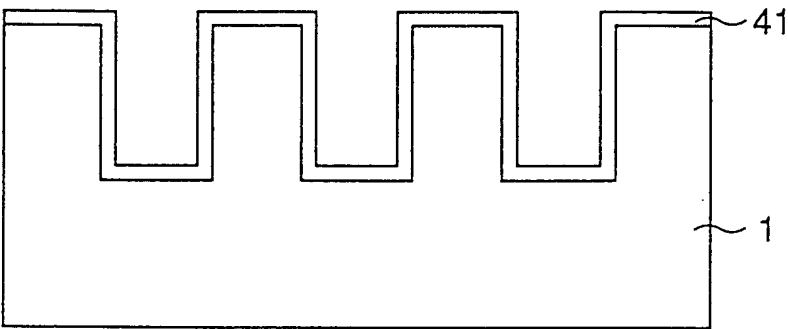


图 23C

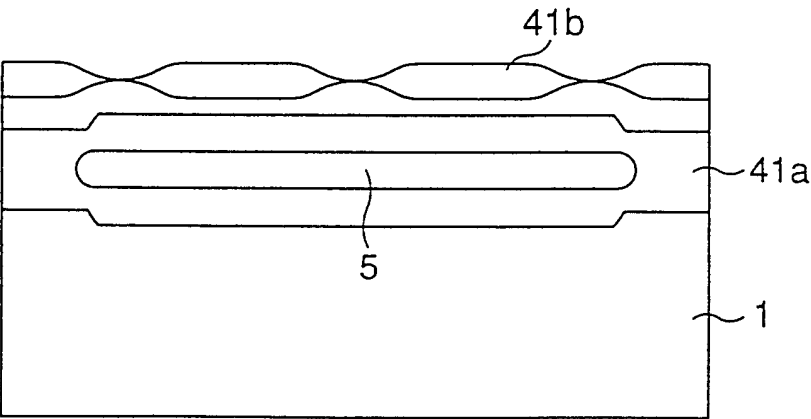


图 23D

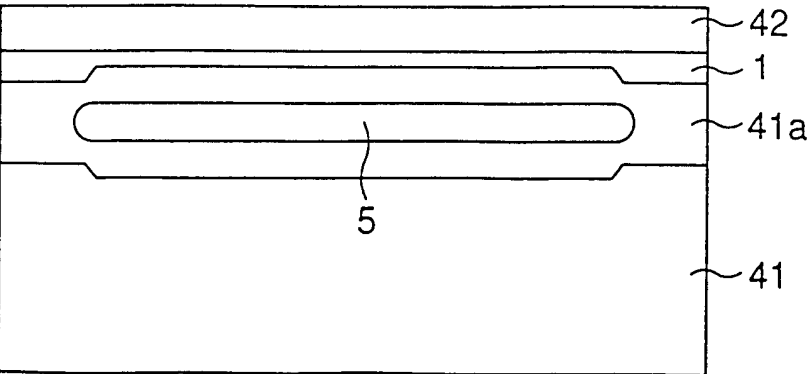


图 24

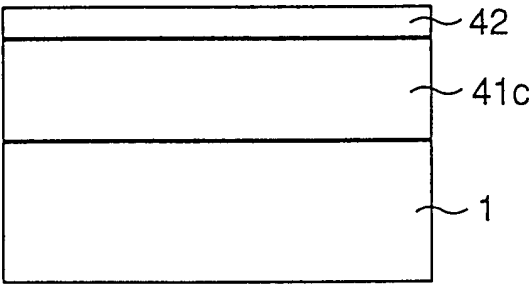


图 25

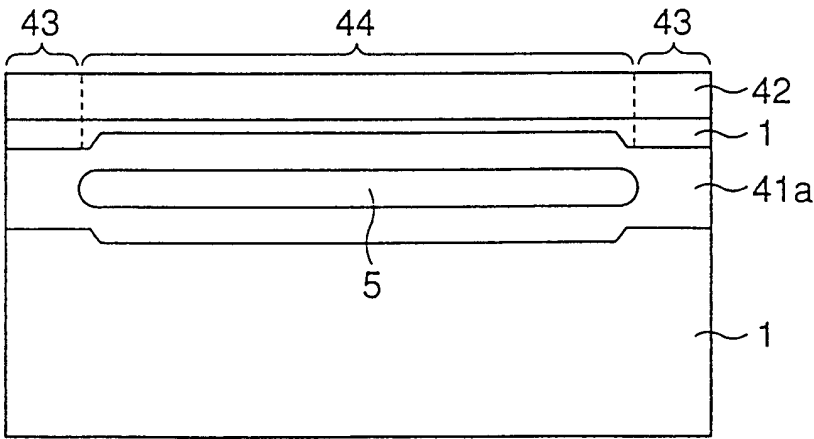


图 26

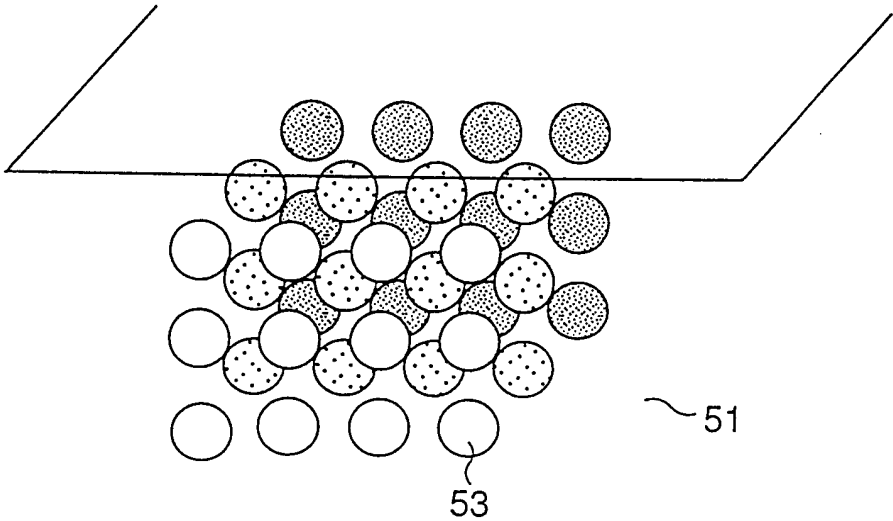


图 27A

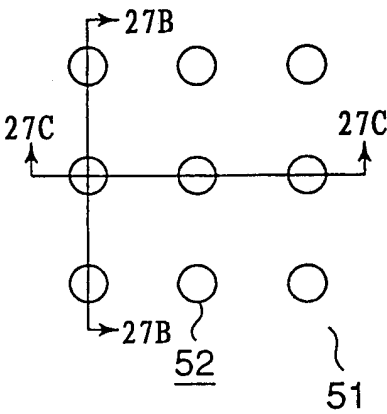


图 28A

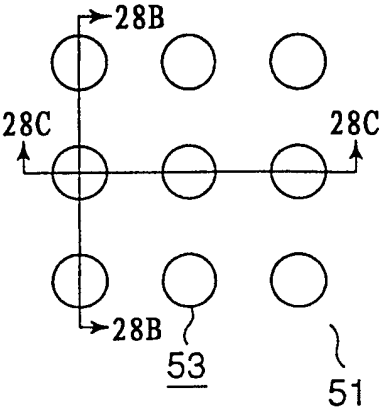


图 27B

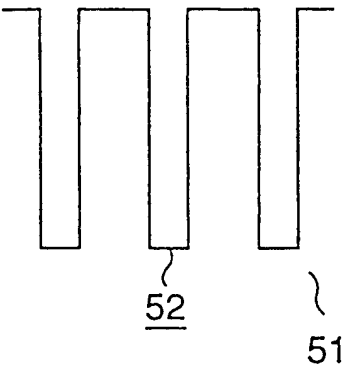


图 28B

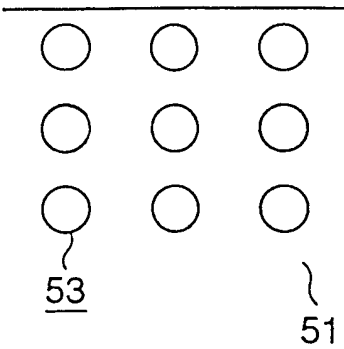


图 27C

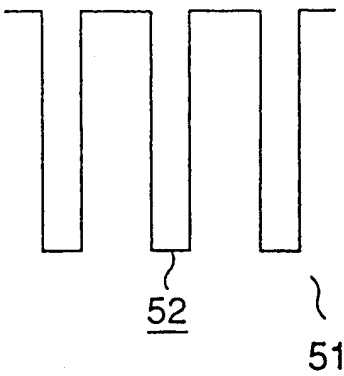


图 28C

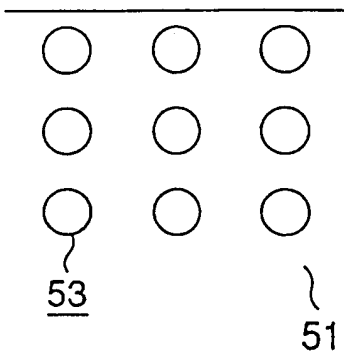


图 29

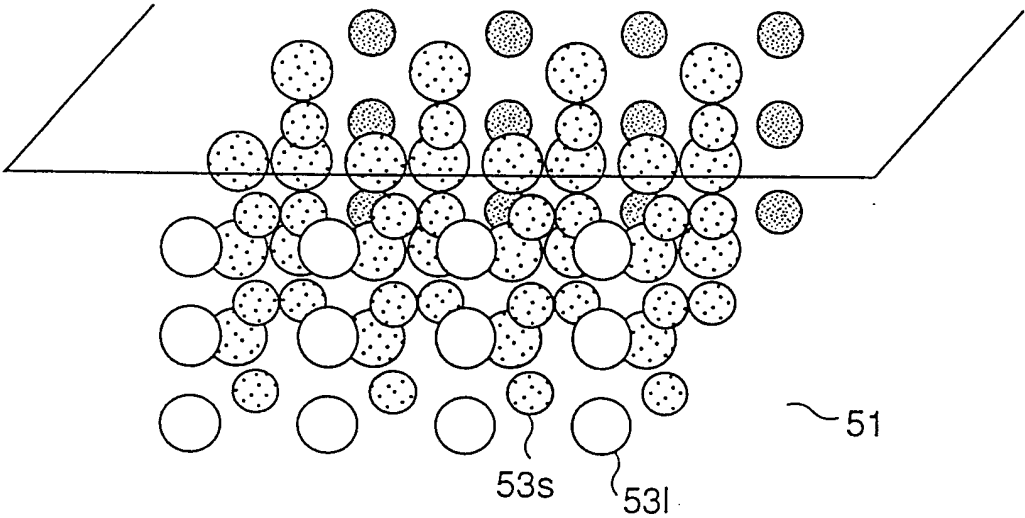


图 30A

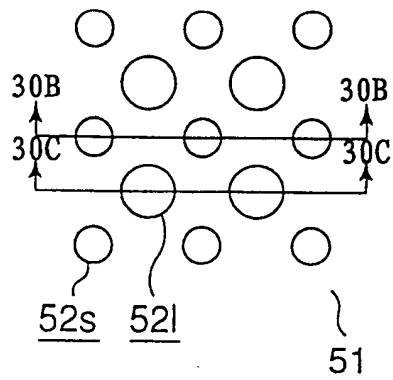


图 31A

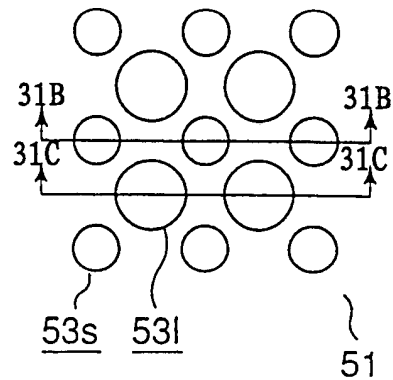


图 30B

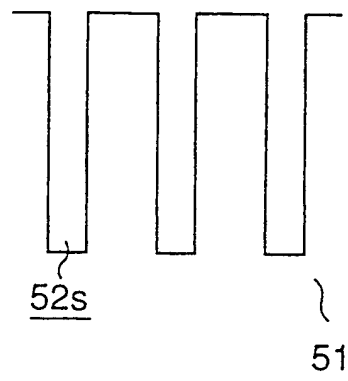


图 31B

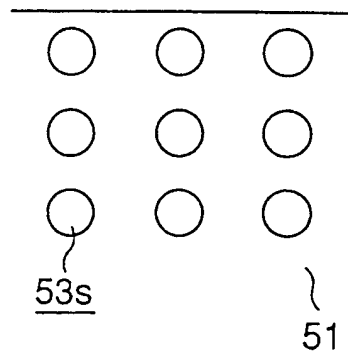


图 30C

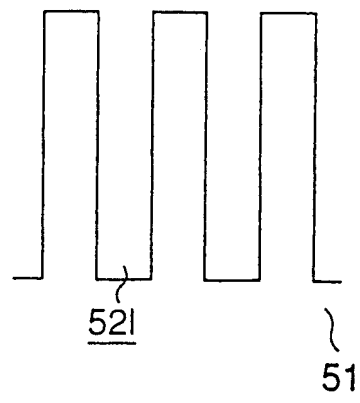


图 31C

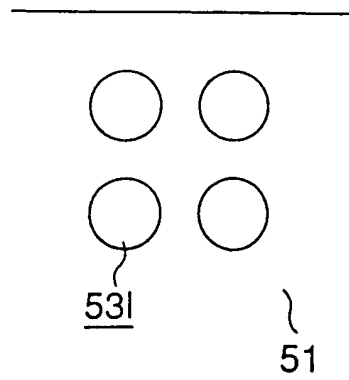


图 32

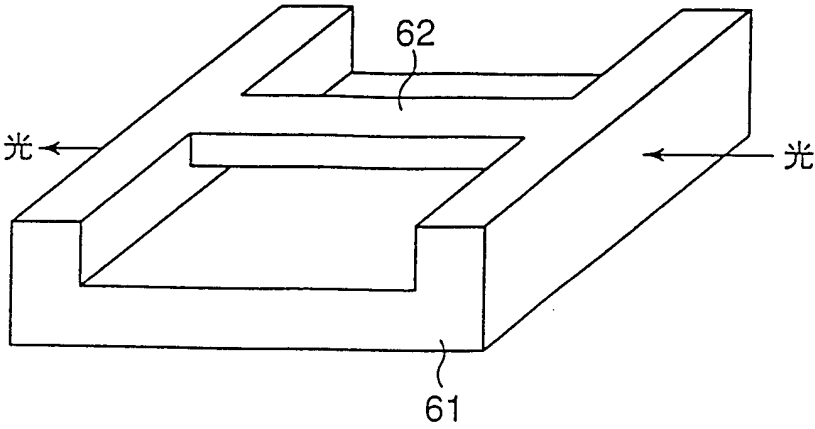
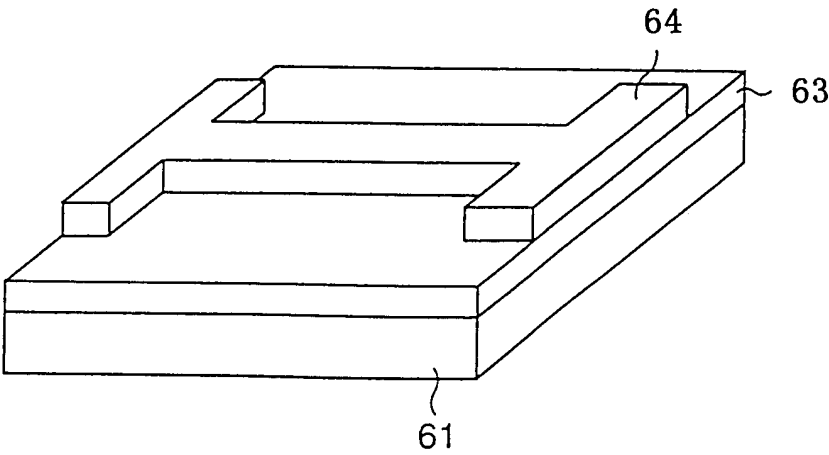


图 33



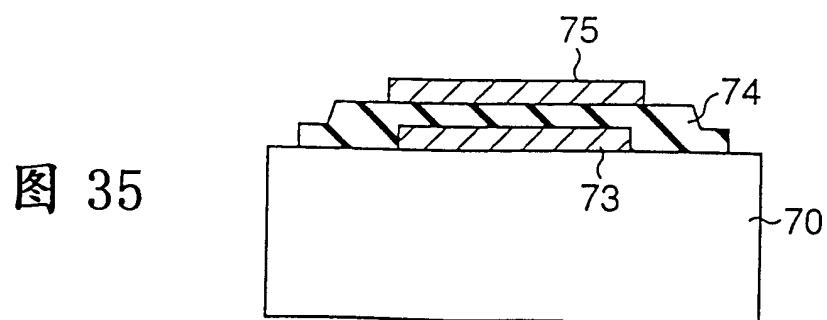
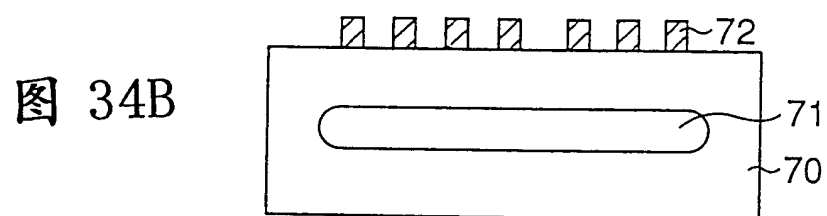
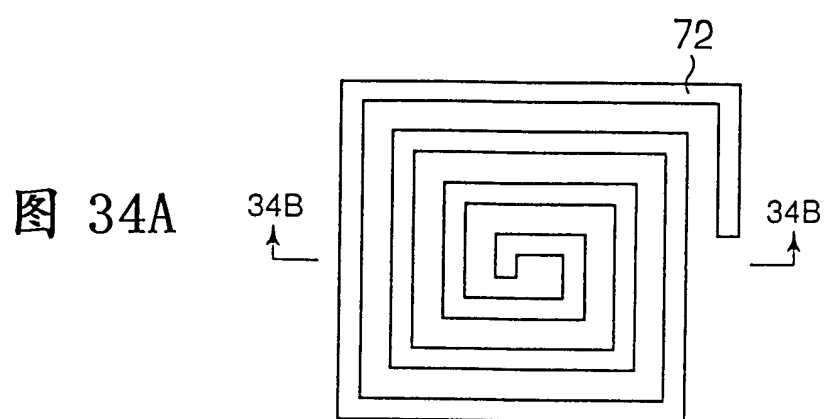


图 36

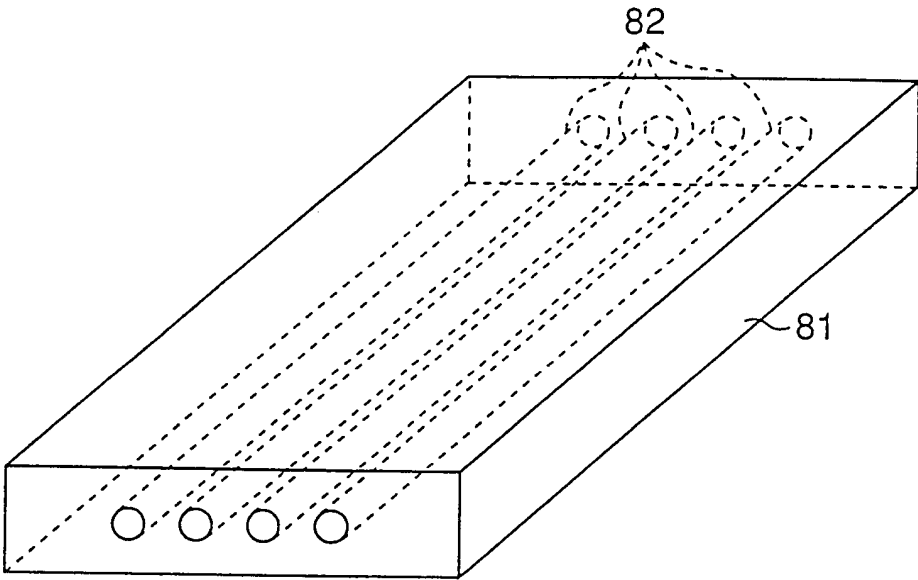


图 37

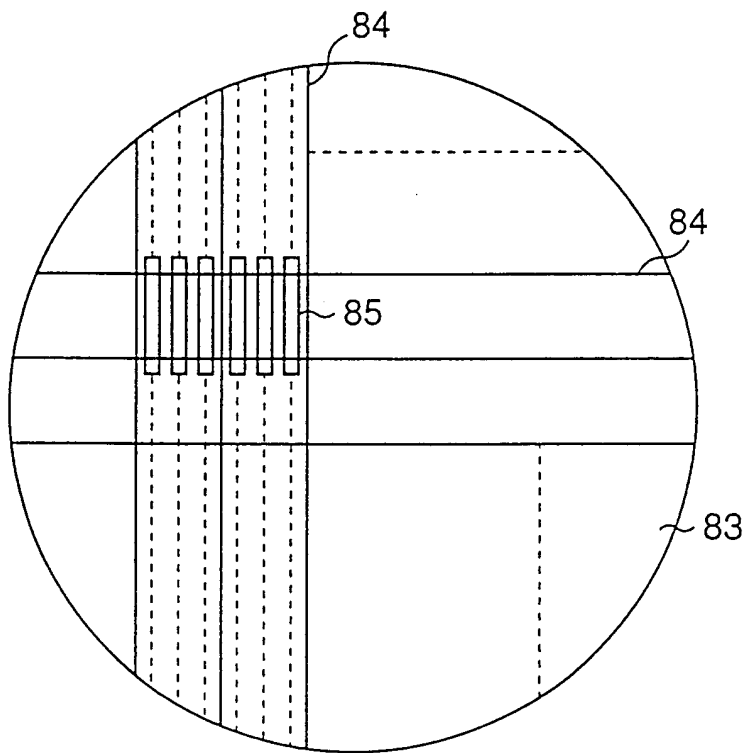


图 38A

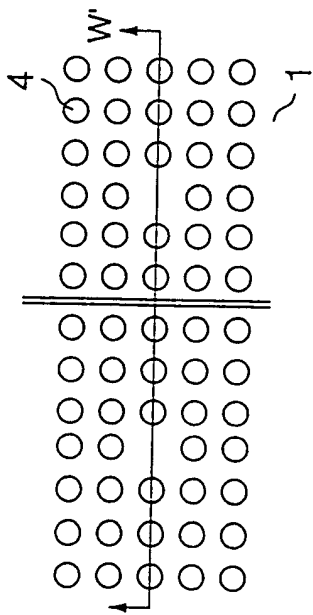


图 38C

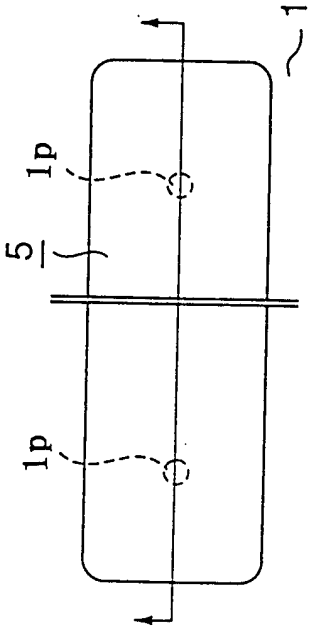


图 38B

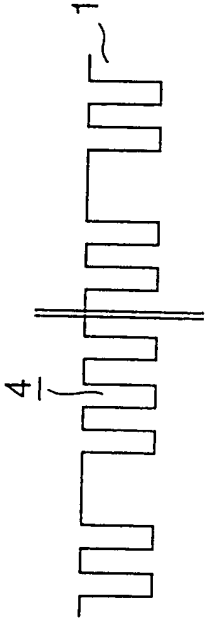


图 38D

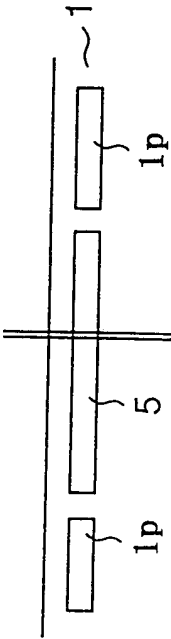


图 39

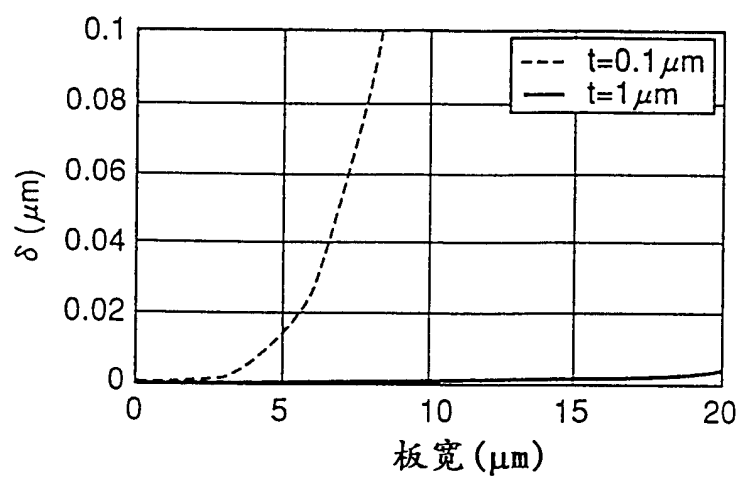


图 40A

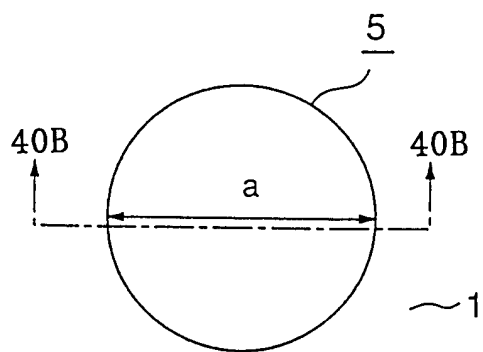


图 40B

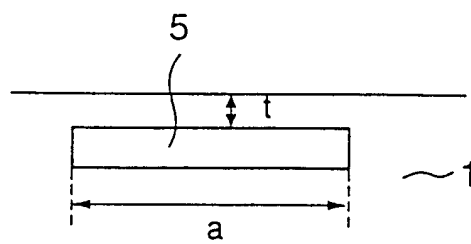


图 41A

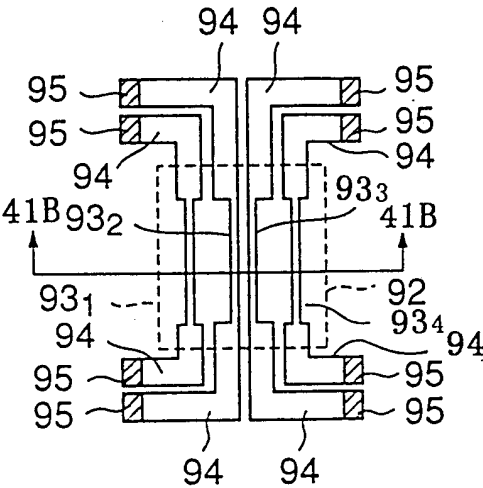


图 41B

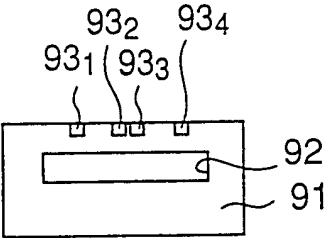


图 42

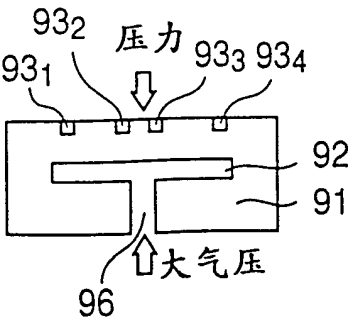


图 43A

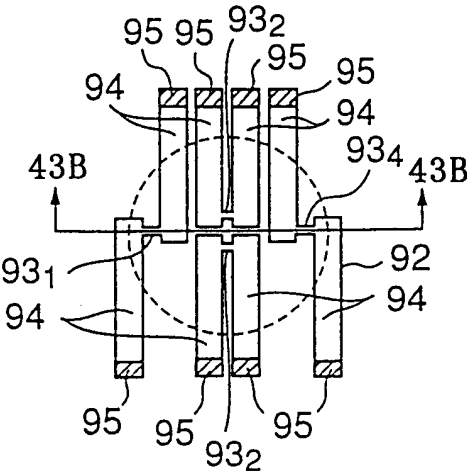


图 43B

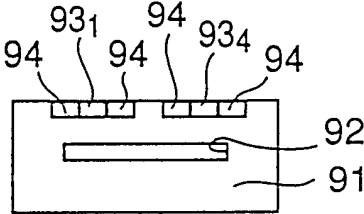


图 44

