

存储器件及其制造方法和存取方法

本申请要求了 2013 年 5 月 3 日提交的、申请号为 201310160970.3、发明名称为“存储器件及其制造方法和存取方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种存储器件及其制造方法和存取方法。

背景技术

浮栅晶体管结构一种常见的闪存器件实现方式。然而，随着器件的不断小型化，浮栅中能够存储的电荷越来越少。这导致器件的阈值电压波动并因此导致误差。此外，由于浮栅晶体管结构需要两层栅介质层，因此难以进一步小型化，因为总的栅介质厚度较大。

发明内容

本公开的目的至少部分地在于提供一种存储器件及其制造方法和存取。

根据本公开的一个方面，提供了一种存储器件，包括：衬底；在衬底上形成的背栅；晶体管，包括：在衬底上在背栅的相对两侧形成的鳍；以及在衬底上形成的栅堆叠，所述栅堆叠与鳍相交；以及在背栅的底面和侧面上形成的背栅介质层，其中，在栅堆叠的一侧，背栅介质层在面向鳍的区域处具有减薄部分。

根据本公开的另一方面，提供了一种制造存储器件的方法，包括：在衬底中形成背栅槽；在背栅槽的底壁和侧壁上形成背栅介质层；向背栅槽中填充导电材料，形成背栅；在背栅槽的一端选择性去除部分背栅以露出部分背栅介质层，将露出的背栅介质层部分减薄，并重新填充导电材料；对衬底进行构图，以形成与背栅介质层邻接的鳍；以及在衬底上形成栅堆叠，所述栅堆叠与所述鳍相交，其中，减薄的背栅介质层部分位于栅堆叠一侧与鳍相对处。

根据本公开的再一方面，提供了一种对上述存储器件进行存取的方法，包括：通过字线施加导通电压，以使晶体管导通，使晶体管的漏极电浮置，并通过位线向晶体管的源极施加第一偏置，使载流子从源极流向漏极且隧穿通过背栅介质层的减薄部分进入并因此存储于背栅中，以在该存储器件中存储第一状态；以及通过字线施加导通电压，以使晶体管导通，使晶体管的漏极电浮置，并通过位线向源极施加第二偏置，使背栅中存储的载流子隧穿通过背栅介质层的减薄部分并因此释放，以在该存储器件中存储第二状态，其中，晶体管在第一状态下的阈值电压不同于在第二状态下的阈值电压。

根据本发明的示例性实施例，两个鳍之间夹有背栅，从而整体上构成一种三明治鳍（sandwich Fin，或者简称为 sFin）。以这种 sFin 为基础，可以制造三明治鳍式场效应晶体管（sFinFET）。在制造过程中，背栅可以充当鳍的支撑结构，有助于改善结构的可靠性。背栅可以电浮置从而充当浮栅（floating gate），从而得到一种浮（背）栅 sFinFET 结构。这种浮（背）栅 sFinFET 结构可以构成存储器件如闪存。

另外，浮（背）栅的体积相对较大（特别是相对于常规浮栅晶体管结构中的浮栅），从而可以降低其中储存的电荷的波动，并因此改善存储器件的可靠性。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-4 是示出了根据本公开一个实施例的存储器件的透视图，其中图 2 是示出了图 1 所示的存储器件沿 A1-A1'线切开后的透视图，图 3 是示出了图 1 所示的存储器件沿 A2-A2'线切开后的透视图，图 4 是示出了图 1 所示的存储器件沿 B-B'线切开后的透视图；

图 5-27 是示出了根据本公开另一实施例的制造存储器件的流程中多个阶段的示意图；

图 28 是示出了根据本公开另一实施例的存储器件的存取原理的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，提供了一种存储器件。该存储器件可以包括具有浮栅配置的晶体管，其中由背栅充当浮栅。根据一有利示例，该晶体管可以包括在衬底上在背栅的相对两侧形成的鳍。这样，背栅和鳍形成三明治鳍（sFin）结构。晶体管还可以包括在衬底上形成的栅堆叠，该栅堆叠与鳍（以及它们之间的背栅）相交。从而，该晶体管可以配置为 sFinFET。栅堆叠在鳍中限定了沟道区（形成于鳍中与栅堆叠相交的部分），并因此限定了源/漏区（至少部分地形成于鳍中位于沟道区相对两侧的部分，并且还可以包括例如下面详细描述在鳍的表面上生长的半导体层）。为了避免栅堆叠和背栅之间的干扰，它们之间可以形成有电介质层并因此电隔离。

另外，背栅的底面和侧面上可以形成有背栅介质层。背栅介质层在栅堆叠的一侧面对鳍的区域处可以具有减薄部分。即，该区域处至少一部分的厚度可以小于背栅其余部分中的厚度。sFinFET 的沟道中的载流子（例如，对于 n 型器件为电子，对于 p 型器件为空穴）在一定动能（表现为晶体管上施加的一定偏置）下可以隧穿通过背栅介质层的减薄部分而进入并因此存储于背栅中。因此，背栅介质层的这种减薄部分可以充当“浮栅介质层”，相应地背栅可以充

当“浮栅”。在此，隧穿例如可以包括直接隧穿或者 Fowler-Nordheim 隧穿。这样，背栅与背栅介质层一起构成了针对 sFinFET 的浮栅配置。

另外，由于背栅介质层其余部分处的厚度要大于减薄部分处的厚度，因此相对于减薄部分而言要难以发生隧穿效应。根据一有利示例，可以使得在载流子能够隧穿通过减薄部分时在背栅介质层的其他部分处不能够发生隧穿效应。例如，这可以通过在晶体管上施加适当的偏置，使得载流子的能量尽管足以隧穿通过减薄部分但不足以隧穿通过其余部分来实现。

根据一示例，背栅介质层的减薄部分可以位于 sFinFET 的漏区一侧。这样，当 sFinFET 导通时，载流子可以通过鳍（其中形成沟道区）从其源区流向漏区。在漏区一侧，载流子可以（在背栅介质层的减薄部分处）隧穿通过浮栅介质层，而进入并因此存储于浮（背）栅中。另一方面，当 sFinFET 导通时，如果在源区上施加一定的偏置，可以使得浮（背）栅中存储的载流子（如果存在的话）排出。这样，该存储器件可以表现出（至少）两种状态：浮（背）栅中存储有电荷，浮（背）栅中没有存储电荷（例如，可以将浮（背）栅中存储有电荷的状态认为是逻辑“1”，而将浮（背）栅中没有存储电荷的状态认为是逻辑“0”；反之亦然）。

另一方面，由于背栅与 sFinFET 的鳍之间的相邻设置，背栅中的电荷会影响 sFinFET 的阈值电压。这样，根据背栅中存储电荷与否，sFinFET 可以表现出不同的阈值电压并因此表现出不同的电学特性。因此，可以根据 sFinFET 的电学特性，来读出存储器件的状态（或者，“数据”）。

根据一些示例，背栅介质层可以包括在背栅的底面和侧面上依次形成的第一介质层和第二介质层。第一介质层在上述减薄部分处可以具有开口。这样，减薄部分处可以包括单独的第二介质层，而其余部分处可以包括第一介质层和第二介质层的叠层。

在一些示例中，为了电隔离栅堆叠与衬底，该存储器件可以包括在衬底上形成的隔离层，这种隔离层露出 sFin 中鳍的一部分（该部分用作 sFinFET 的真正鳍，即限定了沟道的宽度），而栅堆叠形成于隔离层上。由于鳍的底部被隔离层遮挡，所以栅堆叠难以对鳍的底部进行有效控制，从而可能造成源漏之间经由鳍底部的漏电流。为抑制这种漏电流，sFinFET 可以包括位于鳍的露出

部分下方的穿通阻挡部 (PTS)。例如, 该 PTS 可以基本上位于 sFin 的鳍中被隔离层遮挡的部分中。

根据一些示例, 为了增强器件性能, 可以应用应变源/漏技术。例如, 源/漏区可以包括与鳍不同材料的半导体层, 从而可以向沟道区施加应力。例如, 对于 p 型器件, 可以施加压应力; 而对于 n 型器件, 可以施加拉应力。

根据本公开的一些示例, 存储器件可以如下来制作。例如, 可以在衬底中形成背栅槽, 通过向该背栅槽中填充导电材料如金属、掺杂的多晶硅等来形成背栅。另外, 在填充背栅槽之前, 可以在背栅槽的侧壁和底壁上形成背栅介质层。而且, 可以对背栅介质层进行构图, 以使其一部分减薄。例如, 背栅介质层的构图可以通过在背栅槽的一端选择性去除部分背栅以露出部分背栅介质层, 将背栅介质层的露出部分减薄, 并重新填充导电材料来进行。接下来, 可以对衬底进行构图, 来形成与背栅介质层邻接的鳍。例如, 可以如此对衬底进行构图, 使得在背栅槽的侧壁 (更具体地, 背栅槽侧壁上形成的背栅介质层) 上留有衬底的 (鳍状) 部分。然后, 可以在衬底上形成与鳍相交的栅堆叠。

为了便于背栅槽和鳍的构图, 根据一有利示例, 可以在衬底上形成构图辅助层。该构图辅助层可以被构图为具有与背栅槽相对应的开口, 并且在其与开口相对的侧壁上可以形成图案转移层。这样, 可以构图辅助层和图案转移层为掩模, 来构图背栅槽 (以下称作 “第一构图”); 另外, 可以图案转移层为掩模, 来构图鳍 (以下称作 “第二构图”)。

这样, 鳍通过两次构图形成: 在第一构图中, 形成鳍的一个侧面; 而在第二构图中, 形成鳍的另一个侧面。在第一构图中, 鳍尚与衬底的主体相连并因此得到支撑。另外, 在第二构图中, 鳍与背栅相连并因此得到支撑。结果, 可以防止鳍的制造过程中坍塌, 并因此可以更高的产率来制造较薄的鳍。

在第二构图之前, 可以在背栅槽中形成电介质层, 以覆盖背栅。该电介质层一方面可以使背栅 (例如与栅堆叠) 电隔离, 另一方面可以防止第二构图对背栅造成影响。

另外, 为了便于构图, 根据一有利示例, 可以按侧墙形成工艺, 来在构图辅助层的侧壁上形成图案转移层。由于侧墙形成工艺不需要掩模, 从而可以减少工艺中使用的掩模数量。

根据一示例，衬底可以包括 Si、Ge、SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb，而构图辅助层可以包括非晶硅。在这种情况下，为了避免在构图背栅槽期间不必要地刻蚀构图辅助层，可以在构图辅助层的顶面上形成保护层。另外，在形成构图辅助层之前，还可以在衬底上形成停止层。对于构图辅助层的构图（以在其中形成开口）可以停止于该停止层。例如，刻蚀保护层可以包括氮化物（如，氮化硅），图案转移层可以包括氮化物，停止层可以包括氧化物（如，氧化硅）。

另外，根据本公开的一些示例，可以先在形成有 sFin 的衬底上形成隔离层，该隔离层露出 sFin（特别是其中的鳍）的一部分。然后，可以在隔离层上形成与 sFin 相交的栅堆叠。为了形成上述的 PTS，可以在形成隔离层之后且在形成栅堆叠之前，进行离子注入。由于 sFin 的形状因子及其顶部存在的各电介质层（例如，图案转移层等），PTS 可以基本上形成于 sFin 的鳍中被隔离层遮挡的部分中。之后，还可以去除 sFin 中鳍顶部的电介质层（例如，图案转移层等）。这样，随后形成的栅堆叠可以与鳍露出的侧面及顶面接触。

本公开可以各种形式呈现，以下将描述其中一些示例。

图 1 是示出了根据本公开一个实施例的存储器件的透视图，且图 2 是示出了图 1 所示的存储器件沿 A1-A1'线切开后的透视图，图 3 是示出了图 1 所示的存储器件沿 A2-A2'线切开后的透视图，图 4 是示出了图 1 所示的存储器件沿 B-B'线切开后的透视图。

如图 1 所示，该存储器件包括衬底 100。衬底 100 可以包括体半导体衬底如 Si、Ge，化合物半导体衬底如 SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb，绝缘体上半导体衬底（SOI）等。为方便说明，以下以体硅衬底以及硅系材料为例进行描述。

该存储器件还可以包括在衬底上形成的 sFin 结构。具体地，该 sFin 结构可以包括在衬底上形成的两个鳍 104 以及夹于它们之间的背栅 120。鳍 104 的宽度例如为约 3-28nm，且与背栅 120 之间夹有第一介质层 116 和第二介质层 150。另外，第一介质层 116 和第二介质层 150 还可以形成于背栅 120 的底面，使得背栅 120 与衬底 100 隔开。第一介质层 116 和第二介质层 150 可以包括各种合适的电介质材料，例如它们可以包括高 K 电介质，或者一个可以包括高 K

电介质而另一个可以包括氧化物。根据一有利示例，第一介质层 116 可以包括氧化物（例如氧化硅），其厚度例如为约 1-3nm；而第二介质层 150 可以包括高 K 电介质材料，如 HfO_2 ，其厚度例如为约 2-25nm。第一介质层和第二介质层 150 的叠层构成背栅介质层。背栅 120 可以包括各种合适的导电材料，如掺杂的多晶硅、TiN、W 或其组合，其宽度（图中纸面内水平方向上的维度）例如为约 5-30nm。背栅 120 的顶面可以与各鳍 104 的顶面基本上持平或高于鳍的顶面。

衬底 100 中可以形成有阱区（未示出）。背栅 120 可以进入该阱区中，从而可以经由背栅介质层（包括第一介质层 116 和第二介质层 150）与该阱区形成耦合电容。这可以增大背栅储存电荷的容量，并因此可以降低背栅中储存电荷的波动并因此改善存储器件的可靠性。

在图 1 的示例中，鳍 104 与衬底 100 一体，由衬底 100 的一部分形成。但是，本公开不限于此。例如，鳍 104 可通过在衬底 100 上外延的另外半导体层形成。

图 1 中还示出了位于背栅 120 顶面上的电介质层 124。电介质层 124 例如可以包括氮化物（如氮化硅）。电介质层 124 可以将背栅 120 与衬底 100 正面（图 1 中上表面）形成的其余部件（例如，栅堆叠）电隔离。

另外，图 1 中还示出了位于鳍 104 顶部的电介质层 106（例如，氧化物）和 114（例如，氮化物）。这些电介质层是在该存储器件的制造过程中残留的，它们可以留于鳍 104 顶部，或者可以根据需要去除。

如图 1 和 2 所示，该存储器件还可以包括在衬底 100 上形成的栅堆叠。栅堆叠可以包括栅介质层 138 和栅导体层 140。例如，栅介质层 138 可以包括高 K 栅介质如 HfO_2 ，厚度为 1-5nm；栅导体层 140 可以包括金属栅导体。另外，栅介质层 138 还可以包括一层薄的氧化物（高 K 栅介质形成于该氧化物上），例如厚度为 0.3-1.2nm。在栅介质层 138 和栅导体 140 之间，还可以形成功函数调节层（图中未示出）。另外，栅堆叠两侧形成有栅侧墙 130。例如，栅侧墙 130 可以包括氮化物，厚度为约 5-20nm。背栅 220 通过其顶面上的电介质层 124 与栅堆叠隔离。

另外，在图 1 的示例中，该存储器件还包括在衬底上形成的隔离层 102，

栅堆叠通过该隔离层 102 与衬底 100 隔离。例如，隔离层 102 可以包括氧化物（如，氧化硅）。这里需要指出的是，在某些情况下，例如衬底 100 为 SOI 衬底的情况下，可以不需要单独形成隔离层 102。鳍 104 例如可以通过 SOI 衬底中的 SOI 半导体形成，而 SOI 衬底的埋入绝缘层可以充当这种隔离层。

由于栅堆叠的存在，在 sFin 中限定了沟道区（对应于鳍与栅堆叠相交的部分）和源/漏区（对应于鳍中位于沟道区相对两侧的部分）。在图 1 所示的存储器件中，源/漏区还包括在鳍的表面上生长形成半导体层 132。半导体层 132 可以包括不同于鳍 104 的材料，以便能够向鳍 104（特别是其中的沟道区）施加应力。例如，在鳍 104 包括 Si 的情况下，对于 n 型器件，半导体层 132 可以包括 Si:C（C 的原子百分比例例如为约 0.2-2%），以施加拉应力；对于 p 型器件，半导体层 132 可以包括 SiGe（例如，Ge 的原子百分比为约 15-75%），以施加压应力。另外，半导体层 132 的存在还展宽了源/漏区，从而有利于后继制造与源/漏区的接触部。

如图 2 所示，栅堆叠与鳍 104（与背栅 120 相反一侧）的侧面相交。具体地，栅介质层 138 与鳍 104 的该侧面接触，从而栅导体层 140 可以通过栅介质层 138 控制在鳍 104 的该侧面上产生导电沟道。因此，该存储器件可以构成双栅器件。另外，在去除鳍 104 顶部的电介质层 106 和 114 的情况下，还可以在鳍 104 的顶面上也产生导电沟道，从而该存储器件可以构成四栅器件。

如图 3 和 4 所示，第二介质层 150 在栅堆叠的一侧面对鳍 104 处具有开口 150g。在该示例中，开口 150g 可以位于漏区一侧（栅堆叠另一侧为源区）。如图 3 和 4 所示，在漏区一侧的一部分区域中，第二介质层 150 形成于背栅 120 的侧壁下部和底壁上，并且开口 150g 具有矩形形状。另外，在该示例中，开口 150g 没有遍布整个漏区，而是仅占据漏区的一部分。这里需要指出的是，开口 150g 可以具有任意合适的形状和位置，只要它们能够便于制造。

这样，在开口 150g 处，背栅 120 经由减薄的背栅介质层（包括单独的第一介质层 116）与鳍 104 相对，从而与减薄的背栅介质层（具体地，第一介质层 116）一起形成针对由栅堆叠（控制栅）和鳍 104 构成的 FinFET 的浮栅配置。

这里需要指出的是，尽管在上述示例中，将背栅介质层示出为第一介质层

和第二介质层的叠层，但是本公开不限于此。背栅介质层可以包括任意合适的配置，例如可以包括单独的一层或者三层或更多层的叠层，只要在栅堆叠一側面对鳍的区域中存在减薄部分。另外，减薄部分可以具有任意合适的形状、大小和设置位置。

图 5-27 是示出了根据本公开另一实施例的制造存储器件的流程中多个阶段的示意图。

如图 5 所示，提供衬底 1000，例如体硅衬底。在衬底 1000 中，例如通过离子注入，形成有阱区 1000-1。例如，对于 p 型器件，可以形成 n 型阱区；而对于 n 型器件，可以形成 p 型阱区。例如，n 型阱区可以通过在衬底 1000 中注入 n 型杂质如 P 或 As 来形成，p 型阱区可以通过在衬底 1000 中注入 p 型杂质如 B 来形成。如果需要，在注入之后还可以进行退火。本领域技术人员能够想到多种方式来形成 n 型阱、p 型阱，在此不再赘述。

在衬底 1000 上可以依次形成停止层 1006、构图辅助层 1008 和保护层 1010。例如，停止层 1006 可以保护氧化物（如氧化硅），厚度为约 5-25nm；构图辅助层 1008 可以包括非晶硅，厚度为约 50-200nm；保护层 1010 可以包括氮化物（如氮化硅），厚度为约 5-15nm。这些层的材料选择主要是为了在后继处理过程中提供刻蚀选择性。本领域技术人员应当理解，这些层可以包括其他合适的材料，并且其中的一些层在某些情况下可以省略。

接着，在保护层 1010 上可以形成光刻胶 1012。例如通过光刻，对光刻胶 1012 进行构图，以在其中形成与将要形成的背栅相对应的开口。开口的宽度 D1 例如可以为约 15-100nm。

接着，如图 6 所示，可以光刻胶 1012 为掩模，依次对保护层 1010 和构图辅助层 1008 进行刻蚀，如反应离子刻蚀（RIE），从而在保护层 1010 和构图辅助层 1008 中形成开口。刻蚀可以停止于停止层 1006。当然，如果构图辅助层 1008 与之下的衬底 1000 之间具有足够的刻蚀选择性，甚至可以去除这种停止层 1006。之后，可以去除光刻胶 1012。

然后，如图 7 所示，可以在构图辅助层 1008（与开口相对）的侧壁上，形成图案转移层 1014。图案转移层 1014 可以按照侧墙形成工艺来制作。例如，可以通过在图 6 所示结构（去除光刻胶 1012）的表面上淀积一层氮化物，然

后对氮化物进行 RIE，来形成侧墙形式的图案转移层。所淀积的氮化物层的厚度可以为约 3-28nm（基本上确定随后形成的鳍的宽度）。这种淀积例如可以通过原子层淀积（ALD）来进行。本领域技术人员知道多种方式来形成这种侧墙，在此不再赘述。

接下来，如图 8 所示，可以构图辅助层 1008 和图案转移层 1014 为掩模，对衬底 1000 进行构图，以在其中形成背栅槽 BG。在此，可以依次对停止层 1006 和衬底 1000 进行 RIE，来形成背栅槽 BG。由于保护层 1010 的存在，这些 RIE 不会影响到构图辅助层 1008。当然，如果构图辅助层 1008 的材料与停止层 1006 和衬底 1000 的材料之间具有足够的刻蚀选择性，甚至可以去除保护层 1010。

根据一有利实施例，背栅槽 BG 进入到阱区 1000-1 中。例如，如图 8 所示，背栅槽 BG 的底面相比于阱区 1000-1 的顶面下凹 D_{cap} 的深度。 D_{cap} 可以在约 20-300nm 的范围。

随后，如图 9（图 9（a）为截面图，图 9（b）为俯视图）所示，可以在背栅槽 BG 的侧壁和底壁上依次形成第一介质层 1016 和第二介质层 1050。第一介质层 1016 可以包括任何合适的电介质材料，如氧化物（如，氧化硅），厚度为约 1-3nm。第二介质层 1050 可以包括任何合适的电介质材料，优选为高 K 介质材料如 HfO_2 ，厚度为约 2-25nm。之后，可以在背栅槽 BG 中填充导电材料（例如，掺杂的多晶硅，掺杂浓度可以为约 $1E18cm^{-3}$ - $1E21cm^{-3}$ ），来形成背栅 1020。例如，这种第一介质层 1016、第二介质层 1050 和背栅 1020 可以如下形成。具体地，依次淀积一层薄的第一电介质材料、一层薄的第二电介质材料和一层厚的导电材料。淀积进行至导电材料完全充满背栅槽 BG，然后对淀积的导电材料进行回蚀。回蚀后背栅 1020 的顶面可以与衬底 1000 的表面持平或高于衬底 1000 的表面（在该示例中，衬底 1000 的表面对应于随后形成的鳍的顶面）。然后可以依次对第二电介质材料和第一电介质材料进行 RIE。在此，对电介质材料的 RIE 可以按照侧墙（spacer）工艺来进行。

接下来，可以对第二介质层 1050 进行构图，以在其中形成开口。例如，这可以如下进行。具体地，如图 10 所示，可以在图 9 所示的结构上形成光刻胶 1018，并且将该光刻胶 1018 构图为包括开口 1018o（位于将要形成的栅堆

叠一侧)。开口 1018o 至少露出 sFin 中的背栅 1020 的一部分和第二介质层 1050 的一部分。接着,如图 11(示出了沿图 10 中 B2B2'线的截面图)所示,经由开口 1018o,对背栅 1020 进行回蚀,使其下凹,并且对第二介质层 1050 的露出部分进行选择性刻蚀,使之去除。在如上所述进行构图之后,可以去除光刻胶 1018。

然后,可以如图 12 所示,在背栅槽中重新填充导电材料 1020'。重新填充的导电材料 1020'可以与背栅 1020 高度大致相同,且可以与背栅 1020 的导电材料相同或不同。在以下描述中,为了简化说明,假设导电材料 1020'与背栅 1020 的导电材料相同,例如掺杂的多晶硅,并且将它们统一示出为 1020,而不再对它们进行区分。

为了避免背栅 1020 与随后形成的栅堆叠之间的干扰,可以如图 12、13 所示,在背栅槽 BG 中进一步填充电介质层 1024,以覆盖背栅 1020。例如,电介质层 1022 可以包括氮化物,且可以通过淀积氮化物然后回蚀来形成。在回蚀过程中,构图辅助层 1008 顶面上的保护层 1010 也可以被去除,从而露出构图辅助层 1008。

由于上述处理,沿图 10 中 B1B1'线的截面将会呈现如图 13 所示的形貌。根据一有利示例,在填充电介质层 1024 之前,可以例如通过选择性刻蚀,去除背栅 1020 表面上方的第一介质层和第二介质层部分。

从图 12 和 13 可以看出,第一介质层 1016 和第二介质层 1050 在背栅 1020 的侧壁和底壁上形成,并构成针对背栅 1020 的背栅介质层。第二介质层 1050 被构图为具有开口,使得背栅介质层在该开口处具有减薄的厚度。本领域技术人员应当理解,第二介质层 1050 中的开口可以具有任意合适的形状、尺寸和位置。

在如上所述形成背栅之后,接下来可以对衬底 1000 进行构图,来形成鳍。

具体地,如图 14 所示,可以通过选择性刻蚀,如通过 TMAH 溶液进行湿法刻蚀,来去除构图辅助层 1008,留下图案转移层 1014。然后,如图 15 所示,可以图案转移层 1014 为掩模,进一步选择性刻蚀如 RIE 停止层 1006 和衬底 1000。这样,就在背栅 1020 两侧留下了鳍状的衬底部分 1004,它们对应于图案转移层 1014 的形状。

这里需要指出的是，尽管在图 15 的示例中，将鳍 1004 示出为在其中包括阱区 1000-1 的一部分，但是本公开不限于此。例如，鳍 1004 中可以不包括阱区 1000-1，特别是在如下所述形成穿通阻挡部（PTS）的情况下。另外，根据本公开的示例，为了使得背栅 1020（更具体地，背栅中存储的电荷）能够有效地控制鳍 1004，在竖直方向上鳍 1004 的延伸范围优选不超过背栅 1020 的延伸范围。

这样，就得到了根据该实施例的 sFin 结构。如图 15 所示，该 sFin 结构包括背栅 1020 以及位于背栅 1020 相对两侧的鳍 1004。另外，在该 sFin 中，鳍 1004 的顶面被电介质层（包括停止层 1006 和图案转移层 1014）所覆盖。因此，随后形成的栅堆叠可以与每一鳍各自（与背栅 1020 相反一侧）的侧面相交，并控制在该侧面中产生沟道，并因此得到双栅器件。

在通过上述流程得到 sFin 之后，可以 sFin 为基础，来制造 sFinFET。这里需要指出的是，在图 15 所示的示例中，一起形成了三个 sFin。但是本公开不限于此。例如，可以根据需要，形成更多或更少的 sFin。另外，所形成的 sFin 的布局也不一定是如图所示的并行设置。

在以下，将说明制造 sFinFET 的示例方法流程。

为制造 sFinFET，可以在衬底 1000 上形成隔离层。例如，如图 16 所示，可以在衬底上例如通过淀积形成电介质层 1002（例如，可以包括氧化物），然后对淀积的电介质层进行回蚀，来形成隔离层。通常，淀积的电介质层可以完全覆盖 sFin，并且在回蚀之前可以对淀积的电介质进行平坦化，如化学机械抛光（CMP）。根据一优选示例，可以通过溅射来对淀积的电介质层进行平坦化处理。例如，溅射可以使用等离子体，如 Ar 或 N 等离子体。

为改善器件性能，特别是降低源漏泄漏，根据本公开的一示例，如图 17 中的箭头所示，可以通过离子注入来形成穿通阻挡部（PTS）1046。例如，对于 n 型器件而言，可以注入 p 型杂质，如 B、BF₂ 或 In；对于 p 型器件，可以注入 n 型杂质，如 As 或 P。离子注入可以垂直于衬底表面。控制离子注入的参数，使得 PTS 形成于鳍 1004 位于隔离层 1002 表面之下的部分中，并且具有期望的掺杂浓度，例如约 $5E17-2E19\text{ cm}^{-3}$ ，并且掺杂浓度应高于衬底中阱区 1000-1 的掺杂浓度。应当注意，由于 sFin 的形状因子（细长形）及其顶部存

在各电介质层，有利于在深度方向上形成陡峭的掺杂分布。可以进行退火如尖峰退火、激光退火和/或快速退火，以激活注入的掺杂剂。这种 PTS 有助于减小源漏泄漏。

接下来，可以在隔离层 1002 上形成与 sFin 相交的栅堆叠。例如，这可以如下进行。具体地，如图 18 所示，例如通过淀积，形成栅介质层 1026。例如，栅介质层 1026 可以包括氧化物，厚度为约 0.8-1.5nm。在图 18 所示的示例中，仅示出了形成于 sFin 顶面和侧面上的栅介质层 1026。但是，栅介质层 1026 也可以包括在隔离层 1002 的顶面上延伸的部分。然后，例如通过淀积，形成栅导体层 1028。例如，栅导体层 1028 可以包括多晶硅。栅导体层 1028 可以填充 sFin 之间的间隙，并可以进行平坦化处理例如 CMP。

如图 19 所示，对栅导体层 1028 进行构图。在图 19 的示例中，栅导体层 1028 被构图为与 sFin 相交的条形。根据另一实施例，还可以构图后的栅导体层 1028 为掩模，进一步对栅介质层 1026 进行构图。

在形成构图的栅导体之后，例如可以栅导体为掩模，进行晕圈（halo）注入和延伸区（extension）注入。

接下来，如图 20（图 20（b）示出了沿图 20（a）中 C1C1'线的截面图，图 20（c）示出了沿图 20（a）中 C2C2'线的截面图）所示，可以在栅导体层 1028 的侧壁上形成栅侧墙 1030。例如，可以通过淀积形成厚度约为 5-20nm 的氮化物（如氮化硅），然后对氮化物进行 RIE，来形成栅侧墙 1030。在此，在形成栅侧墙时可以控制 RIE 的量，使得栅侧墙 1030 基本上不会形成于 sFin 的侧壁上。本领域技术人员知道多种方式来形成这种侧墙，在此不再赘述。

在形成侧墙之后，可以栅导体及侧墙为掩模，进行源/漏（S/D）注入。随后，可以通过退火，激活注入的离子，以形成源/漏区，得到 sFinFET。

为改善器件性能，根据本公开的一示例，可以利用应变源/漏技术。具体地，如图 21（图 21（b）示出了沿图 21（a）中 BB'线的截面图）所示，首选可以选择性去除外露的栅介质层 1026。然后，可以通过外延，在鳍 1004 被栅堆叠露出的部分（对应于源/漏区）的表面上形成半导体层 1032。根据本公开的一实施例，可以在生长半导体层 1032 的同时，对其进行原位掺杂。例如，对于 n 型器件，可以进行 n 型原位掺杂；而对于 p 型器件，可以进行 p 型原位

掺杂。另外，为了进一步提升性能，半导体层 1032 可以包括不同于鳍 1004 的材料，以便能够向鳍 1004（其中将形成器件的沟道区）施加应力。例如，在鳍 1004 包括 Si 的情况下，对于 n 型器件，半导体层 1032 可以包括 Si:C（C 的原子百分比例如为约 0.2-2%），以施加拉应力；对于 p 型器件，半导体层 1014 可以包括 SiGe（例如，Ge 的原子百分比为约 15-75%），以施加压应力。另一方面，生长的半导体层 1032 在横向上展宽一定程度，从而有助于随后形成到源/漏区的接触部。

如图 21（b）所示，由于第二介质层 1050 中位于栅堆叠一侧（例如，漏区一侧）的开口，背栅 1020 可以经由减薄的背栅介质层（即，第一介质层 1016）与栅堆叠这一侧的鳍 1004 部分相对。这样，就得到了一种浮栅配置的存储器件。

在上述实施例中，在形成 sFin 之后，直接形成了栅堆叠。本公开不限于此。例如，替代栅工艺同样适用于本公开。

根据本公开的另一实施例，在图 18 中形成的栅介质层 1026 和栅导体层 1028 为牺牲栅介质层和牺牲栅导体层（这样，通过结合图 18、19 描述的操作得到的栅堆叠为牺牲栅堆叠）。接下来，可以同样按以上结合图 20 描述的操作来形成栅侧墙 1030。另外，同样可以按以上结合图 21 描述的操作，来应用应变源/漏技术。

接下来，可以根据替代栅工艺，对牺牲栅堆叠进行处理，以形成器件的真正栅堆叠。例如，这可以如下进行。

具体地，如图 22（图 22（b）示出了沿图 22（a）中 C1C1'线的截面图，图 22（c）示出了沿图 22（a）中 C2C2'线的截面图）所示，例如通过淀积，形成电介质层 1034。该电介质层 1034 例如可以包括氧化物。随后，对该电介质层 1034 进行平坦化处理例如 CMP。该 CMP 可以停止于栅侧墙 1030，从而露出牺牲栅导体层 1028。

随后，如图 23（图 23（a）的截面图对应于图 22（b）的截面图，图 23（b）的截面图对应于图 22（c）的截面图）所示，例如通过 TMAH 溶液，选择性去除牺牲栅导体 1028，从而在栅侧墙 1030 内侧形成了栅槽 1036。根据另一示例，还可以进一步去除牺牲栅介质层 1026。

然后,如图 24 (图 24 (a) 对应于图 23 (a) 的截面图,图 24 (b) 对应于图 23 (b) 的截面图,图 24 (c) 对应于图 18 的截面图)、图 25 (示出了图 24 所示结构的俯视图) 所示,通过在栅槽中形成栅介质层 1038 和栅导体层 1040,形成最终的栅堆叠。栅介质层 1038 可以包括高 K 栅介质例如 HfO_2 , 厚度为约 1-5nm。另外,栅介质层 1038 还可以包括一层薄的氧化物(高 K 栅介质形成于该氧化物上),例如厚度为 0.3-1.2nm。栅导体层 1040 可以包括金属栅导体。优选地,在栅介质层 1038 和栅导体层 1040 之间还可以形成功函数调节层(未示出)。

这样,就得到了根据该实施例的 sFinFET。如图 24、25 所示,该 sFinFET 包括在衬底 1000 (或者,隔离层 1002) 上形成的与 sFin (包括背栅 1020 和鳍 1004) 相交的栅堆叠(包括栅介质层 1038 和栅导体层 1040)。如图 24 (c) 清楚所示,栅导体层 1040 可以经由栅介质层 1038,控制鳍 1004 在(与背栅 1020 相反一侧的)侧面上产生导电沟道,从而该 sFinFET 是双栅器件。另外,由于第二介质层 1050 中的开口,背栅 1020 可以与减薄的背栅介质层(具体地,第一介质层 1016) 构成浮栅配置。背栅 1020 可以通过电介质层 1024 与栅堆叠电隔离。

在如上所述形成 sFinFET 之后,还可以制作各种电接触。例如,如图 26 所示,可以在图 25 所示结构的表面上淀积层间电介质(ILD)层 1042。该 ILD 层 1042 例如可以包括氧化物。可以对 ILD 层 1042 进行平坦化处理例如 CMP,使其表面大致平坦。然后,例如可以通过光刻,形成接触孔,并在接触孔中填充导电材料如金属(例如, W 或 Cu 等),来形成接触部,例如与栅堆叠的接触部 1044-1、与源/漏区之一的接触部 1044-2、与阱区 1000-1 (或者,背栅电容) 的接触部 1044-3 以及与源/漏区中另一个的接触部 1044-4。

图 27 (a)、(b)、(c) 分别示出了沿图 26 中 B1B1'线、B2B2'线、B3B3'线的截面图。如图 27 所示,接触部 1044-1 穿透 ILD 层 1042,到达栅导体 1040,并因此与栅导体 1040 电接触。该接触部 1044-1 可以与存储器件的字线相连。接触部 1044-2 穿透 ILD 层 1042 以及电介质层 1034,达到一侧的源/漏区(在该示例中为半导体层 1032),并因此与该侧的源/漏区(例如,源区)电接触。该接触部 1044-2 可以与存储器件的位线相连。接触部 1044-3 穿透 ILD 层 1042、

电介质层 1034 以及隔离层 1002, 到达衬底 1000(特别是, 其中的阱区 1000-1), 并因此与背栅电容电接触。接触部 1044-4 穿透 ILD 层 1042 以及电介质层 1034, 达到另一侧的源/漏区 (在该示例中为半导体层 1032), 并因此与该侧的源/漏区 (例如, 漏区) 电接触。通过这些电接触, 可以施加存储器操作如写入、读取等所需的电信号。

下面, 将结合图 28 (沿图 27 (b) 中 D1D1' 线的截面图) 描述根据本公开实施例的存储器件的工作原理。

当例如通过接触部 1044-1 向栅极 1040 施加导通电压而使该存储器件 (具体地, 其中的 sFinFET) 导通时, 例如通过接触部 1044-2 向源极施加一定的偏置 (“第一偏置”) 时, 可以存在从源极到漏极的载流子 (器件的多数载流子, 例如, 对于 n 型器件, 为电子; 而对于 p 型器件, 为空穴) 流动。如果将接触部 1044-4 电浮置, 则在第二介质层 1050 中的开口 1050g 处, 这些载流子可以隧穿通过第一介质层 1016, 进入并因此存储于背栅 1020 (或者, 背栅电容) 中, 如图 28 中的实线箭头所示。在开口 1050g 之外的其余位置, 由于存在第二介质层 1050 和第一介质层 1016 两者, 基本不会发生隧穿。在进行这些操作时, 可以将接触部 1044-3 接地。

另一方面, 在例如通过接触部 1044-1 向栅极 1040 施加导通电压而使该存储器件 (具体地, 其中的 sFinFET) 导通同时, 例如通过接触部 1044-2 向源极施加一定的偏置 (“第二偏置”, 例如高于或等于针对漏极的供电电压 Vdd) 且将接触部 1044-4 电浮置时, 在第二介质层 1050 中的开口 1050g 处, 背栅 1020 (或者, 背栅电容) 中存储的电荷 (如果存在的话) 可以隧穿通过第一介质层 1016 从而被拉出背栅, 如图 28 中的虚线箭头所示。这样, 可以对背栅进行放电。在进行这些操作时, 可以将接触部 1044-3 接地。

因此, 该存储器件至少可以存储两种状态: 背栅中存储有电荷的状态 (例如, 可以视为逻辑 “1”), 以及背栅中没有存储电荷的状态 (例如, 可以视为逻辑 “0”)。背栅中电荷的有无会影响 sFinFET 的阈值电压 (例如, 对于 n 型器件, 背栅存储有电子时 sFinFET 的阈值电压 V_{t1} 高于背栅中没有存储电子时 sFinFET 的阈值电压 V_{t2}), 从而 sFinFET 可以对外表现出不同的电学特性。可以根据 sFinFET 的这种电学特性差异, 来对存储器件的存储状态进行检测。

例如，可以按如下方式来对该存储器件进行读取。具体地，可以通过接触部 1044-2 向漏极施加电压 V_1 。通过接触部 1044-1 施加一定的偏置使 sFinFET 截止，并将位线预充电至不同于 V_1 的电压 V_2 。然后，可以通过接触部 1044-1 施加一定的偏置使 sFinFET 导通。此时，位线上的电压将从 V_2 逐渐向 V_1 接近。取决于 sFinFET 的阈值电压 (V_{t1} 或 V_{t2})，位线上的电压从 V_2 向 V_1 接近的速度不同。例如，对于 n 型器件，在逻辑 “1” 状态下的阈值电压 V_{t1} 较高，而在逻辑 “0” 状态下的阈值电压 V_{t2} 较低。因此，在逻辑 “1” 状态下位线上的电压从 V_2 向 V_1 接近的速度较小，而在逻辑 “0” 状态下位线上的电压从 V_2 向 V_1 接近的速度较大。可以通过检测这种速度的不同，读取存储器件中存储的状态（或，“数据”）。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种存储器件，包括：

衬底；

在衬底上形成的背栅；

晶体管，包括：在衬底上在背栅的相对两侧形成的鳍；以及在衬底上形成的栅堆叠，所述栅堆叠与鳍相交；以及

在背栅的底面和侧面上形成的背栅介质层，

其中，在栅堆叠的一侧，背栅介质层在面向鳍的区域处具有减薄部分。

2. 根据权利要求 1 所述的存储器件，其中，所述背栅介质层包括在背栅的底面和侧面上依次形成的第一介质层和第二介质层，其中第一介质层在所述减薄部分处形成开口。

3. 根据权利要求 1 所述的存储器件，其中，衬底中包括阱区，其中背栅进入阱区中约 20-300nm。

4. 根据权利要求 1 所述的存储器件，其中，背栅的顶面与各鳍的顶面基本上持平或高于鳍的顶面。

5. 根据权利要求 1 所述的存储器件，其中，背栅包括导电材料，且宽度为 5-30nm。

6. 根据权利要求 1 所述的存储器件，其中，鳍包括 Si、Ge、SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb，且宽度为约 3-28nm。

7. 根据权利要求 2 所述的存储器件，其中，第一介质层和第二介质层均包括高 K 电介质，或者第一介质层和第二介质层中一层包括高 K 电介质，而另一层包括氧化物。

8. 根据权利要求 7 所述的存储器件，其中，第一介质层包括高 K 电介质，且厚度为约 2-25nm；第二介质层包括氧化物，且厚度为约 1-3nm。

9. 根据权利要求 1 所述的存储器件，还包括：

在衬底上形成的隔离层，所述隔离层露出鳍的一部分，其中，栅堆叠通过隔离层与衬底电隔离；以及

在所述鳍被隔离层露出的部分下方形成的穿通阻挡部,所述穿通阻挡部的掺杂浓度高于阱区的掺杂浓度。

10. 根据权利要求1所述的存储器件,其中,栅堆叠在鳍中限定了晶体管的沟道区,该晶体管还包括位于沟道区两侧的源区和漏区,其中减薄部分位于漏区一侧。

11. 根据权利要求10所述的存储器件,其中,所述源区和漏区还分别包括在每一鳍位于栅堆叠相对两侧的的部分的表面上生长的半导体层。

12. 一种制造存储器件的方法,包括:

在衬底中形成背栅槽;

在背栅槽的底壁和侧壁上形成背栅介质层;

向背栅槽中填充导电材料,形成背栅;

在背栅槽的一端选择性去除部分背栅以露出部分背栅介质层,将露出的背栅介质层部分减薄,并重新填充导电材料;

对衬底进行构图,以形成与背栅介质层邻接的鳍;以及

在衬底上形成栅堆叠,所述栅堆叠与所述鳍相交,

其中,减薄的背栅介质层部分位于栅堆叠一侧与鳍相对处。

13. 根据权利要求12所述的方法,其中,

形成背栅介质层包括:

在背栅槽的底壁和侧壁上依次形成第一介质层和第二介质层,以及将露出的背栅介质层部分减薄包括:

选择性去除露出的第二介质层部分。

14. 根据权利要求12所述的方法,其中,栅堆叠在鳍中限定了晶体管的沟道区,该方法还包括在沟道区两侧形成源区和漏区,其中减薄部分位于漏区一侧。

15. 根据权利要求12所述的方法,其中,

形成背栅槽包括:

在衬底上形成构图辅助层,该构图辅助层被构图为具有与背栅槽相对应的开口;

在构图辅助层与开口相对的侧壁上形成图案转移层;

以该构图辅助层及图案转移层为掩模，对衬底进行刻蚀，以形成背栅槽，以及

形成鳍包括：

选择性去除构图辅助层；以及

以图案转移层为掩模，对衬底进行刻蚀，以形成鳍。

16. 根据权利要求 15 所述的方法，其中，衬底包括 Si、Ge、SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb，构图辅助层包括非晶硅，以及

该方法还包括：在构图辅助层的顶面上形成保护层，以在背栅槽的刻蚀期间保护构图辅助层。

17. 根据权利要求 16 所述的方法，还包括：在衬底上形成停止层，构图辅助层形成于该停止层上。

18. 根据权利要求 17 所述的方法，其中，保护层包括氮化物，图案转移层包括氮化物，停止层包括氧化物。

19. 根据权利要求 15 所述的方法，其中，按侧墙形成工艺，在构图辅助层的侧壁上形成图案转移层。

20. 一种对根据权利要求 1 所述的存储器件进行存取的方法，包括：

通过字线施加导通电压以使晶体管导通，使晶体管的漏极电浮置，并通过位线向晶体管的源极施加第一偏置，使载流子从源极流向漏极且隧穿通过背栅介质层的减薄部分进入并因此存储于背栅中，以在该存储器件中存储第一状态；以及

通过字线施加导通电压以使晶体管导通，使晶体管的漏极电浮置，并通过位线向源极施加第二偏置，使背栅中存储的载流子隧穿通过背栅介质层的减薄部分并因此释放，以在该存储器件中存储第二状态，

其中，晶体管在第一状态下的阈值电压不同于在第二状态下的阈值电压。

21. 根据权利要求 20 所述的方法，其中，所述隧穿包括直接隧穿和/或 Fowler-Nordheim 隧穿。

22. 根据权利要求 20 所述的方法，还包括：

向漏极施加电压 V_1 ；

使晶体管截止;

将位线预充电至不同于电压 V1 的电压 V2; 以及

在字线上施加偏置电压使晶体管导通, 并检测位线上的电压从 V2 向 V1 接近的速度。

23. 根据权利要求 22 所述的方法, 其中, 晶体管为 n 型器件, 在第一状态下, 位线上的电压从 V2 向 V1 接近的速度较小, 且在第二状态下, 位线上的电压从 V2 向 V1 接近的速度较大。

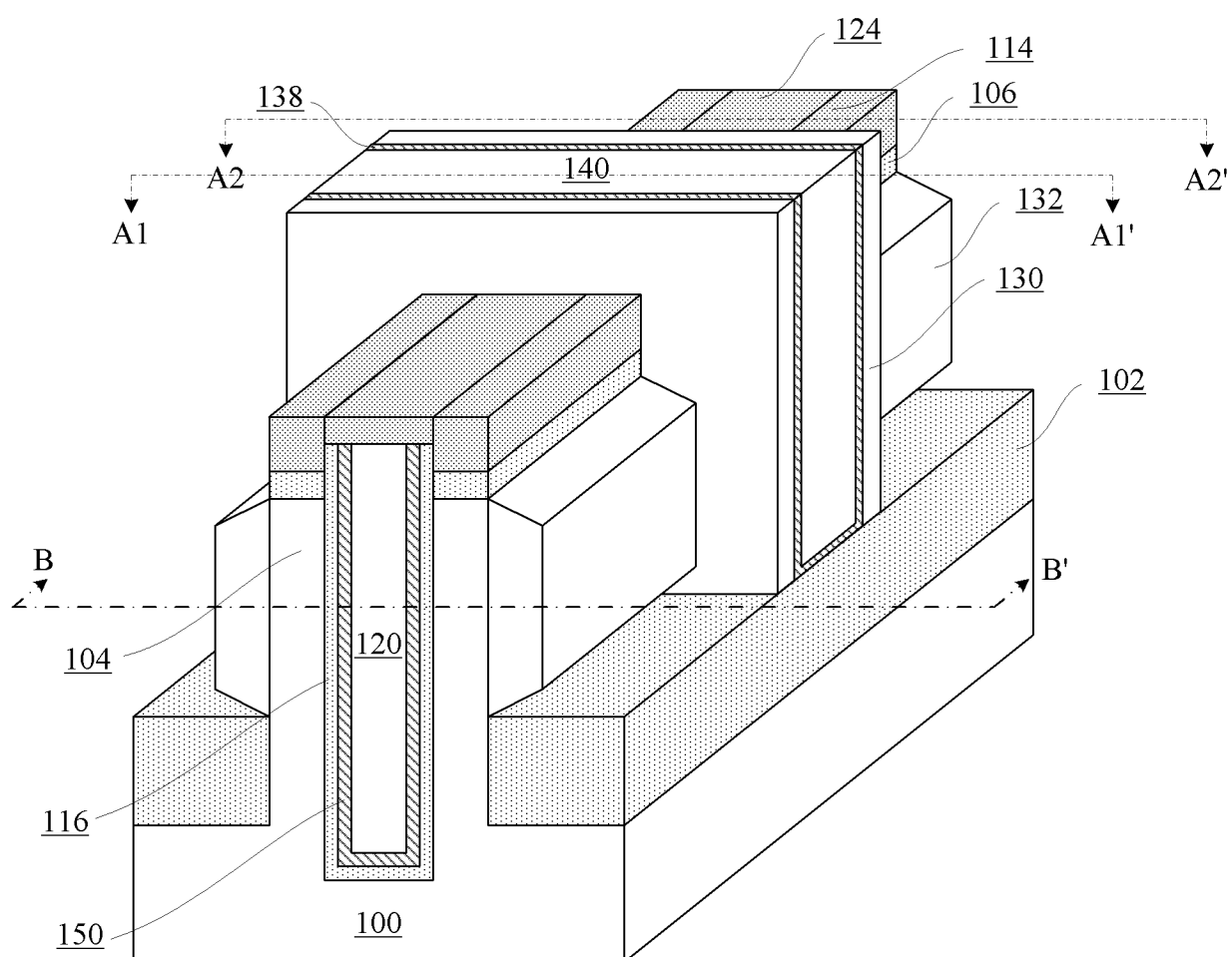


图 1

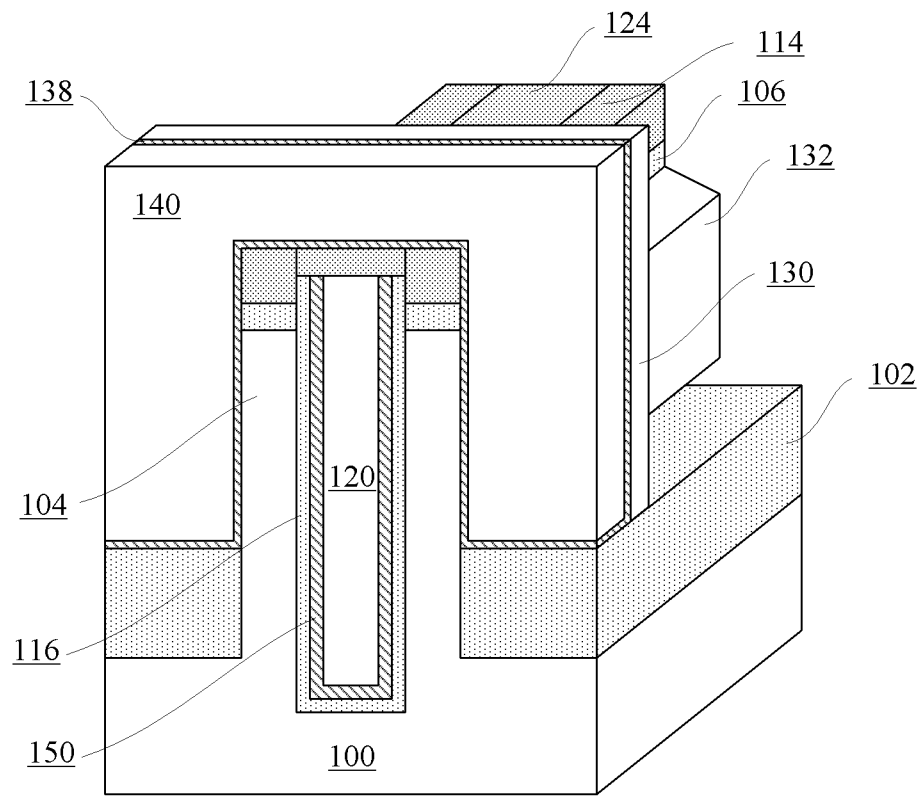


图2

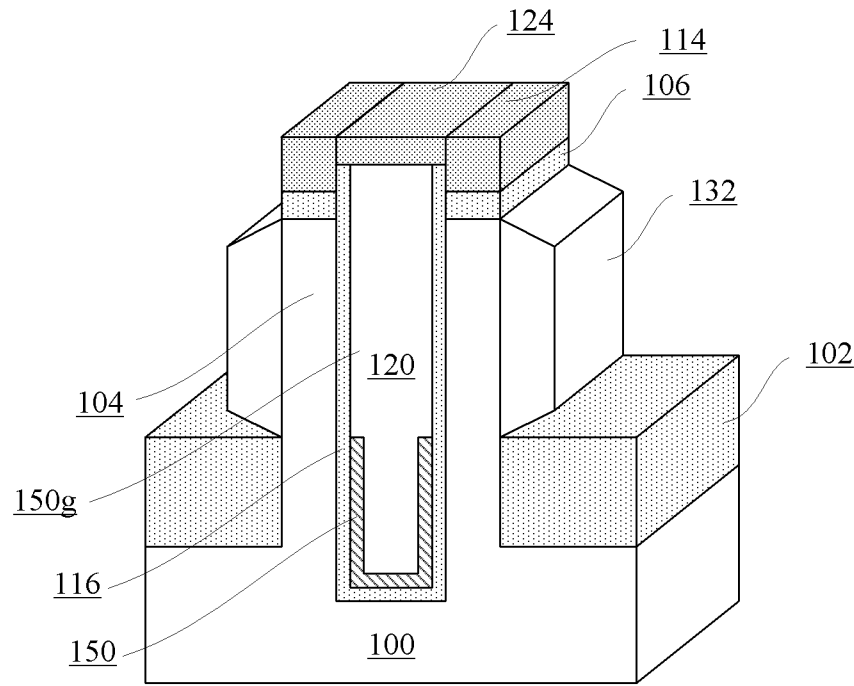


图3

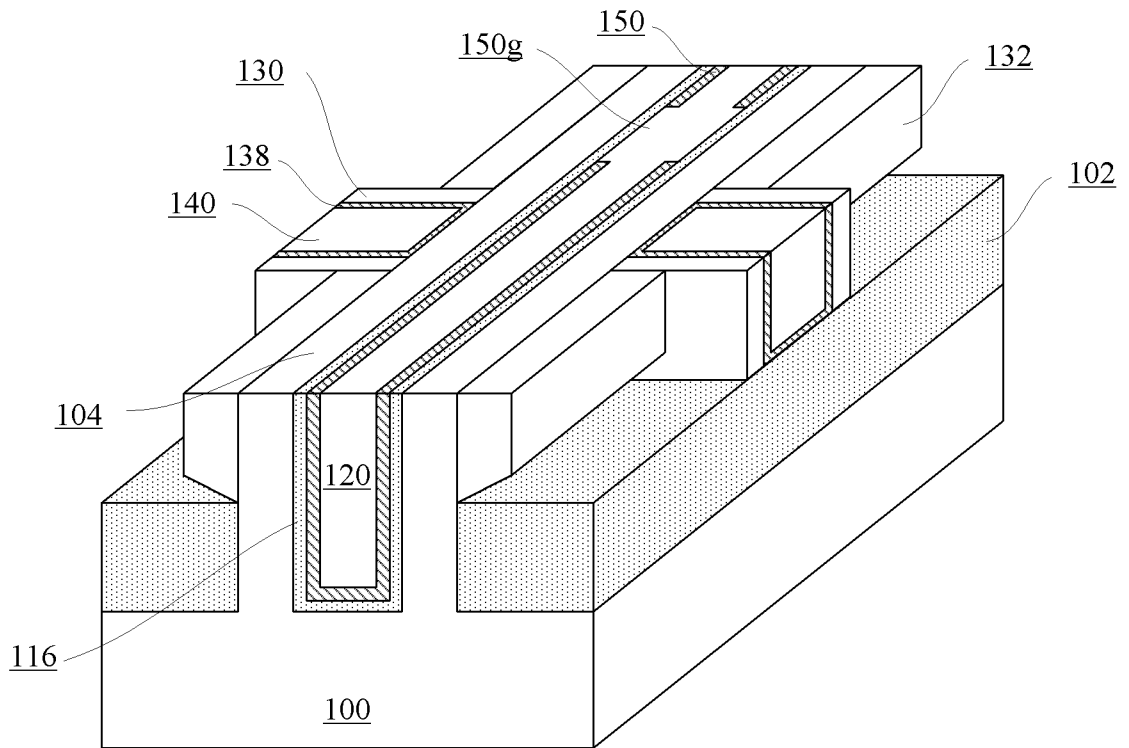


图4

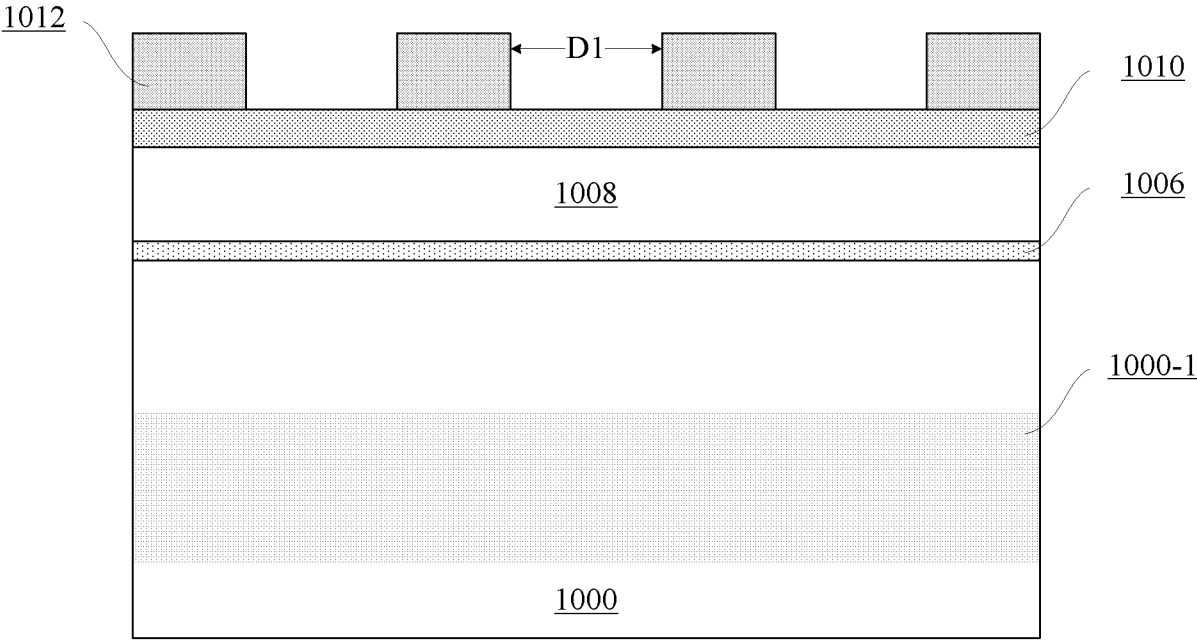


图5

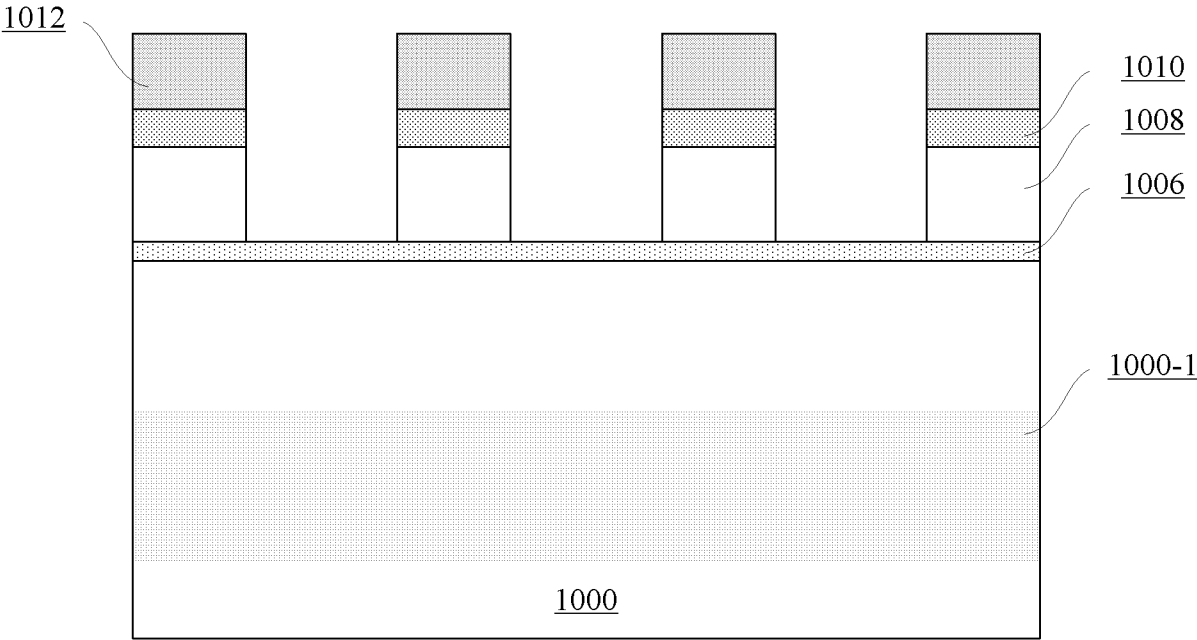


图6

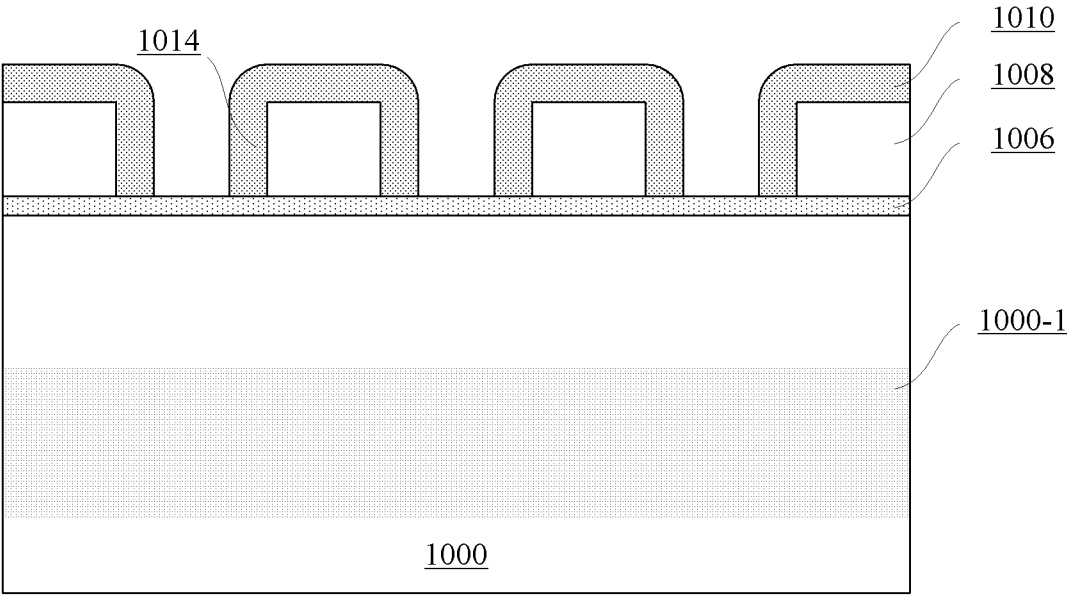


图7

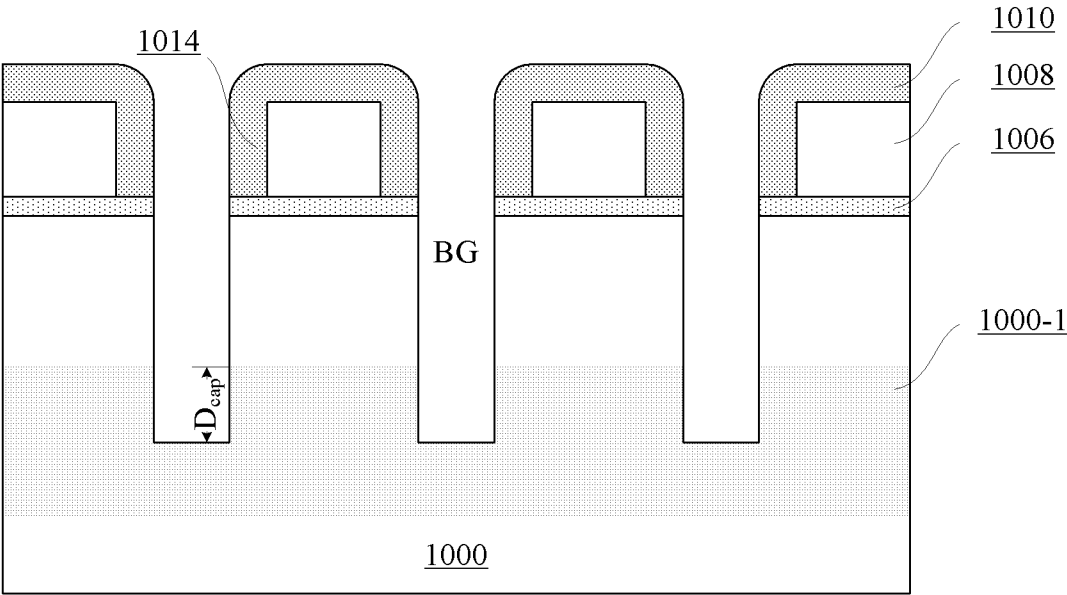
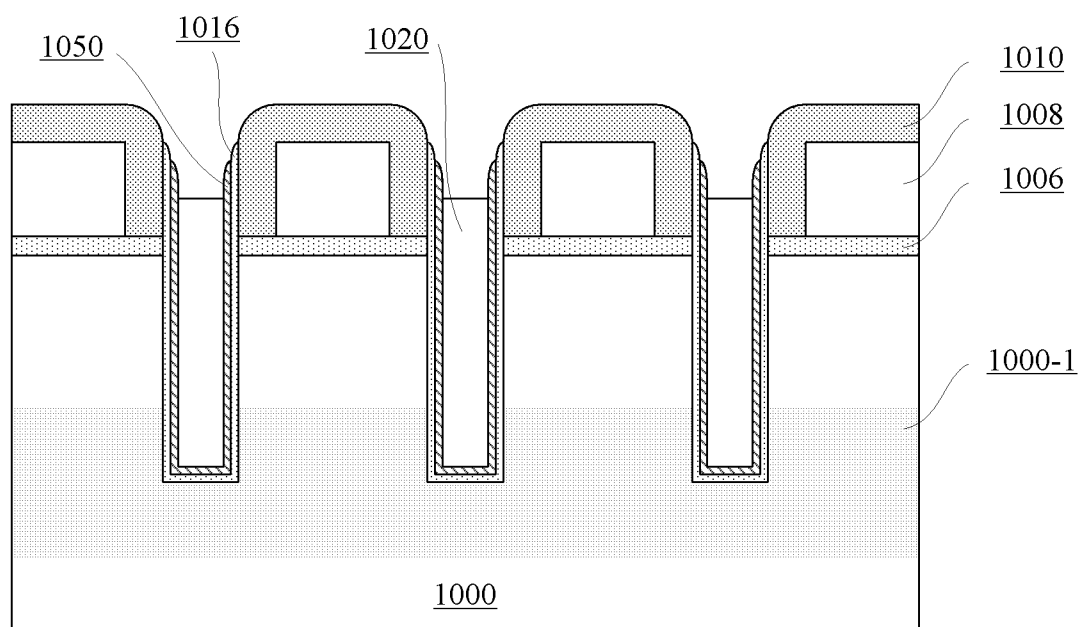


图8

(a)



(b)

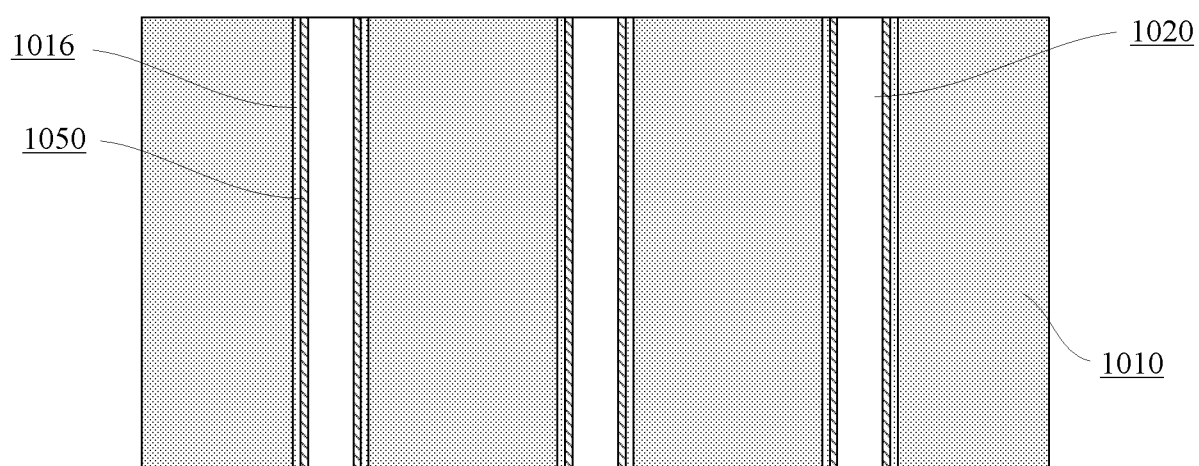


图9

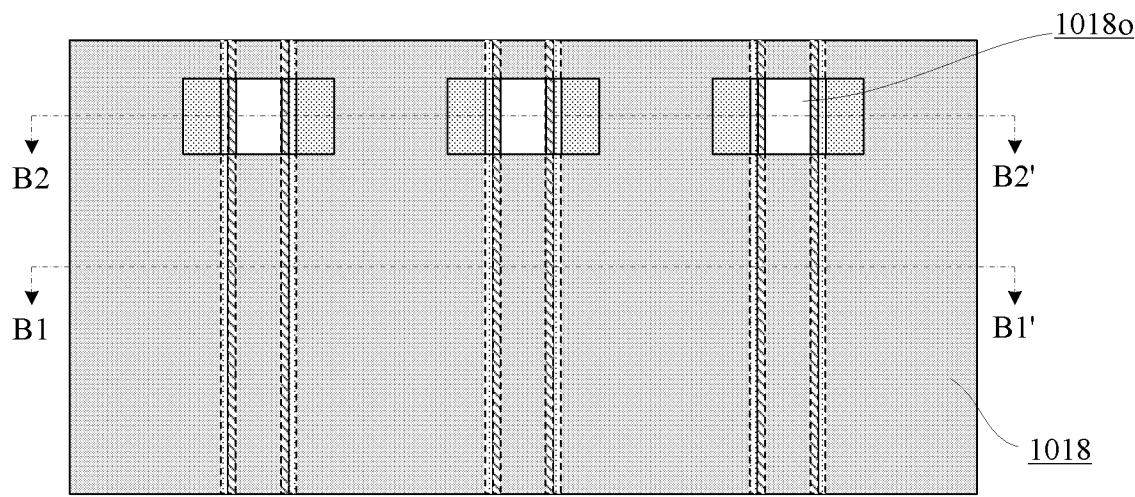


图10

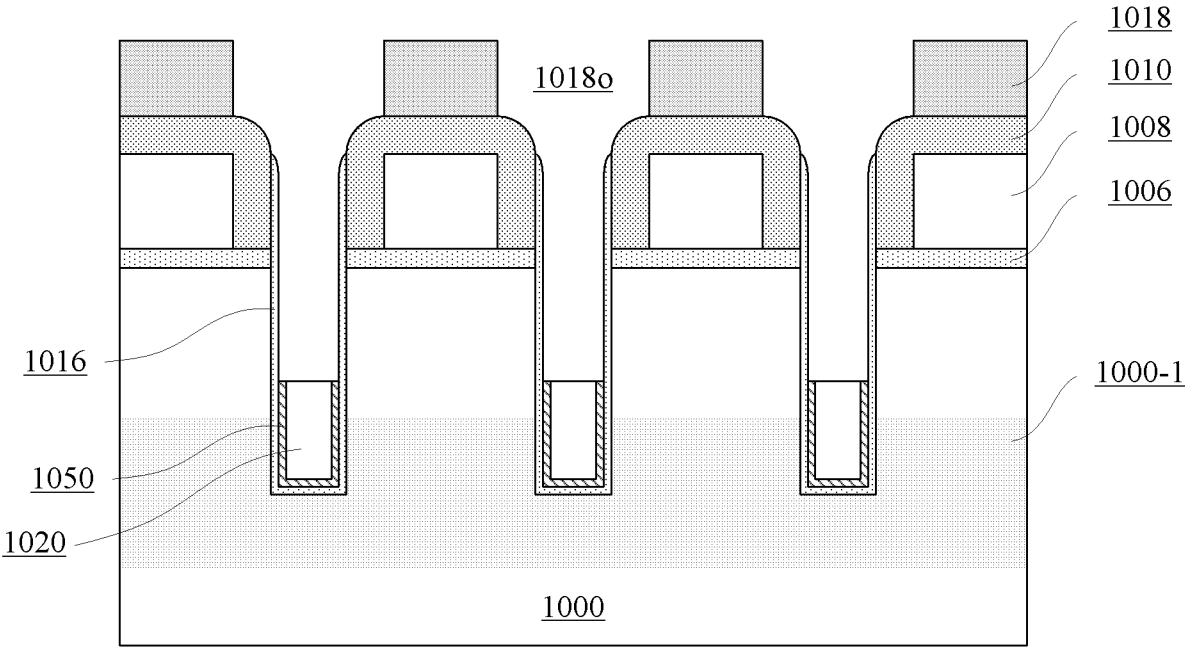


图11

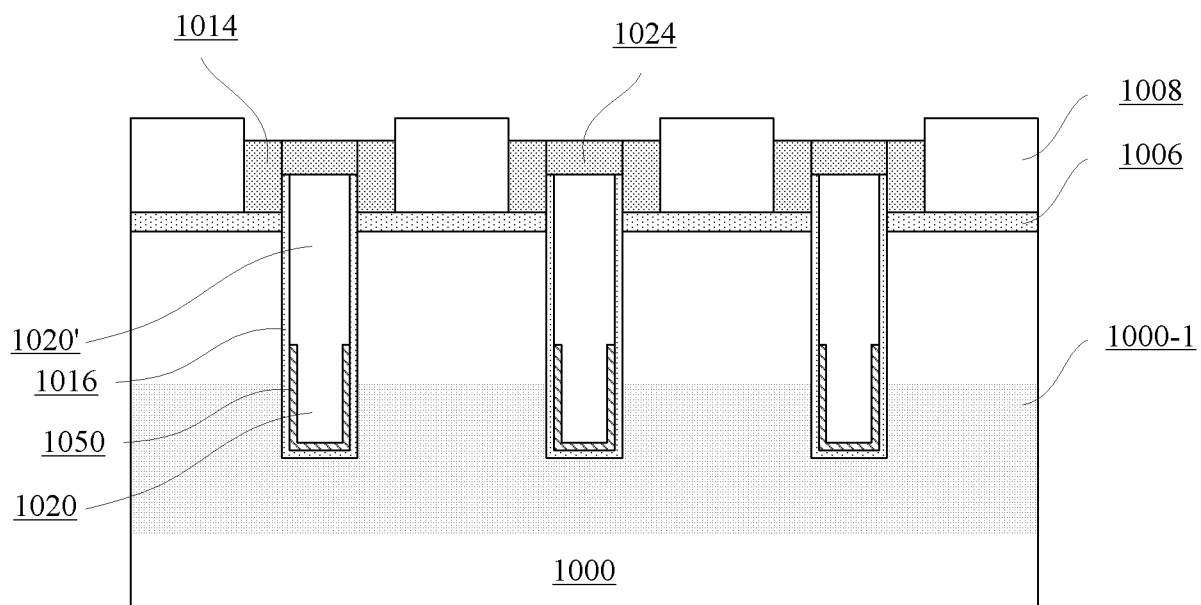


图12

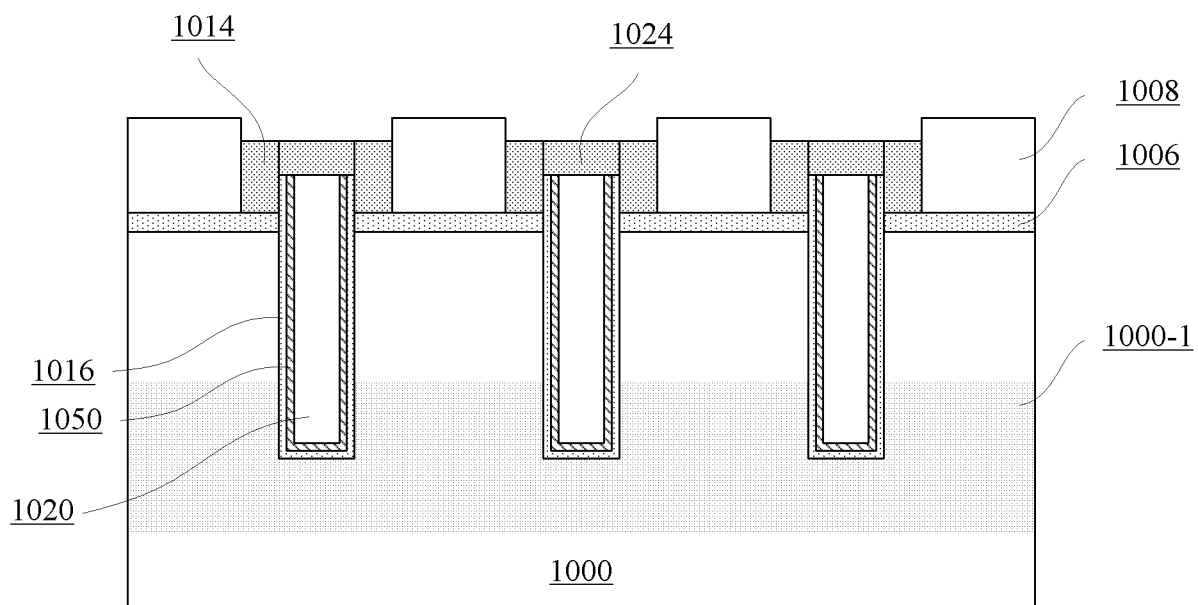


图13

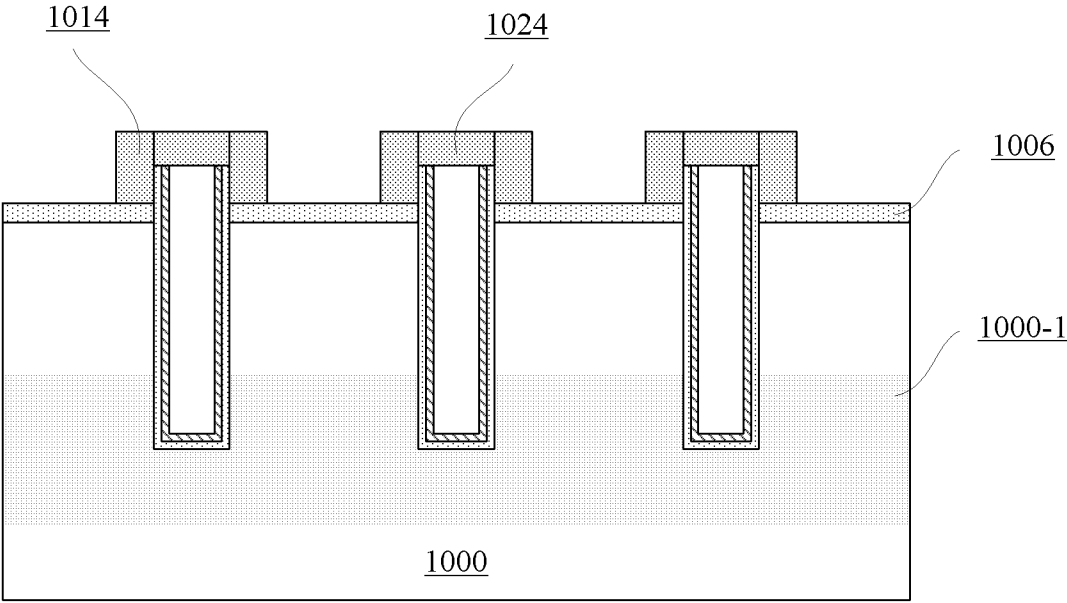


图14

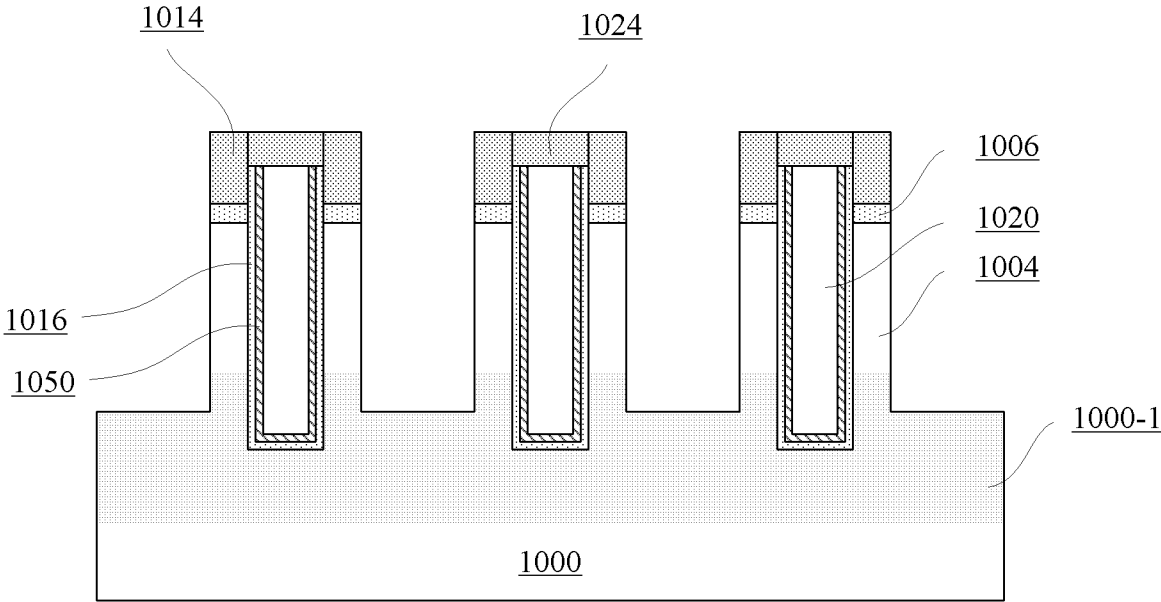


图15

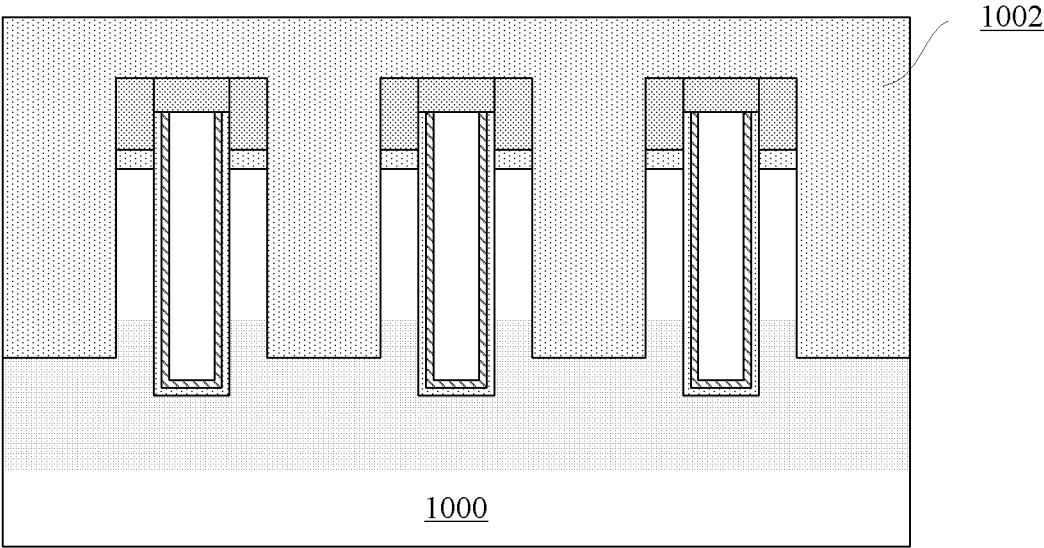


图16

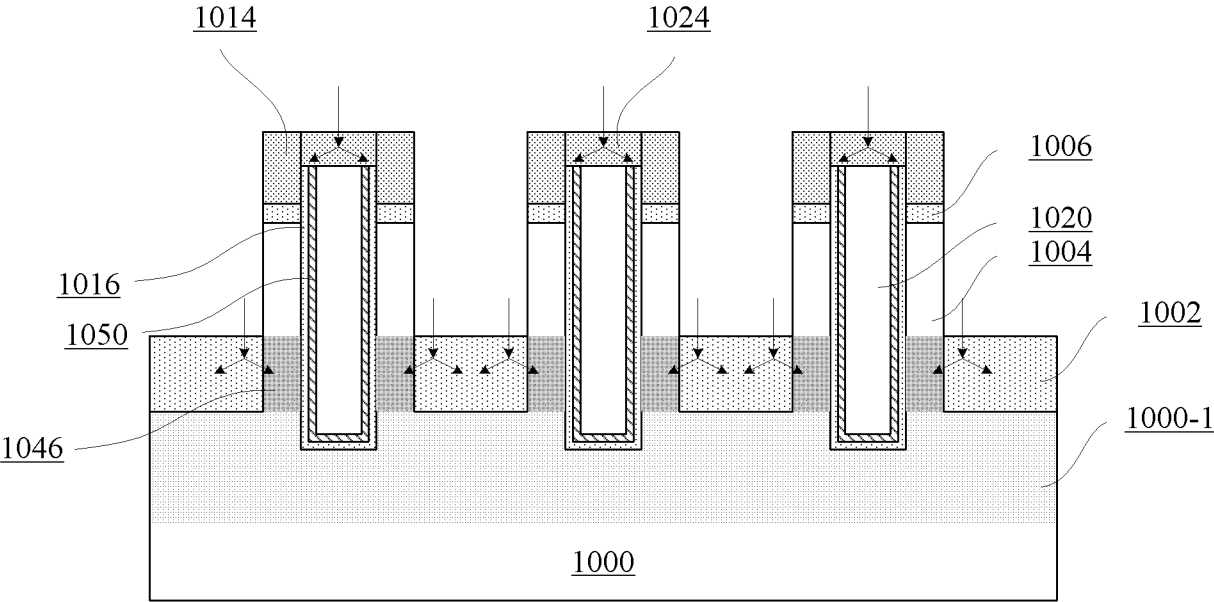


图17

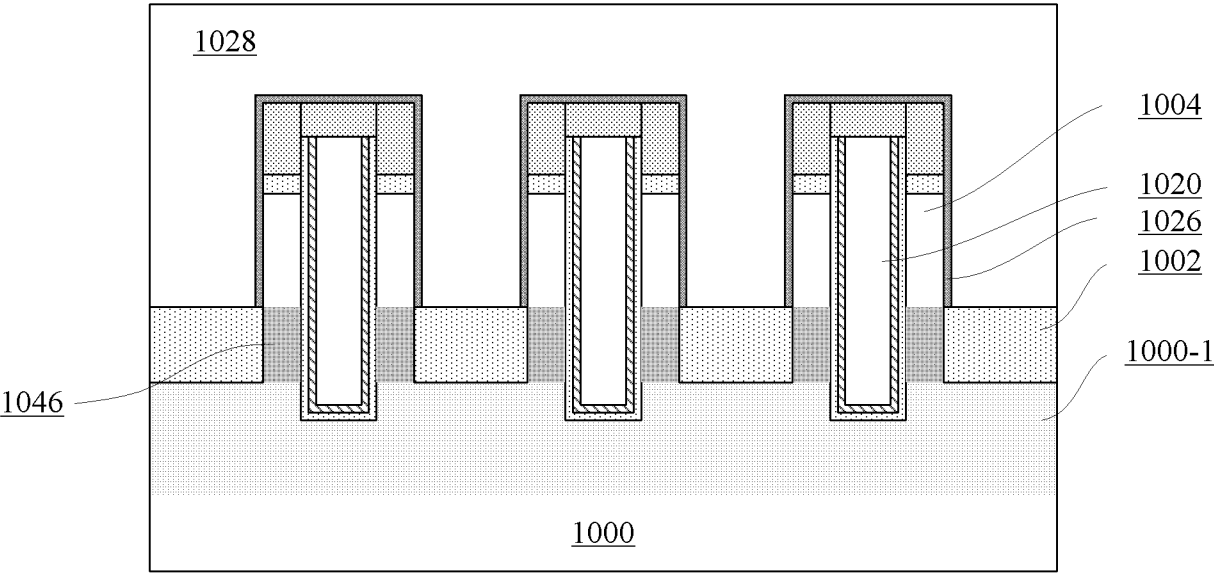


图18

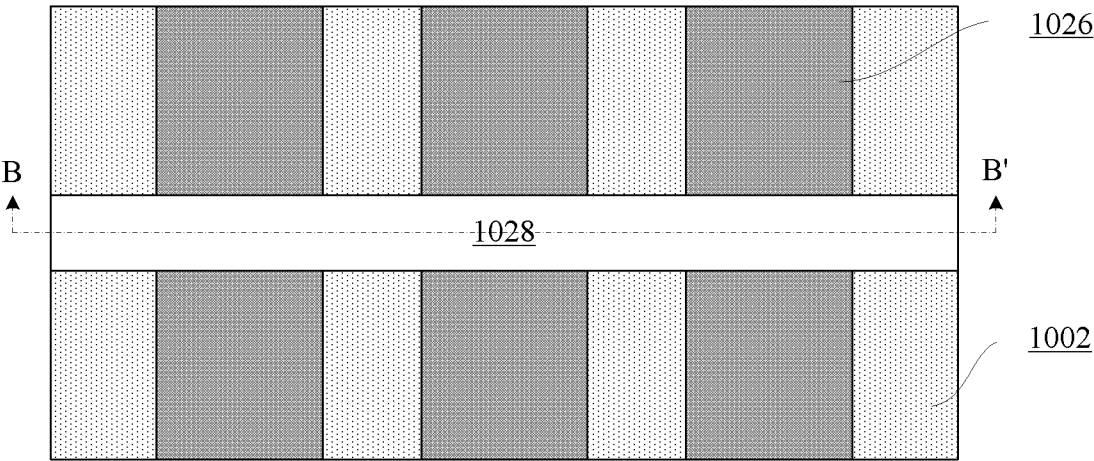


图19

12/19

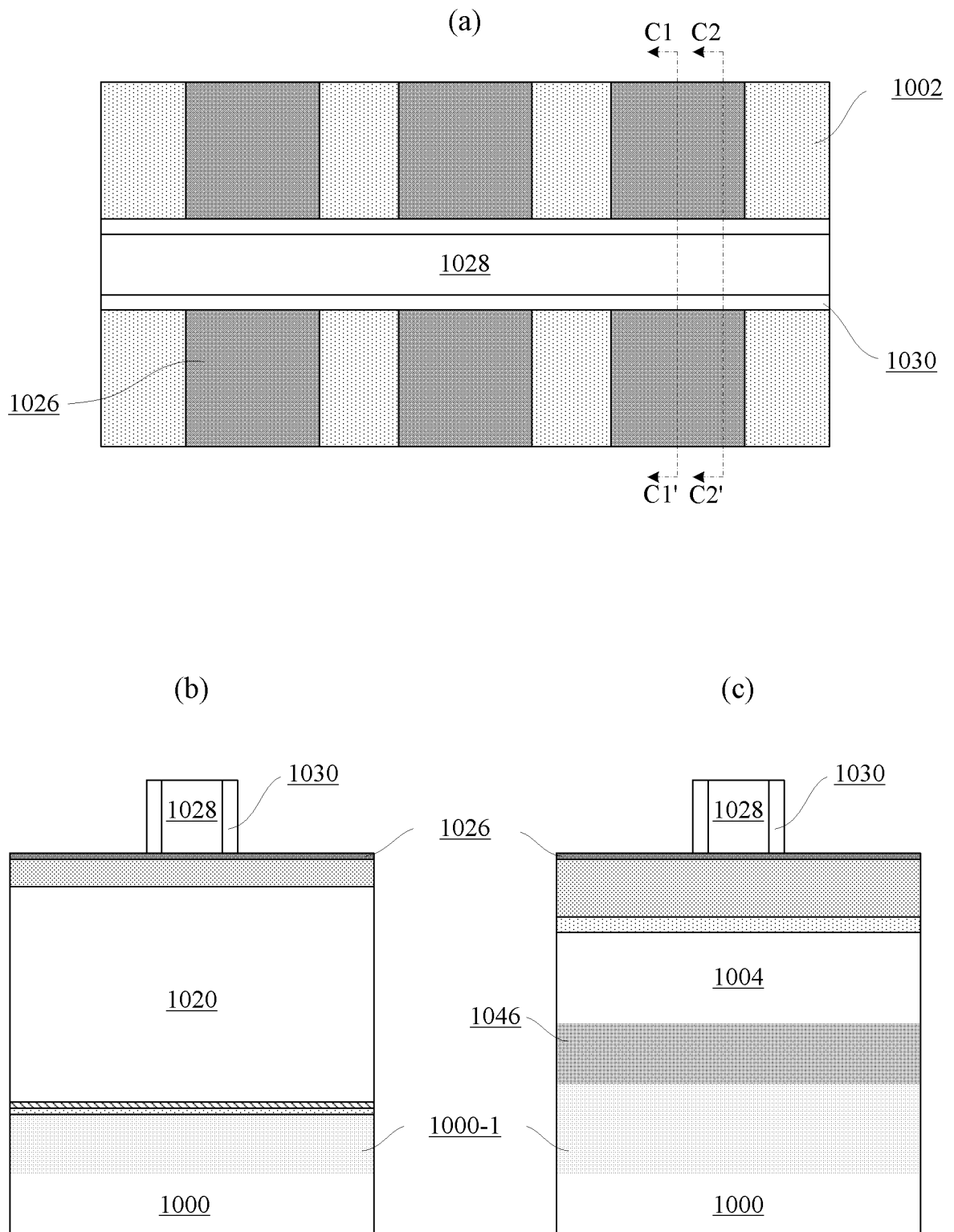


图20

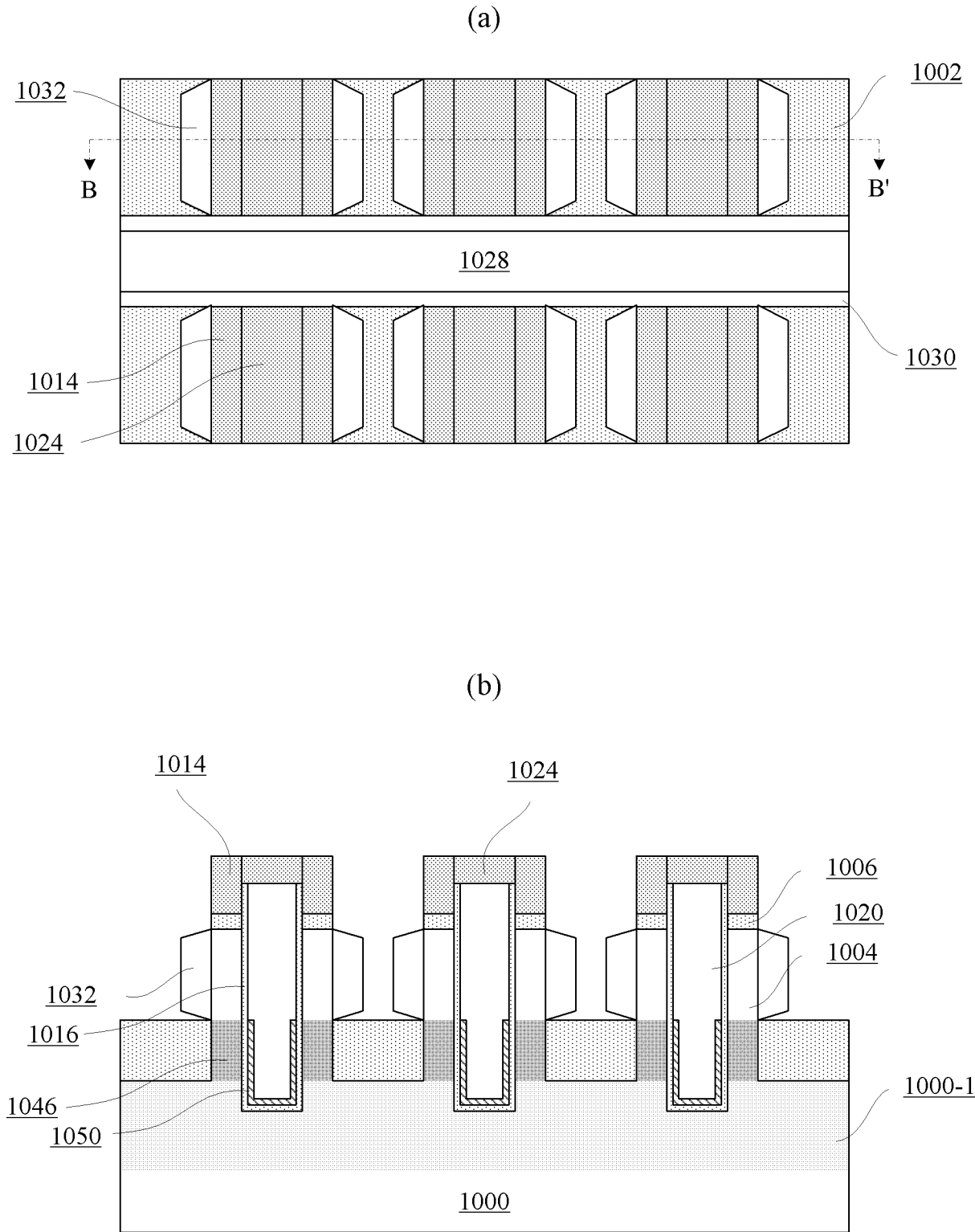


图21

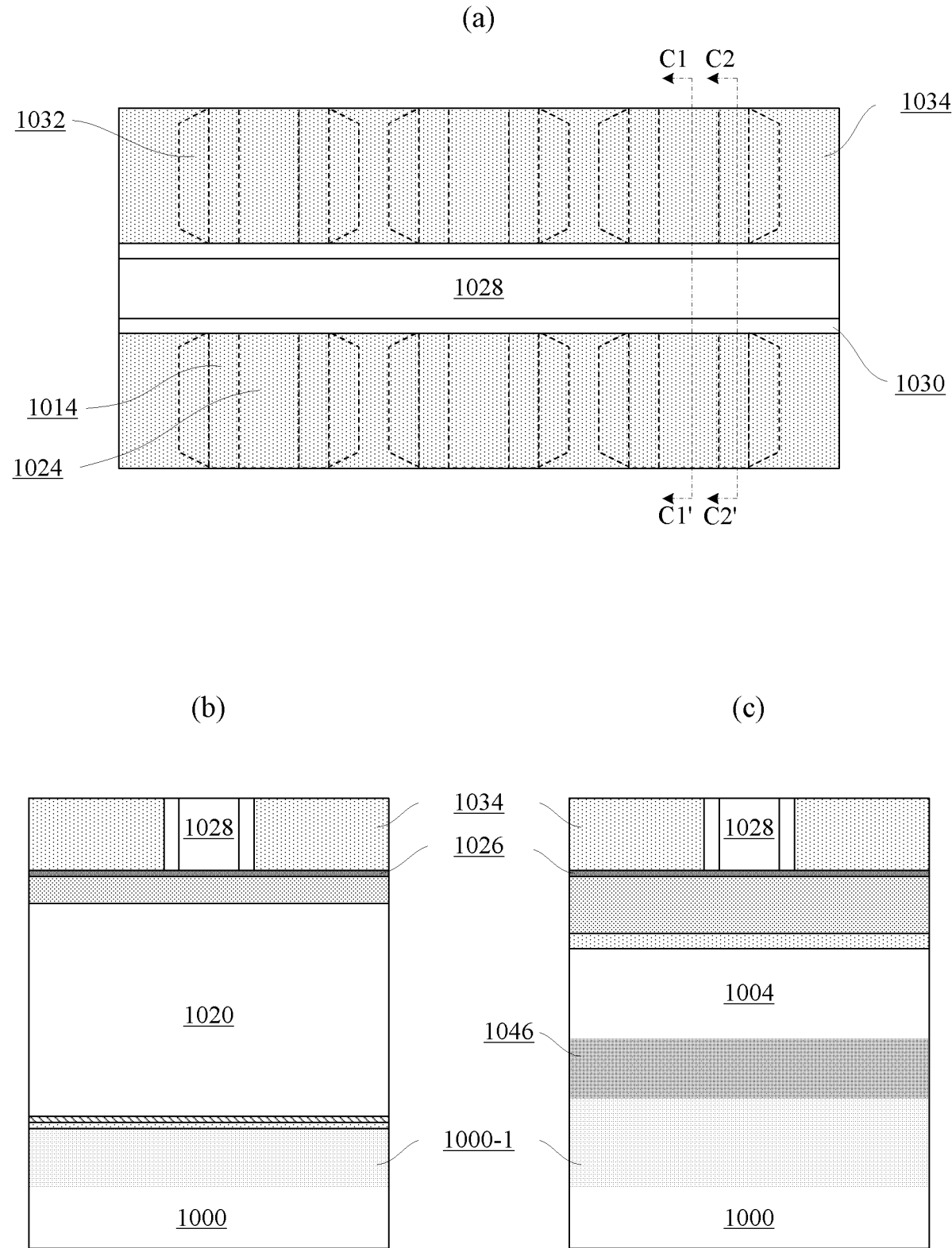


图22

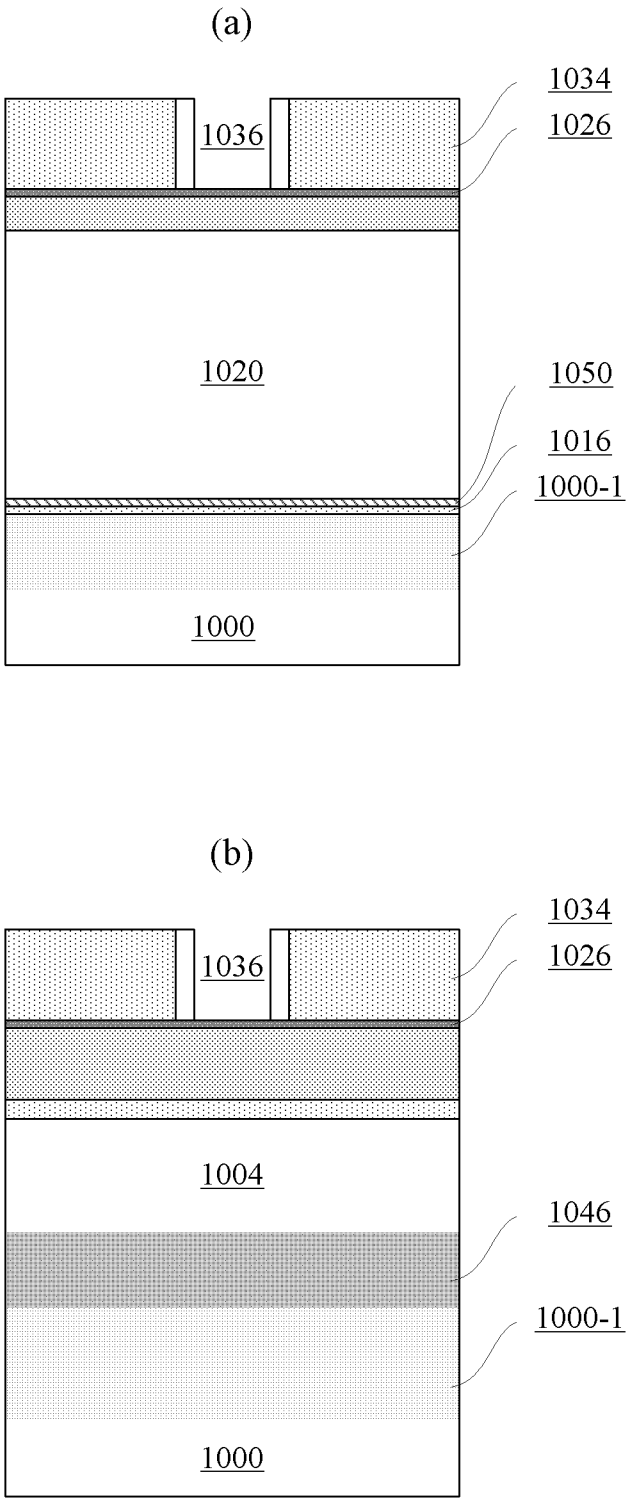


图23

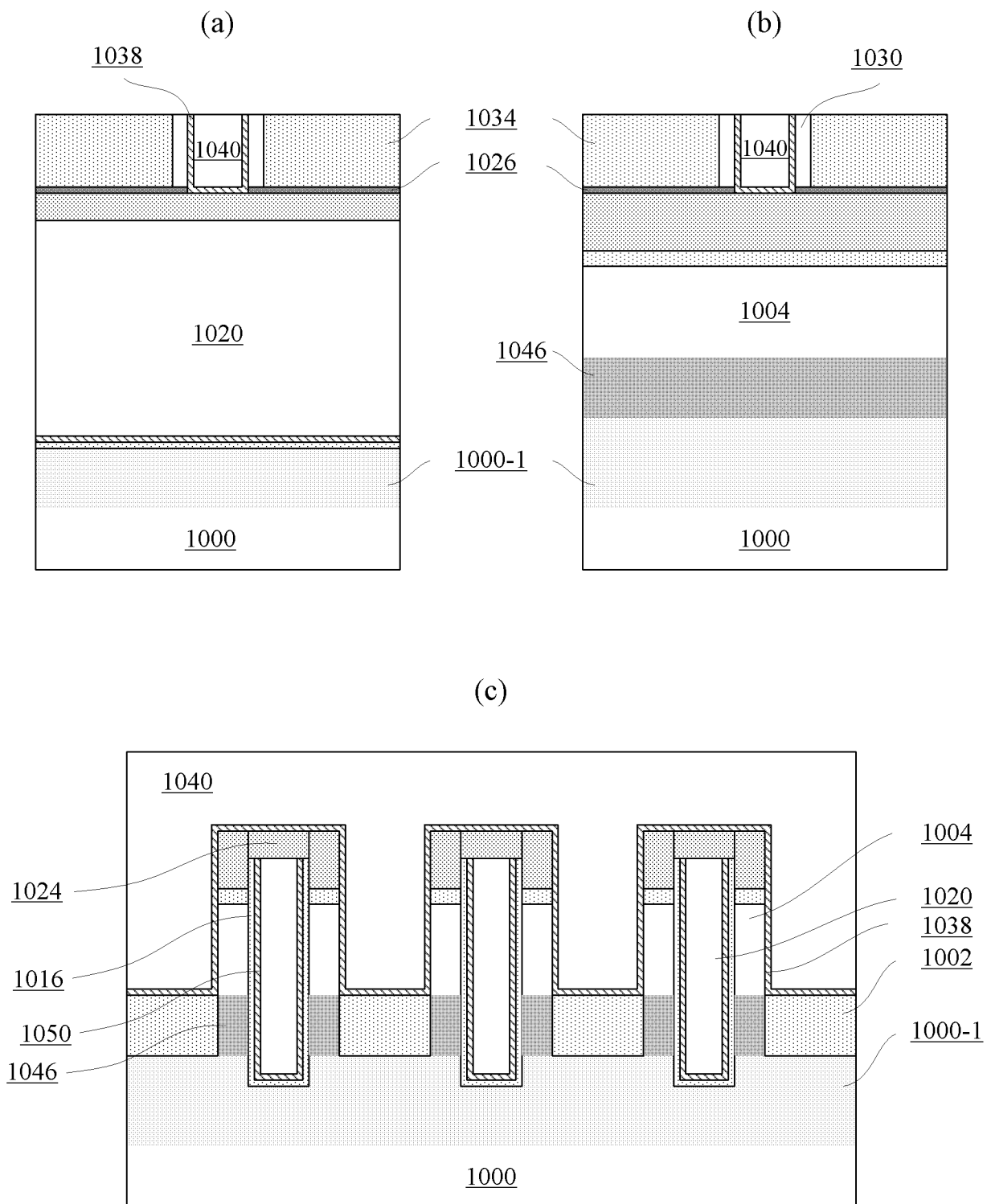


图24

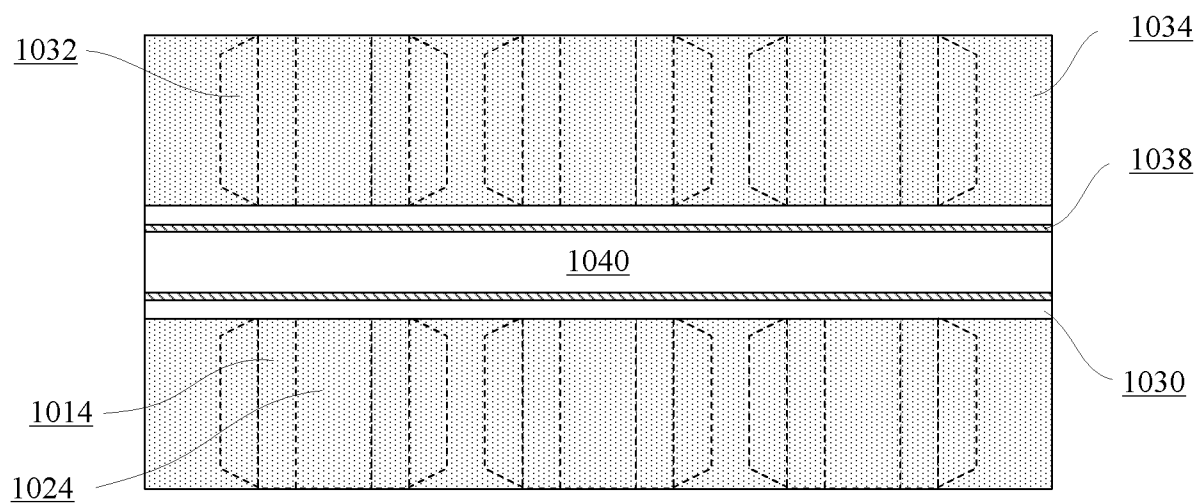


图25

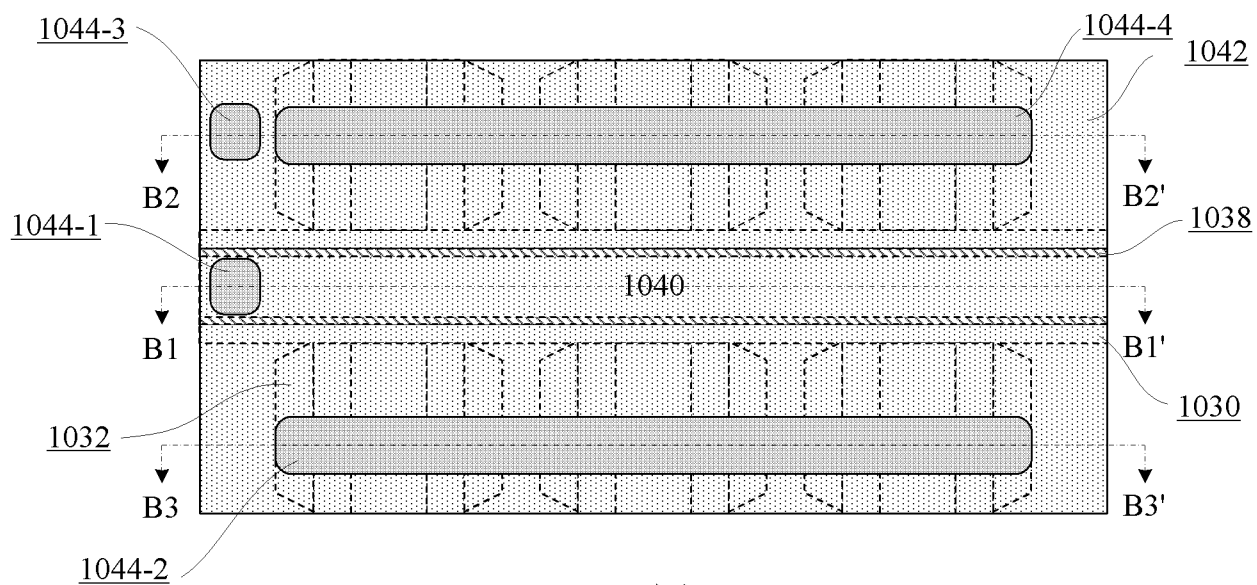
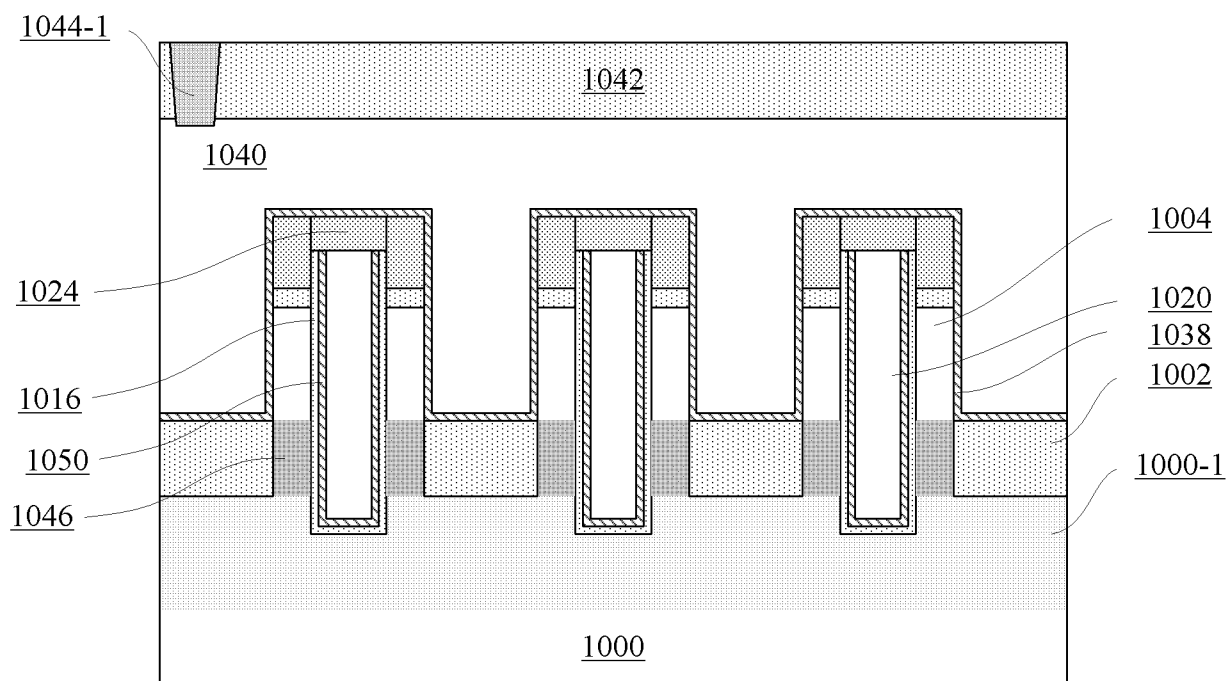


图26

(a)



(b)

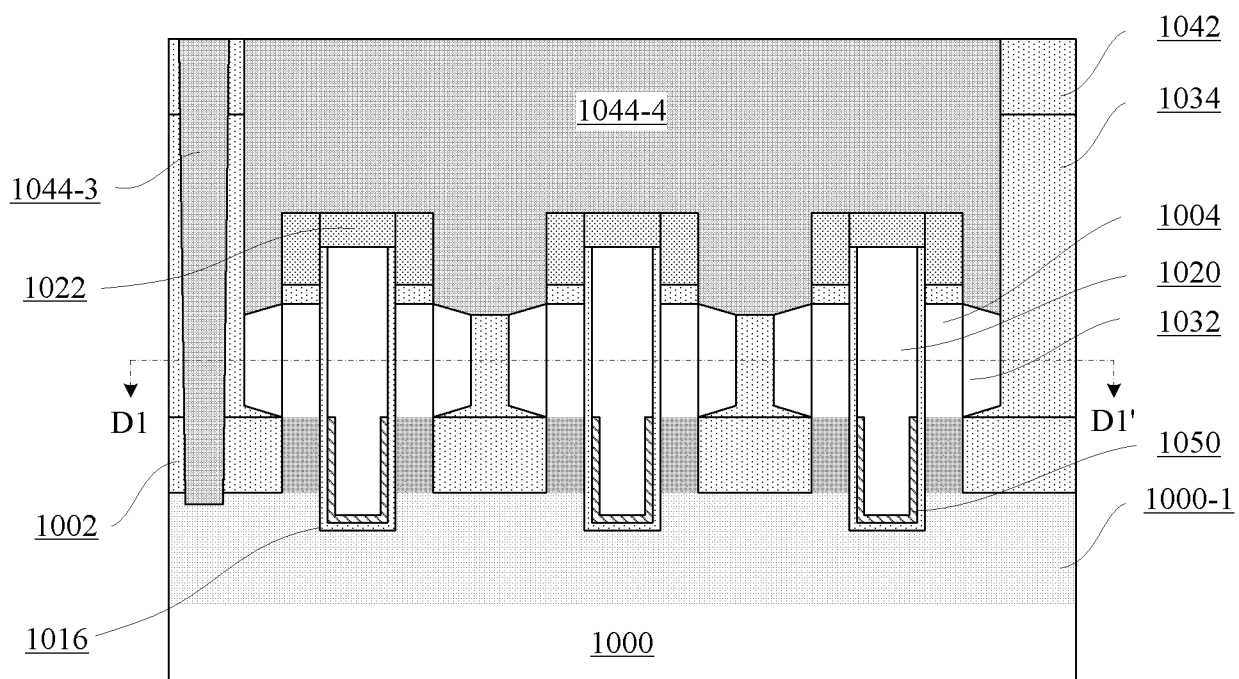


图27

(c)

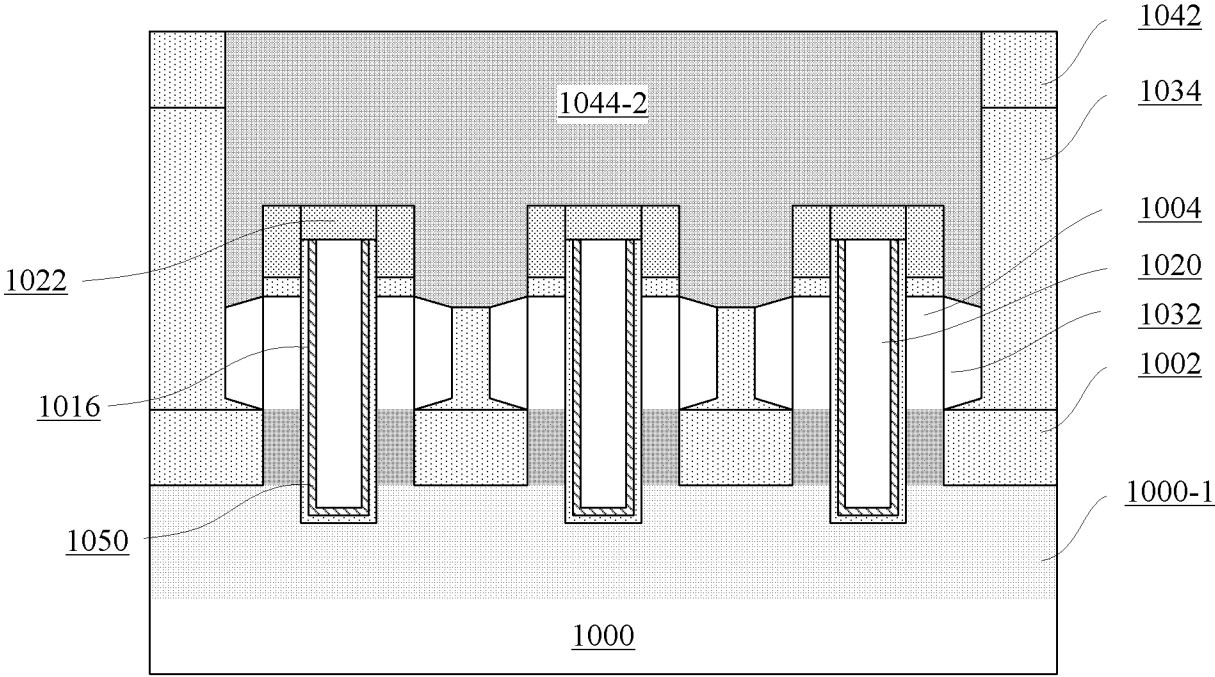


图27

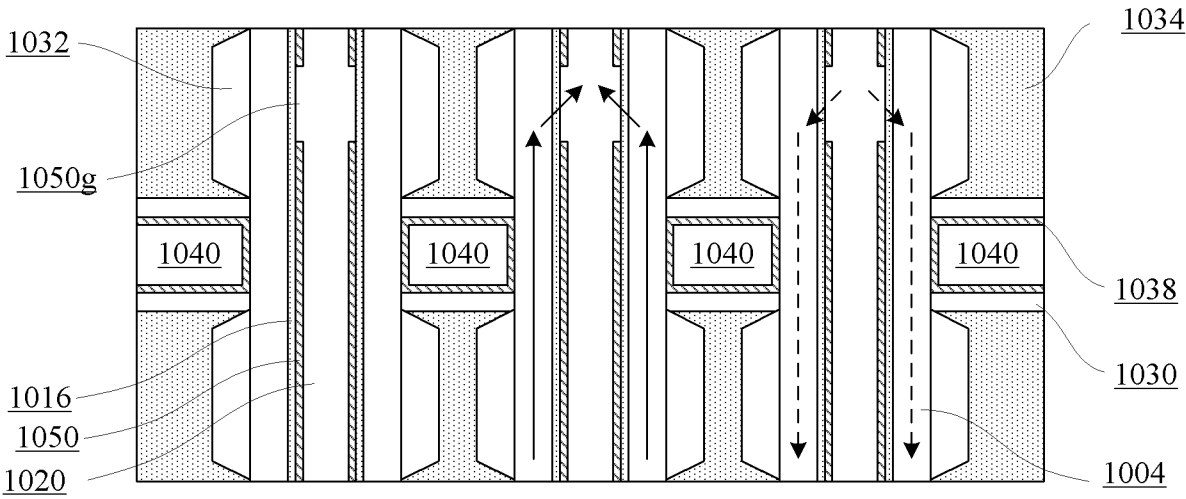


图28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/076482

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: back-gate, IRANSISTOR?, FIN???, SFIN???, CHANNEL+, BACK+, REAR+, GATE?, DIELECT+, INSULAT+, THIN+, TUNNEL+, SOURCE+, DRAIN+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101068029 A (PEKING UNIVERSITY), 07 November 2007 (07.11.2007), description, pages 6-8, and figures 3-4	1-23
A	US 2009206405 A1 (DOYLE, B.S. et al.), 20 August 2009 (20.08.2009), the whole document	1-23
A	CN 102569396 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 11 July 2012 (11.07.2012), the whole document	1-23
A	US 2006292772 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 28 December 2006 (28.12.2006), the whole document	1-23
A	US 2005014318 A1 (MANGER, D.), 20 January 2005 (20.01.2005), the whole document	1-23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 January 2014 (19.01.2014)	Date of mailing of the international search report 30 January 2014 (30.01.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer FANG, Yan Telephone No.: (86-10) 62413948

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/076482

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101068029 A	07.11.2007	CN 100527442 C	12.08.2009
US 2009206405 A1	20.08.2009	None	
CN 102569396 A	11.07.2012	WO 2012088730 A1	05.07.2012
		US 2012168865 A1	05.07.2012
US 2006292772 A1	28.12.2006	US 7960791 B2	14.06.2011
		CN 1913162 A	14.02.2007
		CN 100464424 C	25.02.2009
		US 2011207298 A1	25.08.2011
		US 8420471 B2	16.04.2013
US 2005014318 A1	20.01.2005	DE 10303771 B3	30.09.2004
		US 7074660 B2	11.07.2006

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/076482

CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT,CNKI,WPI,EPODOC:晶体管, 鳍, 沟道, 背栅, 介质, 绝缘, 减薄, 隧穿, 源, 漏, TRANSISTOR?, FIN???, SFIN???, CHANNEL+, BACK+, REAR+, GATE?, DIELECT+, INSULAT+, THIN+, TUNNEL+, SOURCE+, DRAIN+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101068029A (北京大学) 07.11 月 2007 (07.11.2007) 说明书第 6-8 页, 图 3-4	1-23
A	US2009206405A1 (DOYLE, Brian S.等) 20.8 月 2009 (20.08.2009) 全文	1-23
A	CN102569396A (中国科学院微电子研究所) 11.7 月 2012 (11.07.2012) 全文	1-23
A	US2006292772A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 28.12 月 2006 (28.12.2006) 全文	1-23
A	US2005014318A1 (MANGER, Dirk) 20.1 月 2005 (20.01.2005) 全文	1-23

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

19.1 月 2014 (19.01.2014)

国际检索报告邮寄日期

30.1 月 2014 (30.01.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

方岩

电话号码: (86-10) **62413948**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/076482

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101068029A	07.11.2007	CN100527442C	12.08.2009
US2009206405A1	20.08.2009	无	
CN102569396A	11.07.2012	WO2012088730A1	05.07.2012
		US2012168865A1	05.07.2012
US2006292772A1	28.12.2006	US7960791B2	14.06.2011
		CN1913162A	14.02.2007
		CN100464424C	25.02.2009
		US2011207298A1	25.08.2011
		US8420471B2	16.04.2013
US2005014318A1	20.01.2005	DE10303771B3	30.09.2004
		US7074660B2	11.07.2006

主题的分类

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i