(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 11/40

(45) 공고일자 2004년03월18일
(11) 등록번호 10-0409113
(24) 등록일자 2003년11월28일

(21) 출원번호 10-1996-0010103
(22) 출원일자 1996년04월04일

(65) 공개번호 10-1996-0038976
(43) 공개일자 1996년11월21일

(30) 우선권주장 195 12 791.9 1995년04월05일 독일(DE)

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2

(72) 발명자 바쎄, 파울-베르너, 폰
독일연방공화국 82515 볼프랏츠하우젠 하이글 슈트라쎄 60

블루, 미하엘
독일연방공화국 81735 뮌헨 카흘렛슈트라쎄 6

테베스, 롤란트
독일연방공화국 82178 푸흐하임 비르켄슈트라쎄 15

슈미트-란트지델, 도리스
독일연방공화국 85521 오토브룬 모짜르트슈트라쎄125베

(74) 대리인 남상선

심사관 : 최진석

(54) 고에러보정직렬액세스가능메모리수단

요약

본 발명은 결점 열 또는 행이 주어질 때 단일 에러 또는 몇몇의 연속적인 비트의 에러가 보정될 수있도록 구성된, 메모리 행렬(SM), 열 선택수단(ZPTR) 및 행 선택수단(SPTR, SCG)을 가진 직렬 작동 메모리 수단에 관한 것이다. 이 메모리 수단은 제조중 미리 결정된 메모리 내용에 의해 대체 열 또는 행이 각각 제공되지 않기 때문에 읽기전용 메모리(ROM)에 특히 유리하게 제공한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1도는 본 발명의 직렬 액세스 가능 메모리 수단에 대한 블록도.
제 2도는 동일한 행의 각각 두 개의 연속하는 셀을 가진 액세스 시퀀스를 설명한 개략도.

제 3도는 동일한 행에서 바로 다음의 셀없이 각각 한 셀을 가진 액세스 시퀀스를 설명한 개략도.
제 4도는 동일한 열에서 바로 다음의 셀없이 각각 하나의 셀을 가지고 또한 1 보다 큰 행 및 열 스텝 크기를 가진 액세스 시퀀스를 설명한 개략도.
제 5도는 제 4도의 액세스 시퀀스의 경우 제 1도의 행 선택수단에 대한 블록 회로도.
제 6도는 제 4도의 액세스 시퀀스의 경우 제 1도의 메모리 수단의 열 선택수단에 대한 블록 회로도.
* 도면의 주요 부분에 대한 부호의 설명 *
11, …, ZS : 메모리 셀 CLKZ : 행 클럭신호
CLKS : 열 클럭신호 ZPTR : 행 선택수단
SPTR,SCH : 열 선택수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

매트릭스 형태로 배열된 주 메모리 영역을 가진 직렬 메모리에 있어서, 각각의 라인은 오늘날 통상적으로 먼저 선택되며, 각각의 개별 비트 라인은 행의 메모리 내용이 판독될 수 있거나 또는 각각 기입될 수 있는 결과로서 순차적으로 활성화 된다. 종속 실패확률의 결과로서 전체 셀 필드상에 랜덤하게 분포된 에러보다 종종 더 발생하는, 완전히 실패한 행 및/또는 열의 형태로 에러가 발생하면, 에러 보정은 불가능하거나 또는 가능성이 아주 낮다. 완전하게 실패한 행 또는 열이 발생할때의 에러보정의 문제는 그들의 메모리 내용이 제조중에 이미 한정되어 있거나 또는 대체(또는 대기, 대용등) 행 또는 대체 열이 예를들어 판독-기입 메모리와 같은 방식으로 제공되지 않기 때문에 판독전용 메모리(ROM)와 관련하여 야기된다.
유럽 특허출원 EP 0 290 942는 메모리 셀이 M 행 및 N 열로 배열되고 행 라인 및 열라인에 접속되는 메모리 매트릭스와, 열 라인에 접속되고 전체 클럭신호와 함께 한 열을 순환적으로 전진 이동시키는 행 선택수단과, 행 라인에 접속되고 클럭신호와 함께 행 선택시 한 행을 전진 이동시키는 행 선택수단을 가진 직렬 액세스 메모리 수단을 개시하고 있다.
열 선택수단에서의 다수의 시프트 레지스터 스테이지는 열 선택수단의 게이트 회로에 의해 감소된다.
IBM Technical Disclosure Bulletin, August 1984, pages 1756 and 1757은 용장 코드에 의한 열 또는 행 에러의 보정시에 발생하는 문제점을 다루기 위하여 데이터 워드의 비트에 대한 재어드레싱을 개시하고 있다.
미국특허 제 4,703,453호는 다중 에러의 보정시 발생하는 문제점을 제거하기 위해서 메모리 워드가 메모리에내에서 인접하여 위치되지 않고 메모리에 분포되는 메모리 셀로부터 컴파일될 수 있는 사실을 개시하고 있다.
본 발명의 목적은 예를들어 용장코드에 의하여 잘 보정될 수 있는 에러만이 결함있는 행 또는 결함있는 열의 경우에 발생하는 직렬 액세스 메모리 수단을 제공하는 것이다. 이 목적은 청구범위 제 1항의 특징부에 의해 달성된다.
본 발명은 도면을 참조로하여 이하에서 더 상세히 설명될 것이다.
제 1도는 메모리 셀(11,..., ZS)이 Z행 및 S열에 배열되고 메모리 셀이 행 라인(ZL) 및 열 라인(SL)에 각각 접속되는 메모리 매트릭스(SM)를 포함하는 본 발명의 직렬 액세스가능 메모리 수단을 도시하고 있다. 상기와 같이, 본 발명의 메모리 수단은 행 클럭 신호(CLKZ)에 의해 구동되고 그의 출력이 행 라인에 접속되는 행 선택수단(ZPTR)을 포함한다. 더욱이, 행 라인(ZL)의 주기적인 선택을 지시하는 신호 리턴은 행 선택수단(ZPTR)으로 입력된다. 상기와 같이, 본 발명의 메모리 수단은 스위치(SCH) 및 열 어드레싱 유니트(SPTR)로 구성된 열 선택수단을 포함하여, 이에 따라 한 스위치는 메모리 매트릭스(SM)의 각각의 행을 위해 제공되고 각각의 스위치는 열 어드레싱 유니트(SPTR)의 각각의 출력에 접속된다. 열 어드레싱 유니트(SPTR)는 열 클럭신호(CLKS)에 의해 구동되고, 앞서 기술된 신호 리턴은 주기적인 어드레싱을 지시한다. 스위치(SCH)는 어드레싱된 열 라인을 공통(또는 공유) 데이터 라인(GD)에 각각 접속하는 잡(job)을 가진다. 외부 입력 데이터(DI)는 기존의 입력 증폭기(A1)에 의해 증폭되고 공통 데이터 라인(GD)에 공급되며, 공통 데이터 라인상의 출력 데이터는 그들이 외부 출력 데이터(DO)로서 이용가능하기 전에 출력 증폭기(GD)에 의해 증폭된다. 행 클럭 신호(CLKZ) 및 열 클럭신호(CLKS)는 열 논리 엘리먼트(또는 조합회로)(CLKV)에서 외부 클럭신호(CLK)로부터 형성된다. 열 논리 엘리먼트(또는 조합회로)(CLKV)는 예를들어 플립-플롭을 기초로하여 두 개의 주파수 분할기 회로로 구성된다. 가장 단순화된 경우, 행 클럭신호 및 열 클럭신호 모두는 외부 클럭신호(CLK)와 동일하고, 회로(CLKV)는 제 1도에서 파선으로 도시된 것처럼 단순히 외부 클럭신호를 접속한다.
제 2도는 메모리 셀(11,..., 76)을 가진 Z=7행 및 S=6열의 메모리 매트릭스(SM)를 단순화된 형태로 예로서 도시하며, 이에 따라 메모리 셀(71)은 시작 셀(A)로서 선택되고 메모리 셀(16)은 종료셀(E)을 형성하며, 메모리 셀은 매트릭스 인덱싱의 형태로 명명된다. FB=2 연속 행 다음에, 행 변화는 열 변화에 더하여 각각 뒤이어 발생하여, 제 6열으로부터 제 1열로의 역전이는 각각 뒤이어 발생한다. 메모리 매트릭스(SM)의 셀 필드에 대한 물리적인 경계내의 액세스 시퀀스는 실선으로 표시되며, 셀 필드의 물리적인 경계에 걸친 전이는 파선으로 표시된다.
추가 메모리 셀에 대한 모든 전이에서, 인덱싱은 전혀 시작되지 않거나 또는 바로 다음 행 및 바로 다음 열에서만 시작된다. 즉, 행 스킵 폭(ZSW) 및 열 스킵 폭(SSW)은 각각 1을 가진다.

행에서 모든 최대 셀이 결함을 가질 때, S/FB=3 블록 판독중 각각의 하나에서 단지 최대 두 개의 불량 비트만이 제 2도에 도시된 액세스 시퀀스에 주어진 각 각의 Z*FB=14 셀에 대해 발생한다. 판독될 제 1 블록은 셀(71, 72, 63, 64, 55, 56, 41, 42, 33, 34, 25, 26, 11, 12)로 구성된다.

FB=2를 가진 액세스 시퀀스는 주기적인 시프트 레지스터가 행 선택수단 및 열 선택수단으로서 사용되고 클럭비 CLKZ/CLKS=0.5가 제공되고 조건 S MOD FB=0 및 GGT(Z, S/FB)가 메모리 크기와 관련하여 적용될 때 제 1도에 따른 구조에 의해 실현되며, 이에 따라 GGT는 가장 큰 공통 젯수을 나타내고 MOD는 모듈로 함수를 나타낸다.

조건이 충족되지 않을 때, 추가 스위치 장치는 행 및 열 선택수단에서 요구되고, 이들 수단은 일반적으로 모든 메모리 크기에 대하여 특정되지 않으나 특정 개개의 경우에 대해 상대적으로 용이하게 개발될 수 있다.

제 3도는 메모리 셀(11,...,45)을 가진 Z=4행 및 S=5 열의 메모리 매트릭스(SM)를 단순화된 형태로 예로서 도시한다. 메모리 셀(41)은 시작 셀(A)로서 선택되고 메모리 셀(15)은 종료 셀(E)을 형성하여, 메모리 셀은 매트릭스 인덱싱의 형식으로 명명된다. 각각의 FB=1 연속 열다음에, 행 변화는 열 변화에 더하여 뒤이어 발생하며, 제 1열로의 스위치는 제 6열로부터 각각 뒤이어 발생한다. 메모리 매트릭스(SM)의 셀 필드에 대한 물리적인 경계내의 액세스 시퀀스는 실선으로 표시되며, 셀 필드의 물리적인 경계에 걸친 전이는 파선으로 표시된다.

추가 메모리 셀에 대한 모든 전이에서, 인덱싱은 바로 다음의 행 및 바로 다음의 열에서만 실행된다. 즉, 행 스킵 폭(ZSW) 및 열 스킵 폭(SSW)은 각각 1이다.

행의 최대 모든 셀이 제 3도에 도시된 액세스 시퀀스에서 결함을 가질 때, 각각의 Z*FB=4셀에 대해 판독된 S/FB=5 블록중 각각의 하나에서 단지 최대 하나의 불량 비트만이 발생한다. 판독될 제 1 블럭은 셀(41, 32, 23, 14)로 구성된다.

FB=1을 가진 액세스 시퀀스는 주기적인 시프트 레지스터가 행 선택수단 및 열 선택수단으로서 사용될때 그리고 클록비 CLKZ/CLKS가 1이고 조건 GGT(Z, S)=1이 메모리 크기을 고려하여 적용될 때 제 1도의 구조에 의해 실행된다. 에러가 발생한 경우에 결함있는 셀이 하나의 행 및/또는 열에 집중되는 것외에 인접 행 및/또는 인접 열에 영향을 미치기 때문에, 행 스킵 폭 및/또는 1과 다른 열 스텝 폭을 선택하는 것은 임의의 환경하에서 유리할 수 있다.

예로써, 제 4도는 8개의 행 및 7개의 열을 가진 메모리 셀(11...87)을 가진 메모리 매트릭스를 도시한다. 셀(81)은 시작 셀(A)로서 선택되고 셀(36)은 단부 셀(E)을 나타내어, 이에 따라 메모리 셀은 표준 매트릭스 인덱스로 명명된다. 이같은 경우, 행 스킵폭(ZSW)은 3이되고 열 스킵폭 SSW은 2가 된다. A에서 시작하여 E에서 종료될 때, 메모리 셀은 액세스의 시퀀스에서 그리프에 의해 상호 접속되어, 물리적인 에지의 에지 이상에서의 전이는 파선으로 도시되며, 모든 다른 전이는 실 선으로 도시된다. 메모리 셀은 이하에 지시된 시퀀스로 어드레싱된다.

81, 53, 25, 77, 42, 14, 66,

31, 83, 55, 27, 72, 44, 16

61, 33, 85, 57, 22, 74, 46,

11, 63, 35, 87, 52, 24, 76,

41, 13, 65, 37, 82, 54, 26,

71, 43, 15, 67, 32, 84, 56,

21, 73, 45, 17, 62, 34, 86,

51, 23, 75, 47, 12, 64, 36,

메모리 매트릭스의 모든 메모리 셀이 Z*S 액세스로 어드레싱되도록, 어느 한 추가 측정은 최종 행 또는 최종 열이 각각 도달될 때 행 또는 열 스위칭을 실행하는 행 및 열 선택회로에서 실행되어야하며, 또는 FB=1인 경우에 단지 메모리 매트릭스(SM)의 행 수(Z) 및 열 수(S)와 행 스킵폭(ZSW) 및 열 스킵폭(SSW)은 두 개의 다음 조건이 만족되도록 유리하게 제공된다.

GGT(S, SSW) =1 및

GGT(Z,(S*ZSW) MOD Z) = GGT(Z, S*ZSW) =1이 만족되어, GGT()는 가장 큰 공통 젯수를 나타내며, MOD는 모듈로 연산을 나타낸다.

제 3도의 실시예에 도시된 메모리 매트릭스 및 각각의 스킵폭에 대하여, GGT(5.1)=1 및 GGT(4,(5*1) MOD 4) =1이 적용된다.

조건 GGT(7,2)=1 및 조건 GGT(8, (7*3) MOD 8) = GGT(8, (21 MOD 8)) = GGT(8, 5) =1은 제 4도에 도시된 실시예에 대해 만족된다.

제 4도에 도시된 실시예에 대하여, 제 5도는 레지스터 스테이지(PZ1. . . PZ8)를 가진 주기적으로 스위칭된 시프트 레지스터의 형태에서 8개의 행 및 ZSW =3의 행 스킵폭에 대한 행 선택수단(ZPTR)의 블록도를 도시한다. 시프트 레지

스터(PZ1 . . . PZ8)는 행 1 내지 행 8에 대한 행 라인(ZL)에 순차적으로 할당된다. 조건 PZ8=1 및 PZ7 . . . PZ1=0으로부터 또는 조건 PZ8 =0 및 PZ7 . . . PZ1=1로부터 시작할때, 셀(PZ8)의 내용은 클럭신호(CLK)와 동기로 셀(PZ5)로 전송된다. 클럭신호(CLK)와 각각 동기로, 셀(PZ2), 셀(PZ7), 셀(PZ4), 셀(PZ1), 셀(PZ6) 및 셀(PZ3)로의 전송은 출력셀로의 전송이 일어나기전에 지시된 시퀀스로 연속적으로 뒤이어 일어난다. 이들 전송은 제 5도의 화살표로서 각각 기술된다.

제 6도는 각각의 열라인에 대한 스위치(SCH)를 구동시키는 대응 열 어드레싱 유니트(SPTR)를 도시한다. 제 4도에 도시된 것처럼, 열 어드레싱 유니트는 7개의 열 및 하나의 열 스킵 폭SSW=2에 대해 예로서 설계된다. 열 어드레싱 유니트는 주기적으로 스위칭되는 7개의 시프트 레지스터 스테이지(PS1 . . . PS7)를 가진 시프트 레지스터로 구성된다. 초기조건 PS1=1 및 PS2 . . . PS7 = 0 또는 초기조건 PS1 = 0 및 PS2 . . . PS7 = 1로부터 시작하여, 시프트 레지스터 스테이지(PS1)에서 시프트 레지스터 스테이지(PS3)로의 제 1정보 전송은 시프트 레지스터 유니트(PS1)로의 전송이 일어나기전에 클럭신호(CLK)에 따라 그리고 시프트 레지스터 스테이지(PS5, PS7, PS2, 및 PS6)으로 순차적으로 발생한다. 레지스터 스테이지(PS1 . . . PS7)의 출력은 열(1 . . . 7)에 대한 열 라인(SL)에 순차적으로 할당된다. 그에 의하여, 전체 메모리 수단은 90 ° 로 회전되어, 행 및 열 뿐만아니라 행 스킵폭 및 열 스킵폭은 서로 교환된다.

(57) 청구의 범위

청구항 1.

메모리 셀(11 . . . ZS)이 Z행 및 S열로 배열되고 행 라인(ZL) 및 열 라인(SL)에 접속되는 메모리 매트릭스(SM)와;
클럭 논리 유니트[또는 조합회로](CLKV)의 외부 클럭 신호(CLKZ)로부터 형성된 행 클럭신호(CLKZ) 및 열 클럭신호(CLKS)와;
행 라인에 접속되고 행 선택에 있어서 모든 행 클럭신호(CLKZ)로 소정 행 스킵폭(ZSW) 만큼 주기적으로 인덱싱되는 행 선택수단(ZPTR)과;
열 라인에 접속되고 열 선택에 있어서 모든 열 클럭신호(CLKS)로 소정 열 스킵폭(SSW)만큼 주기적으로 인덱싱되는 열 선택수단(SPTR, SCH)을 포함하며,
상기 행 선택수단 및 열 선택수단은 n 열이 선택된후에 각각의 새로운 행이 미리 선택되고 및/또는 m행이 선택된 후에 각각의 새로운 열이 선택되도록 구성되며, n은 S보다 작으며 상기 m은 Z보다 작으며, 두 개의 수 n 및 m중 더 큰 수는 코드에 의해 계속해서 보정될 수 있는 메모리 워드에서 다수의 비트를 나타내는 것을 특징으로 하는 직렬 액세스 메모리 수단.

청구항 2.

제 1항에 있어서,
상기 행 선택수단(ZPTR) 및 상기 열 선택수단(SPTR, SCH) 모두는 단일 논리1 및 단일 논리 0 중의 하나가 각각 주기적으로 시프트되는 링을 형성하기 위해 상호접속된 시프트 레지스터(예를들어, PZ1 . . . PZ8 또는 PS1 . . . PS7)를 포함하 고,
상기 행 클럭신호 및 상기 열 클럭신호는 행 클럭 대 열 클럭의 클럭비가 1내지 S보다 크며 및/또는 Z보다 작도록 각각 구성되고,
상기 행 선택수단(ZPTR)은 행 클럭신호(CLKZ)와 동기로 인덱싱되고,
상기 열 선택수단(SPTR, SCH)은 열 클럭 신호(CLKS)와 동기로 인덱싱되는 것을 특징으로 하는 직렬 액세스 메모리 수단.

청구항 3.

제 2항에 있어서,
상기 행 클럭신호(CLKZ) 및 상기 열 클럭신호(CLKS) 모두는 외부 클럭신호(CLK)와 동일한 것을 특징으로 하는 직렬 액세스 메모리 수단.

청구항 4.

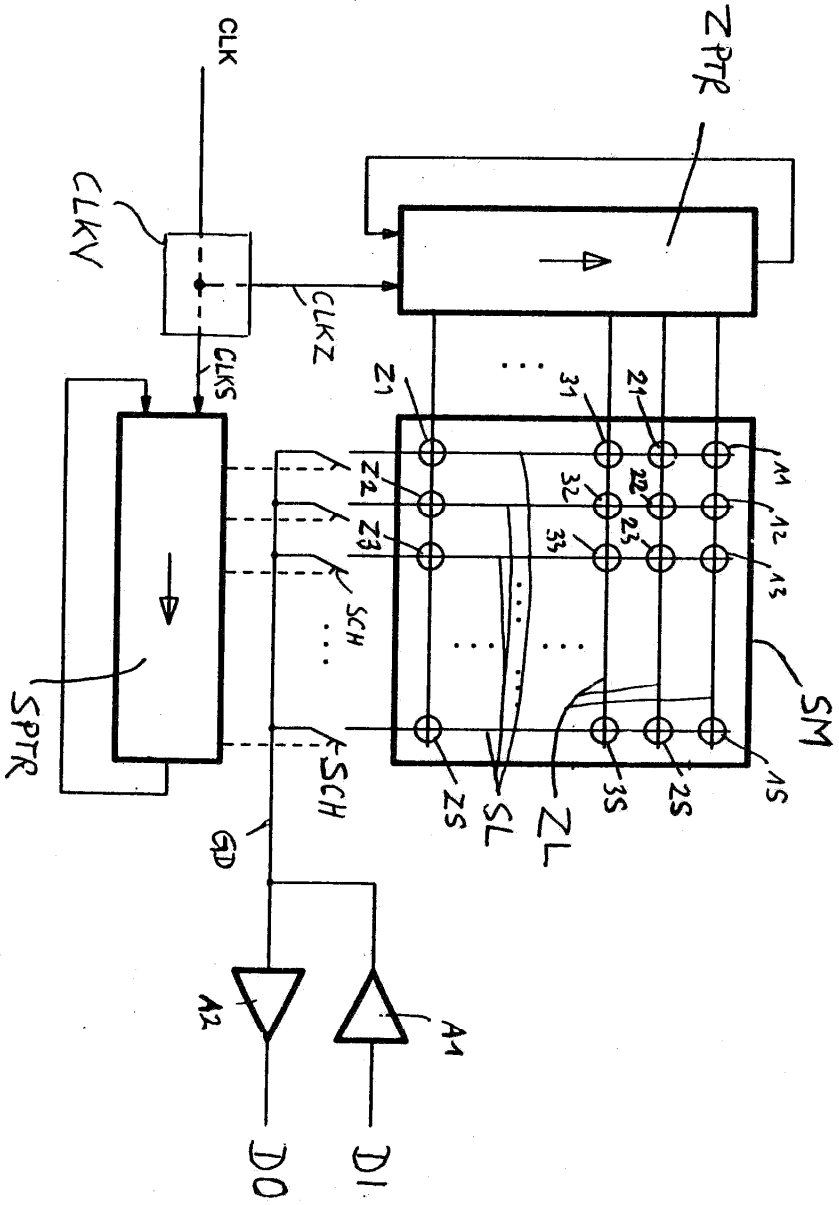
제 4항에 있어서,
상기 행 선택수단(ZPTR) 및 상기 열 선택수단(SPTR, SCH)은 행 변화가 항상 각각의 열 변화와 동기로 뒤이어 발생하도록 구성되고,
상기 메모리 매트릭스(SM)의 상기 행 수(Z) 및 상기 열 수(S), 상기 행 스킵폭(ZSW) 및 상기 열 스킵폭(SSW)은 다음의 조건, 즉
GGT(S, SSW) = 1 및
GGT(Z, (S*ZSW) MOD Z) =1을 만족하며,
상기 GGT는 최대 공통 젯수를 나타내며 상기 MOD는 모듈로 연산을 나타내는 것을 특징으로 하는 직렬 액세스 메모리 수단.

청구항 5.

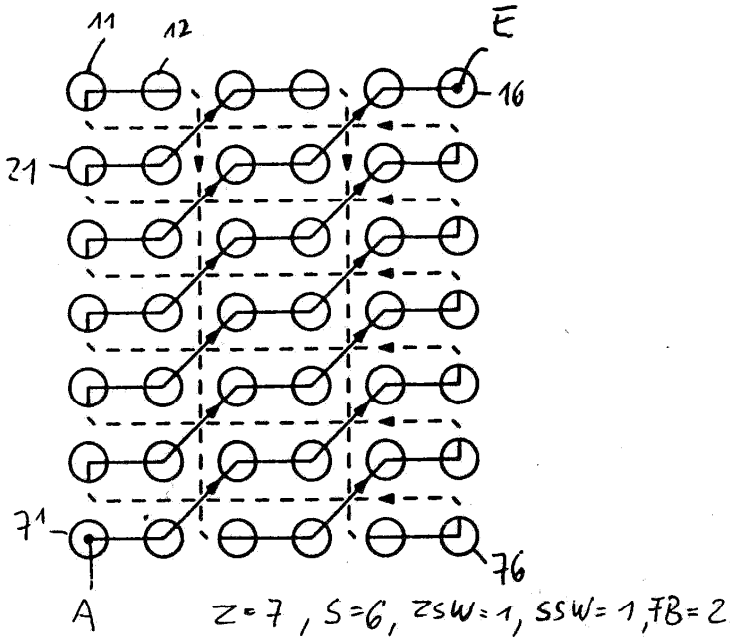
제 2항 내지 제 4항중 어느 한 항에 있어서,
상기 개개의 시프트 레지스터는 적정 행 스킵폭(ZSW) 및 적정 열 스킵폭(SSW)이 행 및 열 선택시 이루어지도록 행 라인 및 열 라인에 할당되는 것을 특징으로 하는 직렬 액세스 메모리 수단.

도면

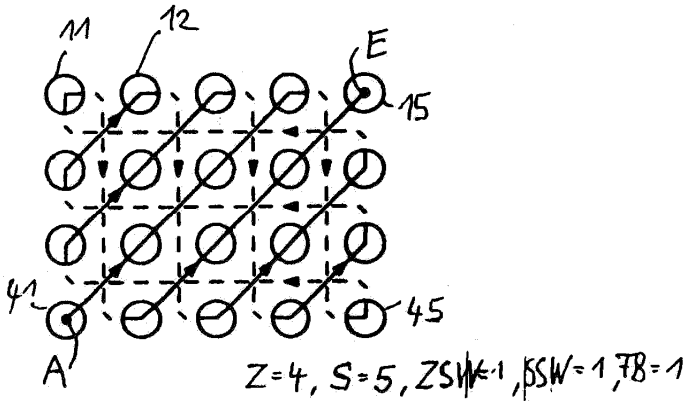
도면1


CLK
CLKV
CLKZ
CLKS
ZPTR
Z1
31
21
11
Z2
32
22
12
Z3
33
23
13
SCH
SPTR
SCH
SM
GD
ZS
SL
ZL
3S
2S
1S
A2
A1
DO
DI

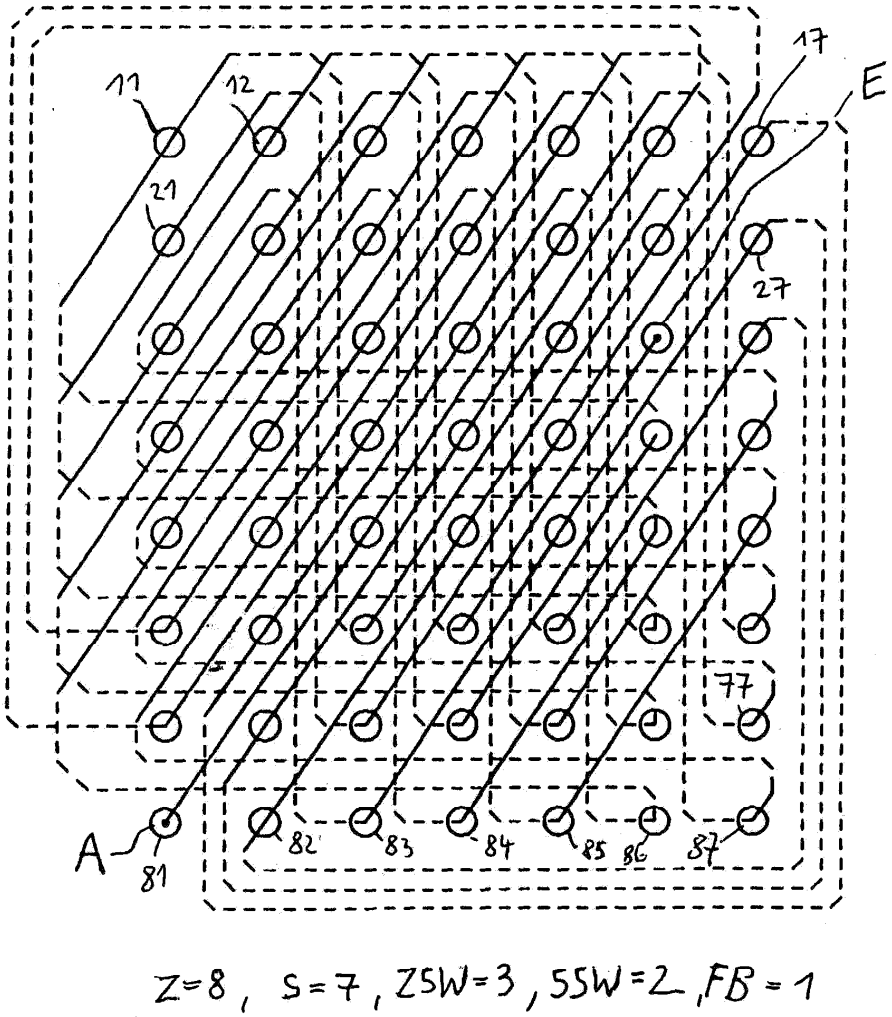
도면2


11
12
1L
16
21
71
A
76
Z=7, S=6, ZSW=1, SSW=1, FB=2

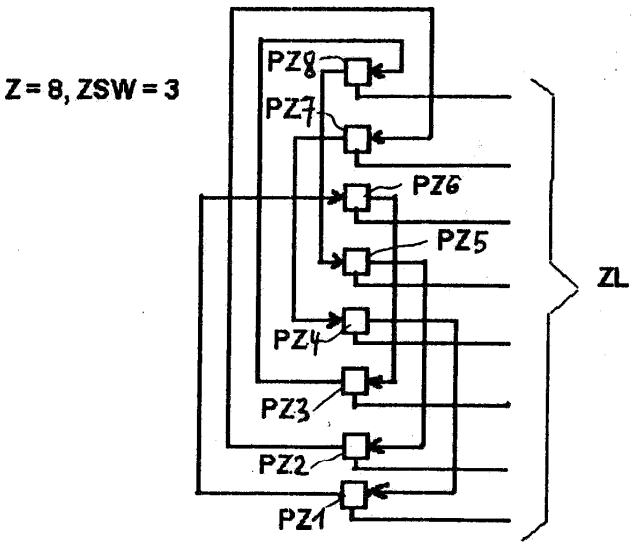
도면3


11
12
E
15
41
45
A
Z=4, S=5, ZSW=1, SSW=1, FB=1

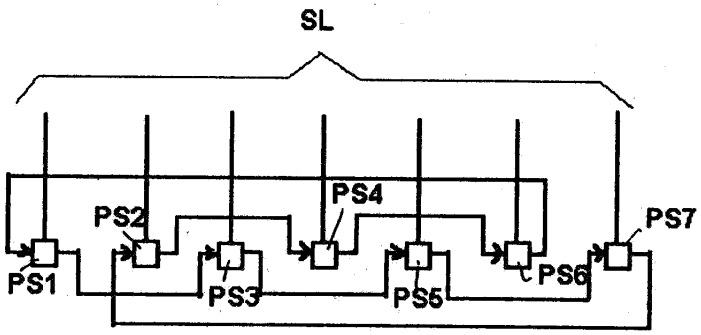
도면4


17
E
11
12
21
27
77
A
81
82
83
84
85
86
87
Z=8, S=7, ZSW=3, SSW=2, FB=1

도면5



도면6



94 E 20806 DE
ZFE GR PA Z
Damm